



(12) 发明专利申请

(10) 申请公布号 CN 101977032 A

(43) 申请公布日 2011. 02. 16

(21) 申请号 201010538883. 3

(22) 申请日 2010. 11. 10

(71) 申请人 中国医学科学院生物医学工程研究所

地址 300192 天津市南开区白堤路 236 号

(72) 发明人 王晓春 周盛 王延群 段炳柱
计建军 宋学东 王立伟

(74) 专利代理机构 天津市北洋有限责任专利代理事务所 12201

代理人 刘国威

(51) Int. Cl.

H03H 17/02 (2006. 01)

A61B 8/14 (2006. 01)

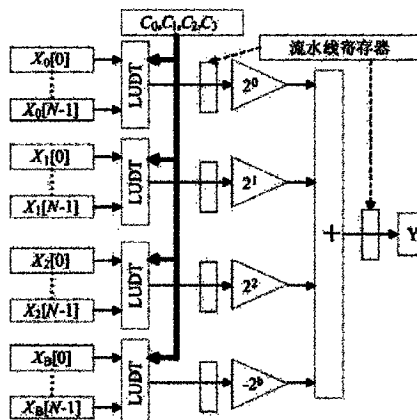
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

应用于全数字 B 型超声诊断仪中的动态滤波器

(57) 摘要

本发明属于超声波检测技术领域、超声检测仪器。为减少硬件资源的消耗,本发明采取的技术方案是,应用于全数字 B 型超声诊断仪中的动态滤波器,包括:FPGA 芯片的 RAM,用于:在 Matlab 中,通过给定的滤波器阶数和带宽,利用 FDATool 工具,选取 Hamming 窗函数来生成滤波器系数,在初始化阶段,将滤波器系数量化为 8 位补码数,存储到 FPGA 芯片的 RAM 中;FPGA 芯片的 FIR 型动态滤波器的硬件实现部分,用于在系统运行阶段,通过精确的时序控制从 RAM 中得到滤波器的系数,并根据该系数形成动态滤波器。本发明主要应用于超声波检测场合。



1. 一种应用于全数字 B 型超声诊断仪中的动态滤波器,其特征是,包括:FPGA 芯片的 RAM,用于:在 Matlab 中,通过给定的滤波器阶数和带宽,利用 FDATool 工具,选取 Hamming 窗函数来生成滤波器系数,在初始化阶段,将滤波器系数量化为 8 位补码数,存储到 FPGA 芯片的 RAM 中;FPGA 芯片的 FIR 型动态滤波器的硬件实现部分,用于在系统运行阶段,通过精确的时序控制从 RAM 中得到滤波器的系数,并根据该系数形成动态滤波器。

2. 根据权利要求 1 所述的一种应用于全数字 B 型超声诊断仪中的动态滤波器,其特征是,FPGA 芯片采用全并行的分布式算法和多级流水线结构,采用分割表结构。

3. 根据权利要求 1 所述的一种应用于全数字 B 型超声诊断仪中的动态滤波器,其特征是,所述 FPGA 的 RAM 在系统加载完毕后就有了初始值,即为支持只读存储器 ROM 方式的 RAM。

4. 根据权利要求 1 所述的一种应用于全数字 B 型超声诊断仪中的动态滤波器,其特征是,所说的 Fir 型动态滤波器结构为:32 个 8 位延时寄存器依次连接,Fir 滤波器数据输入端连接第一个 8 位延时寄存器,前 16 个 8 位延时寄存器中的每一个的输出对应连接一个加法器的一个输入端,共计 16 个加法器,第 17 个 8 位延时寄存器的输出连接到第 16 个 8 位延时寄存器连接的加法器的另一个输入端,以此类推,第 32 个 8 位延时寄存器的输出对应连接第 1 个 8 位延时寄存器连接的加法器的另一个输入端,每个加法器的输出对应连接一个 9 位数据寄存器,共计 16 个 9 位数据寄存器,依次每 4 个 9 位数据寄存器作为一个 4 阶 FIR 滤波器的输入寄存器。每个 4 阶全并行分布式 FIR 滤波器的结构为,4 个 9 位数据寄存器中每个寄存器的第 0 位同时连接到第 0 个查找表单元,4 个 9 位数据寄存器中每个寄存器的第 1 位同时连接到第 1 个查找表单元,依次类推,4 个 9 位数据寄存器中每个寄存器的第 8 位同时连接到第 8 个查找表单元,该部分结构中 9 个查找表单元内容相同,第 0 个查找表单元的输出通过一个流水线寄存器连接到加法器的第 1 个输入端,第 1 个查找表单元输出通过一个流水线寄存器再通过一个 2^1 乘法器连接到加法器的第 2 个输入端,第 2 个查找表单元输出通过一个流水线寄存器再通过一个 2^2 乘法器连接到加法器的第 3 个输入端,第 3 个查找表单元输出通过一个流水线寄存器再通过一个 2^3 乘法器连接到加法器的第 4 个输入端,依次类推,第 7 个查找表单元输出通过一个流水线寄存器再通过一个 2^7 乘法器连接到加法器的第 8 个输入端,加法器的输出通过一个流水线寄存器即为整个 32 阶 FIR 滤波器的输出。

应用于全数字 B 型超声诊断仪中的动态滤波器

技术领域

[0001] 本发明属于超声波检测技术领域、超声检测仪器,特别涉及一种应用于全数字 B 型超声诊断仪中的动态滤波器。

背景技术

[0002] 超声图像质量对于疾病诊断有重要的意义。由于人体软组织对超声波的衰减与频率大致呈线性关系,因此在近场应主要获取回波信息中的高频成分以提高图像的分辨力和清晰度;而随着探测深度的增加,高频成分更快地衰减使得超声波逐渐向频带的低端偏移,这时需要提取回波信息中的低频成分以获取更丰富的远场图像信息,实现全探测深度内最佳的成像效果。全数字 B 超系统中动态滤波器用以自动选择以上具有诊断价值的频率信号,滤除体表部分以低频为主的强回声信号和深部以高频为主的干扰。动态滤波器设计的好坏直接关系到全数字 B 超系统远场和近场成像的分辨率,是整个系统的一个关键组成部分。

[0003] 在模拟 B 超中,动态滤波电路的实现一般是利用变容二极管的结电容随其反偏电压的增大而减小,从而改变了选频网络的频率。这种方法虽然比较成熟简单,但选频网络的频谱特性不精确,而且改动麻烦,所以现已不被广泛采用。在全数字 B 超中,动态滤波器都是基于匹配滤波的概念来实现的。在信号处理进程中,匹配滤波器系数随接收深度的变化而动态改变。数字滤波器选用具有线性相位的有限冲激响应 (finite impulse response, FIR) 数字滤波器。而传统的 FIR 滤波器是采用乘累加的硬件结构来实现的,这种结构实现的滤波器需要大量的硬件资源。

发明内容

[0004] 为克服现有技术的不足,减少硬件资源的消耗,提供一种应用于全数字 B 型超声诊断仪中的动态滤波器,本发明采取的技术方案是,应用于全数字 B 型超声诊断仪中的动态滤波器,包括:FPGA 芯片的 RAM,用于:在 Matlab 中,通过给定的滤波器阶数和带宽,利用 FDATool 工具,选取 Hamming 窗函数来生成滤波器系数,在初始化阶段,将滤波器系数量化为 8 位补码数,存储到 FPGA 芯片的 RAM 中;FPGA 芯片的 FIR 型动态滤波器的硬件实现部分,用于在系统运行阶段,通过精确的时序控制从 RAM 中得到滤波器的系数,并根据该系数形成动态滤波器。

[0005] FPGA 芯片采用全并行的分布式算法和多级流水线结构,采用分割表结构。

[0006] 所述 FPGA 的 RAM 在系统加载完毕后就有了初始值,即为支持只读存储器 ROM 方式的 RAM。

[0007] 所说的 Fir 型动态滤波器结构为:32 个 8 位延时寄存器依次连接,Fir 滤波器数据输入端连接第一个 8 位延时寄存器,前 16 个 8 位延时寄存器中的每一个的输出对应连接一个加法器的一个输入端,共计 16 个加法器,第 17 个 8 位延时寄存器的输出连接到第 16 个 8 位延时寄存器连接的加法器的另一个输入端,以此类推,第 32 个 8 位延时寄存器的输出

对应连接第 1 个 8 位延时寄存器连接的加法器的另一个输入端,每个加法器的输出对应连接一个 9 位数据寄存器,共计 16 个 9 位数据寄存器,依次每 4 个 9 位数据寄存器作为一个 4 阶 FIR 滤波器的输入寄存器。每个 4 阶全并行分布式 FIR 滤波器的结构为,4 个 9 位数据寄存器中每个寄存器的第 0 位同时连接到第 0 个查找表单元,4 个 9 位数据寄存器中每个寄存器的第 1 位同时连接到第 1 个查找表单元,依次类推,4 个 9 位数据寄存器中每个寄存器的第 8 位同时连接到第 8 个查找表单元,该部分结构中 9 个查找表单元内容相同,第 0 个查找表单元的输出通过一个流水线寄存器连接到加法器的第 1 个输入端,第 1 个查找表单元输出通过一个流水线寄存器再通过一个 2^1 乘法器连接到加法器的第 2 个输入端,第 2 个查找表单元输出通过一个流水线寄存器再通过一个 2^2 乘法器连接到加法器的第 3 个输入端,第 3 个查找表单元输出通过一个流水线寄存器再通过一个 2^3 乘法器连接到加法器的第 4 个输入端,依次类推,第 7 个查找表单元输出通过一个流水线寄存器再通过一个 2^7 乘法器连接到加法器的第 8 个输入端,加法器的输出通过一个流水线寄存器即为整个 32 阶 FIR 滤波器的输出。

[0008] 本发明具备如下技术效果:

[0009] (1) 动态滤波器的采用,使得本发明能够获得全探测深度内的最佳分辨力的回声图像。

[0010] (2) 基于分布式算法在现场可编程门阵列 (field programmable gate array, FPGA) 上实现滤波器的硬件结构,因而本发明减少了硬件资源的消耗。

附图说明

[0011] 图 1FPGA 中 RAM 读写时序

[0012] 图 2 滤波器特性图。(a) 第 1 个;(b) 第 32 个。

[0013] 图 3 动态分布式算法硬件框图。

[0014] 图 4 动态滤波器的顶层模块图。

具体实施方式

[0015] 本发明采用全并行的分布式算法并加入多级流水线,同时使用分割表技术来减少查找表的资源占用。由于动态滤波器中每个滤波器的系数都不同,采用动态查找表的方式,适时调整滤波器的输入系数。

[0016] 为了获得全探测深度内的最佳分辨力的回声图像,需要设计的动态滤波器是一个随着时间(深度)的增加,通频带逐渐向下移动的带通滤波器组,该滤波器组由 64 个滤波器组成。在滤波器的选择上,采用具有线性相位的 FIR 型滤波器,摒弃了传统的使用乘法器实现乘累加的硬件描述方法,而是基于分布式算法在现场可编程门阵列 (field programmable gatearray, FPGA) 上实现滤波器的硬件结构。本设计利用全数字 B 超系统的平台实现,采用的超声探头型号为 C3.5-128R50S,为 128 阵元的凸阵探头,中心频率为 3.5MHz, -6dB 带宽为 71%。

[0017] 下面结合附图和实例,进一步详细说明本发明。

[0018] 1. 滤波器系数的生成

[0019] 为实现人体超声回波信号的动态滤波处理,将全数字 B 超的探测深度平均分为 64

段,采用 64 个带通滤波器与之对应。超声回波信号采样频率为 40MHz,滤波器阶数为 32,其他基本技术参数如下:

$$[0020] \quad F_{c1} = 2.2 - \frac{1.2i}{64} F_{c2} = 5.2 - \frac{1.2i}{64}$$

[0021] 式中: F_{c1} 为通带下截止频率, F_{c2} 为通带上截止频率。 i 的取值范围为 $1 \sim 64$,随着深度的增加 i 增加,即 $i = 1$ 代表体表处, $i = 64$ 代表体内最深处。

[0022] 首先,在 Matlab 中,通过给定的滤波器阶数和带宽,利用 FDATool 工具,选取 Hamming 窗函数来生成滤波器系数。然后利用 FPGA 芯片强大的 RAM 存储功能,在初始化阶段,将滤波器系数量化为 8 位补码数,存储到 FPGA 芯片的 RAM 中。FPGA 的 RAM 在系统加载完毕后就有了初始值,即支持了只读存储器 (ROM) 方式。在系统运行阶段,通过精确的时序控制从 ROM 中得到滤波器的系数,并输入到 FIR 型动态滤波器的硬件实现部分。在 FPGA 中,ROM 的读和写操作都是由时钟沿触发,其具体时序如图 1 所示。以第 1 个和第 32 个带通滤波器为例,图 2 中的 (a) 和 (b) 分别是在 Matlab 仿真下,获得的两个滤波器特性图。从图中可以看出,随着深度 i 的增加,滤波器的频谱逐渐向频带的低端移动,因此可以很好地匹配超声回波信号的频率成分,滤除体表部分以低频为主的强回声信号和深部以高频为主的干扰,从而获得全探测深度内最佳分辨力的回声图像。

[0023] 2. 动态滤波器的结构

[0024] 为了实现高速信号处理,采用全并行的分布式算法并加入了多级流水线,同时使用分割表技术来减少查找表的资源占用。由于动态滤波器中每个滤波器的系数都不同,采用动态查找表的方式,来适时调整滤波器的输入系数。

[0025] 分布式算法 (distributed arithmetic, DA) 是一种以实现乘加运算为目的的运算方法。它与传统算法实现乘加运算的不同在于执行部分积运算的先后顺序不同。传统算法是在完成乘加功能时,等到所有乘积产生之后,再进行相加来完成乘加运算。而分布式算法则是通过将各输入数据的每一对应位产生的部分积预先进行相加,形成相应部分积,然后再对各部分积进行累加,形成最终结果的。与传统算法相比,分布式算法可极大地减少硬件电路规模,很容易实现流水线处理,从而提高了电路的执行速度。分布式算法是一项重要的 FPGA 技术,主要有串行分布式和并行分布式两种结构。由分布式算法的原理可知,并行相较于串行算法,运算速度更快,所耗资源和面积也更多。本设计为了实现高速信号处理,采用了全并行的分布式算法并加入了多级流水线,同时使用分割表技术来减少查找表的资源占用。

[0026] 下面进行进一步说明:

[0027] 数据送入延时单元之后,先计算 $X(n) = x(n) + x(31-n)$ ($n = 0..15$)。为了防止数据溢出,我们对其和寄存器进行了一位符号位扩展,这样就将 32 个 8 位输入数据要进行的查表运算转化为 16 个 9 位数据的查表运算。此时,该结构看作输入数据为 9bit 的 16 阶线性 FIR 滤波器。Fir 滤波器 (finite impulse response) 意为有限冲击响应滤波器。

[0028] 根据 FIR 滤波器的对称性,动态滤波器组的每个 32 阶滤波器均可以对折成 16 阶线性 FIR 滤波器。然后根据滤波器的线性特性和分割表原理,将用来实现分布式算法的查找表以每 4 个抽头一组,分割成 4 个 $2^4 \times 12\text{bits}$ 的小型查找表,即 4 个 4 阶 FIR 滤波器级联成 16 阶。这种级联结构相对于全并行分布式算法不仅加快了查表速度,还成倍地节约了

资源,很容易实现更高阶扩展。算法实现的硬件结构如图 3 所示。图中 LUDT 为动态查询表 (look-up dynamictable),根据系统的需要随时通过 C0,C1,C2,C3 对系数的取值进行调整,从而实现动态的自适应调整。

[0029] 所说的 Fir 滤波器结构为:32 个 8 位延时寄存器依次连接, Fir 滤波器数据输入端连接第一个 8 位延时寄存器,前 16 个 8 位延时寄存器中的每一个的输出对应连接一个加法器的一个输入端,共计 16 个加法器,第 17 个 8 位延时寄存器的输出连接到第 16 个 8 位延时寄存器连接的加法器的另一个输入端,以此类推,第 32 个 8 位延时寄存器的输出对应连接第 1 个 8 位延时寄存器连接的加法器的另一个输入端,每个加法器的输出对应连接一个 9 位数据寄存器,共计 16 个 9 位数据寄存器,依次每 4 个 9 位数据寄存器作为一个 4 阶 FIR 滤波器的输入寄存器。每个 4 阶全并行分布式 FIR 滤波器的结构为,4 个 9 位数据寄存器中每个寄存器的第 0 位同时连接到第 0 个查找表单元,4 个 9 位数据寄存器中每个寄存器的第 1 位同时连接到第 1 个查找表单元,依次类推,4 个 9 位数据寄存器中每个寄存器的第 8 位同时连接到第 8 个查找表单元,该部分结构中 9 个查找表单元内容相同,第 0 个查找表单元的输出通过一个流水线寄存器连接到加法器的第 1 个输入端,第 1 个查找表单元输出通过一个流水线寄存器再通过一个 2^1 乘法器连接到加法器的第 2 个输入端,第 2 个查找表单元输出通过一个流水线寄存器再通过一个 2^2 乘法器连接到加法器的第 3 个输入端,第 3 个查找表单元输出通过一个流水线寄存器再通过一个 2^3 乘法器连接到加法器的第 4 个输入端,依次类推,第 7 个查找表单元输出通过一个流水线寄存器再通过一个 2^7 乘法器连接到加法器的第 8 个输入端,加法器的输出通过一个流水线寄存器即为整个 32 阶 FIR 滤波器的输出。由于查表和加法运算速度很快^[6,9],因此整个滤波器的速度就可以很快,一个时钟周期即可完成一个数据的运算。

[0030] 图 4 为在 Altera 公司的 Quartus II 开发环境下实现的动态滤波器的顶层模块图,主要由 ROM 模块、动态滤波器模块和输入输出端口组成。图中所示的 ROM 配置图中, address[5..0] 是地址线,共存储 64 组系数;q[127..0] 是对预先存入的滤波器系数的输出,每组共 16 个数据,每个数据代表 8 位有符号系数;clock 是读数据同步时钟。工作时,系统利用 clock 作为时钟控制将 64 组滤波器系数通过 q[127..0] 输出给动态滤波器模块。在具体的实现中,滤波器系数的值可以通过 ROM 表预先定制,也可以通过人机交互的方式实时传输,还可以根据系统的输出端的反馈自动地进行相应地调整。当采用后一种方案实现系数调整时,就实现了自适应滤波功能。然而采用这种方法需要实现 FFT(快速傅立叶变换)等运算,计算量较大,而且需要较高性能的 FPGA,所以采用预先订制的 ROM 表来传送滤波器系数。动态滤波器模块中,clk_40M 是数据输入同步时钟,reset 是复位信号,x_in[12..0] 和 y_out[12..0] 分别为输入输出数据,coeff[127..0] 为动态滤波器的系数输入。在 Quartus II 开发环境下,采用 VHDL 语言对以动态分布式算法为核心所设计的系数可编程动态 FIR 滤波器进行描述、仿真和逻辑综合。

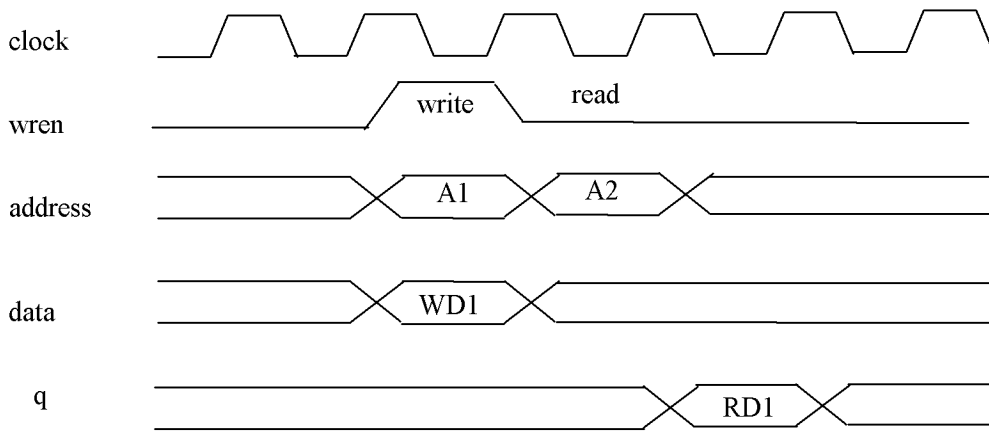
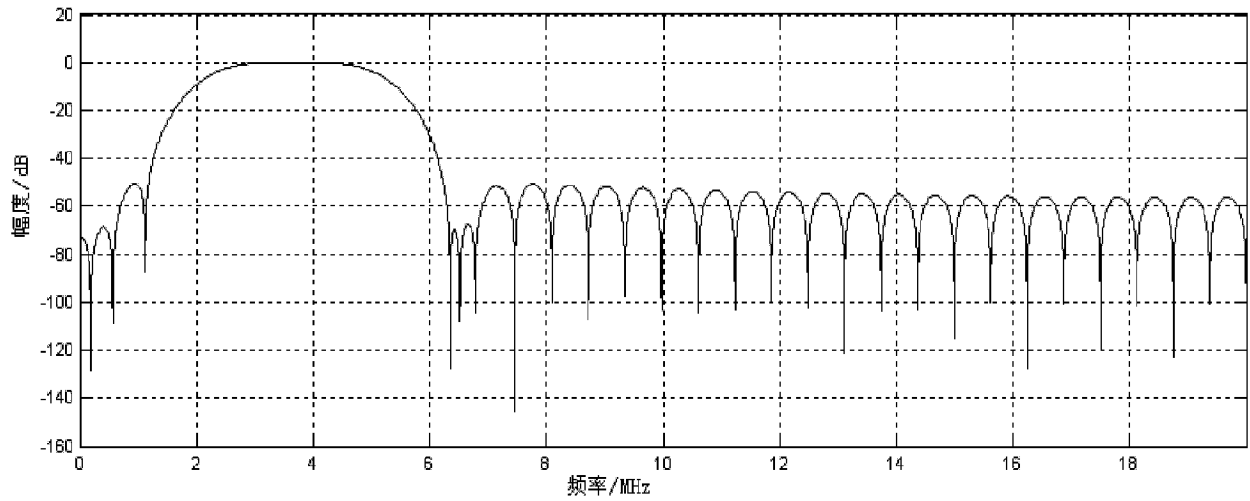
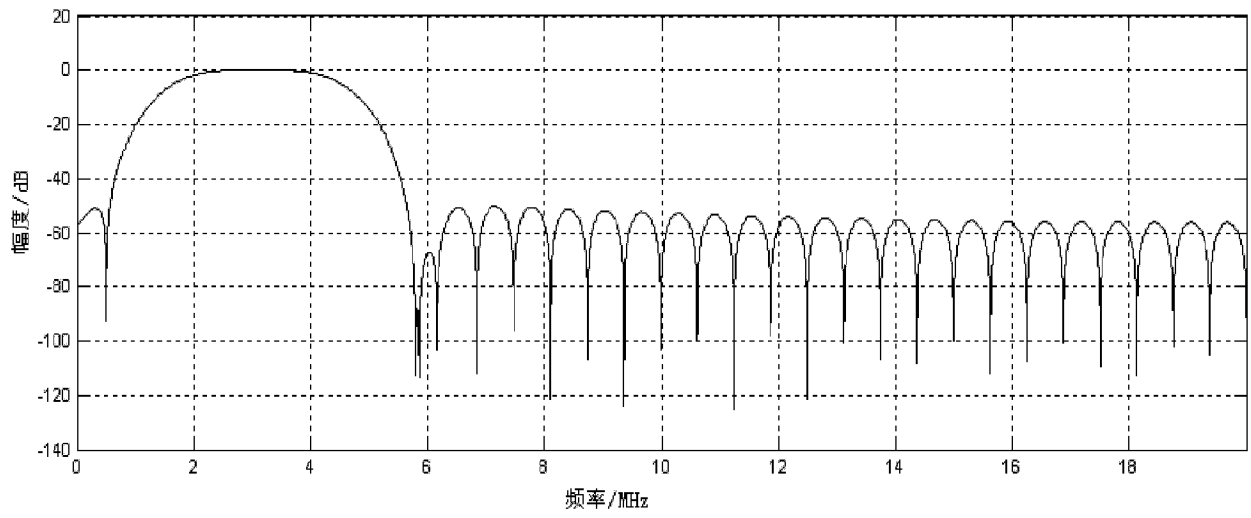


图 1



(a)



(b)

图 2

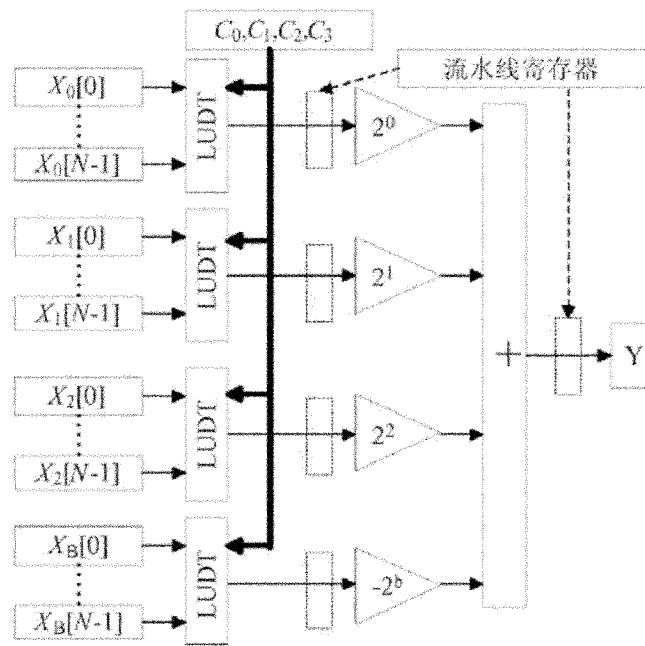


图 3

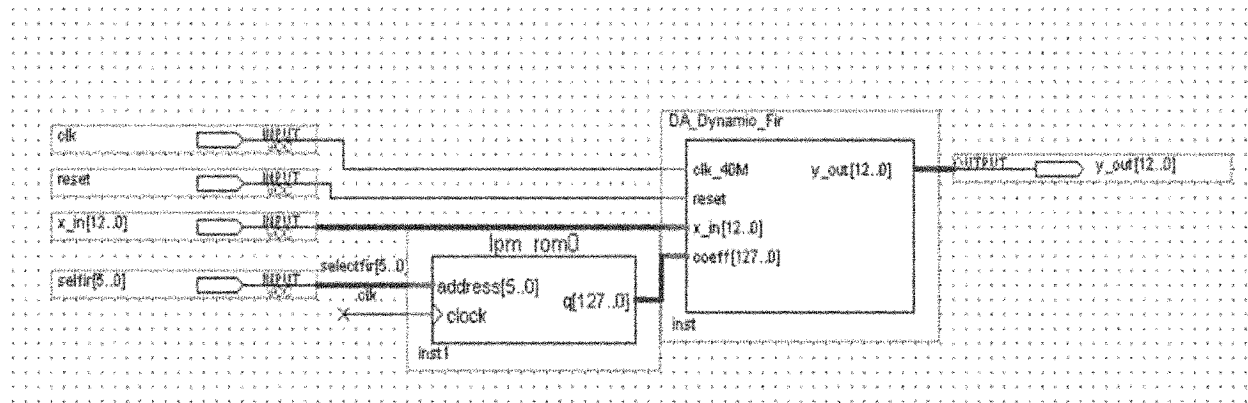


图 4

专利名称(译)	应用于全数字B型超声诊断仪中的动态滤波器		
公开(公告)号	CN101977032A	公开(公告)日	2011-02-16
申请号	CN201010538883.3	申请日	2010-11-10
[标]申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
当前申请(专利权)人(译)	中国医学科学院生物医学工程研究所		
[标]发明人	王晓春 周盛 王延群 段炳柱 计建军 宋学东 王立伟		
发明人	王晓春 周盛 王延群 段炳柱 计建军 宋学东 王立伟		
IPC分类号	A61B8/14 H03H17/02		
代理人(译)	刘国威		
外部链接	Espacenet SIPO		

摘要(译)

本发明属于超声波检测技术领域、超声检测仪器。为减少硬件资源的消耗，本发明采取的技术方案是，应用于全数字B型超声诊断仪中的动态滤波器，包括：FPGA芯片的RAM，用于：在Matlab中，通过给定的滤波器阶数和带宽，利用FDATool工具，选取Hamming窗函数来生成滤波器系数，在初始化阶段，将滤波器系数量化为8位补码数，存储到FPGA芯片的RAM中；FPGA芯片的FIR型动态滤波器的硬件实现部分，用于在系统运行阶段，通过精确的时序控制从RAM中得到滤波器的系数，并根据该系数形成动态滤波器。本发明主要应用于超声波检测场合。

