



(12) 发明专利申请

(10) 申请公布号 CN 102626325 A

(43) 申请公布日 2012. 08. 08

(21) 申请号 201210092060. 1

(22) 申请日 2012. 03. 31

(71) 申请人 深圳市开立科技有限公司

地址 518000 广东省深圳市南山区玉泉路毅
哲大厦 4 楼

(72) 发明人 李浩 莫寿农

(74) 专利代理机构 深圳市深佳知识产权代理事

务所 (普通合伙) 44285

代理人 唐华明

(51) Int. Cl.

A61B 8/00 (2006. 01)

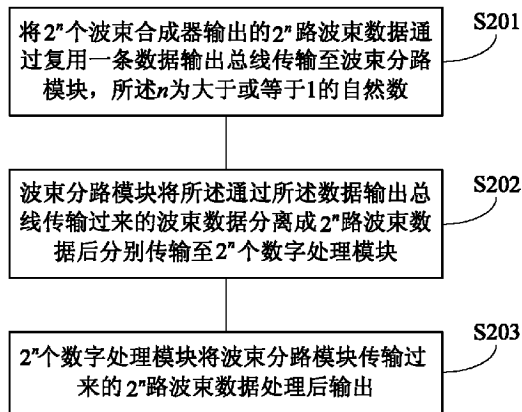
权利要求书 2 页 说明书 11 页 附图 5 页

(54) 发明名称

一种超声多波束数据传输方法和装置

(57) 摘要

本发明实施例提供一种超声多波束传输方法和装置,以减少对集成芯片管脚资源的占用,降低 PCB 布线难度。所述方法包括:将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块;所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块;所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理后输出。本发明实施例提供的方法大大减少了对集成芯片管脚资源或总线资源的占用,既降低了 PCB 布线的难度,又很好地贯彻了多波束成像系统“以空间换时间”的理念,节省出来的空间资源保证了高帧频的超声图像显示。



1. 一种超声多波束传输方法,其特征在于,所述方法包括:

将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数;

所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块;

所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理后输出。

2. 如权利要求 1 所述的方法,其特征在于,所述将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块包括:

合路单元接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据;

第一使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;

所述合路单元每收到所述 n 位使能信号,则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块。

3. 如权利要求 1 所述的方法,其特征在于,所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块包括:

分路单元接收所述通过所述数据输出总线传输过来的波束数据;

第二使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;

所述分路单元每收到所述 n 位使能信号,则将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。

4. 如权利要求 1 所述的方法,其特征在于,所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理包括:

将所述波束分路模块传输过来的 2^n 路波束数据执行后续信号处理流程,所述后续信号处理流程包括动态滤波、检波、重采样或动态范围变换中的一种或多种。

5. 如权利要求 1 至 4 任意一项所述的方法,其特征在于,所述 2^n 个数字处理模块输出已处理的 2^n 路波束数据后进一步包括:

上传控制模块将所述 2^n 个数字处理模块输出的 2^n 路波束数据排序后依次传输至后端成像子系统。

6. 一种超声多波束传输装置,其特征在于,所述装置包括复用模块、波束分路模块和数字处理模块;

所述复用模块,用于将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数;

所述波束分路模块,用于将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个所述数字处理模块;

所述 2^n 个数字处理模块,用于将所述波束分路模块传输过来的 2^n 路波束数据处理后输

出。

7. 如权利要求 6 所述的装置,其特征在于,所述复用模块包括第一使能单元和合路单元;

所述第一使能单元,用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;

所述合路单元,用于接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据,并且每收到所述 n 位使能信号,则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块。

8. 如权利要求 6 所述的装置,其特征在于,所述波束分路模块分路包括第二使能单元和分路单元;

所述第二使能单元,用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;

所述分路单元,用于接收所述通过所述数据输出总线传输过来的波束数据,并且每收到所述 n 位使能信号,则将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。

9. 如权利要求 6 所述的装置,其特征在于,所述数字处理模块包括:

处理单元,用于将所述波束分路模块传输过来的 2^n 路波束数据执行后续信号处理流程,所述后续信号处理流程包括动态滤波、检波、重采样或动态范围变换中的一种或多种。

10. 如权利要求 6 至 9 任意一项所述的装置,其特征在于,所述装置进一步包括:

上传控制模块,用于将所述 2^n 个数字处理模块输出的 2^n 路波束数据排序后依次传输至后端成像子系统。

一种超声多波束数据传输方法和装置

技术领域

[0001] 本发明涉及医学成像领域,尤其涉及一种超声多波束传输方法和装置。

背景技术

[0002] 多波束成像技术广泛应用于医疗领域的超声诊断仪系统,在超声前端通道数较多的情况下,往往需要多片现场可编程门阵列(Field Programmable Gate Array,FPGA)来完成前端回波数据的处理,包括:多波束合成、动态滤波、幅度检波、正交检波以及数据上传控制等。

[0003] 典型的多波束成像系统如附图1所示,至少包括:探头101、N通道发射电路102、N通道接收电路103、基于FPGA的波束合成器104、基于FPGA的波束处理器105和后端成像子系统106,其中,基于FPGA的波束处理器105(相对于基于FPGA的波束合成器104是后级FPGA)产生低压发射脉冲,传输至N通道发射电路102产生N个通道的高压脉冲,这些高压脉冲驱动探头101形成超声波,与此同时,与探头101的N个通道的阵元相连的N通道接收电路103接收超声回波信号。N通道接收电路103中的模拟数字转换器(Analog to Digital Converter,ADC)对模拟的超声回波信号进行模数转换以得到数字的超声回波信号并传输到波束合成器104,基于FPGA的波束合成器104(相对于基于FPGA的波束处理器105是前级FPGA)将N个通道的数字超声回波聚焦合成M个波束的波束数据,然后通过数据输出总线将波束数据传输至波束处理器105。波束处理器105再将M个波束的数据进行必要的信号处理,最后将它们按照一定的次序通过波束处理器105和后端成像子系统106的通信总线传输给后端成像子系统106,最终形成超声图像。

[0004] 现有技术提供的多波束成像系统中,波束合成器的数目等于波束合成器和波束处理器之间的数据输出总线的数目,这样,一根数据输出总线只用于传输从一个波束合成器输出的波束数据。例如,如果波束合成器设计成4个,那么,波束合成器和波束处理器之间的数据输出总线也设计成4个,4根数据输出总线中的分别用于传输从4个波束合成器输出的4波束数据。

[0005] 由于多波束成像技术基于“以空间换时间”的理念,即以占用较多的逻辑资源、管脚资源和提高单位数据传输量等为代价,换取高帧频的超声图像显示。因此,如果按照现有的多波束成像系统的设计,将波束合成器的数目设计成与该波束合成器和波束处理器之间的数据输出总线的数目相等,势必占用过多的FPGA管脚资源并增加印制电路板(Printed Circuit Board,PCB)的布线难度。例如,对于4个波束的波束数据,波束合成器用于4个波束的聚焦合成,以64通道、12bit(位)ADC采样位宽和变迹参数为8bit(位)的超声系统为例,波束合成后的数据位为24bit(位),这也是单个波束数据总线的最小位宽,则在4个波束条件下,在波束合成器的数据输出总线上至少要占用96个输入输出(Input Output,I/O)管脚。

发明内容

[0006] 本发明实施例提供一种超声多波束传输方法和装置,以减少对集成芯片管脚资源的占用,降低 PCB 布线难度。

[0007] 本发明实施例提供一种超声多波束传输方法,所述方法包括:将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数;所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块;所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理后输出。

[0008] 可选地,所述将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块包括:合路单元接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据;第一使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;所述合路单元每收到所述 n 位使能信号,则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块。

[0009] 可选地,所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块包括:分路单元接收所述通过所述数据输出总线传输过来的波束数据;第二使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;所述分路单元每收到所述 n 位使能信号,则将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。

[0010] 可选地,所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理包括:将所述波束分路模块传输过来的 2^n 路波束数据执行后续信号处理流程,所述后续信号处理流程包括动态滤波、检波、重采样或动态范围变换中的一种或多种。

[0011] 可选地,所述 2^n 个数字处理模块输出已处理的 2^n 路波束数据后进一步包括:上传控制模块将所述 2^n 个数字处理模块输出的 2^n 路波束数据排序后依次传输至后端成像子系统。

[0012] 本发明实施例提供一种超声多波束传输装置,所述装置包括复用模块、波束分路模块和数字处理模块;所述复用模块,用于将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数;所述波束分路模块,用于将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个所述数字处理模块;所述 2^n 个数字处理模块,用于将所述波束分路模块传输过来的 2^n 路波束数据处理后输出。

[0013] 可选地,所述复用模块包括第一使能单元和合路单元;所述第一使能单元,用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;所述合路单元,用于接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据,并且每收到所述 n 位使能信号,则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块。

[0014] 可选地,所述波束分路模块分路包括第二使能单元和分路单元;所述第二使能单元,用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元,所述 $T = 1/f$,所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;所述分路单元,用于接收所述通过所述数据输出总线传输过来的波束数据,并且每收到所述 n 位使能信号,则将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。

[0015] 可选地,所述数字处理模块包括:处理单元,用于将所述波束分路模块传输过来的 2^n 路波束数据执行后续信号处理流程,所述后续信号处理流程包括动态滤波、检波、重采样或动态范围变换中的一种或多种。

[0016] 可选地,所述装置进一步包括:上传控制模块,用于将所述 2^n 个数字处理模块输出的 2^n 路波束数据排序后依次传输至后端成像子系统。

[0017] 从上述本发明实施例可知,由于可以将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,在波束分路模块一侧,又将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块。与现有技术中一路波束数据占用一条数据输出总线相比,本发明实施例提供的方法大大减少了对集成芯片管脚资源或总线资源的占用,既降低了 PCB 布线的难度,又很好地贯彻了多波束成像系统“以空间换时间”的理念,节省出来的空间资源保证了高帧频的超声图像显示。

附图说明

[0018] 为了更清楚地说明本发明实施例的技术方案,下面将对现有技术或实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,还可以如这些附图获得其他的附图。

[0019] 图 1 是现有技术提供的多波束成像系统结构示意图;

[0020] 图 2 是本发明实施例提供的超声多波束传输方法流程示意图;

[0021] 图 3 是本发明实施例提供的超声多波束传输装置结构示意图;

[0022] 图 4 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0023] 图 5 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0024] 图 6 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0025] 图 7a 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0026] 图 7b 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0027] 图 7c 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0028] 图 7d 是本发明另一实施例提供的超声多波束传输装置结构示意图;

[0029] 图 8 是本发明实施例提供的多波束成像系统结构示意图;

[0030] 图 9 是本发明另一实施例提供的多波束成像系统结构示意图。

具体实施方式

[0031] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域技术人员所获得的所有其他实施例,都属于本发明保护的范围。

[0032] 请参阅附图 2,是本发明实施例提供的超声多波束传输方法流程示意图,主要包括步骤 S201 至步骤 S203:

[0033] S201,将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数。

[0034] 与现有技术不同的是,在本发明实施例中,若基于 FPGA 的波束合成器有 2^n 个,则是将该 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至基于 FPGA 的波束处理器,其中,基于 FPGA 的波束处理器包括至少一个波束分路模块。

[0035] 作为将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块的一个实施例,可以是合路单元接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据,然后,第一使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元,合路单元每收到所述 n 位使能信号,则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块。在本发明实施例中,第一使能单元输出 n 位使能信号的周期 $T = 1/f$,其中, f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$,而 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率。在具体实现时,可以采用锁相环等将 2^n 个波束合成器中任何一个波束合成器的工作时钟 2^n 倍频,也可以外接一个与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟源并 2^n 倍频波束合成器的工作时钟。由第一使能单元的功能可知,第一使能单元相对于合路单元起开关的作用:由于第一使能单元输出 n 位使能信号的周期 T 是 $1/2^n f_c$,因此,每一个周期,恰好允许 2^n 路波束数据中的一路波束数据占用所述数据输出总线。 2^n 个周期之后,重新允许首次占用所述数据输出总线的波束数据占用所述数据输出总线。例如,假设在波束合成器的一个周期 $1/f_c$ 内,合路单元收到 2 路(此时, 2^n 中的 n 为 1)波束数据,第一使能单元在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动合路单元,合路单元允许 2 路波束数据中的第一路波束数据占用所述数据输出总线;第一使能单元在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动合路单元,合路单元允许 2 路波束数据中的第二路波束数据占用所述数据输出总线;此后,在波束合成器的另一个周期 $1/f_c$ 内,合路单元又收到 2 路波束数据,此时,第一使能单元在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动合路单元,合路单元允许 2 路波束数据中的第一路波束数据占用所述数据输出总线;第一使能单元在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动合路单元,合路单元允许 2 路波束数据中的第二路波束数据占用所述数据输出总线,如此循环。

[0036] S202,波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块。

[0037] 在本发明实施例中,波束分路模块执行的是与合路单元相逆的动作,主要是将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块。作为本发明一个实施例,将通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据可以这样实现:分路单元接收所述通过一条数据输出总线传输过来的波束数据,然后,第二使能单元以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元,最后,分路单元每收到所述 n 位使能信号,则将所述数据输出总线传输过来的一路波束数

据输入至 2^n 个数字处理模块中的一个数字处理模块。在本发明实施例中,第二使能单元和第一使能单元是对称的器件模块,其输出 n 位使能信号的周期 $T = 1/f$,其中, f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$, f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率。基于 FPGA 的波束处理器的工作时钟与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同频同相,第二使能单元的时钟在实现时,可以采用锁相环等将基于 FPGA 的波束处理器的工作时钟 2^n 倍频,也可以外接一个与所述基于 FPGA 的波束处理器的工作时钟或 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟源并 2^n 倍频所述基于 FPGA 的波束处理器的工作时钟或波束合成器的工作时钟。由第二使能单元的功能可知,第二使能单元相对于分路单元起开关的作用:由于第二使能单元输出 n 位使能信号的周期 T 是 $1/2^n f_c$,因此,每一个周期,恰好允许分路单元将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。 2^n 个周期之后,重新允许分路单元将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。例如,假设在波束合成器(或基于 FPGA 的波束处理器)的一个周期 $1/f_c$ 内,分路单元收到 2 路(此时, 2^n 中的为 1)波束数据中的第一路波束数据,第二使能单元在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动分路单元,合路单元允许 2 路波束数据中的第一路波束数据输入至 2 个数字处理模块中的第一个数字处理模块;在波束合成器(或基于 FPGA 的波束处理器)的第二个周期 $1/f_c$ 内,分路单元收到 2 路波束数据中的第二路波束数据,第二使能单元在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动分路单元,分路单元允许 2 路波束数据中的第二路波束数据输入至 2 个数字处理模块中的第二个数字处理模块;此后,在波束合成器的第三个周期 $1/f_c$ 内,分路单元又收到 2 路波束数据中的第一路波束数据,此时,第二使能单元在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动分路单元,分路单元允许 2 路波束数据中的第一路波束数据输入至 2 个数字处理模块中的第一个数字处理模块;第二使能单元在其第四个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动分路单元,合路单元允许 2 路波束数据中的第二路波束数据输入至 2 个数字处理模块中的第二个数字处理模块,如此循环。

[0038] S203, 2^n 个数字处理模块将波束分路模块传输过来的 2^n 路波束数据处理后输出。

[0039] 例如,将所述波束分路模块传输过来的 2^n 路波束数据执行后续信号处理流程,包括动态滤波、检波、重采样或动态范围变换等,可以是单独执行这些动作中的一项,或者执行其中任意几项的组合,取决于该超声诊断仪系统的设计思路。

[0040] 在将所述波束分路模块传输过来的 2^n 路波束数据执行动态滤波、检波、重采样或动态范围变换等信号处理流程后,上传控制模块还可以将所述 2^n 个数字处理模块输出的 2^n 路波束数据排序后依次传输至后端成像子系统,如此,免除了后端成像子系统对有顺序要求的 2^n 路波束数据重新排序,减小了后端成像子系统的设计复杂度。

[0041] 从上述本发明实施例提供的超声多波束传输方法可知,由于可以将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,在波束分路模块一侧,又将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块。与现有技术中一路波束数据占用一条数据输出总线相比,本发明实施例提供的方法大大减少了对集成芯片管脚资源或总线资源的占用,既降低了 PCB 布线的难度,又很好地贯彻了多波束成像系统“以空间换时间”的理念,节省出来的空间资源保

证了高帧频的超声图像显示。

[0042] 请参阅附图 3, 是本发明实施例提供的超声多波束传输装置结构示意图。为了便于说明, 仅仅示出了与本发明实施例相关的部分。附图 3 示例的超声多波束传输装置包括复用模块 301、波束分路模块 302 和数字处理模块 303, 其中:

[0043] 复用模块 301, 用于将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块, 所述 n 为大于或等于 1 的自然数;

[0044] 与现有技术不同的是, 在本实施例中, 若基于 FPGA 的波束合成器有 2^n 个, 则复用模块 301 将该 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块。

[0045] 波束分路模块 302, 用于将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个所述数字处理模块 303;

[0046] 在本实施例中, 波束分路模块 302 执行的是与复用模块 301 相逆的动作, 主要是将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块。

[0047] 数字处理模块 303, 用于将所述波束分路模块 303 传输过来的 2^n 路波束数据处理后输出。

[0048] 例如, 数字处理模块 303 将波束分路模块 302 传输过来的 2^n 路波束数据执行后续信号处理流程, 包括动态滤波、检波、重采样或动态范围变换等, 可以是单独执行这些动作中的一项, 或者执行其中任意几项的组合, 取决于该超声诊断仪系统的设计思路。

[0049] 需要说明的是, 以上超声多波束传输装置的实施方式中, 各功能模块的划分仅是举例说明, 实际应用中可以根据需要, 例如相应硬件的配置要求或者软件的实现的便利考虑, 而将上述功能分配由不同的功能模块完成, 即将所述网关的内部结构划分成不同的功能模块, 以完成以上描述的全部或者部分功能。而且, 实际应用中, 本实施例中的相应的功能模块可以是由相应的硬件实现, 也可以由相应的硬件执行相应的软件完成, 例如, 前述的复用模块, 可以是具有执行前述将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块的硬件, 例如复用器, 也可以是能够执行相应计算机程序从而完成前述功能的一般处理器或者其他硬件设备; 再如前述的波束分路模块, 可以是具有执行前述将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个所述数字处理模块功能的硬件, 例如波束分路器, 也可以是能够执行相应计算机程序从而完成前述功能的一般处理器或者其他硬件设备 (本说明书提供的各个实施例都可应用上述描述原则)。

[0050] 需要进一步说明的是, 在本实施例中, 复用模块 301 可以是基于 FPGA 的波束合成器中的一个功能模块或单元, 而波束分路模块 302 和数字处理模块 303 可以是基于 FPGA 的波束处理器中的功能模块或单元。

[0051] 附图 3 示例的复用模块 301 可以包括第一使能单元 401 和合路单元 402, 如附图 4 所示本发明另一实施例提供的超声多波束传输装置, 其中:

[0052] 第一使能单元 401, 用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述合路单元 402, 所述 $T = 1/f$, 所述 f 是与 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$, 所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作

时钟的频率；

[0053] 合路单元 402, 用于接收所述 2^n 个波束合成器输出的所述 2^n 路波束数据, 并且每收到所述 n 位使能信号, 则将所述 2^n 路波束数据中的一路波束数据通过所述数据输出总线传输至波束分路模块 302。

[0054] 在图 4 示例的超声多波束传输装置中, 第一使能单元 401 输出 n 位使能信号的周期 $T = 1/f$, 其中, f 是与 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$, 而 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率。在具体实现时, 可以采用锁相环等将 2^n 个波束合成器中任何一个波束合成器的工作时钟 2^n 倍频, 也可以外接一个与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟源并 2^n 倍频波束合成器的工作时钟。由第一使能单元 401 的功能可知, 第一使能单元 401 相对于合路单元 402 起开关的作用: 由于第一使能单元 401 输出 n 位使能信号的周期 T 是 $1/2^n f_c$, 因此, 每一个周期, 恰好允许 2^n 路波束数据中的一路波束数据占用所述数据输出总线。 2^n 个周期之后, 重新允许首次占用所述数据输出总线的波束数据占用所述数据输出总线。例如, 假设在波束合成器的一个周期 $1/f_c$ 内, 合路单元 402 收到 2 路 (此时, 2^n 中的 n 为 1) 波束数据, 第一使能单元 401 在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动合路单元 402, 合路单元 402 允许 2 路波束数据中的第一路波束数据占用所述数据输出总线; 第一使能单元 401 在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动合路单元 402, 合路单元 402 允许 2 路波束数据中的第二路波束数据占用所述数据输出总线; 此后, 在波束合成器的另一个周期 $1/f_c$ 内, 合路单元 402 又收到 2 路波束数据, 此时, 第一使能单元 401 在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动合路单元 402, 合路单元 402 允许 2 路波束数据中的第一路波束数据占用所述数据输出总线; 第一使能单元 401 在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动合路单元 402, 合路单元 402 允许 2 路波束数据中的第二路波束数据占用所述数据输出总线, 如此循环。

[0055] 附图 3 示例的波束分路模块 302 可以包括第二使能单元 501 和分路单元 502, 如附图 5 所示本发明另一实施例提供的超声多波束传输装置, 其中:

[0056] 第二使能单元 501, 用于以 T 为周期输出 n 位数字信号作为使能信号驱动所述分路单元 502, 所述 $T = 1/f$, 所述 f 是与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$, 所述 f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率;

[0057] 分路单元 502, 用于接收所述通过所述数据输出总线传输过来的波束数据, 并且每收到所述 n 位使能信号, 则将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块 303 中的一个数字处理模块。

[0058] 在图 5 示例的超声多波束传输装置中, 第二使能单元 501 和第一使能单元 401 是对称的器件模块, 其输出 n 位使能信号的周期 $T = 1/f$, 其中, f 是与 2^n 个波束合成器中任何一个波束合成器的工作时钟同相的时钟的频率且 $f = 2^n f_c$, f_c 为所述 2^n 个波束合成器中任何一个波束合成器的工作时钟的频率。基于 FPGA 的波束处理器的工作时钟与所述 2^n 个波束合成器中任何一个波束合成器的工作时钟同频同相, 第二使能单元 501 的时钟在实现时, 可以采用锁相环等将基于 FPGA 的波束处理器的工作时钟 2^n 倍频, 也可以外接一个与所述基于 FPGA 的波束处理器的工作时钟或 2^n 个波束合成器中任何一个波束合成器的工作时

钟同相的时钟源并 2^n 倍频所述基于 FPGA 的波束处理器的工作时钟或波束合成器的工作时钟。由第二使能单元 501 的功能可知,第二使能单元 501 相对于分路单元 502 起开关的作用:由于第二使能单元 501 输出 n 位使能信号的周期 T 是 $1/2^n f_c$,因此,每一个周期,恰好允许分路单元 502 将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块 303 中的一个数字处理模块。 2^n 个周期之后,重新允许分路单元 502 将所述数据输出总线传输过来的一路波束数据输入至 2^n 个数字处理模块中的一个数字处理模块。例如,假设在波束合成器(或基于 FPGA 的波束处理器)的一个周期 $1/f_c$ 内,分路单元 502 收到 2 路(此时, 2^n 中的为 1)波束数据中的第一路波束数据,第二使能单元 501 在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动分路单元 502,合路单元允许 2 路波束数据中的第一路波束数据输入至 2 个数字处理模块中的第一个数字处理模块;在波束合成器(或基于 FPGA 的波束处理器)的第二个周期 $1/f_c$ 内,分路单元 502 收到 2 路波束数据中的第二路波束数据,第二使能单元 501 在其第二个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动分路单元 502,分路单元 502 允许 2 路波束数据中的第二路波束数据输入至 2 个数字处理模块中的第二个数字处理模块。此后,在波束合成器的第三个周期 $1/f_c$ 内,分路单元 502 又收到 2 路波束数据中的第一路波束数据,此时,第二使能单元 501 在其第一个周期 $1/2f_c$ 内输出 1 位使能信号“0”驱动分路单元 502,分路单元 502 允许 2 路波束数据中的第一路波束数据输入至 2 个数字处理模块中的第一个数字处理模块;第二使能单元 501 在其第四个周期 $1/2f_c$ 内输出 1 位使能信号“1”驱动分路单元 502,合路单元允许 2 路波束数据中的第二路波束数据输入至 2 个数字处理模块中的第二个数字处理模块,如此循环。

[0059] 附图 3 示例的数字处理模块 303 可以包括处理单元 601,如附图 6 所示本发明另一实施例提供的超声多波束传输装置。处理单元 601 用于将波束分路模块 302 传输过来的 2^n 路波束数据执行动态滤波、检波、重采样或动态范围变换中的一种或多种。

[0060] 附图 3 至附图 6 任一示例的超声多波束传输装置可以进一步包括上传控制模块 701,如附图 7a 至附图 7d 所示本发明另一实施例提供的超声多波束传输装置。上传控制模块 701 用于将 2^n 个数字处理模块 303 输出的 2^n 路波束数据排序后依次传输至后端成像子系统。如此,免除了后端成像子系统对有顺序要求的 2^n 路波束数据重新排序,减小了后端成像子系统的设计复杂度。

[0061] 以下以发射电路和接收电路均为 64 通道、基于 FPGA 的波束合成器数量为 4 的多波束成像系统为例,说明前述实施例超声多波束传输方法。如附图 8 所示,是本发明实施例提供的多波束成像系统。该系统是将每两个波束合成器产生的两路波束数据复用至一条数据传输总线,说明如下。

[0062] 基于 FPGA 的波束处理器 805 产生 64 个通道的低压脉冲,该 64 个通道的低压脉冲去驱动 64 通道发射电路 802 的 MosFET 场效应管,形成 64 个通道的高压脉冲,并施加在探头 801 的 64 个阵元上,形成空间分布的超声机械波。超声机械波在被扫查切面上传输,遇到介质会形成反射的超声波,并被探头 801 阵元接收产生逆向压电效应形成电子的回波信号,进入到 64 通道接收电路 803 中。64 通道的接收电路 803 分别对超声回波信号必要的前置预增益处理和 ADC 转换得到 64 通道的数字回波信号。在本实施例中,假设 ADC 采样时钟为 40MHz。

[0063] 4 个基于 FPGA 的波束合成器 804 中的每一个基于 FPGA 的波束合成器将来自 ADC

的 64 个通道数字回波信号送入到各自的输入端,执行聚焦合成操作,得到 4 路波束数据。4 个基于 FPGA 的波束合成器的工作时钟与 ADC 采样时钟频率一致,都是 40MHz。如此,得到的 4 路波束数据,都是 40MHz 的数据率。

[0064] 复用模块对 4 路波束数据进行复用传输处理。本实施例是以 2 路波束数据复用一条数据传输总线为例进行说明的。首先使用 2 倍频 ADC 采样时钟的频率,即 80MHz 的时钟去驱动第一使能单元,这里的第一使能单元可以是 1bit(位)的计数器。1bit 的计数器的输出作为两个合路单元的使能信号,用于驱动合路单元。在本实施例中,合路单元可以是一个双路选择器。第一波束合成器(波束合成器 1)和第二波束合成器(波束合成器 2)的输出进入到第一双路选择器(双路选择器 1)的两个输入端,若使能信号为“0”,第一双路选择器输出的是第一波束合成器产生的第一路波束数据;若使能信号为“1”,则第一双路选择器输出的是第二波束合成器输出的第二路波束数据,第一路波束数据和第二路波束数据复用第一条数据传输总线(数据传输总线 1)。同理,第三波束合成器和第四波束合成器输出端分别与第二双路选择器(双路选择器 2)的两个输入端相连,使能信号为“0”时,第二双路选择器输出第三路波束数据,使能信号为“1”时,第二双路选择器输出第四路波束数据。第三路波束数据和第四路波束数据复用第二条数据传输总线(数据传输总线 2)。

[0065] 基于 FPGA 的波束处理器 805 对这两条数据传输总线上复用的波束数据分离开来,以恢复原先的波束次序。使用两个分路单元,该分路单元实际上是一个双路分配器,与基于 FPGA 的波束合成器 804 中的合路单元(双路选择器)对称。由第一条数据传输总线(数据传输总线 1)传输过来的波束数据进入到第一双路分配器(双路分配器 1)中,由第二条数据传输总线(数据传输总线 2)传输过来的波束数据进入到第二双路分配器(双路分配器 2)中。同样地,利用频率为 80MHz 的时钟去驱动第二使能单元,这里的第二使能单元可以是 1bit(位)的计数器,它的输出作为这两个双路分配器的使能信号。当第二使能单元输出使能信号“0”时,第一条数据传输总线传输过来的波束数据进入到第一数字处理通道(数字处理通道 1)中,第二条数据传输总线传输过来的波束数据进入到第三数字处理通道(数字处理通道 3)中;当第二使能单元输出使能信号“1”时,第一条数据传输总线传输过来的波束数据进入到第一数字处理通道(数字处理通道 2)中,第二条数据传输总线传输过来的波束数据进入到第三数字处理通道(数字处理通道 4)中。4 个数字处理通道相当于 4 个数字处理模块,分别处理 4 路波束数据在波束合成后的后续处理,例如,动态滤波、检波、重采样和动态范围变换等操作。最后,该 4 路波束数据一起送入到上传控制模块中。上传控制模块对 4 路波束数据进行排序,依次通过通信总线传输至后端成像子系统 806。通信总线的协议可以采样通用串行总线(Universal Serial Bus, USB)协议、周边元件扩展接口(Peripheral Component Interconnection, PCI)协议或者其它协议。需要注意的是,驱动第二使能单元的频率为 80MHz 的时钟必须与驱动第一使能单元的频率为 80MHz 的时钟同步。

[0066] 以下以发射电路和接收电路均为 64 通道、基于 FPGA 的波束合成器数量为 4、将 4 个波束合成器产生的 4 路波束数据复用至一条数据传输总线为例,说明如下,如附图 9 所示,是本发明另一实施例提供的多波束成像系统。

[0067] 基于 FPGA 的波束处理器 905 产生 64 个通道的低压脉冲,该 64 个通道的低压脉冲去驱动 64 通道发射电路 902 的 MosFEI 场效应管,形成 64 个通道的高压脉冲,并施加在探

头 901 的 64 个阵元上,形成空间分布的超声机械波。超声机械波在被扫查切面上传输,遇到介质会形成反射的超声波,并被探头 901 阵元接收产生逆向压电效应形成电子的回波信号,进入到 64 通道接收电路 903 中。64 通道的接收电路 903 分别对超声回波信号必要的前置预增益处理和 ADC 转换得到 64 通道的数字回波信号。在本实施例中,假设 ADC 采样时钟为 40MHz。

[0068] 4 个基于 FPGA 的波束合成器 904 中的每一个基于 FPGA 的波束合成器将来自 ADC 的 64 个通道数字回波信号送入到各自的输入端,执行聚焦合成操作,得到 4 路波束数据。4 个基于 FPGA 的波束合成器的工作时钟与 ADC 采样时钟频率一致,都是 40MHz。如此,得到的 4 路波束数据,都是 40MHz 的数据率。

[0069] 复用模块对 4 路波束数据进行复用传输处理。本实施例是以 4 路波束数据复用一条数据传输总线为例进行说明的。首先使用 4 倍频 ADC 采样时钟的频率,即 160MHz 的时钟去驱动第一使能单元,这里的第一使能单元可以是 2bit(位)的计数器。2bit 的计数器的输出作为合路单元的使能信号,用于驱动合路单元。在本实施例中,合路单元可以是一个四路选择器。第一波束合成器(波束合成器 1)、第二波束合成器(波束合成器 2)、第三波束合成器(波束合成器 3)和第四波束合成器(波束合成器 4)的输出进入到四路选择器的四个输入端,若使能信号为“00”,则四路选择器输出的是第一波束合成器产生的第一路波束数据;若使能信号为“01”,则四路选择器输出的是第二波束合成器产生的第二路波束数据;若使能信号为“10”,则四路选择器输出的是第三波束合成器产生的第三路波束数据;若使能信号为“11”,则四路选择器输出的是第四波束合成器产生的第四路波束数据;第一路波束数据、第二路波束数据、第三路波束数据和第四路波束数据复用一条数据传输总线。

[0070] 基于 FPGA 的波束处理器 905 对这一条数据传输总线上复用的波束数据分离开来,以恢复原先的波束次序。使用一个分路单元,该分路单元实际上是一个四路分配器,与基于 FPGA 的波束合成器 904 中的合路单元(四路选择器)对称。由数据传输总线传输过来的四路波束数据进入到四路分配器中。同样地,利用频率为 160MHz 的时钟去驱动第二使能单元,这里的第二使能单元可以是 2bit(位)的计数器,它的输出作为该四路分配器的使能信号。当第二使能单元输出使能信号“00”时,数据传输总线传输过来的第一路波束数据进入到第一数字处理通道(数字处理通道 1)中;当第二使能单元输出使能信号“01”时,数据传输总线传输过来的第二路波束数据进入到第二数字处理通道(数字处理通道 2)中;当第二使能单元输出使能信号“10”时,数据传输总线传输过来的第三路波束数据进入到第三数字处理通道(数字处理通道 3)中;当第二使能单元输出使能信号“11”时,数据传输总线传输过来的第四路波束数据进入到第四数字处理通道(数字处理通道 4)中。4 个数字处理通道相当于 4 个数字处理模块,分别处理 4 路波束数据在波束合成后的后续处理,例如,动态滤波、检波、重采样和动态范围变换等操作。最后,该 4 路波束数据一起送入到上传控制模块中。上传控制模块对 4 路波束数据进行排序,依次通过通信总线传输至后端成像子系统 906。通信总线的协议可以采用 USB 协议、PCI 协议或者其它协议。需要注意的是,驱动第二使能单元的频率为 160MHz 的时钟必须与驱动第一使能单元的频率为 160MHz 的时钟同步。

[0071] 需要说明的是,上述装置各模块/单元之间的信息交互、执行过程等内容,由于与本发明方法实施例基于同一构思,其带来的技术效果与本发明方法实施例相同,具体内容可参见本发明方法实施例中的叙述,此处不再赘述。

[0072] 本领域普通技术人员可以理解上述实施例的各种方法中的全部或部分步骤是可以通程序来指令相关的硬件来完成,比如以下各种方法的一种或多种或全部:

[0073] 将 2^n 个波束合成器输出的 2^n 路波束数据通过复用一条数据输出总线传输至波束分路模块,所述 n 为大于或等于 1 的自然数;

[0074] 所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 2^n 路波束数据后分别传输至 2^n 个数字处理模块;

[0075] 所述 2^n 个数字处理模块将所述波束分路模块传输过来的 2^n 路波束数据处理后输出。

[0076] 本领域普通技术人员可以理解上述实施例的各种方法中的全部或部分步骤是可以通程序来指令相关的硬件来完成,该程序可以存储于一计算机可读存储介质中,存储介质可以包括:只读存储器 (ROM, Read Only Memory)、随机存取存储器 (RAM, Random Access Memory)、磁盘或光盘等。

[0077] 以上对本发明实施例提供的一种超声多波束传输方法和装置进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

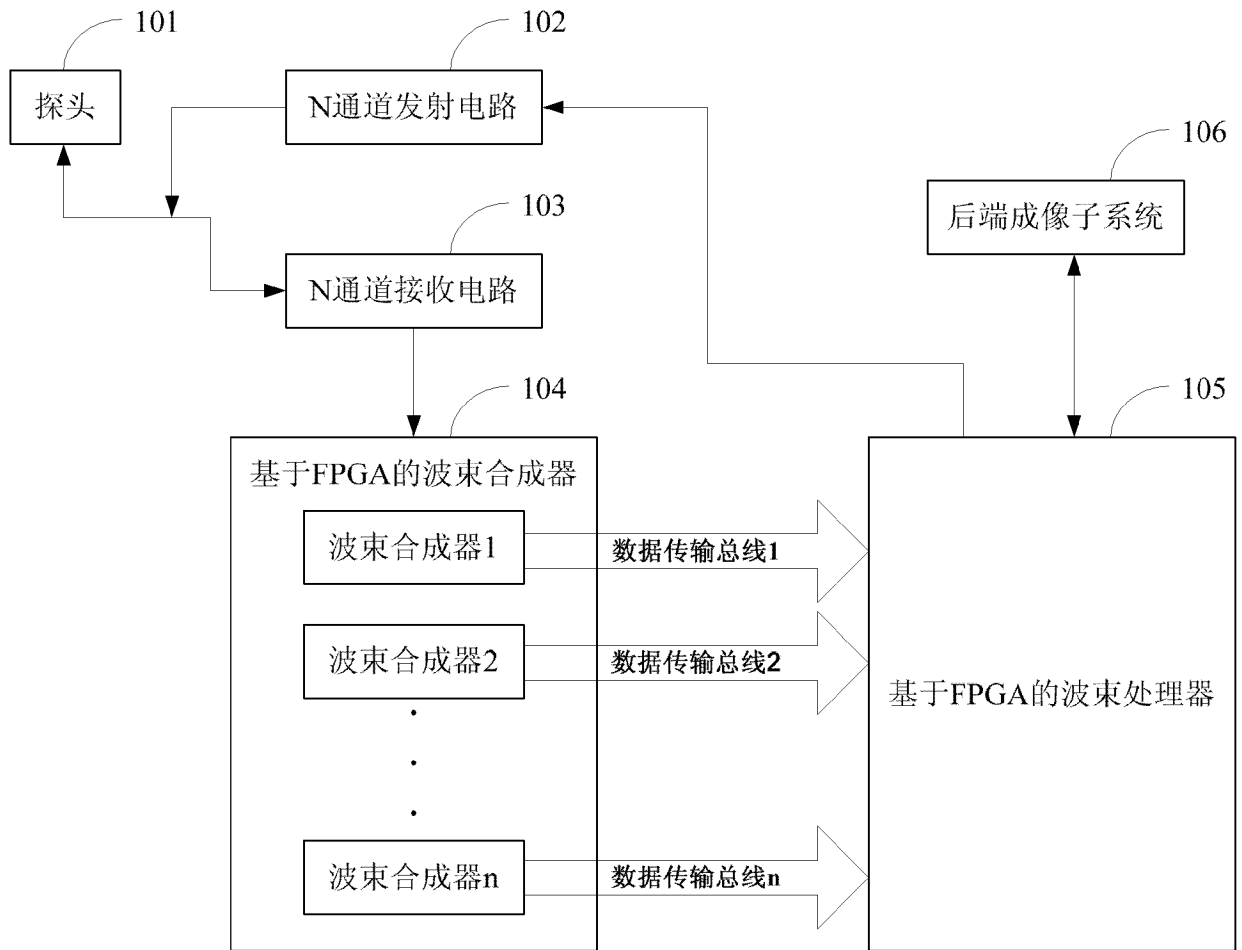


图 1

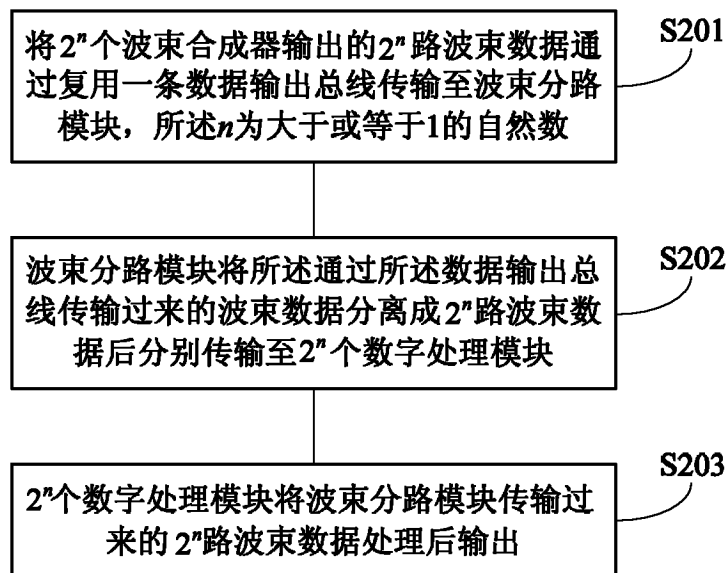


图 2

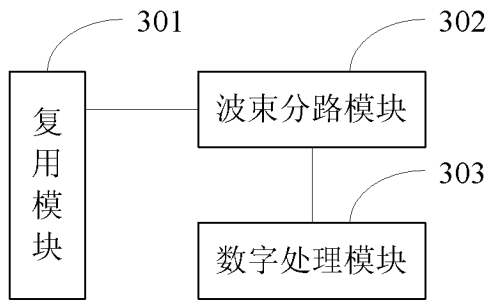


图 3

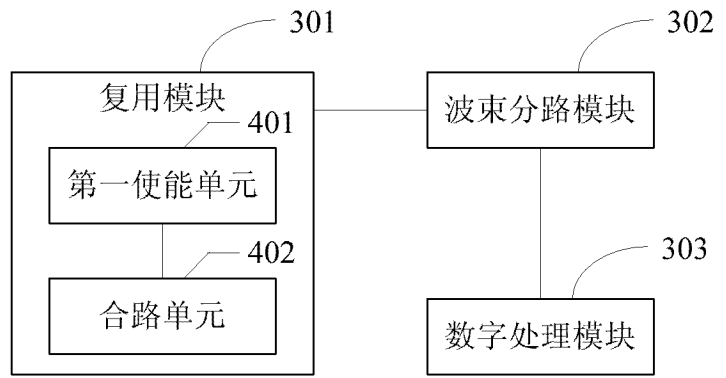


图 4

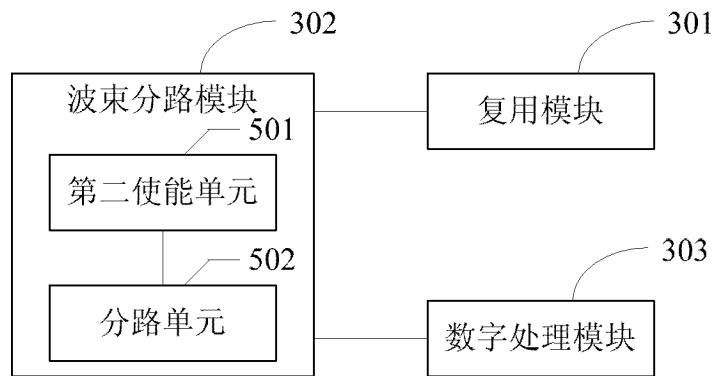


图 5

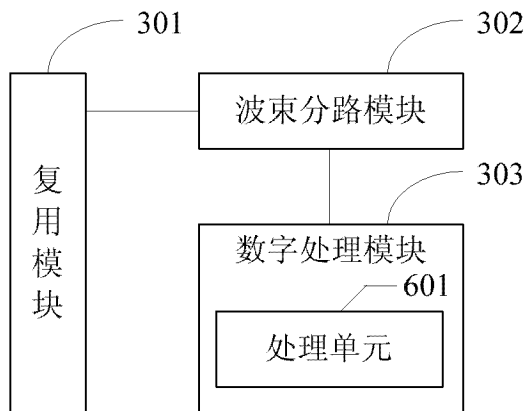


图 6

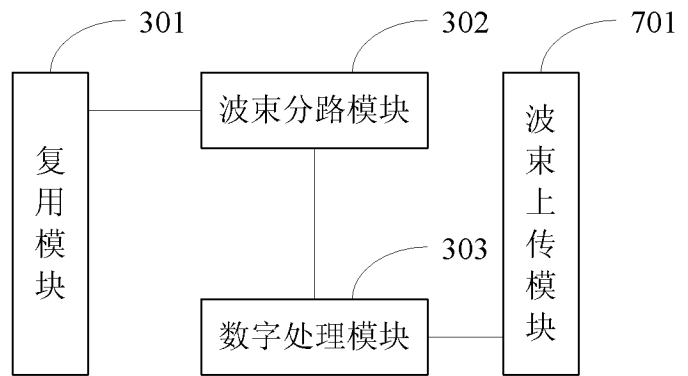


图 7a

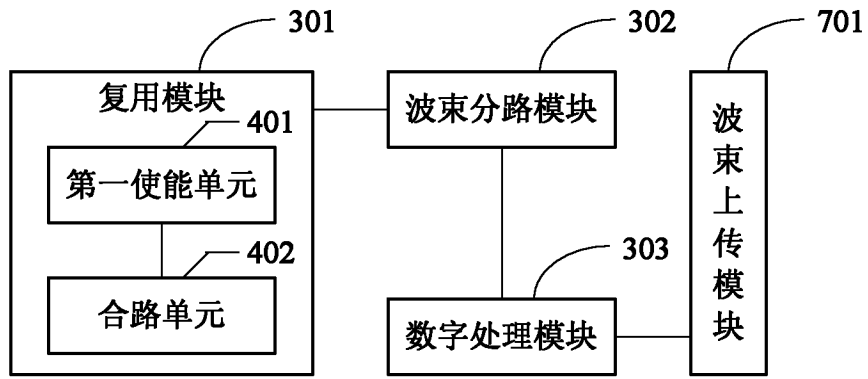


图 7b

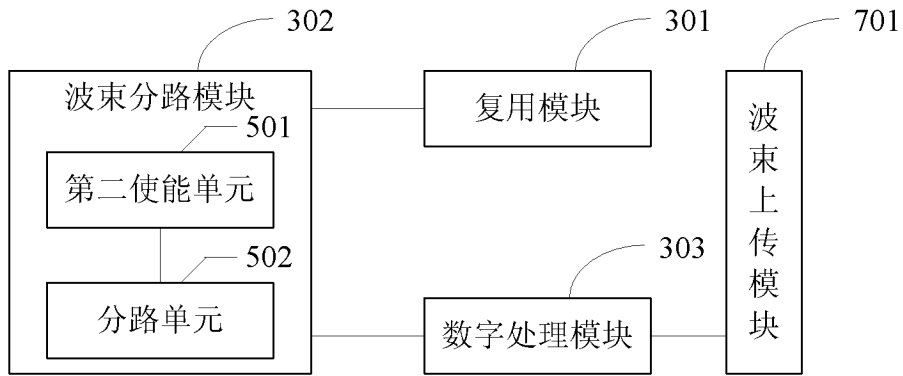


图 7c

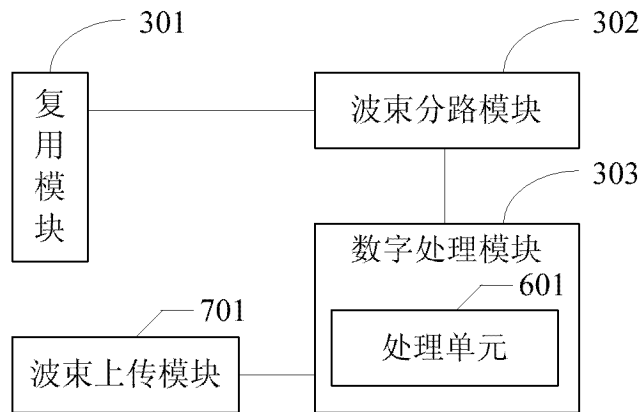


图 7d

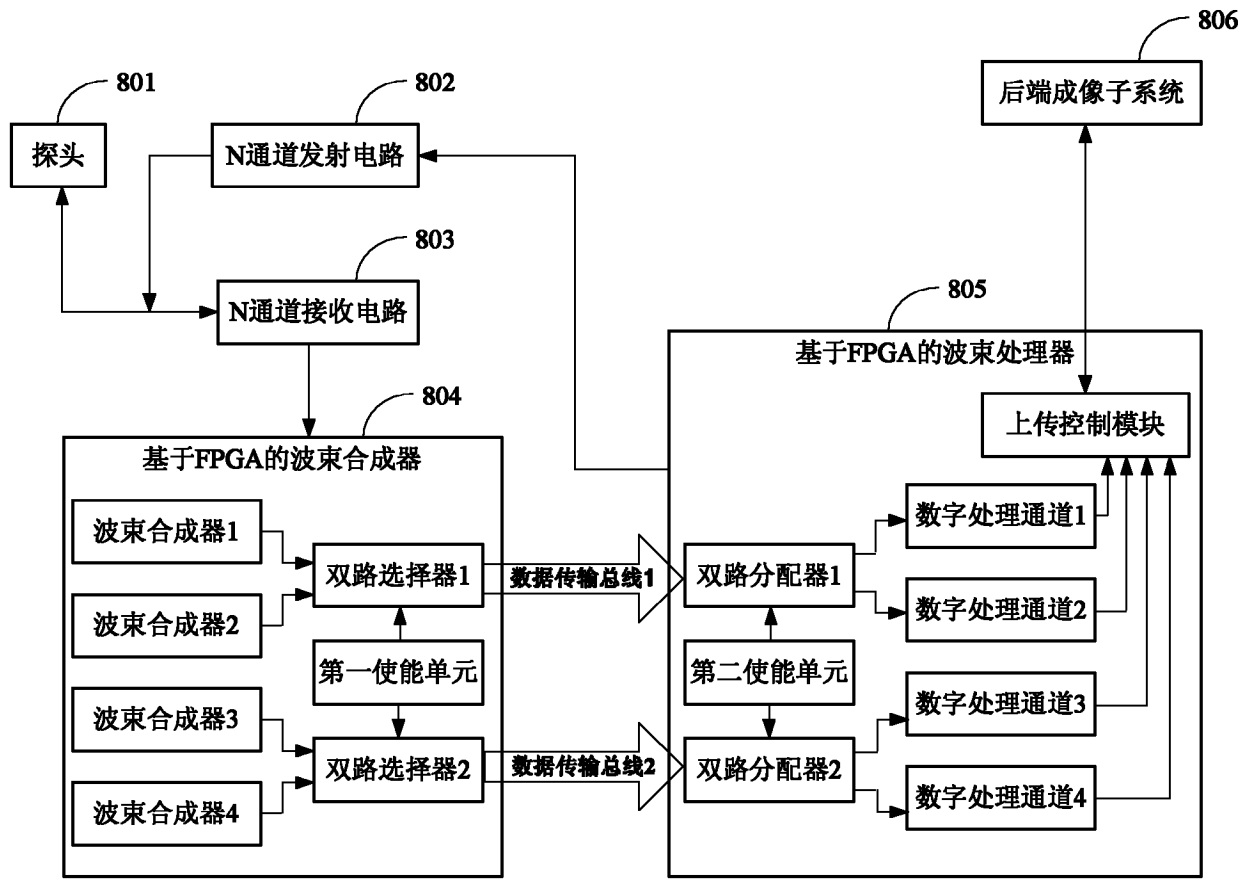


图 8

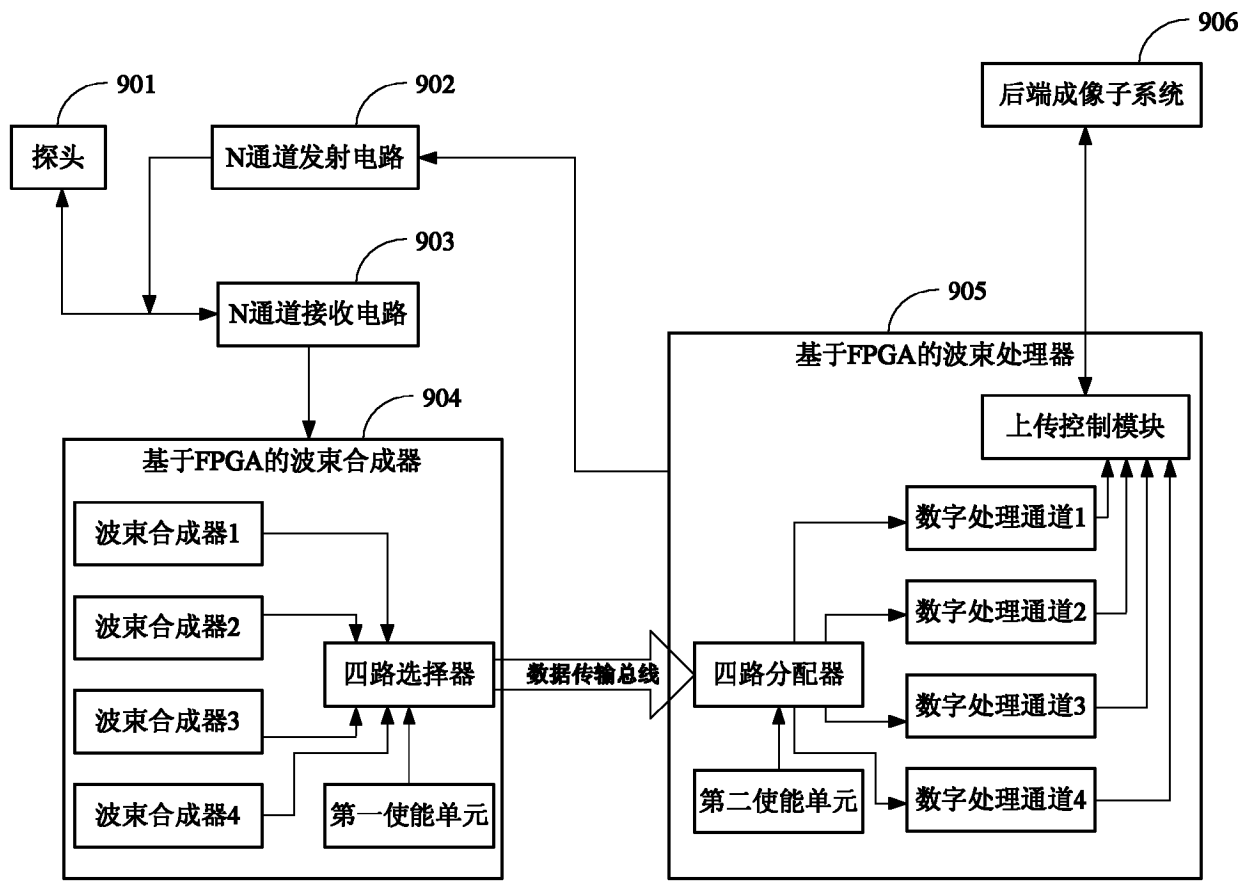


图 9

专利名称(译)	一种超声多波束数据传输方法和装置		
公开(公告)号	CN102626325A	公开(公告)日	2012-08-08
申请号	CN201210092060.1	申请日	2012-03-31
[标]申请(专利权)人(译)	深圳市开立科技有限公司		
申请(专利权)人(译)	深圳市开立科技有限公司		
当前申请(专利权)人(译)	深圳市开立科技有限公司		
[标]发明人	李浩 莫寿农		
发明人	李浩 莫寿农		
IPC分类号	A61B8/00		
代理人(译)	唐华明		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种超声多波束传输方法和装置，以减少对集成芯片管脚资源的占用，降低PCB布线难度。所述方法包括：将 $2n$ 个波束合成器输出的 $2n$ 路波束数据通过复用一条数据输出总线传输至波束分路模块；所述波束分路模块将所述通过所述数据输出总线传输过来的波束数据分离成 $2n$ 路波束数据后分别传输至 $2n$ 个数字处理模块；所述 $2n$ 个数字处理模块将所述波束分路模块传输过来的 $2n$ 路波束数据处理后输出。本发明实施例提供的方法大大减少了对集成芯片管脚资源或总线资源的占用，既降低了PCB布线的难度，又很好地贯彻了多波束成像系统“以空间换时间”的理念，节省出来的空间资源保证了高帧频的超声图像显示。

