



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0095333
(43) 공개일자 2017년08월22일

(51) 국제특허분류(Int. Cl.)
A61B 5/0478 (2006.01) A61B 5/00 (2006.01)
A61B 5/04 (2006.01) H03F 3/393 (2006.01)
H03F 3/45 (2006.01)
(52) CPC특허분류
A61B 5/0478 (2013.01)
A61B 5/04004 (2013.01)
(21) 출원번호 10-2017-7019483
(22) 출원일자(국제) 2014년12월19일
심사청구일자 2017년07월13일
(85) 번역문제출일자 2017년07월13일
(86) 국제출원번호 PCT/EP2014/078651
(87) 국제공개번호 WO 2016/096030
국제공개일자 2016년06월23일

(71) 출원인
티앤더블유 엔지니어링 에이/에스
덴마크, 3540 링게, 니모엘레바이 6
(72) 발명자
키드모세 프레벤
덴마크 데카-8000 세 아르후스 세 인게 레만스 가
데 10 아르후스 유니베르시테트 인스티투트 포르
인게니오르비텐스카브
주 사용
덴마크 데카-8000 아르후스 세 인게 레만스 가데
10 아르후스 유니베르시테트 인스티투트 포르 인
게니오르비텐스카브
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

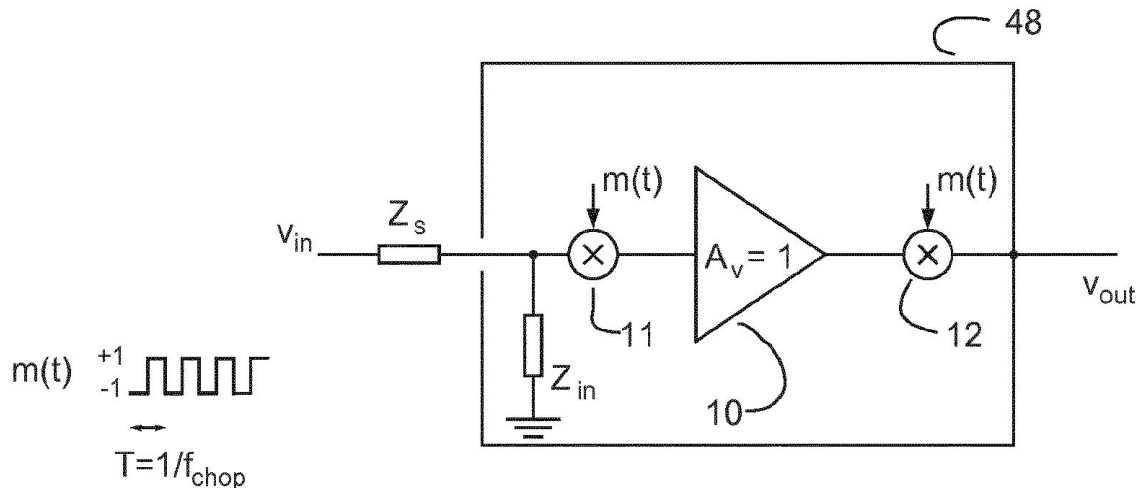
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 초퍼 변조를 이용한 페-루프 단위-이득 증폭기를 가지는 능동 전극

(57) 요약

능동 전극은 전위를 센싱하고 입력 신호를 발생시키기 위한 전극, 및 전극 근처에 배치되지만 전극으로부터 전기적으로 절연되는 실드를 가진다. 통합 증폭기(10)는 입력 신호를 수신하고 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하기 위한 적어도 하나의 전극에 연결되는 입력을 가진다. 실드의 전위를 능동으로 구동시키고, 그에 의해 전극의 능동 실드를 제공하기 위해 통합 증폭기의 출력에 실드가 연결된다. 버퍼링 경로는 입력 신호를 기본 주파수 범위로부터 더 높은 주파수 범위로 주파수 시프팅하기 위한 통합 증폭기 전방의 제1 믹서(11), 및 증폭 신호를 더 높은 주파수 범위로부터 기본 주파수 범위로 되돌려 주파수 시프팅하기 위한 통합 증폭기의 출력상의 제2 믹서를 포함한다. 능동 전극은 EEG 신호를 기록하기 위해 사용될 수 있다.

대표도 - 도1



(52) CPC특허분류

A61B 5/6803 (2013.01)

A61B 5/6817 (2013.01)

H03F 3/393 (2013.01)

H03F 3/45179 (2013.01)

H03F 3/45183 (2013.01)

H03F 3/45475 (2013.01)

H03F 2200/261 (2013.01)

H03F 2200/271 (2013.01)

H03F 2203/45306 (2013.01)

(72) 발명자

킬스카아르트 소렌

덴마크 데카-3540 링게 니모엘레바이 6

리 키양

덴마크 데카-8000 아르후스 세 인게 레만스 가데
10 아르후스 유니베르시테트 인스티투트 포르 인게
니오르비텐스카브

명세서

청구범위

청구항 1

능동 전극에 있어서,

- 전위를 센싱하고 입력 신호를 발생시키기 위한 전극;
- 상기 전극 근처에 배치되고 상기 전극으로부터 전기적으로 절연된 실드; 및
- 상기 입력 신호를 수신하고, 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하기 위한 적어도 하나의 상기 전극에 연결되는 입력을 가지는 통합 증폭기

를 포함하고,

- 상기 실드는 상기 실드의 전위를 능동으로 구동하여 상기 전극의 능동 실드를 제공하기 위해 상기 통합 증폭기의 상기 출력에 연결되고;
- 상기 버퍼링 경로는 기본 주파수 범위로부터 더 높은 주파수 범위로 상기 입력 신호를 주파수 시프팅하기 위한 상기 통합 증폭기의 전방의 제1 믹서, 및 상기 더 높은 주파수 범위로부터 상기 기본 주파수 범위로 되돌려 상기 증폭 신호를 주파수 시프팅하기 위한 상기 통합 증폭기의 출력 상의 제2 믹서를 포함하는 것인 능동 전극.

청구항 2

제1항에 있어서,

상기 주파수 시프트는 상기 통합 증폭기의 플리커 잡음 구역을 회피하도록 구성되는 것인 능동 전극.

청구항 3

제1항에 있어서,

코너 주파수(corner frequency)는 저-주파수 플리커 잡음(low-frequency flicker noise)과 더 높은 주파수 백색 잡음 사이의 천이(transition)를 정의하고, 상기 주파수 시프트를 제공하는 변조 주파수는 상기 코너 주파수보다 더 큰 것인 능동 전극.

청구항 4

제3항에 있어서,

상기 변조 주파수는 상기 코너 주파수의 4배보다 더 낮은 것인 능동 전극.

청구항 5

전위차를 센싱하기 위한 센서 시스템에 있어서,

- 적어도 하나의 세트의 전극; 및
- 차동 증폭기

를 포함하고,

상기 적어도 하나의 세트의 전극은,

- o 전위 기준을 제공하는 기준 전극; 및
- o 상기 기준 전극에 대한 전위를 측정하기 위한 측정 포인트를 제공하는 센싱 전극

을 포함하고,

상기 차동 증폭기는, 상기 센싱 전극 및 상기 기준 전극으로부터 입력을 수신하고 상기 센싱 전극과 상기 기준

전극 사이의 상기 전위차를 나타내는 출력 신호를 발생시키고,

상기 적어도 하나의 세트의 전극 중 적어도 하나의 전극은 능동 전극이고,

상기 능동 전극은,

- o 전위를 센싱하고 입력 신호를 발생시키기 위한 전극;
 - o 상기 전극 근처에 배치되고 상기 전극으로부터 전기적으로 절연된 실드;
 - o 상기 입력 신호를 수신하고, 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하기 위한 상기 적어도 하나의 전극에 연결되는 입력을 가지는 통합 증폭기
- 를 포함하고,
- o 상기 실드는 상기 실드의 전위를 능동으로 구동하여 상기 전극의 능동 실드를 제공하기 위해 상기 통합 증폭기의 상기 출력에 연결되고,
 - o 상기 버퍼링 경로는 기본 주파수 범위로부터 더 높은 주파수 범위로 상기 입력 신호를 주파수 시프팅하기 위한 상기 통합 증폭기 전방의 제1 믹서, 및 상기 더 높은 주파수 범위로부터 상기 기본 주파수 범위로 되돌려 상기 증폭 신호를 주파수 시프팅하기 위한 통합 증폭기의 출력 상의 제2 믹서를 포함하는 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 6

제5항에 있어서,

상기 적어도 하나의 세트의 전극은, 둘 다 능동 전극인 한 쌍의 전극인 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 7

제5항에 있어서,

상기 적어도 하나의 세트의 전극은 복수 쌍의 능동 전극으로서 제공되는 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 8

제5항에 있어서,

복수의 센싱 전극은 공통 기준 전극에 대한 상기 전위차를 측정하는 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 9

제8항에 있어서,

상기 복수의 센싱 전극은 능동 전극인 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 10

제5항에 있어서,

센싱 전극은 다른 전극의 선형 조합에 대한 상기 전위차를 측정하는 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 11

제5항에 있어서,

상기 적어도 하나의 세트의 전극은 심전도 검사(electrocardiography: ECG) 신호 또는 뇌파검사(electroencephalography: EEG) 신호를 센싱하도록 구성되는 것인 전위차를 센싱하기 위한 센서 시스템.

청구항 12

전위 기준을 제공하는 기준 전극 및 상기 기준 전극에 대한 전위를 측정하기 위한 측정 포인트를 제공하는 센싱

전극을 포함하는 적어도 하나의 세트의 전극을 가지는 센서 시스템에서의 전위차를 센싱하기 위한 방법에 있어서,

- 전극으로부터 전기적으로 절연되는 실드를 상기 전극 근처에 배치함으로써 상기 전극을 실딩하는 단계;
- 전위를 센싱하는 상기 전극에 의해 입력 신호를 발생시키는 단계;
- 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하는 통합 증폭기에서 상기 전극으로부터 수신되는 상기 입력 신호를 증폭하는 단계;
- 상기 실드의 전위를 능동으로 구동하여 상기 전극의 능동 실드를 제공하기 위해 상기 통합 증폭기의 상기 출력에 상기 실드를 연결하는 단계;
- 상기 통합 증폭기의 전방에 배치되는 제1 믹서에 의해 기본 주파수 범위로부터 더 높은 주파수 범위로 상기 입력 신호를 주파수 시프팅하는 단계; 및
- 상기 통합 증폭기의 출력 상에 배치되는 제2 믹서에 의해 상기 더 높은 주파수 범위로부터 상기 기본 주파수 범위로 되돌려 상기 증폭 신호를 주파수 시프팅하는 단계

를 포함하는 센서 시스템에서의 전위차를 센싱하기 위한 방법.

청구항 13

제12항에 있어서,

상기 방법은 전위차를 센싱하기 위한 센서 시스템에 사용되고, 상기 센서 시스템은 전위 기준을 제공하는 기준 전극, 및 상기 기준 전극에 대한 전위를 측정하기 위한 측정 포인트를 제공하는 센싱 전극을 포함하고, 상기 기준 전극 및 센싱 전극 중 적어도 하나는 능동 전극이고,

상기 방법은,

- 상기 센싱 전극 및 상기 기준 전극으로부터의 입력을 차동 증폭기에서 수신하는 단계; 및
- 상기 센싱 전극과 상기 기준 전극 사이의 상기 전위차를 나타내는 출력 신호를 상기 차동 증폭기에서 발생시키는 단계

를 포함하는 센서 시스템에서의 전위차를 센싱하기 위한 방법.

청구항 14

제12항에 있어서,

상기 통합 증폭기는 통합 증폭기에 공급되는 상기 입력 신호를 복제하는 출력 신호를 발생시키는 것인 센서 시스템에서의 전위차를 센싱하기 위한 방법.

청구항 15

제12항에 있어서,

제1 믹서에 의한 상기 주파수 시프팅은 상기 통합 증폭기의 플리커 잡음 구역을 회피하도록 구성되는 것인 센서 시스템에서의 전위차를 센싱하기 위한 방법.

발명의 설명

기술 분야

본 발명은 전계 센서(electric field sensor)에 관한 것이다. 본 발명은 더 구체적으로, 전위차(예를 들어, 생체-전위 신호(bio-potential signal))를 센싱하고 신호 프로세싱을 위한 입력 신호를 발생시키기 위한 전계 센서에 관한 것이다. 센스 전극은 용량성 커플링 잡음(capacitive coupled noise)을 최소화하고 소스 신호의 용량성 로드(capacitive load)를 최소화하기 위해 능동으로 구동된 실드(shield)에 의해 보호된다. 또한, 본 발명은 전위차를 센싱하기 위한 센서 시스템에 관한 것이다. 더욱이, 본 발명은 센서 시스템에서의 전위차를 센싱하기 위한 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 생체-전위 기록(bio-potential recording)을 위해, 특히 비-접촉 및 건식 전극(non-contact and dry-contact electrode)과 같은 진보된 전극 기술을 위해 능동 전극이 널리 사용된다. 능동 전극을 사용하는 목적은 외부 간섭으로부터 전극을 실딩(shielding)하고 기생 커패시턴스(parasitic capacitance)를 보상하는 것이다.
- [0003] 수동 전극(passive electrode)과 비교하여, 능동 전극은 일반적으로 둘러싸는 간섭, 특히 예를 들어 파워 라인 간섭(Power Line Interference: PLI)으로서 용량성 커플링 간섭에 대해 더 양호한 면역성을 제공한다. 따라서, 능동 전극은 웨어러블 생체-전위 기록(wearable bio-potential recording)에서 부상하는 애플리케이션을 위해 적합하다. 그리고 이제, 오른-다리-구동 기술(right-leg-driven technique)과 조합되는 능동 전극은 고품질 생체-신호 기록에서 주된 트렌드(trend)로서 받아들여진다. 일반적으로, 능동 전극은 충분한 낮은 입력-참조 잡음(input-referred noise), 높은 입력 임피던스 및 낮은 바이어스 전류(bias current), 낮은 입력 참조 오프셋, 낮은 출력 임피던스, 높은 공통 모드 제거 비(Common Mode Rejection Ratio: CMRR) 및 파워 서플라이 제거 비(Power Supply Rejection Ratio: PSRR) 및 웨어러블 디바이스에 대한 낮은 파워 소모를 포함하는 여러 피처(feature)를 유지해야 한다.
- [0004] 차동 증폭기의 CMRR은 원하는 차이 신호에 대해, 양쪽 입력 단자(input terminal)에 공통인 원치 않는 입력 신호의 제거이다. PSRR은 오프-앰프(op-amp)에서의 공급 전압에서의 변화와 생산하는 등가의(차동) 출력 전압 사이의 비이다. 출력 전압은 피드백 회로(feedback circuit)에 의존할 것이고, 이상적인 계측 증폭기는 무한한 PSRR을 가질 것이다.
- [0005] 심전도 검사(electrocardiography: ECG)은 시간의 함수로서 심장의 전기적 활동의 경흉강적 기록(transthoracic recording)이다. ECG 신호는 피부의 표면에 부착된 전극에 의해 픽업(picked up)되고 신체 외부의 디바이스에 의해 기록된다. 뇌파검사(electroencephalography: EEG)은 두피(scalp)를 따른 전기 활동의 기록이고, EEG 신호는 두뇌 내부의 뉴런 활동(neuronal activity)으로 인한 이온 전류 흐름(ionic current flow)에서 발생하는 전압 변동(voltage fluctuation)의 측정치이다. 청각-EEG(ear-EEG)는 외이도(ear-canal)에 또는 보청기와 유사한 디바이스에서의 귀 근처에 전극이 배치될 수 있기 때문에 매력적이다.
- [0006] 전기생리학 신호(electrophysiological signal)는 통상적으로 둘러싸는 간섭과 비교하여 진폭이 약하다. 규칙적인 생리 신호 중에서, ECG는 전형적인 $100\mu V - 1mV$ 범위에서의 피크 진폭보다 비교적 더 강하다. EEG는 $10\mu V - 100\mu V$ 의 범위로 더 약하다. 청각-EEG에 대해 피크 진폭은 전형적으로 $1\mu V - 10\mu V$ 의 범위에 있고, 이는 두피 상의 EEG 미만인 대략 20dB이다. 그러나, 주변으로부터의 커플링 간섭은 쉽게 밀리볼트-레벨(millivolt-level) 또는 심지어 볼트-레벨에 있을 수 있다. 이러한 간섭의 대부분은 통상적으로 생체-신호와 함께 공통 모드에서 나타난다. 원칙적으로, 전극 및 생체-증폭기가 완전히 구별된다면 관련 신호를 명확하게 픽업할 수 있지만, 임의의 실제 증폭기에서, CMRR은 무한하지 않다. 따라서, 잡음 면역성은 생체-신호 기록을 위해 상당히 중요하다.
- [0007] 실제로 이상적인 계측 증폭기를 설계하는 것이 가능하지 않고, 따라서 임의의 증폭기는 이상적인 파라미터 사이에서 양호한 균형(trade-off)을 제공하도록 설계될 것이다.

발명의 내용

- [0008] 본 발명의 목적은 이상적인 계측 증폭기에 대해 개선된 핵심 성능 메트릭(key performance metric)을 가지는 전계 센서(electric field sensor)를 제공하는 것이다. 그와 같은 전계 센서를 제공함으로써, 매일의 사용, 예를 들어 저혈당을 검출하기 위한 EEG 및 청각-EEG 센서가 개발될 수 있고 설계될 수 있다. 이것은 예를 들어 당뇨병 환자가 통상의 일상 생활을 유지하게 보조할 수 있다.
- [0009] 본 발명에 따른 능동 전극은 전위를 센싱하고 입력 신호를 발생시키기 위한 전극, 전극 근처에 배치되고 전극으로부터 전기적 절연되는 실드, 및 입력 신호를 수신하기 위한, 그리고 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하기 위한 적어도 하나의 전극에 연결되는 입력을 가지는 통합 증폭기를 포함한다. 실드는 실드의 전위를 능동으로 구동하고, 그에 의해 전극의 능동 실드를 제공하기 위해 통합 증폭기의 출력에 연결된다. 버퍼링 경로는 기본 주파수 범위로부터 더 높은 주파수 범위까지 주파수 시프팅하기 위한 통합 증폭기 전방의 제1 믹서 및 더 높은 주파수 범위로부터 기본 주파수 범위로 되돌려 증폭 신호를 주파수 시프팅하기 위한 통합 증폭기의 출력 상의 제2 믹서를 포함한다.
- [0010] 본 발명에 따라 제안된 새로운 기술은 핵심 성능 메트릭에서의 균형에 도달하면서, 버퍼 및 초퍼 변조 증폭기를

가지는 능동 전극 설계로부터의 장점의 조합을 제공한다.

- [0011] 증폭기의 유한한 입력 임피던스로 인한 전자 임피던스에서의 불균형은 공통 모드 신호의 일부가 계속 증폭기의 입력 상의 차동 모드에서 나타나게 야기시킨다. 이것은 특히 예를 들어, 건식 및 용량성 전극을 위한 경우에서와 같이 높은 임피던스를 가지는 전극에서 더 그렇다. 능동 실드는 입력 임피던스를 증가시키고, 그에 의해 증폭기의 입력 상의 CMRR을 증가시키며, 따라서 이러한 간섭을 상당히 약화시킨다.
- [0012] 본 발명에 따른 능동 전극 설계는 여러 매력적인 장점을 제공한다. 초퍼 버퍼(choppered buffer)로서 구성되는 증폭기의 단위-이득 구성으로 인해, 양호한 실드 특성이 달성될 수 있다. 결과적으로, 초-고(ultra-high) 입력 임피던스가 획득 가능하다. 본 발명에 따른 새로운 능동 전극 설계는 2개의 버퍼 채널 사이의 개선된 공통 모드 제거 비(CMRR) 및 개선된 파워 서플라이 거부 비(PSRR)를 제공하고, 이는 둘러싸는 간섭에 대한 잡음 면역성을 위해 매우 중요하다.
- [0013] 버퍼링 출력에 의해 실딩되는 초퍼 변조는 버퍼 및 초퍼 증폭기를 사용하는 종래 기술과 비교하여 양호한 균형에 도달하면서, 전압-도메인(voltage-domain) 및 전류-도메인(current-domain) 정확도를 레버리징한다. 이외에도, 초퍼 변조로부터 발생하는 상당한 장점은 2개의 버퍼 채널 사이의 개선된 CMRR 및 PSRR이고, 이는 둘러싸는 간섭에 대한 잡음 면역성을 강화하는데 상당히 유용할 수 있다.
- [0014] 후속적인 차동 증폭기 전방의 초퍼 스파이크 필터(chopper spike filter: CSF)는 엄청난 양의 파워를 소모하여 수반하는 초퍼 스파이크 및 리플(ripple)을 필터링 아웃(filter out)할 수 있다. 본 발명에 따른 초퍼링 버퍼를 가지는 능동 전극은 고품질 생체-기록 시스템 내에서 매우 유용할 것이다.
- [0015] 버퍼 증폭기는 일 회로로부터 다른 회로로의 전기적 임피던스 변환을 제공한다. 전압이 변하지 않고 전달되면(전압 이득 A_v 가 1임), 증폭기는 단일 이득 버퍼(unity gain buffer)이다. 단일 이득 증폭기(버퍼)는 종종 출력 전압이 입력 전압을 팔로우(follow)하거나 추적함에 따라 전압 팔로워(voltage follower)로서 구현된다. 그와 같은 버퍼 증폭기의 전압 이득이 (대략) 단일화될 수 있다면, 전압 이득은 대개 상당한 전류 이득과 그에 따른 파워 이득을 제공한다. 본 발명에 따른 초퍼 변조를 가지는 페-루프 단위-이득 증폭기는 전기적 임피던스 변환을 제공하고, 상당한 전류 이득 및 그에 따른 파워 이득을 가지는 전압 팔로워로서 동작한다.
- [0016] 본 발명의 추가적인 양상에 따르면 전위차를 센싱하기 위한 센서 시스템이 제공된다. 센서 시스템은 전위 기준을 제공하는 기준 전극 및 기준 전극에 대한 전위를 측정하기 위한 측정 포인트를 제공하는 센싱 전극을 포함하는 적어도 하나의 세트의 전극을 포함한다. 센서 시스템은 센싱 전극 및 기준 전극으로부터 입력을 수신하고 센싱 전극과 기준 전극 사이의 전위차를 나타내는 출력 신호를 발생시키는 차동 증폭기를 더 포함한다. 적어도 하나의 세트의 전극 중 적어도 하나의 전극은 능동 전극이고, 능동 전극은 전위를 센싱하고 입력 신호를 발생시키기 위한 전극, 전극 근처에 배치되는 실드를 포함하고, 실드는 전극으로부터 전기적으로 절연되고, 입력 신호를 수신하고, 버퍼링된 출력 신호를 출력하는 버퍼링 경로를 제공하기 위한 적어도 하나의 전극에 연결되는 입력을 가지는 통합 증폭기를 포함한다. 실드는 실드의 전위를 능동으로 구동하고, 그에 의해 전극의 능동 실드를 제공하기 위해 통합 증폭기의 출력에 연결된다. 버퍼링 경로는 기본 주파수 범위로부터 더 높은 주파수 범위로 입력 신호를 주파수 시프팅하기 위한 통합 증폭기 전방의 제1 믹서, 및 더 높은 주파수 범위로부터 기본 주파수 범위로 되돌려 증폭 신호를 주파수 시프팅하기 위한 통합 증폭기의 출력 상의 제2 믹서를 포함한다.
- [0017] 본 발명의 추가적인 양상에 따르면, 전위 기준을 제공하는 기준 전극 및 기준 전극에 대한 전위를 측정하기 위한 측정 포인트를 제공하는 센싱 전극을 포함하는 적어도 하나의 세트의 전극을 가지는 센서 시스템에서 전위차를 센싱하는 방법이 제공된다. 방법은 전극 근처에 있지만 전극으로부터 전기적 절연되는 실드를 배치함으로써 전극을 실딩하는 단계, 전위를 센싱하는 전극에 의해 입력 신호를 발생시키는 단계, 버퍼링 출력 신호를 출력하는 버퍼링 경로를 제공하는 통합 증폭기에서 전극으로부터 수신되는 입력 신호를 증폭하는 단계, 실드의 전위를 능동으로 구동하고, 그에 의해 전극의 능동 실드를 제공하기 위해 통합 증폭기의 출력에 실드를 연결하는 단계, 통합 증폭기 전방에 배치되는 제1 믹서에 의해 기본 주파수 범위로부터 더 높은 주파수 범위로 입력 신호를 주파수 시프팅하는 단계, 및 통합 증폭기의 출력 상에 배치되는 제2 믹서에 의해 더 높은 주파수 범위로부터 기본 주파수 범위로 되돌려 증폭 신호를 주파수 시프팅하는 단계를 포함한다.
- [0018] 본 발명은 바람직한 양상 및 첨부 도면을 참조하여 더 상세하게 설명될 것이다:

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시예에 따른 능동 전극 설계를 개략적으로 도시한다;

도 2는 반도체 기반 증폭기에 대한 백색 및 분홍색 잡음(white and pink noise)에 의해 조성되는 잡음 스펙트럼을 도시한다;

도 3은 본 발명의 일 실시예에 따른 능동 전극 설계를 사용하는 생체-전위 모니터링 시스템(bio-potential monitoring system)을 개략적으로 도시한다;

도 4는 본 발명에 따른 전계 센서에서의 사용을 위한 단위-이득 증폭기에 기초하여 초퍼링 버퍼의 일 실시예를 개략적으로 도시한다;

도 5는 본 발명의 일 실시예에 따른 초퍼링 버퍼를 도시한다;

도 6은 도 1에 도시된 능동 전극 설계를 위한 주파수 도메인에서의 생체-신호 및 잡음의 상대적 포지션(position)을 도시한다;

도 7은 도 5에 도시된 초퍼링 버퍼에 사용되는 초퍼 스위치(chopper switch)의 일 실시예를 도시한다; 그리고

도 8은 본 발명에 따른 2개의 능동 센서에 기초한 센서 시스템의 일 실시예를 도시한다;

도 9는 본 발명의 일 양상에 따른 EEG 디바이스의 일 실시예를 도시한다; 그리고

도 10은 초퍼 증폭기의 입력에서의 파인 잡음 소스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0020] 도 1은 본 발명의 실시예에 따른 능동 전극 설계를 개략적으로 도시한다. 생체-전위 신호($V_{in}(t)$)가 용량성 전극(도시되지 않음)에 의해 센싱되고 통합 증폭기(10)의 입력에 공급된다. 임피던스(Z_s)는 피부-전극 임피던스(skin-electrode impedance)를 표시한다. 통합 증폭기(10)의 입력 상에서, 생체-전위 신호($V_{in}(t)$)는 통합 증폭기(10) 전방의 제1 믹서(11)에서 변조 신호(초퍼 클럭)($m(t)$)로 변조된다. 통합 증폭기(10)는 1과 동일한 이득(A_v)을 가지고, 여기서 통합 증폭기(10)는 버퍼로서 동작하고, 통합 증폭기(10)의 출력 상의 제2 믹서(12)에서 동일한 초퍼 변조 신호($m(t)$)를 인가함으로써, 통합 증폭기(10) 및 2개의 믹서(11 및 12)는 출력 신호($V_{out}(t)$)를 출력하는 버퍼링 경로를 제공한다.

[0021] 도 1에 도시된 실시예에 사용되는 변조 신호($m(t)$)는 50%의 듀티-사이클(duty-cycle)을 가지는 펄스-폭 변조 신호로서 도시되고, +1 및 -1의 단일의 진폭을 추정한다. 초퍼 주파수(f_{chop})는 낮은 주파수 범위에서의 플리커 잡음(flicker noise)이 실질적으로 제거되는 것을 보장하도록 선택된다. 임피던스(Z_{in})는 유한 입력 임피던스를 표시한다. 초퍼링 버퍼 출력($V_{out}(t)$)은 전극 근처에 배치되고 전극으로부터 전기적 절연되는 능동 실드를 구동하기 위해 사용된다.

[0022] 도 2를 참조하면, 반도체 기반 증폭기를 위한 백색 및 분홍색 잡음에 의해 조성되는 잡음 스펙트럼이 도시된다. 코너 주파수(f_c)는 저-주파수 플리커 잡음(분홍색 잡음)에 의해 지배되는 구역과 "플랫-밴드(flat-band)" 잡음(백색 잡음)으로서 지배하는 열 잡음 사이의 경계를 특성화한다. 플리커 잡음은 대부분의 전자 디바이스에서 발생하고, 회로가 처리할 수 있는 신호 레벨에 관한 제한을 제공한다. 이것은 도 2에 도시되고 여기서 $\log_{10}(f)$ 는 x-축 상에 도시되고, 곱해진 전압은 y-축 상에 도시된다.

[0023] 본 실시예에서, 통합 증폭기는 MOSFET 트랜지스터 레이아웃(transistor layout)에서 실현되고 대략 200 Hz의 레벨에서의 코너 주파수가 관찰되었다. 코너 주파수(f_{corner})는 저-주파수 플리커 잡음 및 더 높은 주파수 "플랫-밴드" 잡음 각각에 의해 지배되는 구역 사이의 천이이다. 따라서 초퍼 주파수(f_{chop})는 코너 주파수 위에서 잘 선택되어야 하고, 따라서 통합 증폭기 이전에 도입된 주파수 시프트는 통합 증폭기의 플리커 잡음 구역을 탈출하는데 충분하다. 주파수 시프트를 제공하는 변조 주파수는 코너 주파수보다 더 크고, 예시된 실시예에 따르면 초퍼 주파수(f_{chop})는 200 Hz 내지 2 kHz의 범위에 있도록 선택되었다. 바람직하게는, 초퍼 주파수(f_{chop})는

400 Hz 내지 1 kHz의 범위에 있다. 초퍼 주파수(f_{chop})가 더 높을 때, 파워 소모에 있어서 불리한 영향을 받을 것이다.

[0024] 청각-EEG 애플리케이션에 대해 센스 전극은 대략 $1\mu V$ 에서의 진폭을 가지는 생체-전위 신호($V_{in}(t)$)를 픽업할 것이다. 생체-전위 신호($V_{in}(t)$)는 제1 사용 상황에서 0 내지 35Hz의 기본 주파수 범위에서의 스펙트럼 분포를 가질 것이다(이는 도 6a에 개략적으로 도시된다). 일단 믹서(11)에서 초퍼 신호($m(t)$)로 변조되면, 생체-전위 신호($V_{in}(t)$)는 주파수에서 시프팅될 것이고 따라서 도 6b에 예시된 바와 같이 초퍼 주파수 근처 예를 들어 1 kHz에서 나타난다. 통합 증폭기는 코너 주파수 예를 들어, 200 Hz까지 스펙트럼에서의 플리커 잡음을 도입할 것인 한편, (주파수 시프팅 생체-전위 신호를 포함하는) 코너 주파수를 초과하는 주파수 범위는 단지 백색, 열 잡음에 의해 영향 받을 것이다. 이것은 도 6c에 도시된다.

[0025] 믹서(12)에서, 통합 증폭기(10)로부터의 출력은 초퍼 신호($m(t)$)로 변조되고, 여기서 생체-전위 신호는 기본 주파수 범위로 다시 되돌려지는 한편, 증폭기의 플리커 잡음은 초퍼 주파수 근처에 포지셔닝된다. 이것은 도 6d에 도시된다. 이후의 신호 프로세싱 스테이지에서의 적절한 저역-통과 필터링(low-pass filtering)은 초퍼 주파수 근처의 주파수 범위에 현재 존재하는 플리커 기원 잡음을 제거할 것이다.

[0026] 본 발명에 따른 능동 전극 설계는 낮은 입력-참조 잡음, 높은 입력 임피던스 및 낮은 바이어스 전류, 낮은 입력 참조 오프셋, 낮은 출력 임피던스, 높은 CMRR 및 PSRR 및 낮은-전력 소모로 설계될 수 있다. 능동 전극의 실제 구현은 서로 다른 애플리케이션, 예를 들어 주입 가능 신경 프로브 어레이(implantable neural probe array) 및 패브릭-기반 사용(fabric-based use)(건식 전극)에 대해 최적화될 수 있다.

[0027] 도 3은 본 발명의 실시예에 따른 능동 전극 설계를 사용하는 생체-전위 모니터링 시스템을 개략적으로 도시한다. 복수의 전극이 사용자의 두피(35) 상에 포지셔닝된 메시(mesh)(30)에 배치된다. 다른 실시예에서, 전극은 귀마개(earplug) 상에 제공될 수 있고 외이도로부터 데이터가 수집될 수 있고 귀 뒤에 배치되는 배터리 구동 데이터 프로세서에서 프로세싱될 수 있다. 전극(31 및 32)은 각각 용량성 센스 전극인 프로브(34) 및 근처에 배치되지만 용량성 센스 전극으로부터 이격되는 능동 실드 전극을 포함한다. 프로브(34)에 의해 픽업되는 입력 신호는 각각의 증폭기(10)에 유도되고, 바람직하게는 단일 이득 증폭기로서 배치된다. 페-루프 단위-이득 증폭기(10)는 센스 전극과 능동 실드 전극 사이에 연결된다. 이러한 배치로, 센스 전극의 기생 커패시터가 효과적으로 감소함으로써 민감도를 증가시킨다.

[0028] 초퍼 변조를 이용한 페-루프 단위-이득 증폭기(10)로부터의 출력은 제어 전압에 기초하여 이득을 변화시키는 가변-이득 증폭기(Variable-Gain Amplifier) (14), 및 추가의 프로세싱을 위해 증폭된 V_{Bio} 신호를 디지털 표현으로 변환하는 아날로그-투-디지털 변환기(Analog-to-Digital Converter)(15)에 실드 케이블 (shielded cable)(13), 예를 들어 동축 케이블(coax cable)을 통해 공급된다. 가변-이득 증폭기(14)는 차동 증폭기이다. 페-루프 단위-이득 증폭기(10)를 포함하는 프론트-엔드(front-end) 집적 회로와 가변-이득 증폭기(14) 및 아날로그-투-디지털 변환기(15)를 포함하는 백-엔드(back-end) 집적 회로 사이의 실드는 바람직하지만 중대한/필수적인 것은 아니다.

[0029] 다음에서 본 발명에 따른 초퍼링 버퍼를 사용하는 능동 전극의 기술적 설명이 제공된다. 도 4는 능동 전극 개념에서 여러 주된 기생-커패시턴스 기여자가 존재함을 도시한다. 실드(44)는 전극(43) 근처에(그리고 실질적으로 병렬로) 배치되고, 실드(44)는 전극(43)으로부터 전기적 절연된다. 전극(43)과 실드(44) 사이에 전기 절연체(electric insulator)(도시되지 않음)가 존재한다. 이러한 배치는 전극(43)과 실드(44) 사이의 용량성 커플링을 야기시킬 것이다. 전극(43)은 입력 패드(43a)를 통해 집적 회로에 연결되고 그 사이의 용량성 기생 커플링이 관찰될 수 있다. 실드(44)는 입력 패드(48a)를 통해 집적 회로를 둘러싸는 실드(48)에 연결되고, 또한 용량성 기생 커플링이 존재할 것이다. 버퍼에 의한 실드로, 센싱 전극에서의 전극 기생 커패시턴스(40) 및 입력 패드(48a 및 43a) 사이의 용량성 커플링에 의해 야기되는 기생 커패시턴스(41)가 보상될 수 있다.

[0030] 도 4에 도시되는 능동 전극 개념은 증폭기가 기관 상의 MOSFET 트랜지스터(집적 회로)로서 구현됨을 도시한다. 증폭기는 각각의 접촉 패드(46a 및 45a)를 통해 파워 서플라이(46) 및 그라운드(45)에 연결되고, 출력 단자(47)를 가진다. 통합 증폭기의 출력 단자(47)는 실드(48)에 연결되는 한편, 접촉 패드(45a 및 46a)는 그로부터 전기적으로 격리된다. 실드(48)는 실드(48)의 전위를 능동으로 구동하고, 그에 의해 전극(43)의 능동 실드를 제공하기 위해 통합 증폭기의 출력 단자(47)에 연결된다. 일부 커패시턴스는 보상하기 어려운데, 그 이유는 바

닥 노드에 대한 실드가 적용될 수 없기 때문이다. 이것은 입력 패드(49a)와 기판 사이의 기생 커패시턴스(42a), 트랜지스터 게이트와 기판 사이의 기생 커패시턴스(게이트-투-기판 커패시턴스(gate-to-substrate capacitance)(42b)), 트랜지스터의 게이트와 소스 사이의 기생 커패시턴스(게이트-투-소스 커패시턴스(gate-to-source capacitance)(42c)) 및 트랜지스터의 게이트와 드레인 사이의 기생 커패시턴스(게이트-투-드레인 커패시턴스(gate-to-drain capacitance)(42d))에 대해 중요하다. 이러한 환경에서, 목적은 커패시터의 값이 가능한 한 작도록 회로를 설계하는 것이다.

[0031] 도 5에 도시된 바와 같이, 본 발명에 따른 초퍼링 버퍼는 도시된 실시예에 따라 페-루프 단위-이득 증폭기(10)에 기초하여 구현된다. 페-루프 단위-이득 증폭기(10)의 입력 트랜지스터 쌍(M_1 및 M_2)은 입력 기생 커패시턴스를 감소시키고 그에 의해 높은 임피던스를 얻기 위해 크기가 최소화된다. 사용된 초퍼 변조로 인해 입력 트랜지스터(M_1 및 M_2)의 플리커 잡음은 비-지배적 잡음 소스(non-dominant noise source)이다.

[0032] 정전류(constant current)는 입력 트랜지스터 쌍(M_1 및 M_2)을 통해, 트랜지스터(M_N) 및 전압 소스($V_{battery}$)에 의해 형성되는 전류 소스(50)의 사용을 통해 유지된다. 일 실시예에 따른 전압 소스($V_{battery}$)는 대략 1.2V인 공칭 공급 전압을 가지는 보청기를 위해 사용되는 타입의 코인-셀 배터리(coin-cell battery)일 수 있다. 바이어스(V_{bp})는 입력 트랜지스터 쌍(M_1 및 M_2)의 소스에 공급되는 전압 소스($V_{battery}$)로부터 전류를 제어하는 MOSFET 트랜지스터(M_N)의 게이트에 인가된다.

[0033] 입력 트랜지스터 쌍(M_1 및 M_2)을 통해 정전류를 유지하고, 단일 이득 구성의 네거티브 피드백(negative feedback)을 인가함으로써, 센서 입력에 대한 게이트-투-소스 커패시턴스(42c)(도 4) 및 게이트-투-기판 커패시턴스(42b)(도 4)가 최소화된다.

[0034] 본 발명에 따른 초퍼 변조로 페-루프 단위-이득 증폭기(10)를 구현하기 위한 예시적인 실시예는 3개의 초퍼 스위치($CHOP_1$, $CHOP_2$ 및 $CHOP_3$)를 사용한다. 초퍼 스위치($CHOP_1$, $CHOP_2$ 및 $CHOP_3$)의 크기는 속도 및 잡음을 위해 최적화되고, 이러한 토폴로지(topology)에서, 초퍼 스위치($CHOP_2$ 및 $CHOP_3$)는 페-루프 단위-이득 증폭기(10)의 내부에 배치된다. 여기서, 고유 차동 노드를 사용함으로써, 어떠한 추가적인 차동 노드도 요구되지 않을 것이다. 더욱이, 이것은 초퍼 변조로 페-루프 단위-이득 증폭기(10)의 대역폭을 제한하지 않을 것이다.

[0035] 입력 초퍼 스위치($CHOP_1$)는 제1 입력 신호로서 센싱된 생체-전위 신호(V_{in}) 및 제2 입력 신호로서 피드백 분기(feedback branch)(53)를 통해 페-루프 단위-이득 증폭기(10)로부터의 출력 신호(V_{out})를 수신한다. 초퍼 스위치($CHOP_1$)는 1 kHz 초퍼 주파수에서 동작한다. 초퍼 신호는 50% 듀티 사이클에서 +1과 -1 사이에서 교번한다. 생체-전위 신호(V_{in})는 낮은 대역폭(통상적으로 0-40 Hz 사이)을 가지지만, 초퍼 주파수는 코너(f_{corner})(도 2)를 초과할 것이다. 초퍼 주파수를 너무 높게 선택하는 것은, 전체 전극 어셈블리의 파워 소모에 불리하게 영향을 미칠 것이다.

[0036] 입력 트랜지스터 쌍(M_1 및 M_2)의 게이트는 입력 초퍼 스위치($CHOP_1$)로부터의 각각의 출력을 수신한다. 전류 소스로부터의 정전류는 각각의 소스 단자를 통해 입력 트랜지스터 쌍(M_1 및 M_2)을 통과하고, 입력 트랜지스터 쌍(M_1 및 M_2)의 드레인은 제2 초퍼 스위치($CHOP_2$) 상의 각 단자에 연결된다.

[0037] 초퍼 스위치($CHOP_2$)로부터의 2개의 출력은 MOSFET 트랜지스터 쌍(M_3 및 M_4)의 각각의 소스 단자에 연결된다. 트랜지스터 쌍(M_3 및 M_4)은 전형적으로 전압 버퍼로서 사용되는 전계 효과 트랜지스터 증폭기 토폴로지인 소스 팔로워(source follower)(공통-드레인 증폭기(common-drain amplifier))를 형성한다.

[0038] MOSFET 트랜지스터(M_5 , M_6 , M_7 및 M_8)는 당업자에 의해 동작 증폭기에서의 표준 컴포넌트인 것으로 인식되는 캐스코딩 전류 미러 회로(cascoded current mirror circuit)를 형성한다. 캐스코딩 전류 미러 회로는 트랜스컨덕턴스(transconductance) 증폭기 이후에 전류 버퍼로 구성되는 2-스테이지 증폭기(two-stage amplifier)이다. 제 3 초퍼 스위치($CHOP_3$)는 캐스코딩 전류 미러 회로의 2개 스테이지 사이에 배치된다. 캐스코딩 전류 미러 회

로는 출력으로부터 입력으로의 직접 커플링이 존재하지 않기 때문에 입력-출력 격리(input-output isolation)를 개선시킨다.

[0039] 3개의 MOSFET 트랜지스터(M_{NC} , M_9 및 M_{10})는 추가의 소스 팔로워로서 배치된다. 3개의 MOSFET 트랜지스터(M_{NC} , M_9 및 M_{10})는 소스 팔로워를 형성하는 트랜지스터(M_3 및 M_4)에 더 낮은 dc 바이어스를 제공하는 레벨 시프터(level shifter)로서 동작된다.

[0040] 도 7은 도 5에 도시된 초퍼링 버퍼 토폴로그래피(choppered buffer topography)에 사용되는 초퍼 스위치($CHOP_1$, $CHOP_2$ 및 $CHOP_3$)의 일 실시예를 도시한다. 초퍼 스위치는 한 쌍의 입력 단자(80) 및 한 쌍의 출력 단자(81)를 가진다. 초퍼 스위치는 실드(82)에 의해 벌크(bulk)로 실딩되고, 4개의 트랜지스터 스위치(84, 85, 86 및 87) (모두 클록 신호(Clk)에 의해 제어됨)를 포함한다. 트랜지스터 스위치(85 및 87)에 대해, 클록 신호(Clk)는 각각의 인버터(88 및 89)를 통해 수신되고, 여기서 트랜지스터 스위치(84 및 86)는 클록 신호가 하이(high)일 때 닫히고, 트랜지스터 스위치(85 및 87)는 클록 신호가 로우(low)일 때 닫힌다. 인버터(88 및 89)는 논리적 부정(logical negation)을 구현하는 NOT 게이트이다. 그에 의해, 4개의 트랜지스터 스위치(84, 85, 86 및 87)는 입력 단자(80) 쌍의 제1 단자가 출력 단자(81) 쌍의 출력의 제1 및 제2 단자에 교대로 연결됨을 보장한다. 입력 단자(80) 쌍의 제2 단자는 출력 단자(81) 쌍의 제2 및 제1 단자에 교대로 연결된다.

[0041] 벌크 또는 실드(82)를 버퍼 출력(90)에 연결함으로써, 벌크 노드를 통해 인체 효과(body effect) 및 추가의 전류 흐름을 제거하기 위해 모든 트랜지스터 스위치(84, 85, 86 및 87)가 실딩된다. 따라서 바이어스 전류는 입력 공통-모드 전압이 변화할 때 크게 변하지 않을 것이다. 추가로, 오버드라이브(overdrive) 전압을 유지하고 그에 의해 트랜지스터 스위치(84, 85, 86 및 87)의 "ON" 저항을 일정하게 유지하기 위해 초핑 클록이 부트스트랩된다(bootstrapped). 그와 같은 방식으로, 전류 잡음 및 열 잡음은 입력 공통-모드 전압에 둔감하다. 부트스트랩 회로(83) 클록 신호 및 실드(82)를 통한 출력 버퍼 신호 및 출력 상에 전달하는 초퍼 클록 신호(Clk)는 트랜지스터 스위치(84, 85, 86 및 87)를 개폐하기 위해 사용된다. 부트스트랩 회로(83)는 의도적으로 입력 임피던스를 변경하려 한다.

[0042] 도 10에 도시된 바와 같이, 잡음 쟁점은 2개의 카테고리(전압-도메인 잡음 및 전류-도메인 잡음)으로 분리될 수 있다. 도 10은 도 5에 도시된 바와 같은 초퍼 증폭기의 입력에서 과잉 잡음 소스를 도시한다. 당업자는 전류 잡음에 의해 야기되는 문제점이 소스 임피던스의 값에 크게 의존함을 이해할 것이다. 피부-전극 임피던스는 비교적 크고 큰 변동에 취약하기 때문에, 건식 획득 아날로그 프런트-엔드에서, 2개의 잡음은 우려가 되는 사항이다.

[0043] 전압-도메인 잡음

[0044] 도 10은 초퍼 증폭기의 입력에서의 과잉 잡음 소스를 도시한다. R_{sx} 는 피부-전극 저항을 표시한다. 주된 전압 잡음 기여자(60)는 이들 MOSFET 게이트로부터의 높은 전압 이득으로 인해, 캐스코딩 전류 미러 회로에서의 입력 트랜지스터 쌍(M_1 및 M_2) 및 최종 트랜지스터 쌍(M_7 및 M_8)을 포함한다. 전압 잡음은 플리커 잡음 및 열 잡음의 결과로서 표현될 수 있고, 오프셋 및 플리커 잡음은 초퍼 변조로 인해, 낮은 주파수 신호 대역으로부터 이론적으로 제거된다. 잔여 잡음의 지배적인 성분은 MOSFET의 열 잡음(V_{noise})이고, 다음과 같이 표현될 수 있다:

$$V_{noise} \approx \sqrt{(1 + gm_7/gm_1)(8kT/gm_1)BW} \quad (1)$$

[0045]

[0046] 여기서 BW는 관련 대역폭을 표시하고, g_{mi} 는 MOSFET(M_i)의 트랜스컨덕턴스이고, k는 볼츠만 상수(Boltzmann's constant)이고, T는 성분의 절대 온도이다. 0.5-100Hz 사이의 대역폭 내에서, 초퍼 주파수가 1 kHz이도록 선택되고 지배적인 MOSFET의 트랜스컨덕턴스가 열 잡음을 최소화하기 위해 최적화될 때 통합 잡음은 대략 $0.29\mu V_{rms}$ 이다.

[0047] 방정식 (1)로부터 잡음 전압(V_{noise})이 트랜지스터 트랜스컨덕턴스의 제곱근의 상호간의 값에 비례함을 알게 된다. $8\mu A$ 를 제공하는 전류 소스(50)의 사용을 통해 페-루프 단위-이득 증폭기(10)를 동작시킴으로써 도 5에 표

시된 시스템의 파워 및 잡음 비용의 관점에서 수용 가능한 $8\mu\text{A}$ 의 전류 소모 및 $29\text{nV}/\sqrt{\text{Hz}}$ 의 잡음이 발견되었다.

[0048] 전류-도메인 잡음

[0049] 바이어스 전류(61)는 소스 임피던스에 걸쳐 오프셋이 생기게 한다. 생체-신호 센서 증폭기에 대해, 바이어스 전류의 주된 소스는 ESD 보호 회로에서의 누설, 입력 MOSFET의 게이트 누설 및 바이폴라 접합 트랜지스터의 베이스 전류, 초핑 활동 뿐 아니라 PCB 누설을 포함한다. 지배적인 기여자는 ESD 보호 회로의 누설 및 주기적 초핑 활동에 의해 야기되는 전류 흐름을 포함한다.

[0050] ESD 보호 회로의 누설은 ESD 기술 및 회로 속성에 크게 의존한다. 따라서 그 누설은 모든 증폭기에 존재하고 완전히 회피되는 것은 어렵다. 주기적 초핑 활동은 초퍼 스위치 및 스위치-커패시터 저항을 통해 동적 전류 흐름(dynamic current flow)을 생기게 한다. 정의상으로, 바이어스 전류는 입력 노드에서 비교적 긴 시간에 걸친 평균 전류이다. CMOS 초퍼 증폭기에 대해, 그와 같은 종류의 전류는 다른 것을 능가하는 지배적인 바이어스 전류 소스일 수 있다.

[0051] 과잉 잡음은 통상적으로 낮은-소스-임피던스, 예를 들어 습식 전극의 $10\text{k}\Omega\sim 20\text{k}\Omega$ 으로 증폭기에서 무시할 만한 것으로 간주될 수 있음이 관찰되었다. 그러나 높은-소스-임피던스에 대해, 예를 들어, 건식 전극의 수백 키로옴 내지 수 메가옴, dc 오프셋과 같은 결합 및 대응하는 출력 잡음은 문제가 되는 것으로 간주될 것이다.

[0052] 적절한 설계 최적화 전략을 적용함으로써, 모든 스위치는 신체 효과 및 벌크 노드를 통한 추가 전류 흐름을 제거하기 위해 유용하게 실딩될 수 있다. 따라서 바이어스 전류는 입력 공통-모드 전압이 변화할 때 크게 변하지 않을 것이다. 추가로, 초핑 클록은 오버드라이브 전압을 유지하고 그에 의해 스위치의 'on' 저항을 일정하게 유지하기 위해 부트스트랩된다. 그와 같은 방식으로, 전류 잡음 및 열 잡음은 입력 공통-모드 전압에서의 변화에 둔감하다.

[0053] 본 발명의 일 실시예에 따른 초퍼링 버퍼의 양호한 최적화를 보장함으로써, 바이어스 전류는 상당히 낮다. 초퍼 스위치는 본질적으로 버퍼에 의해 실딩되고 소스와 드레인 사이의 상당한 전위차뿐 아니라 스위치에서의 벌크도 존재하지 않는다. 따라서 초퍼에서의 전류 경로가 존재하지 않는다. 본 발명의 일 실시예에 따른 초퍼링 버퍼에 대한 전류 잡음은 약 $0.3\text{fA}/\sqrt{\text{Hz}}$ 의 레벨에서 관찰되었다. 연결된 $1\text{M}\Omega$ 저항기로, 과잉 잡음 밀도 기여도는 $0.3\text{nV}/\sqrt{\text{Hz}}$ 일 것이다.

[0054] 차동 증폭기의 공통-모드 제거 비(CMRR)는 원하는 차이 신호에 대해 양쪽 입력 리드에 공통인 원치 않는 입력 신호의 디바이스에 의한 제거이다. 방해하는 공통-모드 입력의 존재시에 차동 신호가 증폭되어야 할 때 높은 CMRR이 요구된다. 파워 서플라이 제거 비(PSRR)는 생산하는 동등한(차동) 출력 전압에 대한 오프-앰프에서의 공급 전압의 변화의 비로서 정의된다. 출력 전압은 피드백 회로에 의존할 것이다. 초퍼 변조는 잡음을 감소시킬 뿐 아니라 CMRR 및 PSRR의 개선에 기여하는 것으로 발견되었다.

[0055] 초퍼 변조 없는 증폭기의 공통-모드 제거(CMR)는 -73.3dB 인 것으로 관찰되었고 초퍼 변조로 CMR은 CMRR에서 거의 35dB 강화된 -107.9dB 로 개선된다. 더욱이, 파워 서플라이 제거(PSR)는 -48dB 에서 PSRR에서 거의 49dB 강화된 -97.3dB 로 개선되었다. 이것은 100Hz 미만의 주파수 대역(원하는 입력 신호)을 위한 출력 노드에서의 10pF 의 커패시턴스 로드(capacitance load)로 관찰되었다.

[0056] 본 발명에 따르면 능동 전극 설계에서 사용되는 새로운 초퍼링 버퍼가 제공된다. 종래의 최신 기술 설계와 비교하여, 초퍼링 버퍼를 가지는 능동 전극은 여러 매력적인 장점을 나타낸다. 단위-이득 구성 덕분에, 양호한 실드 특성이 허용될 수 있다. 결과적으로, 초-고 입력 임피던스가 획득 가능하고, 그에 의해 입력 임피던스 네트워크의 높은 CMRR이 실현될 수 있다. 버퍼링 출력에 의해 실딩되는 초퍼 변조는 버퍼 및 초퍼 증폭기를 사용하는 종래 기술과 비교하여 양호한 균형에 도달하면서, 전압-도메인 및 전류-도메인 정확도를 레버리징한다. 그 외에도, 초퍼 변조로부터 발생하는 상당한 장점은 둘러싸는 간섭에 대해 잡음 면역성을 강화하는데 상당히 유용할 수 있는 2개의 버퍼 채널 사이의 개선된 CMRR 및 PSRR이다. 후속적인 차동 증폭기는 추가의 파워량을 희생하여 수반하는 초퍼 스파이크 및 리플을 필터링 아웃할 수 있다. 초퍼링 버퍼를 가지는 능동 전극은 고-품질 생체-기록 시스템에서의 사용을 위해 매우 적합하다.

[0057] 도 8은 본 발명에 따른 2개의 능동 전극에 기초한 센서 시스템의 일 실시예를 도시한다. 도시된 센서 시스템은 와이어(80)의 세트를 통해 백-엔드 모듈(back-end module)(86)에 연결되는 프론트-엔드 모듈(84)을 포함한다.

프런트-엔드 모듈(84)은 예시된 실시예에서 도 1을 참조하여 설명된 바와 같은 초퍼링 버퍼를 가지는 한 쌍의 능동 전극(43)을 포함한다. 초퍼링 버퍼는 1과 동일한 이득(A_v)을 가지는 통합 증폭기(10), 및 동일한 초퍼 변조 신호($m(t)$)를 인가하는 2개의 믹서(11 및 12)에 기초한다. 더욱이, 초퍼링 버퍼의 출력 단자(47)는 집적 회로를 둘러싸는 실드(48)에 연결된다. 바람직하게는, 능동 전극은 차동 모드에서 동작한다(이는 전극 중 하나가 기준으로서 동작함을 의미한다).

[0058] 백-엔드 모듈(86)은 능동 전극으로부터 생체-전위 신호를 증폭하기 위한 이득을 가지는 통합 증폭기(82) 및 동일한 초퍼 변조 신호($n(t)$)를 인가하는 2개의 믹서(81 및 83)에 기초한 초퍼링 계측 증폭기를 가진다. 초퍼 변조 신호($n(t)$)는 통합 증폭기(82)에서 플리커 잡음을 증폭하는 것을 회피하기 위해 인가된다.

[0059] 초퍼 클럭 신호($n(t)$)는 바람직하게는 fch, 3fch, 5fch에서의 홀수 조파(odd harmonics)를 포함하는 구형파(square-wave) 신호이고, 초퍼 리플 에너지의 대부분이 제1 조파(fch)에 위치하기 때문에, 더 높은 조파는 저역 통과 또는 대역 통과 필터링 효과를 제공하는 초퍼 스파이크 필터(Chopper Spike Filter: CSF)(85)를 인가함으로써 제거될 수 있다. 초퍼 스파이크 필터(85)는 스위치 및 커패시터에 의해 제공되는 샘플 및 유지 회로(sample and hold circuit)를 포함하고, 여기서 스위치는 샘플링 펄스에 의해 구동된다. 초퍼 스파이크 필터(85)는 초퍼 스위치에 의해 야기되는 글리치(glitch)를 제거한다. 초퍼링 계측 증폭기(81-83)의 출력으로부터 공급되지만 역의 극성을 가지는 2개의 분기는 프로그램가능 이득 증폭기(Programmable Gain Amplifier: PGA)(87) 및 아날로그-투-디지털 변환기(Analog-to-Digital Converter: ADC)(88)에 공급되는 완전한 차동 출력을 발생시키기 위해 포함되었고, 그로부터 신호가 프로세싱을 위해 도시되지 않은 마이크로제어기에 공급된다.

[0060] 초퍼링 계측 증폭기(82)는 일 실시예에서 프런트-엔드 모듈(84)에 제공될 수 있고 그에 의해 능동 실드 내에 포함될 수 있다. 프런트-엔드 모듈(84)을 백-엔드 모듈(86)에 연결하는 얇은 와이어(80)의 수는 4개에서 2개의(실딩된) 와이어로 감소될 수 있다. 이들 와이어는 공급 전압, 그라운드, 클럭 및 신호를 운반하고 특정 실시예에서 10 mm의 길이를 가질 수 있다.

[0061] 도 9는 본 발명의 일 양상에 따른 청각 EEG 디바이스(115)를 도시한다. 예를 들어 그 자체로 알려진 인-더-케넬(In-The-Canal: ITC) 보청기와 같은 사람의 귀 내에서 착용될 수 있는 청각 EEG 디바이스(115)는 저혈당을 검출하기 위해 모니터링되어야 한다. 더욱이, 디바이스는 헬스케어 직원이 한번에 여러 날에 대한 EEG를 원격 모니터링하거나 기록하게 허용할 것이다. 헬스케어 직원은 그 후에 발작(seizure)이나 마이크로수면(micro-sleep)과 같은 규칙적으로 재발하는 문제점을 가지는 환자를 모니터링하도록 허용될 것이다. 청각 EEG 디바이스(115)는 일상 생활을 방해하지 않을 것인데, 그 이유는 청각 EEG 디바이스(115)는 청각 환기구(acoustic vent)(116)를 가지고 있어 착용자가 들을 수 있을 것이기 때문이다. 잠시 후에, 착용자는 자신이 청각 EEG 디바이스(115)를 착용한 것을 잊는다. 청각 EEG 디바이스(115)는 외부 표면 상에 본 발명에 따른 2개의 능동 전극을 갖춘다. 내부적으로 청각 EEG 디바이스(115)는 전자 모듈(118)을 포함한다.

[0062] 청각 EEG 디바이스(115)는 착용자의 외이도(111) 내로 끼워맞추도록 형성되고, 고막(tympanic membrane)(110)과 함께 외이도(111)에서의 공동(cavity)을 정의하고, 공동은 청각 EEG 디바이스(115)의 전체 길이를 통해 연장하는 청각 환기구(116)에 의해 개방된다. 바람직하게는 청각 EEG 디바이스(115)는 귓바퀴(112)를 넘어서 연장하지 않는다.

[0063] 전자 모듈(118)은 점선 박스(118)에서 확대도로 개략적으로 도시된다. 전자 모듈(118)은 전자기기를 파워링하기 위한 표준 보청기 배터리에 기초한 파워 서플라이(120)를 포함한다. 청각 EEG 디바이스(115)의 표면 상에 제공되는 2개의 전극(117)은 전위를 픽업하고 전극 프런트엔드 및 아날로그 투 디지털 변환기(ADC)로서 동작하는 모듈(125)을 통해 디지털 신호 프로세서(124)에 데이터를 전달한다. 전극 프런트엔드 및 ADC 모듈(125)의 상세는 도 8을 참조하여 설명되었다. 디지털 신호 프로세서(124)는 프로세싱을 위해 증폭되고 디지털화된 신호를 수신한다. 일 실시예에 따르면, 디지털 신호 프로세서(124)는 뇌파 주파수를 모니터링함으로써 저혈당을 검출하기 위해 픽업된 EEG 신호를 분석하고, 뇌파 주파수가 미리 정의된 간격을 벗어나 떨어지면, 이것은 응급 상황이 발생할 수 있음을 표시할 수 있다. 저혈당은 혈액에서의 포도당의 비정상적으로 줄어든 함량에 관련하는 응급 상황이다. 비정상적 뇌파 활동의 검출시에, 디지털 신호 프로세서(124)는 이러한 발견을 디바이스 운영 제어기(122)에 전달한다.

[0064] 디바이스 운영 제어기(122)는 여러 동작을 담당하고 마이크로폰(microphone) 및 스피커를 포함하는 오디오 프런트-엔드 모듈(audio front-end module)(123)을 가진다. 마이크로폰을 이용하여, 디바이스 운영 제어기(122)는 오디오 샘플을 픽업하고 현재의 사운드 환경을 분류할 수 있다. 더욱이, 디바이스 운영 제어기(122)는 내부 클럭 모듈로부터 또는 라디오 모듈(121)을 통해 액세스 가능한 개인용 통신 디바이스(예를 들어, 스마트폰)로부터

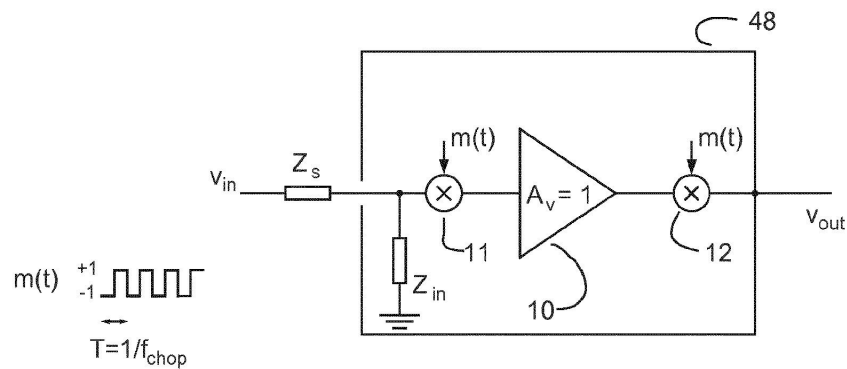
실시간 클럭 정보에 액세스할 수 있다. 개인용 통신 디바이스 및 라디오 모듈(121)은 블루투스™ 저 에너지 표준(Bluetooth™ Low Energy standard)과 같은 단거리 통신 표준에 의해 무선 통신 링크를 설정할 수 있다. 디바이스 운영 제어기(122)는 실시간 클럭 정보 및 사운드 환경 분류에 의존하여 정상 뇌파 활동을 위한 미리 정의된 간격을 조정한다. 스피커를 이용하여, 디바이스 운영 제어기(122)는 청각 EEG 디바이스(115)의 착용자에게 응급 상황이 발생할 수 있고 예방 조치(precautionary action)가 취해져야 하는 것에 대해 경보를 울릴 수 있다.

[0065] 전극의 수는 지금까지 차동 모드에서 동작하는 한 쌍의 능동 전극으로서 확인되었다. 그러나 2개 또는 그 이상의 능동 전극이 공통 기준 전극으로서 동작하는 능동 전극에 대해 전위차를 측정하기 위한 센싱 전극으로서 동작할 수 있다. 전극은 단극 리드 모드(unipolar lead mode)에서 동작할 것이다.

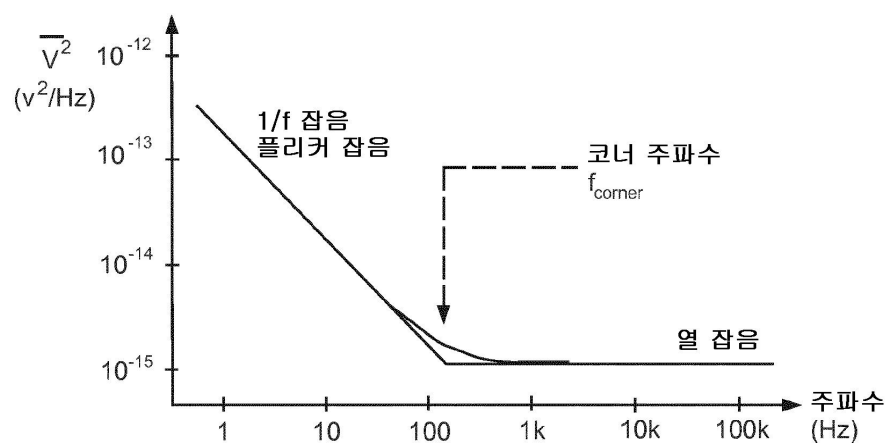
[0066] 청각 EEG 디바이스(115)는 추가적인 실시예에서 착용자의 청각 손실을 완화하기 위한 이득을 제공받는 경우에 보청기로서 동작할 수 있다. 청각 EEG 디바이스(115)는 유용하게는 인-터-커널(ITC) 보청기, 리시버-인-커널(Receiver-In-Canal: RIC) 보청기 또는 다른 타입의 보청기 내에 통합될 수 있다.

도면

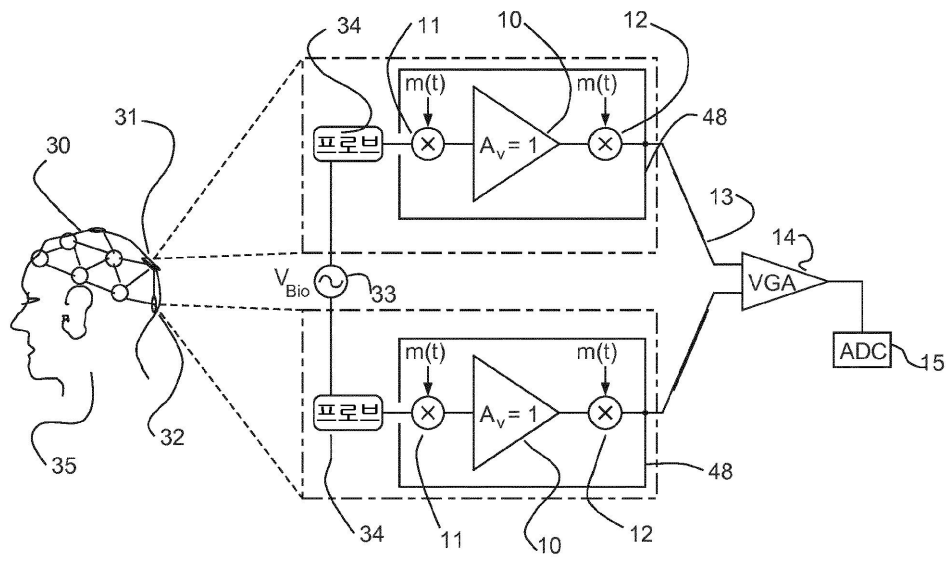
도면1



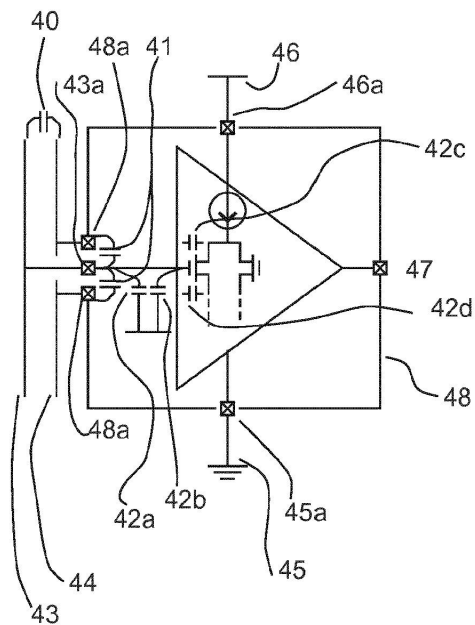
도면2



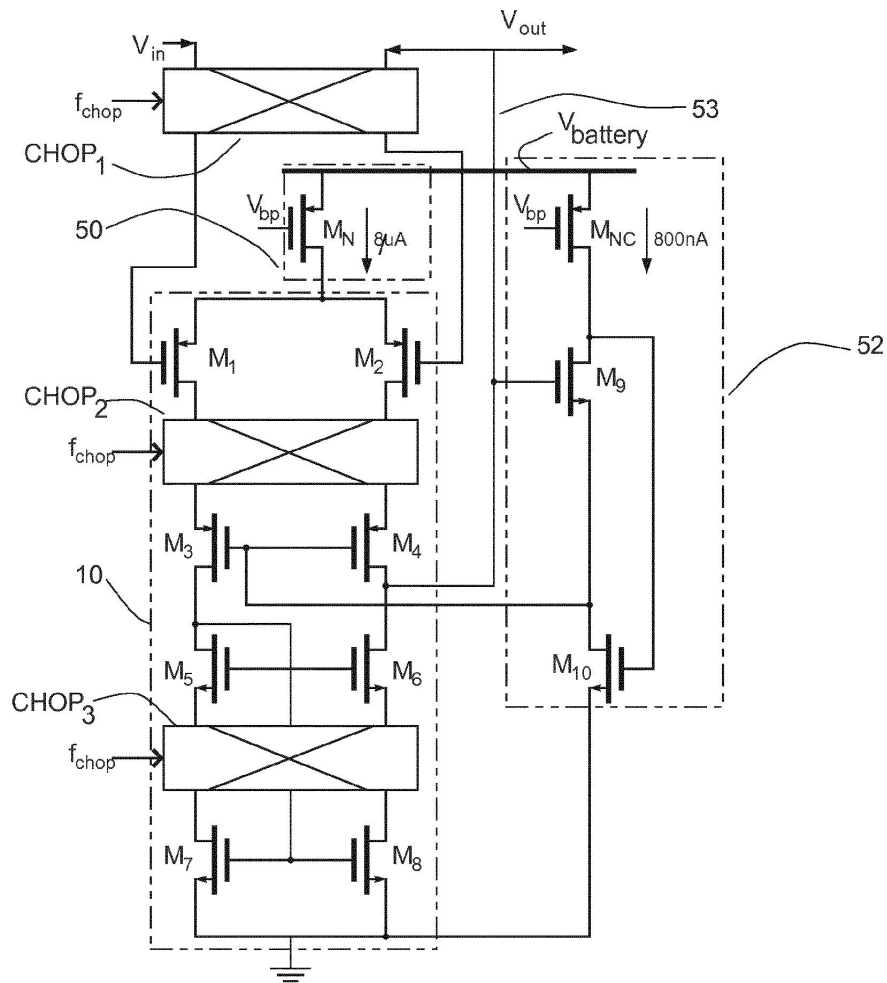
도면3



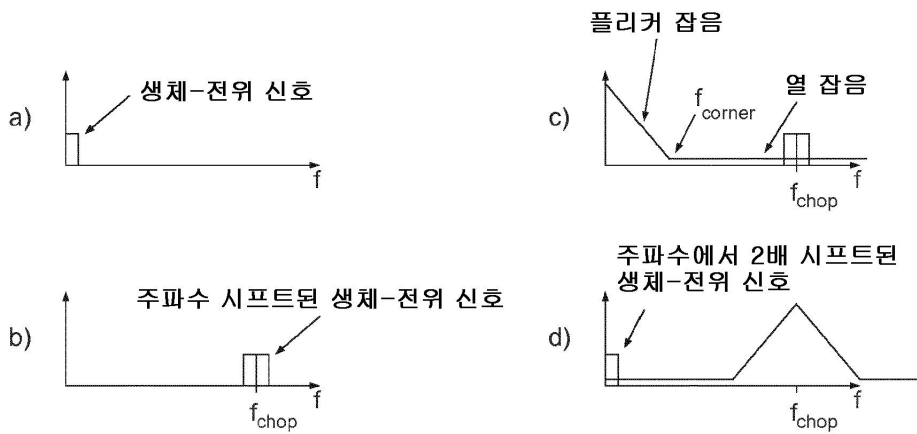
도면4



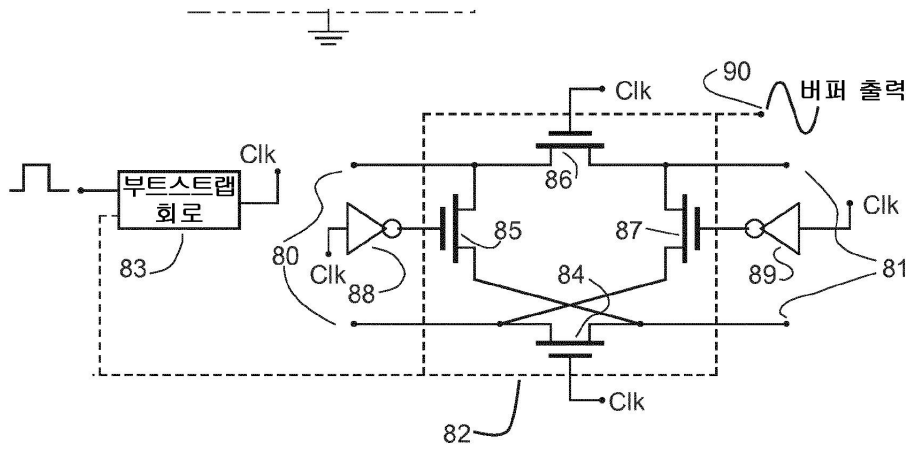
도면5



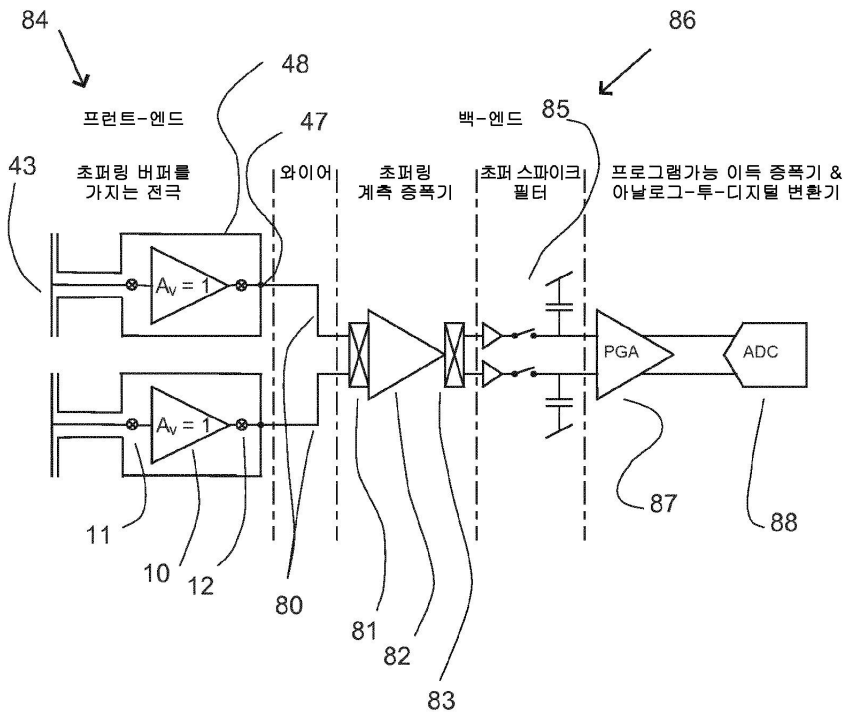
도면6



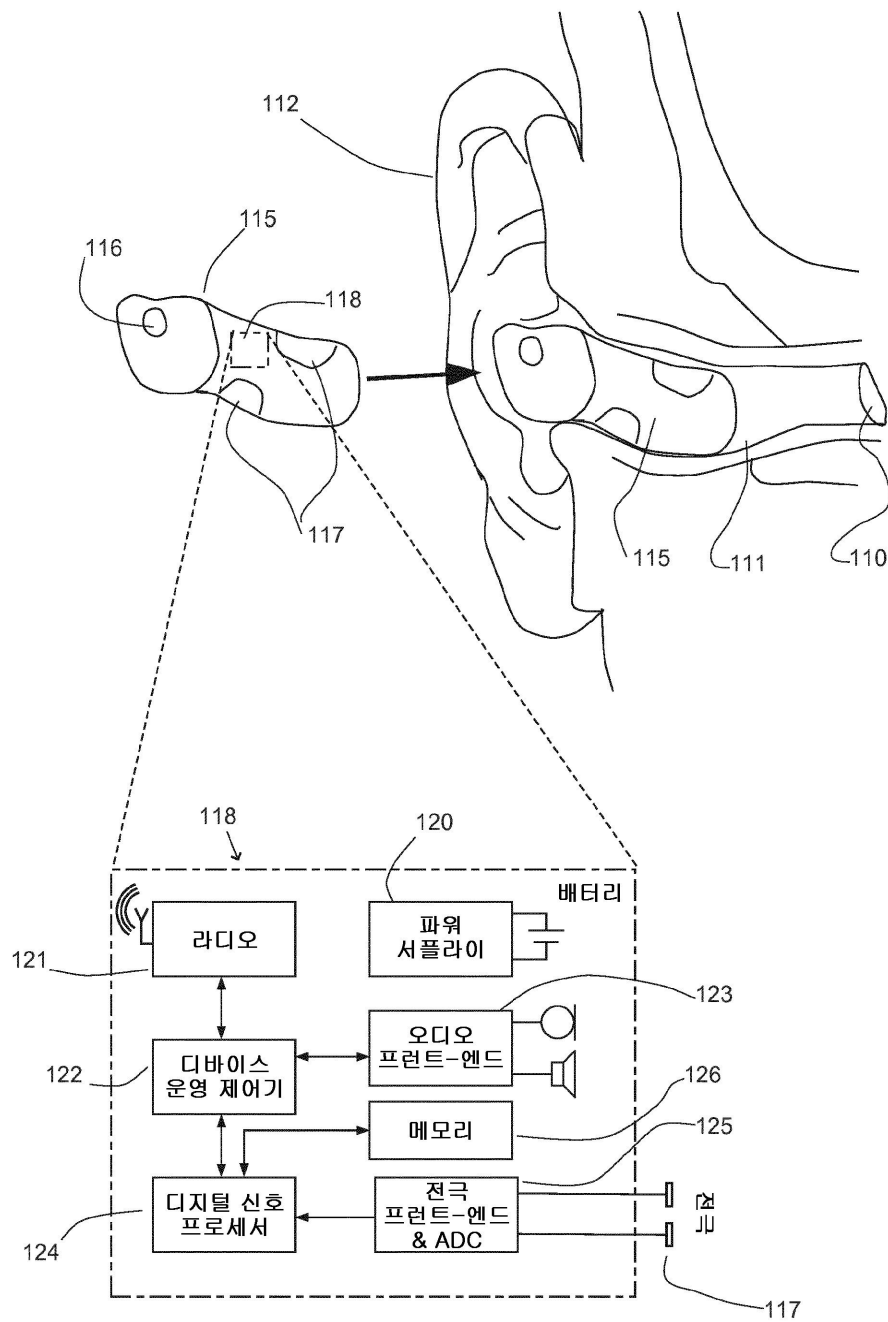
도면7



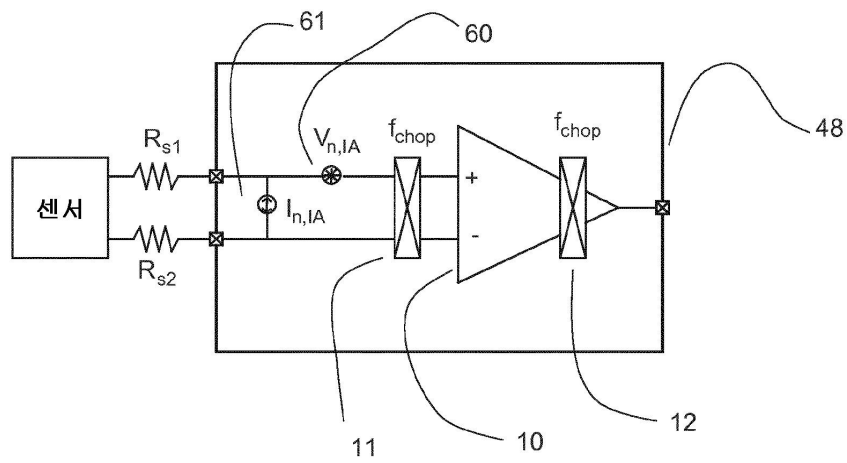
도면8



도면9



도면10



专利名称(译)	标题：使用斩波调制的具有闭环单位增益放大器的有源电极		
公开(公告)号	KR1020170095333A	公开(公告)日	2017-08-22
申请号	KR1020177019483	申请日	2014-12-19
[标]申请(专利权)人(译)	T&W工程公司		
申请(专利权)人(译)	티앤더블유엔지니어링에이/에스		
[标]发明人	KIDMOSE PREBEN 키드모세프레벤 ZHOU XIONG 주시웅 KILSGAARD SOREN 킬스카아르드소렌 LI QIANG 리키양		
发明人	키드모세프레벤 주시웅 킬스카아르드소렌 리키양		
IPC分类号	A61B5/0478 A61B5/00 A61B5/04 H03F3/393 H03F3/45		
CPC分类号	A61B5/0478 A61B5/04004 A61B5/6817 A61B5/6803 H03F3/393 H03F3/45179 H03F3/45183 H03F3/45475 H03F2200/261 H03F2200/271 H03F2203/45306 A61B5/0408 A61B2562/0209 H03F1/26 H03F1/523 H03G3/20 H04R25/353 H04R25/505 H04R2225/43 H04R2225/67		
代理人(译)	Gimtaehong Gimjinhoe		
其他公开文献	KR102015716B1		
外部链接	Espacenet		

摘要(译)

有源电极具有用于检测电位并产生输入信号的电极，并且密封件设置在电极附近但与电极电绝缘。它具有连接到至少一个电极的输入端，用于提供接收输入信号并输出缓冲输出信号的积分放大器（10）的缓冲路径。密封的电位被驱动到有效性，并且密封的电位连接到积分放大器输出，以便提供电极的密封活性。缓冲路径包括积分放大器前端的第一混频器（11），用于将输入信号从基频频率范围转换到频率高得多的频率范围，而第二混频器放在积分放大器输出端，用于返回基频中的放大信号频率范围从更高的频率范围和频移。可以使用它以使有源电极记录EEG信号。

