



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0088940
(43) 공개일자 2020년07월24일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/5203 (2013.01)
H01L 27/3276 (2013.01)
(21) 출원번호 10-2019-0005325
(22) 출원일자 2019년01월15일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
윤갑수
서울특별시 강서구 우현로 67, 111동 1504호(화곡동, 강서힐스테이트)
양찬우
경기도 시흥시 월곶중앙로 11, 306동 905호 (월곶동, 월곶동풀림3차아파트)
최준환
경기도 화성시 메타폴리스로 6, 311동 902호 (반송동, 시범다은마을삼성래미안아파트)
(74) 대리인
팬코리아특허법인

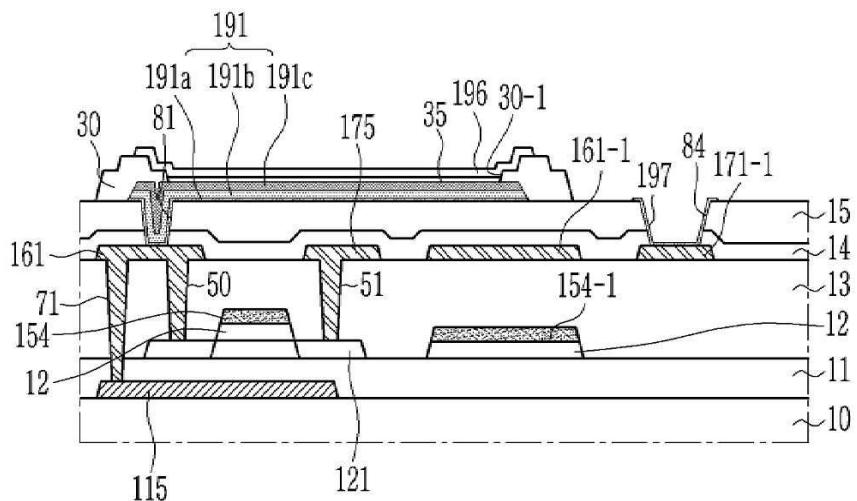
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요 약

실시예들에 따르면, 유기 발광 표시 장치는 표시 영역과 패드 영역을 포함하는 기판; 상기 표시 영역에 형성되어 있는 박막 트랜지스터; 상기 박막 트랜지스터로부터 연결되어 있는 유기 발광 다이오드; 상기 패드 영역에 형성되어 있는 패드 전극; 상기 패드 전극의 상부에 형성되며, 상기 패드 전극과 전기적으로 연결되어 있는 패드부 접촉 전극을 포함하고, 상기 유기 발광 다이오드는 애노드 전극, 유기 발광층, 및 캐소드 전극을 포함하며, 상기 애노드 전극은 하부층, 중간층 및 상부층을 포함하며, 상기 패드부 접촉 전극은 상기 애노드 전극의 상기 하부층만으로 형성되어 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

표시 영역과 패드 영역을 포함하는 기판;

상기 표시 영역에 형성되어 있는 박막 트랜지스터;

상기 박막 트랜지스터로부터 연결되어 있는 유기 발광 다이오드;

상기 패드 영역에 형성되어 있는 패드 전극; 및

상기 패드 전극의 상부에 형성되며, 상기 패드 전극과 전기적으로 연결되어 있는 패드부 접촉 전극을 포함하고,

상기 유기 발광 다이오드는 애노드 전극, 유기 발광층, 및 캐소드 전극을 포함하며,

상기 애노드 전극은 하부층, 중간층 및 상부층을 포함하며,

상기 패드부 접촉 전극은 상기 애노드 전극의 상기 하부층만으로 형성되어 있는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 패드 전극은 상기 박막 트랜지스터와 연결되어 있는 신호선에서 연장되어 있는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 하부층은 티타늄(Ti)을 포함하고,

상기 중간층은 은(Ag)을 포함하며,

상기 상부층은 ITO(Indium Tin Oxide) 또는 투명 도전 물질을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 하부층은 티타늄만으로 형성되어 있는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 하부층의 아래에 위치하며, 유기 물질을 포함하는 상부 절연막을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 하부층은 상기 상부 절연막과의 접촉특성을 향상시키며, 상기 중간층의 은(Ag)이 하부로 확산되는 것을 막으며,

상기 중간층은 상기 유기 발광층에서 방출되는 빛을 상부로 반사시키며,

상기 상부층은 상기 유기 발광층에 정공을 주입하는 역할을 하는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 표시 영역에 형성되어 있는 상기 박막 트랜지스터는 구동 트랜지스터인 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 표시 영역에 위치하며, 상기 구동 트랜지스터의 게이트 전극에 데이터 전압을 전달하는 제2 박막 트랜지스터; 및

상기 표시 영역에 위치하며, 상기 구동 트랜지스터의 출력측 전극을 초기화시키는 제3 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 데이터 전압이 전달되는 데이터선을 더 포함하며,

상기 패드 전극은 상기 데이터선이 상기 패드 영역까지 연장되어 확장된 부분인 유기 발광 표시 장치.

청구항 10

제8항에서,

상기 구동 트랜지스터에 구동 전압을 전달하는 구동 전압선;

상기 캐소드 전극에 구동 저전압을 전달하는 구동 저전압선; 및

상기 제3 박막 트랜지스터와 연결되어 있는 초기화 전압선을 더 포함하는 유기 발광 표시 장치.

청구항 11

제8항에서,

상기 구동 트랜지스터의 제1 반도체와 상기 기판의 사이에 위치하며, 상기 구동 트랜지스터의 상기 제1 반도체와 중첩하는 금속층을 더 포함하는 유기 발광 표시 장치.

청구항 12

제1항에서,

상기 유기 발광 다이오드를 덮으며, 상기 유기 발광 다이오드로 수분이 침투하지 못하도록 막는 캐핑층을 더 포함하며,

상기 캐핑층은 무기막, 유기막 및 무기막으로 구성된 삼중층 구조를 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 기판에 대향하는 상부 기판,

상기 상부 기판에 위치하며, 개구부를 가지는 차광층, 및

상기 차광층의 상기 개구부에 위치하는 색 변환층을 포함하며,

상기 색 변환층은 상기 유기 발광층이 방출하는 빛을 변환하여 빛의 삼원색 중 하나의 색으로 변환시키는 유기 발광 표시 장치.

청구항 14

표시 영역과 패드 영역을 포함하는 기판을 준비하는 단계;

상기 기판에 상부 절연막을 형성하는 단계;

상기 상부 절연막을 사전 열처리하는 단계;

상기 사전 열처리된 상기 상부 절연막 위에 하부층, 중간층, 및 상부층을 형성하는 단계; 및

상기 표시 영역에서는 상기 하부층, 상기 중간층, 및 상기 상부층을 식각하여 삼중층의 애노드 전극을 형성하고, 상기 패드 영역에서는 상기 하부층만으로 이루어진 패드부 접촉 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14항에서,

상기 사전 열처리하는 단계는 120도(℃)의 온도로 1분 내지 3분동안 진행하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제14항에서,

상기 하부층은 티타늄(Ti)을 포함하고,

상기 중간층은 은(Ag)을 포함하며,

상기 상부층은 ITO(Indium Tin Oxide) 또는 투명 도전 물질을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16항에서,

상기 하부층은 티타늄만으로 형성되어 있는 유기 발광 표시 장치의 제조 방법.

청구항 18

제16항에서,

상기 애노드 전극 및 상기 패드부 접촉 전극을 형성하는 단계는

상기 하부층, 상기 중간층, 상기 상부층 및 포토 레지스트를 순차적으로 적층하고 상기 포토 레지스트 패턴을 형성하는 단계;

상기 포토 레지스트 패턴을 사용하여 상기 중간층 및 상기 상부층을 습식 식각하는 단계;

상기 하부층을 건식 식각하는 단계;

상기 패드 영역의 상기 포토 레지스트 패턴을 제거하는 단계; 및

상기 패드 영역의 상기 상부층 및 상기 중간층을 습식 식각하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 포토 레지스트 패턴은 하프톤 마스크를 사용하여 상기 표시 영역의 상기 포토 레지스트 패턴보다 상기 패드 영역의 상기 포토 레지스트 패턴의 두께가 작도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제14항에서,

상기 기판을 준비하는 단계 및 상기 상부 절연막을 형성하는 단계의 사이에는

상기 기판 위에 베퍼층을 형성하는 단계;

상기 베퍼층 위에 반도체층을 형성하는 단계;

상기 반도체층 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 도전층을 형성하는 단계;
 상기 게이트 도전층 위에 충간 절연막을 형성하는 단계;
 상기 충간 절연막 위에 데이터 도전층을 형성하는 단계; 및
 상기 데이터 도전층 위에 패시베이션을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 구체적으로 삼중층 구조를 가지는 전극을 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휴대 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 유기 발광 표시 장치는 액정 표시 장치에 비하여 화소 구조가 복잡하며, 보다 많은 마스크를 사용하고, 공정 시간도 많이 걸리는 단점이 있다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 보다 적은 마스크를 사용하여 제조할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0006] 일 실시예에 따른 유기 발광 표시 장치는 표시 영역과 패드 영역을 포함하는 기판; 상기 표시 영역에 형성되어 있는 박막 트랜지스터; 상기 박막 트랜지스터로부터 연결되어 있는 유기 발광 다이오드; 상기 패드 영역에 형성되어 있는 패드 전극; 상기 패드 전극의 상부에 형성되며, 상기 패드 전극과 전기적으로 연결되어 있는 패드부 접촉 전극을 포함하고, 상기 유기 발광 다이오드는 애노드 전극, 유기 발광층, 및 캐소드 전극을 포함하며, 상기 애노드 전극은 하부층, 중간층 및 상부층을 포함하며, 상기 패드부 접촉 전극은 상기 애노드 전극의 상기 하부층만으로 형성되어 있다.

[0007] 상기 패드 전극은 상기 박막 트랜지스터와 연결되어 있는 신호선에서 연장될 수 있다.

[0008] 상기 하부층은 티타늄(Ti)을 포함하고, 상기 중간층은 은(Ag)을 포함하며, 상기 상부층은 ITO(Indium Tin Oxide) 또는 투명 도전 물질을 포함할 수 있다.

[0009] 상기 하부층은 티타늄만으로 형성되어 있을 수 있다.

[0010] 상기 하부층의 아래에 위치하며, 유기 물질을 포함하는 상부 절연막을 더 포함할 수 있다.

[0011] 상기 하부층은 상기 상부 절연막과의 접촉특성을 향상시키며, 상기 중간층의 은(Ag)이 하부로 확산되는 것을 막으며, 상기 중간층은 상기 유기 발광층에서 방출되는 빛을 상부로 반사시키며, 상기 상부층은 상기 유기 발광층에 정공을 주입하는 역할을 할 수 있다.

[0012] 상기 표시 영역에 형성되어 있는 상기 박막 트랜지스터는 구동 트랜지스터일 수 있다.

[0013] 상기 표시 영역에 위치하며, 상기 구동 트랜지스터의 게이트 전극에 데이터 전압을 전달하는 제2 박막 트랜지스터; 및 상기 표시 영역에 위치하며, 상기 구동 트랜지스터의 출력측 전극을 초기화시키는 제3 박막 트랜지스터를 더 포함할 수 있다.

- [0014] 상기 데이터 전압이 전달되는 데이터선을 더 포함하며, 상기 패드 전극은 상기 데이터선이 상기 패드 영역까지 연장되어 확장된 부분일 수 있다.
- [0015] 상기 구동 트랜지스터에 구동 전압을 전달하는 구동 전압선; 상기 캐소드 전극에 구동 저전압을 전달하는 구동 저전압선; 및 상기 제3 박막 트랜지스터와 연결되어 있는 초기화 전압선을 더 포함할 수 있다.
- [0016] 상기 구동 트랜지스터의 제1 반도체와 상기 기판의 사이에 위치하며, 상기 구동 트랜지스터의 상기 제1 반도체와 중첩하는 금속층을 더 포함할 수 있다.
- [0017] 상기 유기 발광 다이오드를 덮으며, 상기 유기 발광 다이오드로 수분이 침투하지 못하도록 막는 캐핑층을 더 포함하며, 상기 캐핑층은 무기막, 유기막 및 무기막으로 구성된 삼중층 구조를 포함할 수 있다.
- [0018] 상기 기판에 대향하는 상부 기판, 상기 상부 기판에 위치하며, 개구부를 가지는 차광층, 및 상기 차광층의 상기 개구부에 위치하는 색 변환층을 포함하며, 상기 색 변환층은 상기 유기 발광층이 방출하는 빛을 변환하여 빛의 삼원색 중 하나의 색으로 변환시킬 수 있다.
- [0019] 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 표시 영역과 패드 영역을 포함하는 기판을 준비하는 단계; 상기 기판에 상부 절연막을 형성하는 단계; 상기 상부 절연막을 사전 열처리하는 단계; 상기 사전 열처리된 상기 상부 절연막 위에 하부층, 중간층, 및 상부층을 형성하는 단계; 및 상기 표시 영역에서는 상기 하부층, 상기 중간층, 및 상기 상부층을 식각하여 삼중층의 애노드 전극을 형성하고, 상기 패드 영역에서는 상기 하부층 만으로 이루어진 패드부 접촉 전극을 형성하는 단계를 포함한다.
- [0020] 상기 사전 열처리하는 단계는 120도(°C)의 온도로 1분 내지 3분동안 진행할 수 있다.
- [0021] 상기 하부층은 티타늄(Ti)을 포함하고, 상기 중간층은 은(Ag)을 포함하며, 상기 상부층은 ITO(Indium Tin Oxide) 또는 투명 도전 물질을 포함할 수 있다.
- [0022] 상기 하부층은 티타늄만으로 형성할 수 있다.
- [0023] 상기 애노드 전극 및 상기 패드부 접촉 전극을 형성하는 단계는 상기 하부층, 상기 중간층, 상기 상부층 및 포토 레지스트를 순차적으로 적층하고 상기 포토 레지스트 패턴을 형성하는 단계; 상기 포토 레지스트 패턴을 사용하여 상기 중간층 및 상기 상부층을 습식 식각하는 단계; 상기 하부층을 전식 식각하는 단계; 상기 패드 영역의 상기 포토 레지스트 패턴을 제거하는 단계; 및 상기 패드 영역의 상기 상부층 및 상기 중간층을 습식 식각하는 단계를 포함할 수 있다.
- [0024] 상기 포토 레지스트 패턴은 하프톤 마스크를 사용하여 상기 표시 영역의 상기 포토 레지스트 패턴보다 상기 패드 영역의 상기 포토 레지스트 패턴의 두께가 작도록 형성할 수 있다.
- [0025] 상기 기판을 준비하는 단계 및 상기 상부 절연막을 형성하는 단계의 사이에는 상기 기판 위에 베퍼층을 형성하는 단계; 상기 베퍼층 위에 반도체층을 형성하는 단계; 상기 반도체층 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 게이트 도전층을 형성하는 단계; 상기 게이트 도전층 위에 충간 절연막을 형성하는 단계; 상기 충간 절연막 위에 데이터 도전층을 형성하는 단계; 및 상기 데이터 도전층 위에 패시베이션을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0026] 실시예들에 따르면, 애노드 전극을 삼중층으로 형성하면서 패드 영역의 접촉 전극도 함께 형성하여 사용되는 마스크의 수를 줄이며, 공정 시간도 감소시킬 수 있다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 제조 순서를 도시한 도면이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치의 제조 공정 중 애노드 전극의 제조 공정을 상세하게 구분하여 도시한 도면이다.
- 도 4 내지 도 13은 도 1의 유기 발광 표시 장치를 각 제조 단계별로 도시한 단면도이다.
- 도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

도 15는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.

도 16는 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치도이다.

도 17은 도 16의 XVII-XVII에 따른 단면도이다.

도 18은 일 실시예에 따른 패드 영역의 배치도이다.

도 19는 도 18의 XIX-XIX에 따른 단면도이다.

도 20은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.

도 21 내지 도 23은 사전 열처리 공정에 따른 식각 효과를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0028]

이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0029]

본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0030]

또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

[0031]

또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

[0032]

또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0033]

또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[0034]

이하에서는 먼저 도 1을 통하여 일 실시예에 따른 유기 발광 표시 장치에 대해서 살펴본다.

[0035]

도 1은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.

[0036]

본 실시예에 따른 유기 발광 표시 장치는 기판(10), 금속층(115), 반도체층(121), 게이트 절연막(12), 게이트 도전층(154, 154-1), 층간 절연막(13), 데이터 도전층(161, 161-1, 165, 171-1), 패시베이션(14), 상부 절연막(15), 애노드 전극(191), 유기 발광층(35), 캐소드 전극(196), 격벽(30) 및 패드부 접촉 전극(197)을 포함한다. 여기서 애노드 전극(191), 유기 발광층(35) 및 캐소드 전극(196)은 합하여 하나의 유기 발광 다이오드(OLED)를 구성한다.

[0037]

유기 발광 다이오드(OLED) 및 이와 연결되는 박막 트랜지스터는 기판(10)의 위에 형성된다. 기판(10)은 유리와 같은 리지드(rigid) 기판으로 형성되어 있다. 하지만, 실시예에 따라서는 플라스틱이나 폴리 이미드(PI)와 같은 필름으로 형성되어 플렉서블(flexible)한 특성을 가질 수도 있다.

[0038]

기판(10)의 위에는 금속층(115)이 형성되어 있다. 금속층(115)은 도전성을 가지는 금속물질로 형성되어 있다. 금속층(115)에 사용되는 금속물질로는 티타늄(Ti), 몰리브덴(Mo), 구리(Cu) 등이 사용될 수 있으며, 단일 금속물질만을 사용하여 단일층 구조로 형성될 수도 있고, 두 개의 금속 물질을 사용하여 이중층 구조로 형성될 수도 있다. 이중층 구조의 예로는 하부층에 티타늄(Ti)이 형성되고, 상부층에 구리(Cu)가 형성될 수 있다. 금속층(115)은 박막 트랜지스터의 반도체층(121)이 형성될 위치에 형성되어 반도체층(121)의 전압 특성을 일정하게 유지시키는 역할을 하여 박막 트랜지스터의 특성이 향상되도록 한다. 이하에서는 반도체층(121)을 제1 반도체(121)라고도 한다.

- [0039] 기판(10) 및 금속층(115)은 베퍼층(11)에 의하여 덮여 있다. 베퍼층(11)은 무기 절연막으로 형성되어 있으며, 산화 규소(SiO_x)나 질화 규소(SiNx)로 형성되어 있다.
- [0040] 베퍼층(11)의 위에는 반도체층(121)이 형성되어 있다. 반도체층(121)은 산화물 반도체로 형성되어 있으며, 본 실시예에서는 인듐 갈륨 아연 산화물(Indium gallium zinc oxide; IGZO)로 형성되어 있다. 반도체층(121)은 박막 트랜지스터가 형성될 위치에 대응하여 형성되며, 채널 영역, 소스 영역 및 드레인 영역을 포함한다.
- [0041] 반도체층(121) 및 베퍼층(11)은 게이트 절연막(12)에 의하여 덮여 있다. 게이트 절연막(12)은 무기 절연막으로 형성되며, 산화 규소(SiO_x)로 형성되어 있다. 실시예에 따라서는 질화 규소(SiNx)를 포함할 수도 있다. 본 실시예의 게이트 절연막(12)은 그 위에 위치하는 후술하는 게이트 도전층(154, 154-1)이 위치하는 영역에만 형성되어 있다. 하지만, 실시예에 따라서는 기판(10)의 전 영역에 게이트 절연막(12)이 형성될 수도 있다.
- [0042] 게이트 절연막(12)의 위에는 게이트 도전층(154, 154-1)이 형성되어 있다. 게이트 도전층(154, 154-1)은 게이트 전극(154)과 유지 축전기용 제1 전극(154-1)을 포함한다. 게이트 전극(154)은 반도체층(121)의 채널 영역과 중첩하는 위치에 형성되어 있다. 게이트 전극(154)과 반도체층(121)의 사이에는 게이트 전극(154)과 동일한 모양을 가지는 게이트 절연막(12)이 위치한다. 한편, 유지 축전기용 제1 전극(154-1)은 그 하부에 유지 축전기용 제1 전극(154-1)과 동일한 모양을 가지는 게이트 절연막(12)이 형성되어 있다. 실시예에 따라서는 유지 축전기용 제1 전극(154-1)과 게이트 전극(154)은 서로 전기적으로 연결되어 있을 수 있다. 게이트 도전층(154, 154-1)은 금속 물질로 형성되어 있으며, 본 실시예에서는 티타늄(Ti)을 포함하는 하부층과 구리(Cu)를 포함하는 상부층을 포함하는 이중층 구조로 형성되어 있다. 하지만, 실시예에 따라서는 단일층으로 형성될 수도 있으며, 다양한 금속 물질로 형성될 수 있다.
- [0043] 노출된 베퍼층(11), 게이트 도전층(154, 154-1) 및 측면이 노출된 게이트 절연막(12)은 층간 절연막(13)으로 덮여 있다. 층간 절연막(13)은 무기 절연막으로 형성되어 있으며, 산화 규소(SiO_x), 질화 규소(SiNx) 또는 질산화 규소(SiON)로 형성되어 있다. 층간 절연막(13)은 무기 절연막으로 형성하지만, 일정 두께 이상으로 두껍게 형성할 수 있다. 무기 절연막은 일반적으로 하부에 위치하는 층의 단자가 무기 절연막의 상부면에서도 나타나지만, 두껍게 형성하는 경우에는 하부의 단자가 상부면에서 적게 나타나 단자를 완화시키는 역할도 수행할 수 있다.
- [0044] 층간 절연막(13)에는 반도체층(121)의 소스 영역 및 드레인 영역을 각각 노출시키는 오프닝(50, 51)이 형성되어 있다. 또한, 층간 절연막(13) 및 베퍼층(11)에는 금속층(115)을 노출시키는 오프닝(71)이 형성되어 있다.
- [0045] 층간 절연막(13)의 위에는 데이터 도전층(161, 161-1, 165, 171-1)이 형성되어 있다. 데이터 도전층(161, 161-1, 165, 171-1)은 출력측 전극(161), 입력측 전극(175; 이하 구동 전압선이라고도 함), 유지 축전기용 제2 전극(161-1), 및 패드 전극(171-1)을 포함한다.
- [0046] 출력측 전극(161)은 박막 트랜지스터의 반도체층(121)의 드레인 영역과 오프닝(50)을 통하여 전기적으로 연결되며, 또 다른 오프닝(71)을 통하여 금속층(115)과 전기적으로 연결되어 있다. 즉, 드레인 전극은 박막 트랜지스터의 출력을 다른 소자로 전달하는 전극으로 금속층(115)으로 박막 트랜지스터의 출력을 전달한다. 또한, 드레인 전극은 후술하는 애노드 전극(191)으로도 박막 트랜지스터의 출력 전류를 전달한다. 입력측 전극(165)은 박막 트랜지스터의 반도체층(121)의 소스 영역과 오프닝(51)을 통하여 전기적으로 연결되어 있다.
- [0047] 또한, 입력측 전극(165)는 도시하고 있지 않지만, 구동 전압(ELVDD)이 인가되는 구동 전압선과 전기적으로 연결되어 있을 수 있다. 그 결과 박막 트랜지스터는 입력측 전극(165)과 게이트 전극(154)간의 전압차이에 의하여 출력측 전극(161)로 출력 전류를 전달한다.
- [0048] 유지 축전기용 제2 전극(161-1)은 유지 축전기용 제1 전극(154-1)에 대응하는 위치에 형성되며, 유지 축전기용 제1 전극(154-1)과 그 사이에 위치하는 층간 절연막(13)에 의하여 유지 축전기를 형성한다. 유지 축전기용 제2 전극(161-1)은 특정 단자와 연결되어 있을 수 있으며, 본 실시예에서는 출력측 전극(161)과 전기적으로 연결되어 있다. 실시예에 따라서는 구동 전압(ELVDD)이 인가되는 구동 전압선과 전기적으로 연결되어 있을 수 있다.
- [0049] 패드 전극(171-1)은 데이터선(도 14 참고)의 끝단에 위치하며, 화상을 표시하는 표시 영역이 아니라 표시 영역의 주변에 위치하는 패드 영역에 위치한다. 패드 전극(171-1)으로 전달된 데이터 전압이 데이터선을 통하여 각 화소(PX)로 전달된다.
- [0050] 데이터 도전층(161, 161-1, 165, 171-1)은 금속 물질로 형성되며, 본 실시예에서는 티타늄(Ti)을 포함하는 하부층과 구리(Cu)를 포함하는 상부층을 포함하는 이중층 구조로 형성되어 있다. 하지만, 실시예에 따라서는 단일층으로 형성될 수도 있으며, 다양한 금속 물질로 형성될 수 있다.

- [0051] 데이터 도전층(161, 161-1, 165, 171-1) 및 노출된 층간 절연막(13)의 위에는 패시베이션(14)이 형성되어 있다. 패시베이션(14)은 무기 절연막으로 형성되어 있으며, 본 실시예에서는 질산화 규소(SiON)로 형성되어 있다. 하지만, 실시예에 따라서는 산화 규소(SiO_x) 또는 질화 규소(SiNx)로 형성될 수 있다.
- [0052] 패시베이션(14)의 위에는 상부 절연막(15)이 형성되어 있다. 상부 절연막(15)은 유기 절연막으로 형성되어 있으며, 본 실시예에서는 폴리 이미드(PI)를 포함하는 유기막으로 형성되어 있다. 실시예에 따라서는 다양한 유기 절연 물질로 형성할 수 있다.
- [0053] 패시베이션(14) 및 상부 절연막(15)은 출력층 전극(161)을 노출시키는 오프닝(81)을 포함하며, 패드 영역에서는 패드 전극(171-1)을 노출시키는 오프닝(84)을 포함한다.
- [0054] 상부 절연막(15)의 위에는 삼중층 구조를 가지는 애노드 전극(191) 및 단일층 구조를 가지는 패드부 접촉 전극(197)이 형성되어 있다. 애노드 전극(191)과 패드부 접촉 전극(197)은 동일한 공정으로 형성되며, 복수의 층을 가지는 애노드 전극(191)의 층 중 적어도 하나의 층을 제거하여 패드부 접촉 전극(197)이 형성되어 있다. 본 실시예에서는 애노드 전극(191)은 삼중층 구조를 가지며, 그 중 두 개의 층이 제거되어 패드부 접촉 전극(197)은 단일층 구조를 가진다. 본 실시예에서 애노드 전극(191)은 티타늄(Ti)을 포함하는 하부층(191a), 은(Ag)을 포함하는 중간층(191b) 및 ITO(Indium Tin Oxide)를 포함하는 상부층(191c)로 구성되어 있으며, 패드부 접촉 전극(197)은 애노드 전극(191)의 하부층(191a)과 동일한 층으로 형성되어 티타늄(Ti)을 포함하는 층으로 형성되어 있다. 하지만, 실시예에 따라서는 다양한 도전 물질로 형성될 수 있으며, 금속 물질외에 투명 도전 물질(ITO, IZO 등)을 포함할 수 있다.
- [0055] 애노드 전극(191)은 패시베이션(14) 및 상부 절연막(15)에 형성되어 있는 오프닝(81)을 통하여 출력층 전극(161)과 전기적으로 연결되어 있다. 그 결과 출력층 전극(161)의 출력 전류가 유기 발광 다이오드(OLED)의 일측 전극인 애노드 전극(191)으로 전달되어 유기 발광 다이오드(OLED)를 발광하도록 한다.
- [0056] 패드부 접촉 전극(197)은 패시베이션(14) 및 상부 절연막(15)에 형성되어 있는 오프닝(84)을 통하여 패드 전극(171-1)과 전기적으로 연결되어 있다. 즉, 외부(데이터 구동부)로부터 제공되는 데이터 전압이 패드부 접촉 전극(197)으로 전달되고, 패드 전극(171-1)을 지나 데이터선으로 전달된다. 패드부 접촉 전극(197)은 패드 전극(171-1)보다 넓게 형성되어 외부로부터 전압을 전달받기 용이하게 형성될 수 있다. 또한, 패드부 접촉 전극(197)은 연결부(도시하지 않음)와 연결되기 위하여 노출되어 있으며, 추후 연결부가 연결되면서 덮히는 구조를 가진다.
- [0057] 본 실시예에서 데이터 도전층(161, 161-1, 165, 171-1)의 상부층은 구리(Cu)를 포함하는 층을 사용하고 있으므로, 오프닝(81, 84)을 통하여 상부의 애노드 전극(191) 및 패드부 접촉 전극(197)과 전기적으로 연결될 때 접촉 특성이 안 좋을 수 있어 제약이 발생한다. 이러한 제약을 극복하기 위하여 접촉 특성을 향상시키는 층을 추가적으로 형성할 수 있는데, 본 발명에서는 추가적인 층(예를 들어 ITO층)을 형성하지 않고 애노드 전극(191) 및 패드부 접촉 전극(197)의 하부층이 티타늄(Ti)을 포함하도록 하여 구리(Cu)와의 접촉 특성도 좋게하면서 공정이 추가되는 것도 제거하는 장점을 가진다.
- [0058] 애노드 전극(191)의 위에는 유기 발광층(35) 및 격벽(30)이 형성되어 있다. 격벽(30)은 유기 물질로 형성되어 있으며, 본 실시예에는 폴리 이미드(PI)로 형성되어 있다. 격벽(30)은 유기 발광층(35)이 형성될 위치를 구획하며, 애노드 전극(191)의 외곽을 따라서 형성되어 있을 수 있다.
- [0059] 유기 발광층(35)은 격벽(30)에 의하여 구획된 개구부(30-1)내에 형성되어 있다. 도 1에서는 유기 발광층(35)을 단일층과 같이 도시하고 있지만, 실제로는 발광층의 상하에 전자 주입층, 전자 전달층, 정공 전달층, 및 정공 주입층과 같은 보조층도 포함되어 있다. 발광층은 종류에 따라서 적색, 녹색, 및 청색의 빛을 방출하도록 형성되어 있을 수 있다. 하지만, 도 20과 같은 실시예에서는 별도의 색을 표시하는 층을 더 포함하고, 발광층은 하나의 색만을 표시하도록 할 수 있다. 즉, 유기 발광층(35)을 통하여 방출되는 빛은 모두 동일한 색을 표시하지만, 각 화소에 위치하는 색 변환층(230)을 통하여 각각 적색, 녹색, 및 청색과 같은 빛의 삼원색을 표시할 수 있도록 할 수 있다.
- [0060] 격벽(30) 및 유기 발광층(35)의 위에는 캐소드 전극(196)이 형성되어 있으며, 투명한 도전층으로 형성되어 있다. 즉, 유기 발광층(35)에서 방출되는 빛은 캐소드 전극(196)을 지나 외부로 전달되어 사용자의 눈으로 시인되는 구조를 가진다. 이와 같은 구조를 전면 발광이라 한다.
- [0061] 애노드 전극(191), 유기 발광층(35), 격벽(30) 및 캐소드 전극(196)은 패드 영역에는 형성되지 않으며, 표시 영

역에 형성되어 있다.

- [0062] 도시하지 않았지만, 캐소드 전극(196)의 위에는 캐핑막(도 20의 240 참고)이 형성되어 외부로부터 유기 발광층(35)으로 공기나 습기가 전달되는 것을 차단하는 층이 형성되어 있다.
- [0063] 이상에서의 박막 트랜지스터는 구동 트랜지스터일 수 있으며, 구동 트랜지스터는 출력 전류를 생성하여 유기 발광 다이오드(OLED)가 발광하는 정도를 조절하는 트랜지스터를 의미한다.
- [0064] 유기 발광 표시 장치는 표시 영역과 패드 영역으로 구분되며, 패드 전극(171-1)이 위치하는 영역 주변이 패드 영역이며, 도 1에서 패드 영역을 제외한 부분은 표시 영역이다. 실시예에 따라서는 패드 영역은 주변 영역에 포함되어 있을 수 있으며, 주변 영역은 표시 영역을 둘러싸는 영역이다. 표시 영역은 유기 발광 다이오드(OLED)를 포함하는 화소(PX)가 형성되어 있어 화상을 표시하는 영역이다.
- [0065] 이하에서는 도 2 내지 도 15를 통하여 도 1의 실시예에 따른 유기 발광 표시 장치를 제조하는 방법에 대하여 살펴본다.
- [0066] 도 2는 일 실시예에 따른 유기 발광 표시 장치의 제조 순서를 도시한 도면이고, 도 3은 일 실시예에 따른 유기 발광 표시 장치의 제조 공정 중 애노드 전극의 제조 공정을 상세하게 구분하여 도시한 도면이며, 도 4 내지 도 13은 도 1의 유기 발광 표시 장치를 각 제조 단계별로 도시한 단면도이다.
- [0067] 먼저, 도 2에서는 격벽(30)의 제조 공정까지를 도시하고 있으며, 도 4 내지 도 13은 도 1의 실시예가 도 2의 각 단계 별로 어느 공정까지 이루어지는 것인지를 도시하였다. 한편, 도 3은 도 2의 제14 단계(Pad Anode 전극)를 수개의 단계로 나누어 보다 상세하게 도시한 것이다.
- [0068] 이하에서는 도 2의 각 단계를 중심으로 설명하면서 그에 대응하는 도 4 내지 도 13의 도면을 함께 살펴보며, 제14 단계(Pad Anode 전극)를 설명할 때 도 3의 상세 단계도 함께 살펴본다.
- [0069] 먼저 도 2에서는 각 단계를 용이하게 구분하기 위하여 네모 박스 내에 순차적으로 번호를 붙여 단계를 구분 표시하였고, 네모 박스 외에 위치하는 번호는 해당 단계와 관련되는 층의 도면 부호를 추가하여 어느 층을 형성하는 단계인지 확인 가능하도록 도시하였다. 또한, 도 2에서는 마스크가 사용되는 공정에서는 M으로 표시하였으며, 해당 마스크가 몇번째인지는 M 앞에 숫자로 표시하였다.
- [0070] 도 2의 제1 단계(Glass substrate)는 기판(10)을 준비하는 단계를 나타낸다. 본 실시예에서 기판(10)은 유리 기판을 사용한다.
- [0071] 제2 단계(BML)는 금속층(115)을 기판(10)위에 형성하는 단계를 나타낸다. 한편, 도 2에서는 제2 단계에 "(1M)"이라는 기재가 있는데, 이는 첫번째 마스크를 사용하여 금속층(115)을 형성하는 것을 의미한다. 즉, 금속층(115)을 형성하는 물질을 적층한 후 첫번째 마스크(1M)를 사용하여 금속층(115)을 패터닝하여 형성한다. 이때, 포토 레지스트를 금속층(115)을 형성하는 물질 위에 적층하고, 마스크(1M)로 노광하여 포토 레지스트 패턴을 먼저 형성한 후 포토 레지스트 패턴에 따라서 금속층(115)을 형성하는 물질을 패턴하여 금속층(115)을 완성한다. 이하에서는 별도의 설명이 없는 한 이와 같은 방식으로 각 층을 형성할 수 있다. 금속층(115)에 사용되는 금속 물질로는 티타늄(Ti), 몰리브덴(Mo), 구리(Cu) 등이 사용될 수 있으며, 단일 금속물질만을 사용하여 단일층 구조로 형성될 수도 있고, 두 개의 금속 물질을 사용하여 이중층 구조로 형성될 수도 있다. 이중층 구조의 예로는 하부층에 티타늄(Ti)이 형성되고, 상부층에 구리(Cu)가 형성될 수 있다.
- [0072] 제1 단계(Glass substrate) 및 제2 단계(BML)가 완성된 후의 단면도가 도 4에 도시되어 있다.
- [0073] 제3 단계(Buffer)는 기판(10) 및 금속층(115)의 위에 베퍼층(11)을 적층하는 단계를 나타낸다. 제3 단계(Buffer)에서는 별도의 마스크를 사용하여 패턴을 형성하지 않는다. 베퍼층(11)은 무기 절연막으로 형성되어 있으며, 산화 규소(SiO_x)나 질화 규소(SiNx)로 형성되어 있다.
- [0074] 제4 단계(Active)는 베퍼층(11)의 위에 반도체층(121)을 형성하는 단계로 제2 마스크(2M)를 사용하여 반도체층(121)을 특정 패턴으로 형성하는 단계이다. 반도체층(121)은 산화물 반도체로 형성되어 있으며, 인듐 갈륨 아연 산화물(Indium gallium zinc oxide; IGZO)로 형성되어 있다.
- [0075] 제3 단계(Buffer) 및 제4 단계(Active)가 완성된 후의 단면도가 도 5에 도시되어 있다.
- [0076] 제5 단계(G.I.)는 베퍼층(11) 및 반도체층(121)의 위에 게이트 절연막(12)을 적층하는 단계이며, 별도의 마스크를 사용하여 패턴을 형성하지 않는다. 이때, 게이트 절연막(12)은 도 1과 달리 베퍼층(11) 및 반도체층(121)의

위에 전체적으로 적층되어 있다. 게이트 절연막(12)은 무기 절연막으로 형성되며, 산화 규소(SiO_x)로 형성되어 있다. 실시예에 따라서는 질화 규소(SiNx)를 포함할 수도 있다.

[0077] 제6 단계(Gate)는 게이트 절연막(12)의 위에 게이트 도전층용 물질을 적층하고 제3 마스크(3M)를 사용하여 게이트 도전층(154, 154-1)을 형성하는 단계를 나타낸다. 이때, 게이트 도전층(154, 154-1)의 하부에 위치하는 게이트 절연막(12)도 함께 식각되어 도 1에서 도시하고 있는 바와 같이 게이트 절연막(12)이 게이트 도전층(154, 154-1)의 하부에만 위치하게 된다. 게이트 도전층용 물질로는 티타늄(Ti)을 포함하는 하부층과 구리(Cu)를 포함하는 상부층을 포함하는 이중층 구조로 형성되어 있다.

[0078] 제5 단계(G.I.) 및 제6 단계(Gate)에 대한 단면도는 도 6 및 도 7에서 도시하고 있으며, 도 6에서는 제6 단계(Gate)에서 게이트 도전층용 물질(154')까지 적층한 상태를 도시하고 있으며, 도 7에서는 제3 마스크(3M)를 사용하여 게이트 절연막(12) 및 그 위의 게이트 도전층용 물질(154')을 함께 식각하여 게이트 도전층(154, 154-1) 및 게이트 절연막(12) 패턴을 완성한 상태를 도시하고 있다.

[0079] 제7 단계(ILD)는 게이트 도전층(154, 154-1) 및 베퍼층(11)의 위에 충간 절연막(13)을 적층하는 단계로 별도의 마스크를 사용하지 않는다. 이때 형성되는 충간 절연막(13)은 다른 무기 절연막에 비하여 두껍게 형성될 수 있다. 충간 절연막(13)도 무기 절연막으로 형성되어 있으며, 산화 규소(SiO_x), 질화 규소(SiNx) 또는 질산화 규소(SiON)로 형성되어 있다.

[0080] 제8 단계(ANL)는 어닐링 하는 단계로 적층된 충간 절연막(13)을 열처리하는 단계이다.

[0081] 제9 단계(CNT1 + CNT2 Dry Etch)는 충간 절연막(13) 및 베퍼층(11)에 오프닝을 형성하는 단계로 제4 마스크(4M)를 사용하여 충간 절연막(13)에 오프닝을 형성하고, 제5 마스크(5M)를 사용하여 베퍼층(11)에 추가적으로 오프닝을 형성하는 공정을 함께 나타내고 있다. 이 때, 식각을 위해서는 건식 식각으로 진행한다. 제4 마스크(4M)를 통해서는 반도체층(121)의 드레인 영역 및 소스 영역을 각각 드러내는 오프닝(50, 51)은 완성된다. 한편, 금속층(115)을 노출시키는 오프닝(71)은 제4 마스크(4M)를 통하여 충간 절연막(13)을 제거하며, 제5 마스크(5M)를 통하여 베퍼층(11)을 추가 제거하여 금속층(115)을 노출시킨다. 하지만, 마스크에 따라서는 제4 마스크(4M)로는 오프닝(50, 51)만을 형성하여 충간 절연막(13)만을 제거하며, 제5 마스크(5M)로는 오프닝(71)만을 형성하여 충간 절연막(13)과 베퍼층(11)을 순차적으로 제거할 수도 있다.

[0082] 제7 단계(ILD), 제8 단계(ANL), 및 제9 단계(CNT1 + CNT2 Dry Etch)가 완성된 후의 단면도가 도 8에 도시되어 있다.

[0083] 제10 단계(S/D)는 제6 마스크(6M)로 데이터 도전층(161, 161-1, 165, 171-1)을 형성하는 단계로, 데이터 도전층용 물질을 적층한 후 제6 마스크(6M)로 패턴하여 데이터 도전층(161, 161-1, 165, 171-1)을 완성하는 공정이다. 이때, 오프닝(50, 51, 71)을 통하여 각각 노출된 반도체층(121)의 소스 영역, 드레인 영역 및 금속층(115)과 전기적으로도 연결된다. 데이터 도전층용 물질은 게이트 도전층용 물질과 같이 티타늄(Ti)을 포함하는 하부층과 구리(Cu)를 포함하는 상부층을 포함하는 이중층 구조로 형성되어 있다.

[0084] 제10 단계(S/D)가 완성된 후의 단면도가 도 9에 도시되어 있다.

[0085] 제11 단계(PVX)는 데이터 도전층(161, 161-1, 165, 171-1) 및 충간 절연막(13)의 위에 패시베이션(14)을 적층하는 단계로 마스크를 사용하지 않는다. 패시베이션(14)은 무기 절연막으로 형성되어 있으며, 본 실시예에서는 질산화 규소(SiON)로 형성되어 있다.

[0086] 제12 단계(VIA)는 패시베이션(14)의 위에 상부 절연막(15)을 적층하는 단계이다. 상부 절연막(15)은 유기 절연막으로 형성되어 있으며, 본 실시예에서는 폴리 이미드(PI)를 포함하는 유기막으로 형성되어 있다.

[0087] 제13 단계(CNT3)는 상부 절연막(15)과 패시베이션(14)을 제7 마스크(7M)로 식각하여 오프닝(81, 84)를 형성하고, 그 결과 출력측 전극(161) 및 패드 전극(171-1)이 노출된다.

[0088] 제11 단계(PVX), 제12 단계(VIA), 및 제13 단계(CNT3)가 완성된 후의 단면도는 도 10에서 도시되어 있다.

[0089] 제14 단계(Pad Anode 전극)는 3중층(이하에서는 애노드 전극용 물질이라고도 함)을 순차적으로 적층한 후, 제8 마스크(8M)를 사용하여 3중층을 식각하여 3중층을 그대로 가지는 애노드 전극(191)과 단일층을 가지는 패드부 접촉 전극(197)을 형성하는 단계이다. 제8 마스크(8M)는 하프톤 마스크를 사용할 수 있다. 본 실시예에서 3중층은 티타늄(Ti)을 포함하는 하부층(191a), 은(Ag)을 포함하는 중간층(191b) 및 ITO(Indium Tin Oxide)를 포함하는 상부층(191c)으로 형성되어 있다. 한편, 제14 단계(Pad Anode 전극)는 도 11 및 도 12에서 도시되어 있으며,

제14 단계에 대해서는 이하에서 별도로 도 3을 통하여 상세하게 살펴본다.

[0090] 제15 단계(HPDL)는 제9 마스크(9M)을 사용하여 격벽(30)을 형성하는 단계이다. 격벽(30)은 유기 물질로 형성되어 있으며, 본 실시예에는 폴리 이미드(PI)로 형성되어 있다. 제15 단계(HPDL)가 완료된 후의 단면도는 도 13에서 도시하고 있다.

[0091] 격벽(30)에 의하여 노출된 애노드 전극(191)의 위에는 유기 발광층(35)을 형성하는 단계, 및 격벽(30) 및 유기 발광층(35)을 덮는 캐소드 전극(196)을 형성하는 단계가 더 포함될 수 있다.

[0092] 이하에서는 도 3을 통하여 제14 단계(Pad Anode 전극)를 상세하게 살펴보며, 도 3에 구분되어 있는 제14 단계(Pad Anode 전극)의 세부 단계를 순차적으로 설명하면서 도 11 및 도 12도 함께 살펴본다.

[0093] 도 3에 의하면, 제14 단계(Pad Anode 전극)는 제14-1 단계(Anode Photo/Anode 1st Wet Etch), 제14-2 단계(Ti Dry Etch), 제14-3 단계(PR Ashing), 및 제14-4 단계(Anode 2nd Wet Etch/PR strip)를 포함한다. 또한, 도 3에서는 화소가 형성되어 있는 표시 영역(PXL)과 패드 영역(PAD)를 구분하여 도시하고 있다.

[0094] 제14-1 단계(Anode Photo/Anode 1st Wet Etch)는 애노드 전극용 물질(191') 및 포토 레지스트(PR)를 순차적으로 적층하고 포토 레지스트(PR)를 노광하여 포토 레지스트 패턴을 형성한 후 제1 습식 식각 공정을 통하여 식각하는 단계이다. 여기서 애노드 전극용 물질(191')은 하부층(191a)을 형성하기 위한 하부층용 물질(191a'), 중간 층(191b)을 형성하기 위한 중간층용 물질(191b'), 및 상부층(191c)을 형성하기 위한 상부층용 물질(191c')을 포함한다. 즉, 상부 절연막(15)위에 먼저 티타늄(Ti)을 전체적으로 형성한 후, 그 위에 은(Ag)을 전체적으로 형성한다. 그 후, ITO(Indium Tin Oxide)를 전체적으로 형성한다. 티타늄(Ti)은 30Å 이상의 두께로 형성하며, 도 3을 참고하면, 티타늄(Ti)은 100 내지 500Å의 두께로 적층하고, 은(Ag)을 포함하는 중간층(191b)용 물질(191b')은 850Å의 두께로 적층하며, ITO(Indium Tin Oxide)를 포함하는 상부층(191c)용 물질(191c')은 70Å의 두께로 적층한다. 여기서 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')은 상부 절연막(15)과의 접촉특성을 향상시키며, 중간층(191b)의 은(Ag)이 하부로 확산되는 것을 막기 위하여 사용하고 있다. 또한, 은(Ag)을 포함하는 중간층(191b)용 물질(191b')은 유기 발광층에서 방출되는 빛을 상부로 반사시키기 위한 층이다. 한편, ITO(Indium Tin Oxide)를 포함하는 상부층(191c)용 물질(191c')은 유기 발광층(35)의 정공 주입층의 역할도 수행할 수 있다. 상부층(191c)용 물질(191c')은 ITO외에 다른 투명한 도전 물질을 포함할 수도 있다.

[0095] 도 3의 실시예에서는 하부층(191a)용 물질(191a')을 티타늄(Ti)으로, 중간층(191b)용 물질(191b')을 은(Ag)으로, 상부층(191c)용 물질(191c')을 ITO(Indium Tin Oxide)로 형성하고 있지만, 이들을 포함하는 물질로 확대하여 적용할 수 있다.

[0096] 상부 절연막(15) 및 패시베이션(14)에는 출력층 전극(161) 및 패드 전극(171-1)을 각각 노출시키는 오프닝(81, 84)이 형성되어 있어, 3중층의 애노드 전극용 물질(191')이 오프닝(81, 84)의 내에도 형성되어 각각 출력층 전극(161) 및 패드 전극(171-1)과 연결되어 있다. 이러한 상태의 단면도는 도 11에서 도시되어 있다.

[0097] 애노드 전극용 물질(191')을 적층한 후 그 위에 포토 레지스트(PR)를 적층한다. 그 후, 제8 마스크(8M)를 사용하여 포토 레지스트(PR)를 노광하고 현상하여 포토 레지스트(PR) 패턴을 형성한다. 여기서 제8 마스크(8M)는 투과 영역, 차광 영역 및 반투과 영역을 가지는 하프톤 마스크이며, 반투과 영역은 패드 영역(PAD)에 위치하는 포토 레지스트(PR) 패턴을 형성하기 위하여 사용된다. 즉, 제8 마스크(8M)의 반투과 영역을 통하여 노광된 포토 레지스트(PR)는 포토 레지스트가 완전히 제거되거나 최대 두께를 가지지 않으며, 중간 두께로 형성된다.

[0098] 그 후, 포토 레지스트(PR) 패턴을 마스크로 하여 1차 습식 식각(1st wet etch)한다. 1차 습식 식각(1st wet etch)에서 사용되는 식각액은 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')은 식각하지 않고, 은(Ag)을 포함하는 중간층(191b)용 물질(191b') 및 ITO(Indium Tin Oxide)를 포함하는 상부층(191c)용 물질(191c')만을 식각할 수 있는 식각액이 사용되며, 이하에서는 이를 애노드 에천트(anode etchant)라고도 한다. 그 결과 1차 습식 식각(1st wet etch)을 하면 은(Ag)을 포함하는 중간층(191b)용 물질(191b') 및 ITO(Indium Tin Oxide)를 포함하는 상부층(191c)용 물질(191c')만이 식각되고, 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')은 식각되지 않고 전체적으로 연결되어 있다. 애노드 에천트(anode etchant)로는 인산, 질산, 및 초산을 베이스로 하는 에천트가 사용될 수 있다.

[0099] 제14-2 단계(Ti Dry Etch)는 포토 레지스트(PR) 패턴을 마스크로 건식 식각을 하여 티타늄(Ti)을 포함하는 하부 층(191a)용 물질(191a')도 식각한다. 이 때, 포토 레지스트(PR) 패턴도 식각되어 그 두께가 줄어든다. 한편, 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')의 아래에는 상부 절연막(15)이 위치하므로 상부 절연막(15)도

일부 식각된다. 상부 절연막(15)은 폴리 이미드(PI)로 형성되어 있는 유기막이고, 견식 식각되는 하부층(191a)에는 티타늄(Ti)이 포함되어 있으므로 티타늄(Ti)이 유기막과 만나면서 산화되어 산화 티타늄(TiO_x)가 생성될 수 있다. 산화 티타늄(TiO_x)이 생성되면, 산화 티타늄(TiO_x)이 견식 식각을 방해하는 문제가 발생할 수 있다. 하지만, 본 실시예에서는 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')을 상부 절연막(15)위에 스퍼터링으로 적층하기 전에 사전 열처리(Pre-heat) 공정을 진행하여 산화 티타늄(TiO_x)이 발생하지 않도록 한다. 여기서, 사전 열처리(Pre-heat) 공정의 의미는 티타늄(Ti)을 포함하는 하부층(191a)용 물질(191a')을 증착하기 전에 상부 절연막(15)을 열처리하는 것을 의미한다. 사전 열처리(Pre-heat) 공정은 80도(℃) 이상의 온도에서 1분 이상 상부 절연막(15)을 열처리하는 것으로 바람직하게는 120도(℃) 정도의 온도에서 약 1분 내지 3분 정도 사전 열처리할 수 있다. 사전 열처리(Pre-heat) 공정 및 열처리의 조건에 의하여 산화 티타늄(TiO_x)의 발생이 저감되는 내용에 대해서는 도 21 이하에서 상세하게 살펴본다.

- [0100] 제14-3 단계(PR Ashing)는 제14-2 단계(Ti Dry Etch)이후에도 남아 있는 패드 영역(PAD)의 포토 레지스트(PR) 패턴을 제거하는 공정이다. 이 때, 표시 영역(PXL)에 위치하는 포토 레지스트(PR) 패턴은 제거하지 않는다.
- [0101] 그 후, 제14-4 단계(Anode 2nd Wet Etch/PR strip)에서는 남아 있는 표시 영역(PXL)에 위치하는 포토 레지스트(PR) 패턴을 마스크로 하여 2차 습식 식각(2nd Wet Etch)을 진행하며, 그 후 표시 영역(PXL)에 위치하는 포토 레지스트(PR) 패턴을 제거하는 스트립(strip)공정을 진행한다.
- [0102] 먼저 2차 습식 식각(2nd Wet Etch)시에는 1차 습식 식각(1st wet etch)에서 사용된 애노드 에천트(anode etchant)를 사용한다. 즉, 인산, 질산, 및 초산을 베이스로 하는 에천트가 사용될 수 있다. 2차 습식 식각(2nd Wet Etch)에 의하여 패드 영역(PAD)에 형성되어 있는 은(Ag)을 포함하는 중간층(191b)용 물질(191b') 및 ITO(Indium Tin Oxide)를 포함하는 상부층(191c)용 물질(191c')만이 식각되며, 티타늄(Ti)을 포함하는 하부층(191a)용 물질은 식각되지 않고 남게 되고, 패드부 접촉 전극(197)이 티타늄(Ti)을 포함하는 하부층(191a)만으로 형성되는 단일층 구조를 가지게 된다.
- [0103] 그 후, 포토 레지스트(PR)를 제거하는 액(PR 스트리퍼)를 사용하여 포토 레지스트(PR)를 제거하는 공정(스트립 공정)을 수행한다.
- [0104] 이러한 공정을 통하여 애노드 전극(191)은 삼중층 구조를 가지며, 그 중 두 개의 층이 제거되어 단일층 구조를 가지는 패드부 접촉 전극(197)이 완성된다.
- [0105] 이상에서는 도 1의 단면 구조를 중심으로 유기 발광 표시 장치 및 그 제조 방법에 대하여 살펴보았다. 이하에서는 도 14 내지 도 19의 실시예를 사용하여 하나의 화소(PX)의 회로도, 과형도, 배치도 등을 상세하게 살펴본다.
- [0106] 도 1과 같은 단면 구조를 가지는 유기 발광 표시 장치는 도 14와 같은 화소 회로 구조를 가질 수 있으며, 도 14의 화소 회로에는 도 15와 같은 과형의 신호가 인가될 수 있다.
- [0107] 도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이며, 도 15는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- [0108] 도 14를 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(151, 152, 171, 173)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3), 유지 축전기(Cst), 추가 축전기(Ca), 및 유기 발광 다이오드(OLED)를 포함한다.
- [0109] 도 14의 실시예에 따른 유기 발광 표시 장치는 고해상도에서 사용되는 유기 발광 표시 장치를 도시하고 있으며, 하나의 화소(PX)의 구조를 살펴보면 아래와 같다.
- [0110] 하나의 화소(PX)가 포함하는 복수의 트랜지스터(T1, T2, T3)는 유기 발광 다이오드(OLED)에 출력 전류를 전달하는 구동 트랜지스터(T1), 스캔선(151)에 연결되어 있는 제2 트랜지스터(T2; 스위칭 트랜지스터라고도 함), 및 전단 스캔선(152)에 연결되어 있는 제3 트랜지스터(T3; 초기화 트랜지스터 또는 감지 트랜지스터라고도 함)를 포함한다. 실시예에 따라서는 제3 트랜지스터에는 전단 스캔선(152)과 다른 타이밍에 게이트 온 전압을 인가하는 신호선과 연결될 수도 있다.
- [0111] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 제2 트랜지스터(T2)의 게이트 전극에 전달한다.
- [0112] 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 선스캔 신호(Sn-1)를 제3

트랜지스터(T3)의 게이트 전극에 전달한다.

[0113] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 하나의 화소열에 대하여 하나의 데이터선(171)이 형성되어 있을 수 있다. 하나의 데이터선(171)과 하나의 스캔선(151)은 하나의 화소(PX)를 선택하고 해당 화소(PX)에 데이터 전압(Dm)을 입력할 수 있도록 한다. 화소(PX)에 제공된 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; 유기 발광 소자라고도 함)가 발광하는 휘도가 변한다.

[0114] 구동 트랜지스터(T1)의 일측 전극은 구동 전압(ELVDD)이 인가되며, 유기 발광 다이오드(OLED)의 일측 전극(캐소드 전극)에는 구동 저전압(ELVSS)이 인가된다.

[0115] 이하에서는 복수의 트랜지스터에 대하여 살펴본다.

[0116] 먼저, 구동 트랜지스터(T1)는 게이트 전극으로 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 유기 발광 다이오드(OLED)의 밝기를 데이터 전압(Dm)에 따라서 조절한다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(입력측 전극)은 구동 전압(ELVDD)을 인가 받을 수 있도록 배치되고, 제2 전극(출력측 전극)은 유기 발광 다이오드(OLED)의 제1 전극(이하 애노드 또는 화소 전극이라고도 함)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 게이트 전극은 데이터 전압(Dm)을 인가받을 수 있도록 제2 트랜지스터(T2)의 제2 전극(출력측 전극)과 연결되어 있다.

[0117] 한편, 구동 트랜지스터(T1)의 게이트 전극은 유지 축전기(Cst)의 일 전극과 연결되어 있다. 유지 축전기(Cst)는 구동 트랜지스터(T1)의 게이트 전극으로 전달된 데이터 전압(Dm)이 한 프레임 동안 유지되도록 한다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 구동 트랜지스터(T1)의 게이트 전극의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경되어 한 프레임 동안 일정하게 출력된다.

[0118] 또한, 일 실시예에 따른 구동 트랜지스터(T1)는 채널이 위치하는 반도체층의 아래에 금속층(115)을 더 포함한다. 금속층(115)은 구동 트랜지스터(T1)의 채널 및 게이트 전극과 중첩하여 구동 트랜지스터(T1)의 특성을 향상시키는 역할 및 게이트 전극의 전압을 유지시키는 역할을 한다. 금속층(115)이 게이트 전극과 중첩함에 따라 게이트 전극의 전압이 유지되어 유지 축전기(Cst)의 역할을 보완한다. 이하에는 금속층(115)과 구동 트랜지스터(T1)의 게이트 전극 간의 중첩에 의하여 추가되는 축전기를 중첩 축전기(도시하지 않음)라 한다. 금속층(115)은 구동 트랜지스터(T1)의 제2 전극(출력측 전극)과 전기적으로 연결되어 있으며, 그 결과 유기 발광 다이오드(OLED)의 애노드 전극과도 연결되어 있다.

[0119] 제2 트랜지스터(T2)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극은 스캔선(151)과 연결되어 있고, 제1 전극은 데이터선(171)과 연결되어 있으며, 제2 전극(출력측 전극)은 구동 트랜지스터(T1)의 게이트 전극과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 게이트 전극으로 전달되며, 유지 축전기(Cst)에 저장된다.

[0120] 제3 트랜지스터(T3)는 구동 트랜지스터(T1)의 제2 전극(출력측 전극), 유지 축전기(Cst)의 일 전극, 및 유기 발광 다이오드(OLED)의 애노드 전극을 초기화시키는 역할을 한다. 제3 트랜지스터(T3)의 게이트 전극은 전단 스캔선(152)과 연결되어 있고, 제1 전극은 초기화 전압선(173)과 연결되어 있다. 제3 트랜지스터(T3)의 제2 전극(출력측 전극)은 구동 트랜지스터(T1)의 제2 전극(출력측 전극)과 전기적으로 연결되어 있으며, 그 결과 유기 발광 다이오드(OLED)의 애노드 및 금속층(115)과도 연결되어 있다.

[0121] 초기화 전압선(173)은 초기화 전압만을 제공하지 않고, 구간에 따라서는 제3 트랜지스터(T3)의 제2 전극이 연결된 애노드의 전압을 감지하는 배선으로도 사용되어 감지선이라고도 한다. 그 결과 제3 트랜지스터(T3)를 감지 트랜지스터라고도 한다.

[0122] 제3 트랜지스터(T3)의 동작을 살펴본다. 유기 발광 다이오드(OLED)가 빛을 방출(발광 구간)할 때의 애노드 전극의 전압은 유지 축전기(Cst)의 일 측 전극에 저장되어 있다. 이 때, 유지 축전기(Cst)의 타 측 전극에는 데이터 전압(Dm)이 저장되어 있다. 이 때, 제3 트랜지스터(T3)의 게이트 전극으로 게이트 온 전압이 인가되면, 초기화 전압선(173)은 감지선으로 동작하며 애노드의 전압이 감지선을 통하여 감지부(도시하지 않음)로 전달된다. 이하에서는 이를 감지 구간이라고 한다. 그 후 제3 트랜지스터(T3)의 게이트 전극으로 게이트 온 전압이 인가되는 구간 중 나머지 구간에서는 초기화 전압선(173)이 초기화 전압(Vint)을 인가하여 애노드의 전압이 초기화되도록 한다. 이하에서는 이를 초기화 구간이라고 한다.

[0123] 감지 구간에서 감지된 전압이 인가된 데이터 전압(Dm)을 기초로 판단할 때 예상되는 애노드의 전압과 다른 경우

에는 데이터 전압(D_m)을 수정하여 화소(PX)로 제공할 수 있다. 즉, 구동 트랜지스터(T1)의 특성이 변할 수 있는데, 이를 감지하여 그에 맞는 데이터 전압(D_m)을 제공하여 유기 발광 다이오드(OLED)가 정상 발광하도록 한다.

[0124] 유기 축전기(Cst)의 두 전극은 각각 데이터 전압(D_m)과 유기 발광 다이오드(OLED)의 애노드 전압(구동 트랜지스터의 출력측 전극 전압)을 한 프레임 동안 유지하는 역할을 한다.

[0125] 하지만, 최근 고해상도의 유기 발광 표시 장치를 형성하면서, 화소(PX)가 차지하는 면적이 줄어들고, 그에 따라 유기 축전기(Cst)를 형성할 수 있는 면적도 줄어들면서 한 프레임 동안 유지할 수 있는 유기 용량을 보유하지 못하는 문제가 있을 수 있으며, 추가 축전기를 더 포함할 수 있다.

[0126] 도 14의 실시예에서는 추가 축전기(Ca)를 더 포함하고, 유기 발광 다이오드(OLED)의 애노드 전극의 전압을 한 프레임 동안 유지하기에 충분한 유기 용량을 가지도록 한다.

[0127] 추가 축전기(Ca)는 유기 발광 다이오드(OLED)의 애노드 전극과 연결되어 있는 일 측 전극과 구동 전압(ELVDD)이 인가되는 타 측 전극을 가짐, 유기 발광 다이오드(OLED)의 애노드 전압을 유지시킨다.

[0128] 또한, 실시예에 따라서는 금속층(115)과 구동 트랜지스터(T1)의 게이트 전극이 중첩하면서 발생하는 중첩 축전기를 더 포함할 수 있다.

[0129] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작을 도 15의 과정도를 도 14의 화소(PX) 구조에 적용하여 설명한다.

[0130] 도 15에서 SCAN으로 표시된 신호는 스캔선(151)으로 인가되는 신호이며, SENSING으로 표시된 신호는 전단 스캔선(152)으로 인가되는 신호를 도시하고 있다.

[0131] 먼저, 감지/초기화(Sensing/Initial) 구간 동안 하이 레벨의 전단 스캔 신호(S_{n-1})가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제3 트랜지스터(T3)가 켜진다. 이 때, 유기 발광 다이오드(OLED)의 애노드에 저장되어 있는 전압을 초기화 전압선(173)을 통하여 확인(감지 구간)하고, 그 후 유기 발광 다이오드(OLED)의 애노드의 전압을 초기화 전압(V_{int})으로 변경하여 초기화 시킨다. (초기화 구간)

[0132] 감지 구간으로 인하여 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(V_{th})을 가지거나 장기간 동작하면서 구동 트랜지스터(T1)의 특성이 변하는 경우에 이를 감지하고 유기 발광 다이오드(OLED)가 정상 발광하도록 한다.

[0133] 이후, 데이터 기입(Data Writing) 구간 동안 스캔선(151)을 통해 하이 레벨의 스캔 신호(S_n)가 화소(PX)로 공급된다. 하이 레벨의 스캔 신호(S_n)에 의하여 제2 트랜지스터(T2)가 켜진다. 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(D_m)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 게이트 전극으로 입력되며, 유기 축전기(Cst)의 일 측 전극에 저장된다.

[0134] 구동 트랜지스터(T1)는 게이트 전극에 인가된 데이터 전압(D_m)에 따라서 턴 온 되는 정도가 정해지며, 턴 온되는 정도에 따라서 출력이 정해지며, 구동 트랜지스터(T1)의 출력은 유기 발광 다이오드(OLED)의 애노드 전극으로 전달된다. 이 때, 유기 발광 다이오드(OLED)의 애노드 전극의 전압은 유기 축전기(Cst)뿐만 아니라 중첩 축전기나 추가 축전기(Ca)에 저장되어 한 프레임 동안 유지된다.

[0135] 이상에서는 도 14의 회로도를 중심으로 화소 구조를 살펴보았다.

[0136] 이하에서는 도 16 내지 도 19를 통하여 실시예에 따른 화소(PX)가 어떻게 구현되었는지 살펴본다.

[0137] 도 16 및 도 17은 표시 영역 중 하나의 화소의 배치도 및 단면도를 도시하고 있으며, 도 18 및 도 19는 패드 영역의 배치도 및 단면도를 도시하고 있다.

[0138] 먼저, 도 16 및 도 17을 통하여 표시 영역 중의 화소의 구조를 살펴본다.

[0139] 도 16는 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치도이고, 도 17은 도 16의 XVII-XVII에 따른 단면도이다.

[0140] 도 16 및 도 17을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 기판(10) 위에 금속층(115), 반도체층(121, 122, 123), 게이트 도전층(151, 152, 153, 154, 154-1, 154-2, 157, 158, 159), 데이터 도전층(171, 173, 175, 176, 161, 161-1, 162, 166, 167), 애노드 전극(191), 유기 발광층(35), 캐소드 전극(196)을 각각 형성하며, 이를 층은 오프닝에 의하여 연결되지 않는 한 사이에 절연막을 두어 서로 절연되어 있다.

- [0141] 기판(10)은 유리 기판으로 형성되어 있으며, 실시예에 따라서는 플라스틱 또는 폴리 이미드(PI)를 포함하는 플렉서블한 기판으로 형성될 수 있다. 플렉서블한 기판으로 형성되는 경우에는 유리 기판의 경우와 달리 추가적인 무기 절연막이 더 형성되어 있을 수 있다.
- [0142] 기판(10) 위에 금속층(115)이 형성되어 있다. 금속층(115)은 구동 트랜지스터(T1)의 채널과 중첩하는 채널 중첩부 및 연결부를 포함한다. 금속층(115)의 연결부는 후술하는 구동 트랜지스터(T1)의 출력측 전극(161)과 연결된다. 구동 트랜지스터(T1)의 출력측 전극(161)이 애노드 전극(191)의 전압을 인가 받으므로 금속층(115)도 애노드 전극(191)의 전압을 인가 받는다. 금속층(115)은 구동 트랜지스터(T1)의 게이트 전극(154)와 중첩하는 영역에서 중첩 축전기를 형성할 수 있다.
- [0143] 기판(10) 및 금속층(115) 위에는 베피층(11)이 덮여 있다. 베피층(11)은 무기 절연 물질로 형성되어 있다.
- [0144] 베피층(11) 위에는 반도체층(121, 122, 123)이 형성되어 있다. 각 반도체층(121, 122, 123)은 각각 구동 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 채널을 포함한다. 본 실시예에 따른 반도체층(121, 122, 123)은 산화물 반도체로 형성되어 있다. 제1 반도체(121)는 구동 트랜지스터(T1)의 반도체층으로써, 채널 영역과 채널 영역의 양측에 위치하는 소스/드레인 영역을 포함한다. 제2 반도체(122)는 제2 트랜지스터(T2)의 반도체층으로써, 채널 영역과 채널 영역의 양측에 위치하는 소스/드레인 영역을 포함하고, 제3 반도체(123)는 제3 트랜지스터(T3)의 반도체층으로써, 채널 영역 및 소스/드레인 영역을 포함한다.
- [0145] 각 반도체층(121, 122, 123)의 채널 영역은 사각형의 중심에 개구부를 포함하는 형태로 두 개의 라인으로 형성될 수도 있고, 소스/드레인 영역을 연결하기 위하여 한 개의 라인으로만 형성될 수도 있다.
- [0146] 각 반도체층(121, 122, 123)의 소스/드레인 영역은 각각 제1 전극(입력측 전극)/제2 전극(출력측 전극)에 전기적으로 연결되어 있다. 또한, 소스/드레인 영역은 확장되어, 오프닝을 통하여 다른 층과 전기적으로 연결되어 있다.
- [0147] 도 16의 실시예에서는 제1 반도체(121)와 제3 반도체(123)는 서로 연결된 구조를 가지고 있다.
- [0148] 반도체층(121, 122, 123) 및 베피층(11)의 위에는 제1 게이트 절연막(12)이 덮여 있다. 제1 게이트 절연막(12)은 무기 절연 물질로 형성되어 있다.
- [0149] 제1 게이트 절연막(12)의 위에는 게이트 도전층(151, 152, 153, 154, 154-1, 154-2, 157, 158, 159)이 형성되어 있다. 게이트 도전층은 스캔선(151), 전단 스캔선(152), 초기화 전압 전달부(153), 구동 트랜지스터(T1)의 게이트 전극(154), 유지 축전기(Cst)의 제1 전극(154-1), 제2 트랜지스터(T2)의 출력측 전극(154-2), 제2 트랜지스터(T2)의 게이트 전극(157), 제3 트랜지스터(T3)의 게이트 전극(158) 및 가로 구동 전압선(159)을 포함한다. 구동 트랜지스터(T1)의 게이트 전극(154)은 유지 축전기(Cst)의 제1 전극(154-1) 및 제2 트랜지스터(T2)의 출력측 전극(154-2)과 연결되어 있다.
- [0150] 스캔선(151)은 제1 방향(가로 방향)으로 뻗어 있으며, 전단 스캔선(152)도 제1 방향(가로 방향)으로 뻗어 있다.
- [0151] 초기화 전압 전달부(153)는 제1 방향으로 길게 형성된 섬형 구조를 가진다. 초기화 전압 전달부(153)는 일정 개수의 화소열마다 형성되는 초기화 전압선(173)과 복수의 화소를 연결시키기 위한 구조물이다. 즉, 초기화 전압 전달부(153)는 제1 방향으로 인접하는 화소(PX)를 지나 초기화 전압선(173)이 형성될 위치까지 연장되어 있다. 본 실시예에서는 초기화 전압선(173)이 3개의 부화소(PX1, PX2, PX3)를 포함하는 하나의 화소(PX)마다 하나씩 형성되어 있다.
- [0152] 가로 구동 전압선(159)은 제1 방향(가로 방향)으로 뻗어 있으며, 제2 방향(세로 방향)으로 연장된 구동 전압선(175)과 교차한다. 가로 구동 전압선(159)은 행방향으로 인접한 화소(PX)들 사이에 위치하며, 열방향으로 인접한 각 부화소(PX1, PX2, PX3)마다 오프닝(57)을 통해 구동 전압선(175)과 전기적으로 연결된다.
- [0153] 구동 트랜지스터(T1)의 게이트 전극(154)은 구동 트랜지스터(T1)의 채널이 위치하는 제1 반도체(121)와 중첩하고 있으며, 이로부터 연장되면서 확장되어 있는 유지 축전기(Cst)의 제1 전극(154-1) 및 유지 축전기(Cst)의 제1 전극(154-1)에서 연장되어 제2 트랜지스터(T2)의 출력측 전극(154-2)과도 연결되어 있다. 그 결과 제2 트랜지스터(T2)를 통하여 화소(PX)의 내로 전달되는 데이터 전압(Dm)이 유지 축전기(Cst)의 제1 전극(154-1) 및 구동 트랜지스터(T1)의 게이트 전극(154)에도 전달된다.
- [0154] 또한, 유지 축전기(Cst)의 제1 전극(154-1)은 금속층(115)의 확장부와 중첩하여 중첩 축전기를 구성하고 있다.
- [0155] 도 16에서는 하나의 화소(PX)를 형성하는 3개의 부화소(PX1, PX2, PX3)를 도시하고, 각 부화소(PX1, PX2, PX3)

3)의 구동 트랜지스터(T1)의 게이트 전극(154)의 확장부는 다양한 크기로 형성되어 있음이 도시되어 있다.

[0156] 제2 트랜지스터(T2)의 게이트 전극(157)은 섬형 구조를 가지며, 제2 트랜지스터(T2)의 제2 반도체(122)와 중첩한다. 제2 반도체(122)와 제2 트랜지스터(T2)의 게이트 전극(157)이 중첩하는 위치에 제2 트랜지스터(T2)의 채널이 형성된다. 제2 트랜지스터(T2)의 게이트 전극(157)은 제2 게이트 전극 연결부(162)를 통하여 본단 스캔선(151)과 전기적으로 연결된다. 본단 스캔선(151)은 오프닝(72)을 통하여 제2 게이트 전극 연결부(162)와 연결되고, 제2 게이트 전극 연결부(162)는 오프닝(46)을 통하여 제2 트랜지스터(T2)의 게이트 전극(157)과 연결되어 있다.

[0157] 제3 트랜지스터(T3)의 게이트 전극(158)도 섬형 구조를 가지며, 제3 트랜지스터(T3)의 제3 반도체(123)과 중첩한다. 제3 반도체(123)와 게이트 전극(158)이 중첩하는 위치에 제3 트랜지스터(T3)의 채널이 형성된다. 게이트 전극(158)은 제3 게이트 전극 연결부(167)를 통하여 전단 스캔선(152)과 전기적으로 연결된다. 전단 스캔선(152)은 오프닝(77)을 통하여 제3 게이트 전극 연결부(167)와 전기적으로 연결되며, 제3 게이트 전극 연결부(167)는 오프닝(54)를 통하여 제3 트랜지스터(T3)의 게이트 전극(158)과 전기적으로 연결되어 있다.

[0158] 게이트 도전층(151, 152, 153, 154, 154-1, 154-2, 157, 158, 159) 및 게이트 절연막(12) 위에는 층간 절연막(13)이 덮여 있다. 층간 절연막(13)은 무기 절연 물질로 형성되며, 두껍게 형성되어 있다.

[0159] 층간 절연막(13)의 위에는 데이터 도전층(171, 173, 175, 176, 161, 161-1, 162, 166, 167)이 형성되어 있다. 데이터 도전층은 데이터선(171), 초기화 전압선(173), 구동 전압선(175), 구동 저전압선(176), 구동 트랜지스터(T1)의 출력층 전극(161), 유지 축전기(Cst)의 제2 전극(161-1), 제2 게이트 전극 연결부(162), 제3 트랜지스터(T3)의 제1 전극(입력층 전극; 166), 및 제3 게이트 전극 연결부(167)를 포함한다.

[0160] 데이터선(171)은 하나의 화소열마다 형성되어 있으며, 제1 방향에 수직하는 제2 방향(세로 방향)으로 연장되어 있다. 데이터선(171)은 오프닝(41)을 통하여 제2 트랜지스터(T2)의 제2 반도체(122)와 연결되어 제2 트랜지스터(T2)로 데이터 전압(Dm)을 인가한다. 데이터선(171)은 패드 영역까지 연장되어 있으며, 패드 영역에는 폭이 확장되어 있는 패드 전극(171-1)이 위치하고 있다. 패드 전극(171-1)과 데이터선(171)은 일체로 형성되어 있을 수 있으며, 패드 전극(171-1)에 대해서는 도 18 및 도 19에서 상세하게 살펴본다.

[0161] 초기화 전압선(173)은 제2 방향으로 연장되어 있으며, 초기화 전압(Vint)을 인가한다. 초기화 전압선(173)은 화소열마다 형성되지 않으며, 본 실시예에서는 3개의 부화소(PX1, PX2, PX3)를 포함하는 하나의 화소(PX)열마다 하나의 초기화 전압선(173)이 형성되어 있다. 초기화 전압선(173)은 오프닝(63)을 통하여 초기화 전압 전달부(153)와 연결되며, 초기화 전압 전달부(153)는 오프닝(79)을 통하여 제3 트랜지스터(T3)의 제1 전극(166)과 연결된다. 제3 트랜지스터(T3)의 제1 전극(166)은 오프닝(48)을 통하여 제3 트랜지스터(T3)의 제3 반도체(123)와 연결된다. 그 결과 각 화소의 제3 트랜지스터(T3)의 제1 전극(입력층 전극)에는 초기화 전압(Vint)이 인가된다.

[0162] 구동 전압선(175) 및 구동 저전압선(176)도 제2 방향(세로 방향)으로 연장되어 있다. 구동 전압선(175)은 화소열마다 배치되어 있지만, 구동 저전압선(176)은 3개의 부화소(PX1, PX2, PX3)를 포함하는 하나의 화소열(PX)마다 배치되어 있다. 구동 전압선(175)은 구동 전압(ELVDD)을 전달하며, 두 개의 오프닝(51)을 통하여 구동 트랜지스터(T1)의 제1 반도체(121)와 연결되어 구동 트랜지스터(T1)의 제1 전극(입력층 전극)에 구동 전압(ELVDD)을 전달한다. 구동 전압선(175)은 구동 저전압선(176)에 비하여 좁은 폭을 가질 수 있다. 구동 저전압선(176)은 다른 층에 위치하는 배선과 중첩하는 영역에서 좁은 폭을 가질 수 있으며, 도 16에서는 스캔선(151)과 중첩하는 부분에서 좁은 폭을 가진다. 구동 저전압선(176)이 넓은 폭을 가지는 것은 구동 저전압(ELVSS)을 상부에 위치하는 캐소드 전극까지 전달하기 위하여 전기적으로 연결되는 구조를 형성하기 위한 것이다. 즉, 레이저 등으로 콘택을 형성하여 전기적으로 연결하기 위해서는 일정 수준의 폭이 필요하기 때문이다.

[0163] 구동 트랜지스터(T1)의 출력층 전극(161)은 구동 트랜지스터(T1)의 제1 반도체(121)와 오프닝(50)을 통하여 전기적으로 연결되어 있으며, 연장되고 확장되어 유지 축전기(Cst)의 제2 전극(161-1)를 이룬다. 그 후 다시 연장되어 오프닝(81)을 통하여 후술하는 애노드 전극(191)과 전기적으로 연결된다.

[0164] 제2 게이트 전극 연결부(162)는 본단 스캔선(151)과 제2 트랜지스터(T2)의 게이트 전극(157)을 전기적으로 연결하며, 이를 위하여 두 개의 오프닝(46, 72)이 형성되어 있다.

[0165] 제3 트랜지스터(T3)의 제1 전극(166)은 제3 반도체(123)과 오프닝(48)을 통하여 연결되어 입력층 전극 역할을 수행하며, 연장되어 초기화 전압 전달부(153)와도 오프닝(79)을 통하여 전기적으로 연결되어 있다. 그 결과 초기화 전압(Vint)이 제3 트랜지스터(T3)의 제1 전극(166)으로 직접 전달된다.

- [0166] 제3 게이트 전극 연결부(167)는 전단 스캔선(152)와 제3 트랜지스터(T3)의 게이트 전극(158)을 전기적으로 연결하며, 이를 위하여 두 개의 오프닝(54, 77)이 형성되어 있다.
- [0167] 데이터 도전층(171, 173, 175, 176, 161, 161-1, 162, 166, 167) 및 충간 절연막(13)의 위에는 패시베이션(14)이 위치한다. 패시베이션(14)은 무기 절연막으로 형성되어 있다.
- [0168] 패시베이션(14)의 위에는 상부 절연막(15)이 위치하고 있으며, 상부 절연막(15)은 유기막으로 형성되어 있다. 상부 절연막(15)의 위에는 애노드 전극(191) 및 패드부 접촉 전극(197)이 형성되어 있다. 패드부 접촉 전극(197)은 도 18 및 도 19에서 별도로 도시하였으며, 도 18 및 도 19에서 상세하게 살펴본다.
- [0169] 애노드 전극(191)은 유기 발광 다이오드(OLED)의 일 층 전극으로 구동 트랜지스터(T1)로부터 출력되는 전류를 유기 발광층으로 전달한다. 애노드 전극(191)은 오프닝(81)을 통하여 유지 축전기용 제2 전극(161-1)과 전기적으로 연결되어 있으며, 유지 축전기용 제2 전극(161-1)이 구동 트랜지스터(T1)의 출력층 전극(161)과 연결되어 있어 구동 트랜지스터(T1)의 출력이 애노드 전극(191)으로 전달된다. 도 17의 단면도를 참고하면, 애노드 전극(191)은 하부층(191a), 중간층(191b) 및 상부층(191c)의 3중층 구조를 가진다. 이에 반하여 패드부 접촉 전극(197)은 하부층(191a)과 동일한 물질로 형성된 단일층으로만 형성되어 있다. (도 19 참조)
- [0170] 도 16을 참고하면, 애노드 전극(191)은 구동 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)와 중첩하도록 화소 전면에 걸쳐 위치하고, 구동 전압선(175)의 일변과 애노드 전극(191)의 일변이 나란하게 중첩된다.
- [0171] 여기서, 애노드 전극(191)이 구동 전압선(175)과 중첩하는 영역은 추가 축전기(Ca)를 형성한다.
- [0172] 한편, 애노드 전극(191)은 구동 전압선(175)과 중첩하지만, 구동 저전압선(176)과는 중첩하지 않는다. 하지만, 실시예에 따라서는 구동 저전압선(176)과 중첩하여 추가 축전기를 형성할 수도 있다.
- [0173] 애노드 전극(191)의 위에는 개구부(30-1)를 가지는 격벽(30)이 형성되어며, 격벽(30)의 개구부(30-1) 내에 유기 발광층(35)이 위치하며, 격벽(30) 및 유기 발광층(35)을 덮는 캐소드 전극(196)이 형성되어 있다. 캐소드 전극(196)은 도시하지 않았지만, 구동 저전압선(176)과 전기적으로 연결되어 구동 저전압(ELVSS)를 인가 받는다.
- [0174] 이하에서는 도 18 및 도 19를 통하여 패드 영역의 구조에 대하여 상세하게 살펴본다.
- [0175] 도 18은 일 실시예에 따른 패드 영역의 배치도이고, 도 19는 도 18의 XIX-XIX에 따른 단면도이다.
- [0176] 도 18을 참고하면, 패드 영역에는 패드 전극(171-1), 그리고 이와 오프닝(84)을 통하여 전기적으로 연결되어 있는 패드부 접촉 전극(197)이 형성되어 있다.
- [0177] 패드 전극(171-1)은 데이터선(171)이 표시 영역을 지나 패드 영역으로 연장되고, 그 끝단이 확장된 부분을 가르킨다. 패드 전극(171-1)은 데이터선과 동일하게 데이터 도전층에 포함된다.
- [0178] 도 19를 참고하면, 패드 전극(171-1)은 패시베이션(14) 및 상부 절연막(15)에 의하여 덤혀 있으며, 패시베이션(14) 및 상부 절연막(15)에는 패드 전극(171-1)의 일부를 노출시키는 오프닝(84)이 형성되어 있다.
- [0179] 상부 절연막(15)의 위에는 패드부 접촉 전극(197)이 형성되어 있으며, 오프닝(84)을 통하여 패드 전극(171-1)과 전기적으로 연결되어 있다. 패드부 접촉 전극(197)은 패드 전극(171-1)보다 넓은 폭을 가질 수 있다.
- [0180] 또한, 도 19에서 도시하고 있는 바와 같이 패드부 접촉 전극(197)은 단일층 구조를 가지며, 이는 동일한 공정으로 형성되는 애노드 전극(191)의 3중층 구조와는 다르다. 애노드 전극(191)의 3중층 구조 중 하부층(191a)과 동일한 물질로 패드부 접촉 전극(197)이 형성되어 있다.
- [0181] 도 18 및 도 19를 통하여 데이터선(171)의 일단에 위치하는 패드 전극(171-1)에 대하여 살펴보았다.
- [0182] 도 1을 참고하면, 게이트 도전층과 데이터 도전층이 서로 동일한 이중막 구조를 가지므로, 스캔선(151)의 끝단에 위치하는 패드 전극도 도 18 및 도 19에 준하는 구조를 가질 수 있다. 다만, 데이터 도전층이 아닌 게이트 도전층에 위치하므로 충간 절연막(13)의 하부에 패드 전극이 위치하는 차이점이 있다. 패드 전극과 전기적으로 연결되는 패드부 접촉 전극은 도 18 및 도 19와 같이 단일층의 구조를 가지며, 애노드 전극(191)의 하부층과 동일한 물질로 형성될 수 있다. 실시예에 따라서는 데이터 도전층에 추가 연결부가 형성되어 게이트 도전층과 패드부 접촉 전극간의 접촉을 용이하게 하는 구조를 가질 수 있다.
- [0183] 이하에서는 색 변환층을 포함하는 유기 발광 표시 장치의 단면 구조를 도 20을 통하여 살펴본다.

- [0184] 도 20은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0185] 도 20의 단면도에서는 도 1에 추가적으로 상부 기판(10-1), 점착층(250), 차광층(220), 색 변환층(230), 및 유기 발광 다이오드(OLED)를 덮는 캐핑층(240)을 더 포함하고 있다.
- [0186] 도 1과 비교해서 차이가 있는 부분을 중심으로 살펴보면 아래와 같다.
- [0187] 격벽(30)과 캐소드 전극(196)은 캐핑층(240)으로 덮여 있다. 캐핑층(240)은 무기막/유기막/무기막의 삼중층을 포함할 수 있으며, 외부로부터 유기 발광층(35)으로 수분이나 공기가 투입되는 것을 차단하는 역할을 한다. 패드부 접촉 전극(197)이 위치하는 패드 영역은 캐핑층(240)에 의하여 덮여 있지 않을 수 있다.
- [0188] 한편, 상부 기판(10-1)에는 차광층(220) 및 색 변환층(230)을 포함한다. 상부 기판(10-1)은 하부에 위치하는 기판(10)과 동일하게 유리로 형성되어 있다. 하지만, 실시예에 따라서는 두 기판(10, 10-1)이 모두 플렉서블한 재료로 형성될 수도 있다.
- [0189] 상부 기판(10-1)의 하부 면으로 유기 발광층(35)에서 방출되는 빛이 투과하는 영역에는 색 변환층(230)이 위치하며, 색 변환층(230)의 사이에는 차광층(220)이 위치한다. 즉, 차광층(220)에는 개구부가 위치하며, 개구부에 색 변환층(230)이 배치되어 있는 구조를 가진다. 차광층(220)은 표시 영역뿐만 아니라 패드 영역까지 확장되어 위치할 수 있다.
- [0190] 색 변환층(230)은 유기 발광층(35)이 특정 색의 빛(예를 들어 청색의 빛)을 방출하면 이의 파장을 변환하여 적색, 녹색 등의 3원색 중 하나의 색으로 변환하는 층이다. 일반적으로 퀀텀 닷(Quantum Dot; QD) 물질을 포함할 수 있다. 즉, 유기 발광층(35)을 통하여 방출되는 빛은 모두 동일한 색을 표시하지만, 각 화소에 위치하는 색 변환층(230)을 통하여 각각 적색, 녹색, 및 청색과 같은 빛의 삼원색을 표시할 수 있도록 할 수 있다.
- [0191] 한편, 색 변환층(230)에 더하여 컬러 필터(도시하지 않음)층을 더 포함하여 색순도를 향상시킬 수 있다. 이와 같이 색순도가 향상되면, 각각의 원색이 보다 선명하게 표시되는 장점을 가진다. 하지만, 색 변환층(230)만으로 충분한 색순도가 보장되는 경우에는 추가 색필터를 더 포함하지 않을 수 있다.
- [0192] 실시예에 따라서는 유기 발광층(35)이 각 화소(PX)마다 적색, 녹색, 및 청색(빛의 삼원색)의 빛 중 하나를 방출하여 색 변환층(230)이나 컬러 필터를 포함하지 않을 수도 있다.
- [0193] 도 20을 참고하면, 캐핑층(240)과 상부의 색 변환층(230) 및 차광층(220)은 점착층(250)에 의하여 부착되어 있다. 도 20에서는 점착층(250)이 패드 영역의 위에도 위치하여 패드부 접촉 전극(197)의 위에도 위치하는 것으로 도시하고 있으나, 패드부 접촉 전극(197)은 구동 칩이나 인쇄 회로 기판으로부터 신호를 인가 받아야 하므로 별도의 신호선(도시하지 않음)과 연결되며, 그 위를 점착층(250)이 덮을 수 있다.
- [0194] 이하에서는 도 21 내지 도 23을 통하여 사전 열처리 공정을 통하여 산화 티타늄(TiO_x)으로 인한 건식 식각의 문제점을 제거하는 공정 조건에 대하여 살펴본다.
- [0195] 도 21 내지 도 23은 사전 열처리 공정에 따른 식각 효과를 보여주는 그래프이다.
- [0196] 티타늄(Ti)을 건식 식각할 때 그 하부에 위치하는 유기막이 함께 식각되는 경우에는 산화 티타늄(TiO_x)이 발생할 수 있으며, 산화 티타늄(TiO_x)으로 인하여 건식 식각이 방해되어 일정 영역에서는 식각이 되지 않는 문제가 발생할 수 있다.
- [0197] 산화 티타늄(TiO_x)이 형성되면, 티타늄(Ti)만 존재하는 경우에 비하여 면저항(R_s [단위: Ω/square])이 증가하는 특징을 가진다. 이에 도 21 내지 도 23에서는 면저항(R_s)값을 중심으로 산화 티타늄(TiO_x)가 적층되는 두께를 예상하는 방식으로 실험하였다.
- [0198] 먼저, 도 21에 의하면, 큐어(cure)공정을 2회 진행한 경우, 아무런 처리도 하지 않은 경우(N/A), 및 사전 열처리(Pre-heat)를 다양한 시간 동안 한 경우의 면저항(R_s)을 비교하여 도시하고 있다. 여기서 큐어(cure) 공정은 230도(℃)의 고온에서 1시간동안 열처리하는 공정을 의미한다. 또한, 사전 열처리(Pre-heat)는 티타늄(Ti)층을 적층하기 전에 그 하부에 위치하는 유기막인 상부 절연막(15)을 상대적으로 낮은 온도에서 열처리하는 공정을 의미한다. 도 21의 경우에는 사전 열처리(Pre-heat)로 120도(℃)로 열처리하였다.
- [0199] 도 21의 면저항(R_s)값을 보면, 아무런 처리도 하지 않은 경우(N/A)보다는 큐어 공정을 2회 한 경우가 면저항이 줄어들기는 하지는 그 차이가 크지 않은 것을 확인할 수 있다.
- [0200] 하지만, 사전 열처리(Pre-heat)를 1분 이내의 짧은 시간동안 하더라도 면저항(R_s)이 확연히 줄어드는 것을 확인

할 수 있으며, 1분을 초과하는 경우에는 그 값이 일정 범위내로 수렴하는 것을 확인할 수 있다. 수렴되는 면저항(Rs)의 값은 약 76~77 Ω/square 이며, 이때 산화 티타늄(TiO_x)의 예상 두께는 약 42Å이다.

[0201] 도 21을 참고하면, 약 1분에서 3분 정도의 사전 열처리(Pre-heat)시 가장 효과가 좋은 것을 확인할 수 있다.

[0202] 도 21에서는 사전 열처리(Pre-heat)의 효과와 사전 열처리(Pre-heat)시 온도를 120도(℃)로 고정하고, 시간을 변경하면서 면저항(Rs)을 측정하였다.

[0203] 이하에서는 도 22를 통하여 사전 열처리(Pre-heat)의 온도를 변경시켜 면저항(Rs)을 비교하여 살펴본다. 이 때 사전 열처리(Pre-heat)의 시간은 1분간 진행하였다.

[0204] 도 22에서 막대 그래프는 면저항(Rs)의 값을 보여주며, 그 속의 원형 내에 도시된 수치는 산화 티타늄(TiO_x)의 두께를 나타낸다.

[0205] 사전 열처리(Pre-heat)의 온도에 상관없이 큰 폭으로 산화 티타늄(TiO_x)의 두께가 감소하는 것을 확인할 수 있으며, 120도(℃)일 때 산화 티타늄(TiO_x)이 적게 발생하는 것을 확인할 수 있다.

[0206] 도 21 및 도 22를 종합하면, 사전 열처리(Pre-heat)의 온도는 120도(℃)전후가 가장 적절하며, 사전 열처리(Pre-heat)의 시간으로는 1분 내지 3분이 적절하다.

[0207] 도 23을 참고하면, 사전 열처리(Pre-heat)가 없는 경우와 사전 열처리(Pre-heat)를 적절하게 진행한 경우 면저항(Rs)과 산화 티타늄(TiO_x)의 두께 차이를 비교하고 있다. 도 23에서 사전 열처리(Pre-heat)는 120도(℃)에서 3분간 진행되었다.

[0208] 사전 열처리(Pre-heat)가 없는 경우에는 면저항이 78.7 Ω/square 였지만, 사전 열처리(Pre-heat)를 한 경우에는 74.5 Ω/square 로 감소하였으며, 이 때 산화 티타늄(TiO_x)의 두께는 각각 75Å 및 41 Å으로 거의 두 배에 가까운 산화 티타늄(TiO_x)의 두께 차이가 발생하였다. 즉, 사전 열처리(Pre-heat)를 하지 않은 경우에는 건식 식각시 티타늄(Ti)층의 식각시 적어도 일부 영역에서는 식각이 이뤄지지 않을 수 있는 문제가 발생할 수 있다. 하지만, 사전 열처리(Pre-heat)를 적절하게 진행하는 경우에는 산화 티타늄(TiO_x)의 두께가 반 정도 줄어 티타늄(Ti)층을 건식 식각하더라도 문제가 발생하지 않는다.

[0209] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0210] 10: 기판 10-1: 상부 기판

11: 벼퍼층 12: 게이트 절연막

13: 충간 절연막 14: 패시베이션

15: 상부 절연막 30: 격벽

30-1: 개구부 35: 유기 발광층

41, 46, 48, 50, 51, 54, 57, 63, 71, 72, 77, 79, 81, 84: 오프닝

115: 금속층 121, 122, 123: 반도체층

151: 스캔선 152: 전단 스캔선

153: 초기화 전압 전달부 154: 게이트 전극

154-1: 유지 축전기용 제1 전극

154-2: 제2 트랜지스터(T2)의 출력측 전극

157: 제2 트랜지스터(T2)의 게이트 전극

158: 제3 트랜지스터(T3)의 게이트 전극

159: 가로 구동 전압선

161: 구동 트랜지스터(T1)의 출력측 전극

161-1: 유지 축전기용 제2 전극

162: 게이트 전극 연결부

166: 제3 트랜지스터(T3)의 제1 전극

167: 게이트 전극 연결부 171: 데이터선

171-1: 패드 전극 173: 초기화 전압선

175: 구동 전압선 176: 구동 저전압선

191: 애노드 전극 196: 캐소드 전극

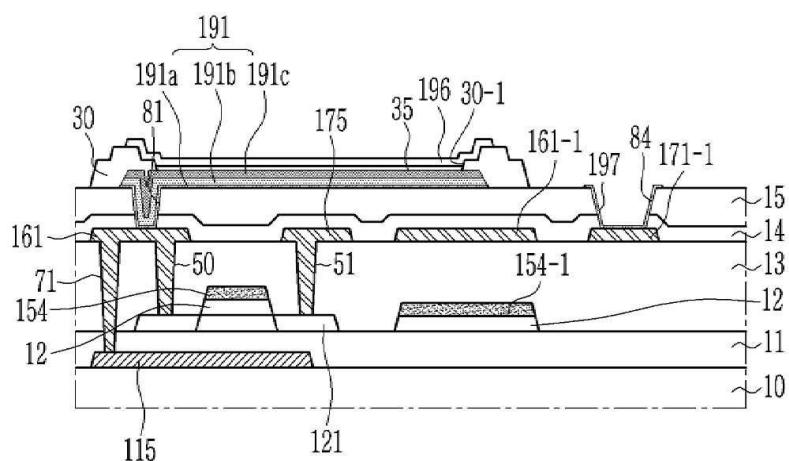
197: 패드부 접촉 전극 220: 차광층

230: 색 변환층 240: 캐핑층

250: 접착층

도면

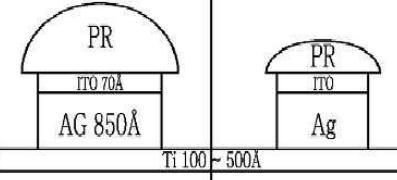
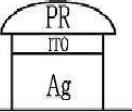
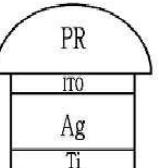
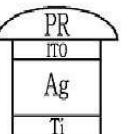
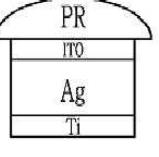
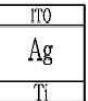
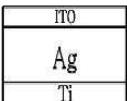
도면1



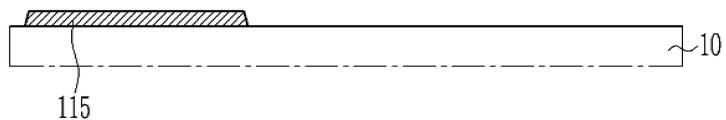
도면2

1. Glass substrate	~ 10
2. BML (1M)	~ 115
3. Buffer	~ 11
4. Active (2M)	~ 121
5. G.I.	~ 12
6. Gate (3M)	~ 154, 154-1
7. ILD	~ 13
8. ANL	
9. CNT1 (4M)+ CNT2 (5M)+ Dry Etch	~ 50, 51, 71
10. S/D (6M)	~ 161, 161-1, 175, 171-1
11. PVX	~ 14
12. VIA	~ 15
13. CNT3 (7M)	~ 81, 84
14. Pad Anode 전극 (8M)	~ 191, 199
15. HPDL (9M)	~ 30

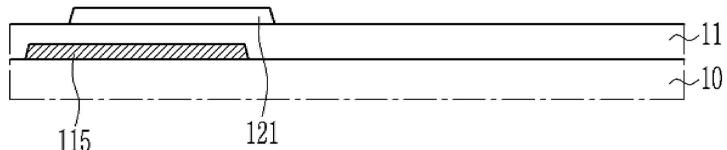
도면3

Step	PXL	PAD
14-1 Anode Photo /Anode 1st Wet Etch		
14-2 Ti Dry Etch		
14-3 PR Ashing		
14-4 Anode 2nd Wet Etch /PR strip		

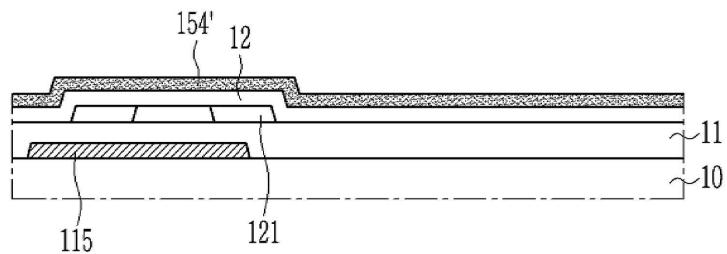
도면4



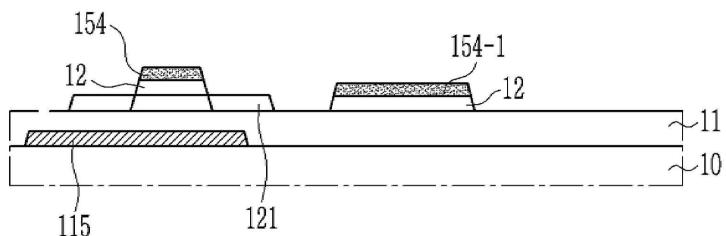
도면5



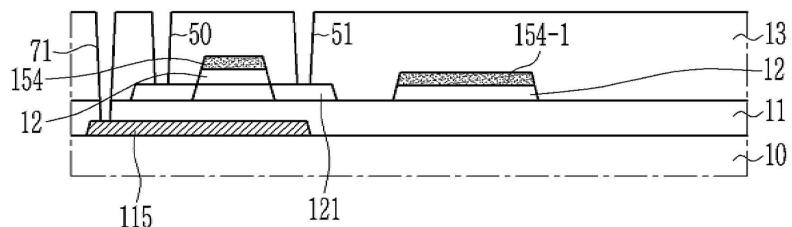
도면6



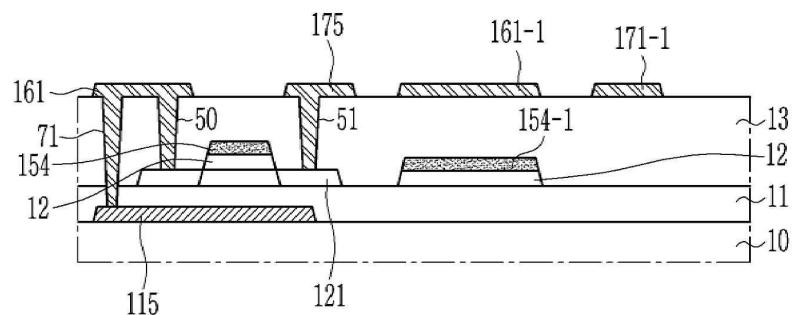
도면7



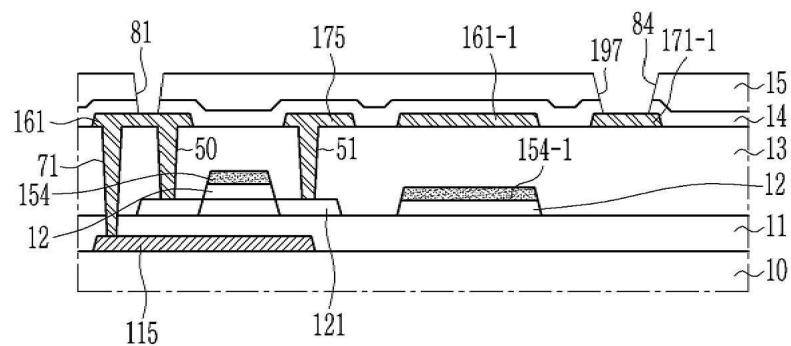
도면8



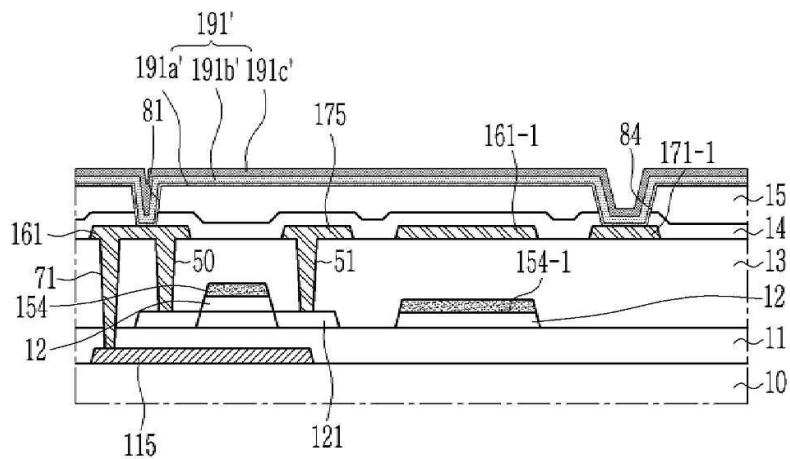
도면9



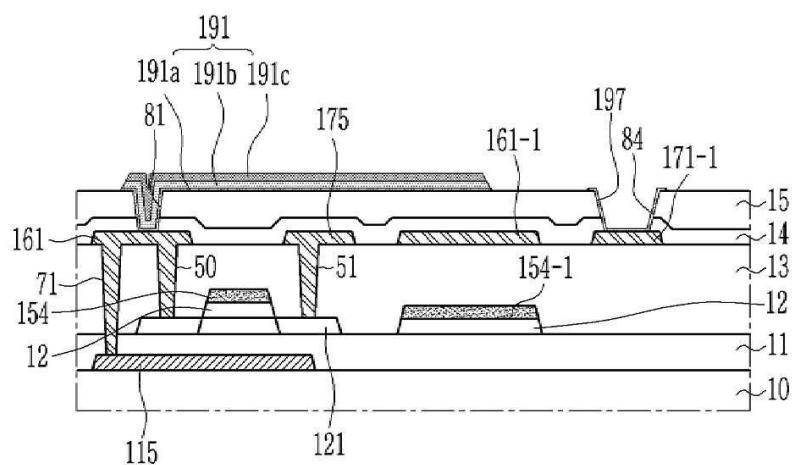
도면10



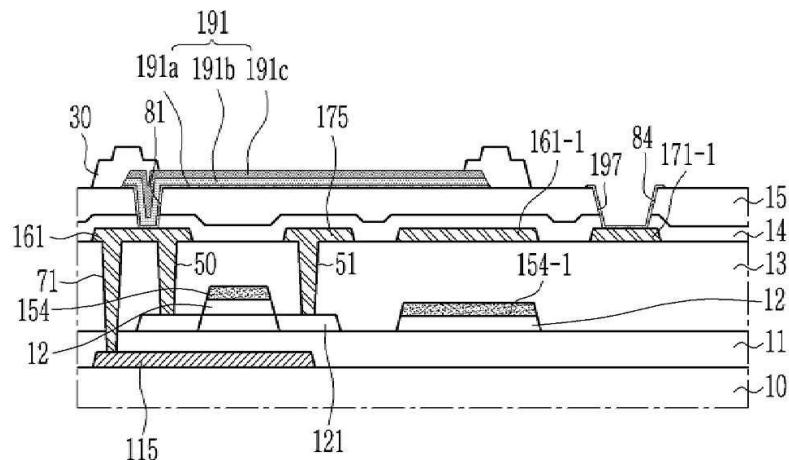
도면11



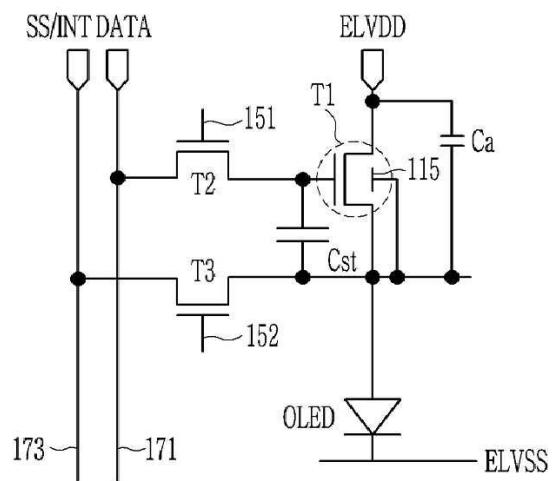
도면12



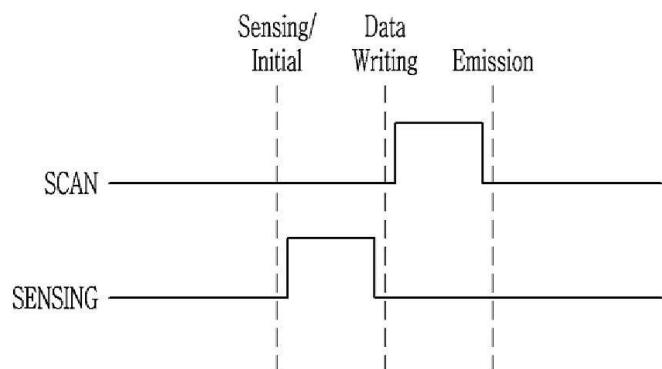
도면13



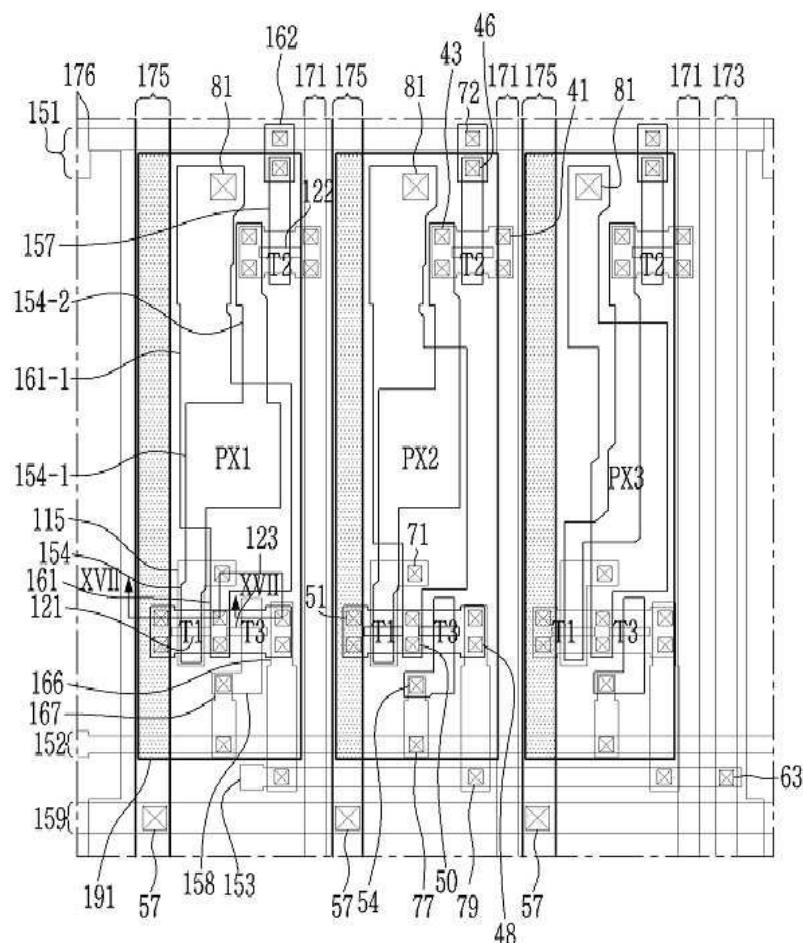
도면14



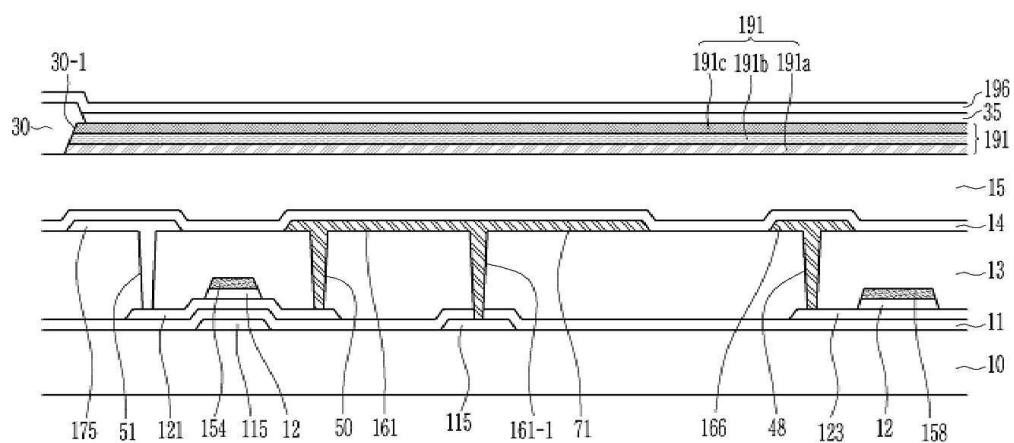
도면15



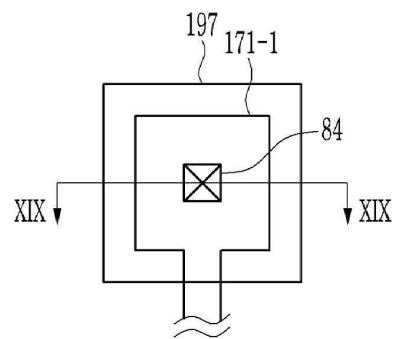
도면16



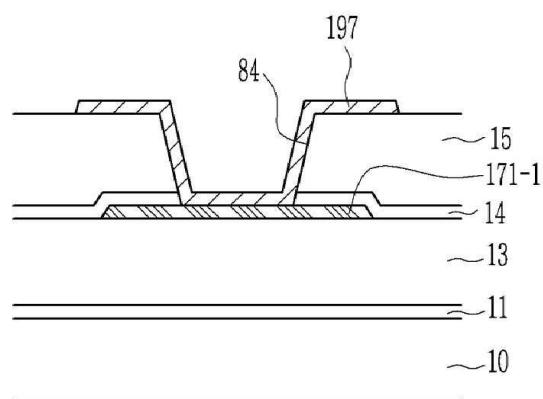
도면17



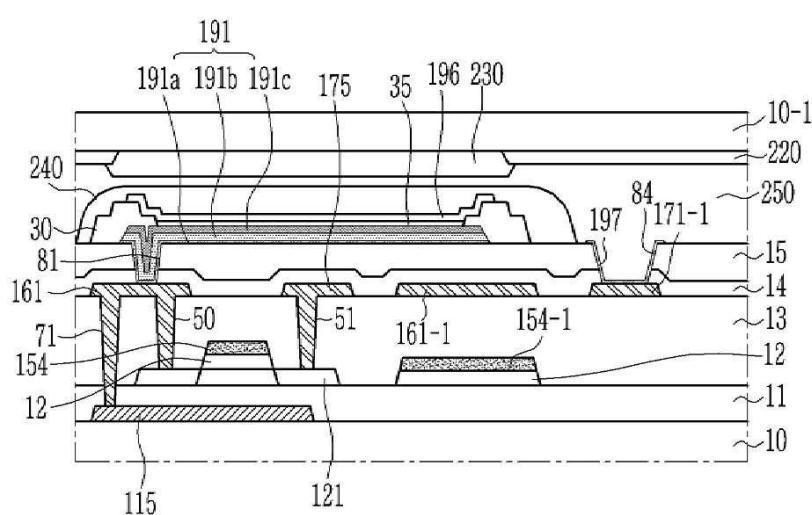
도면18



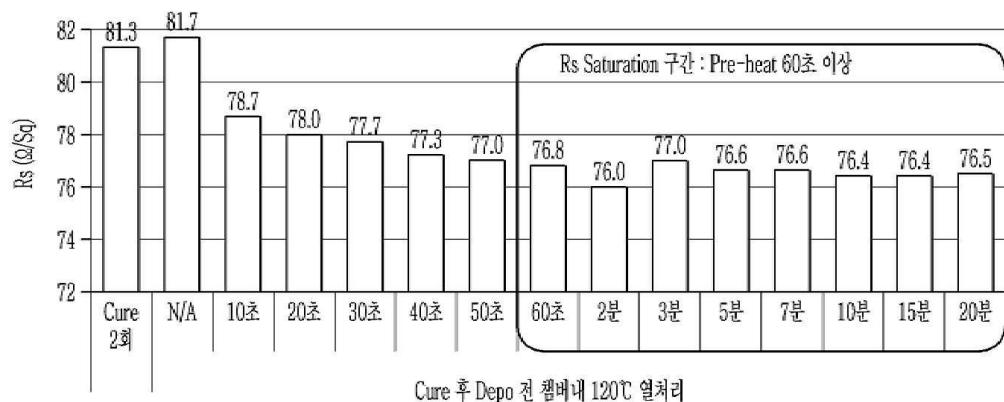
도면19



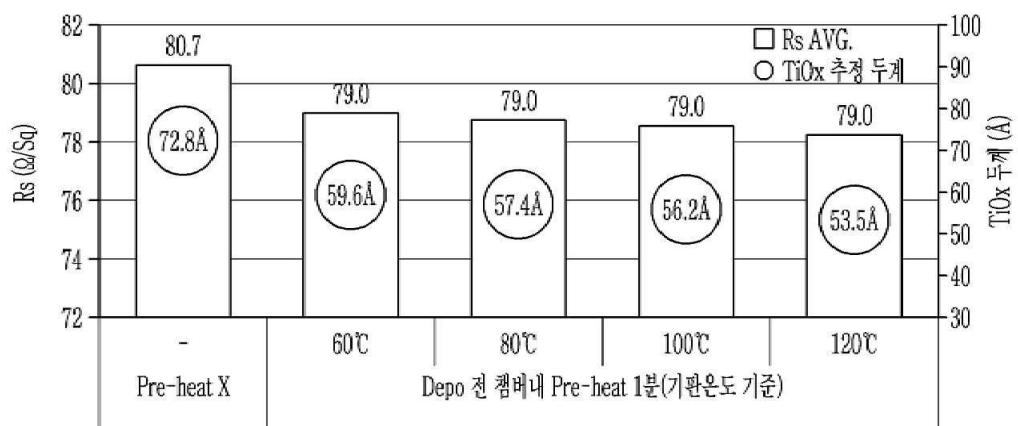
도면20



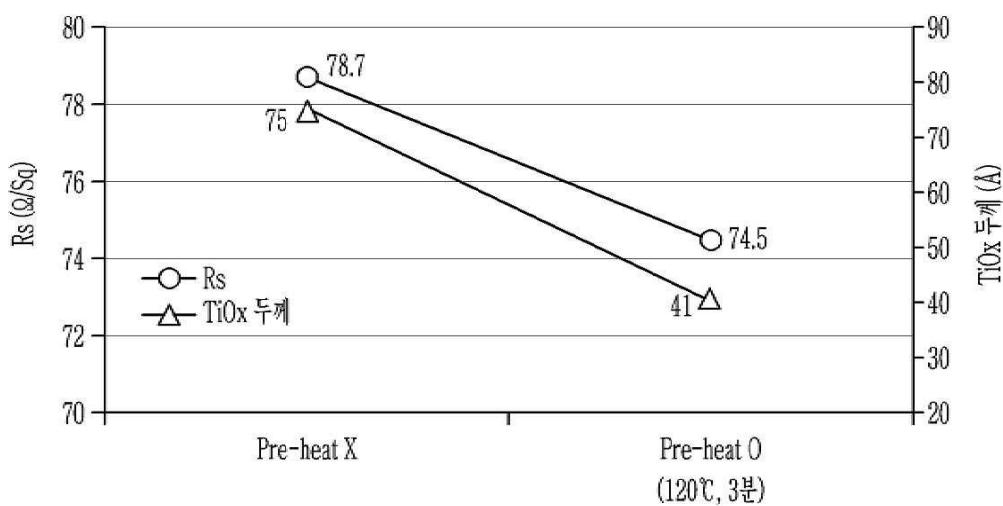
도면21



도면22



도면23



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020200088940A	公开(公告)日	2020-07-24
申请号	KR1020190005325	申请日	2019-01-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	윤갑수 양찬우 최준환		
发明人	윤갑수 양찬우 최준환		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5203 H01L27/3276 H01L51/56		

摘要(译)

根据实施例,有机发光显示装置包括:基板,该基板包括显示区域和焊盘区域;以及显示区域。薄膜晶体管形成在显示区域中;从薄膜晶体管连接的有机发光二极管;在焊盘区域中形成的焊盘电极;它形成在焊盘电极上,并包括与焊盘电极电连接的焊盘部分接触电极,有机发光二极管包括阳极,有机发光层和阴极,阳极包括下层,它包括中间层和上层,并且焊盘接触电极仅由阳极的下层形成。

