(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0087368
(43) 공개일자 2020년07월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2019-0003177
(22) 출원일자 2019년01월10일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이승헌
서울특별시 송파구 양재대로 1218(방이동, 올림픽선수기자촌아파트), 328동 1404호
김명화
서울특별시 송파구 풍성로14길 19(풍납동, 현대아파트), 706호
(뒷면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

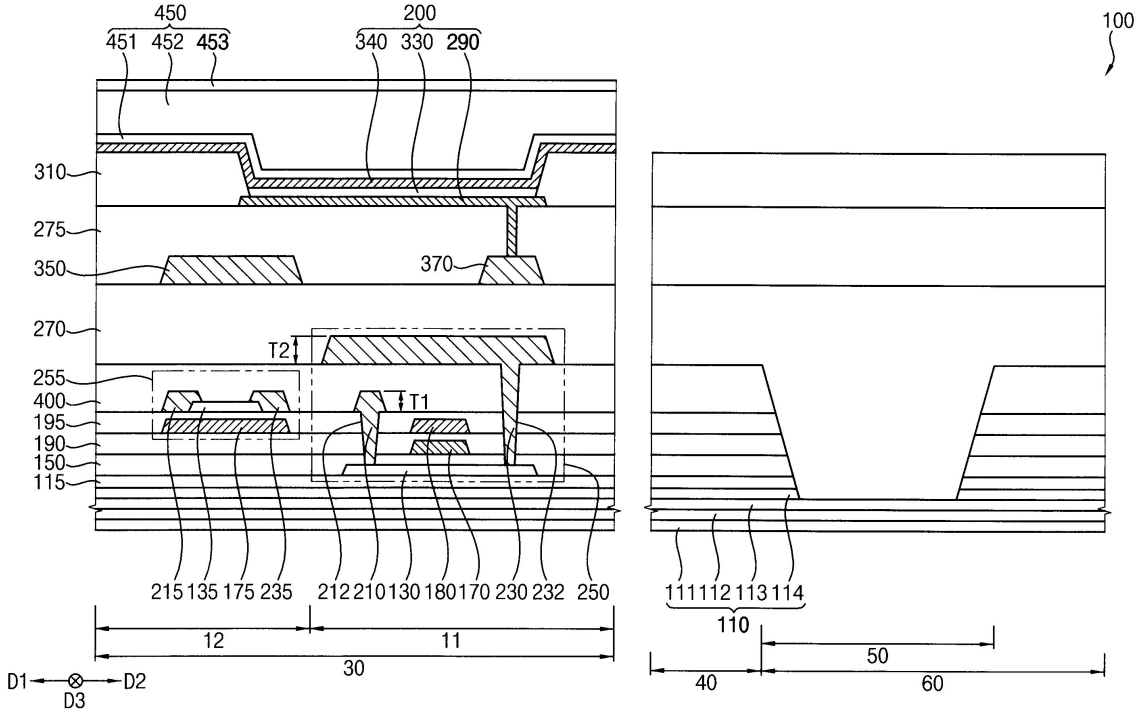
(54) 발명의 명칭 **유기 발광 표시 장치**

(57) 요 약

유기 발광 표시 장치는 제1 영역 및 제2 영역을 포함하는 발광 영역을 갖는 기판, 기판 상의 제1 영역에 배치되는 소스 및 드레인 영역들을 갖는 제1 액티브층, 제1 액티브층 상에 배치되는 게이트 절연층, 게이트 절연층 상에 배치되는 제1 게이트 전극, 제1 게이트 전극 상에 배치되는 제1 층간 절연층, 제1 층간 절연층 상에 배치되는

(뒷면에 계속)

대 표 도



제2 층간 절연층, 제2 층간 절연층 상에 배치되고, 게이트 절연층, 제1 층간 절연층 및 제2 층간 절연층의 일부를 제거하여 형성된 콘택홀을 통해 제1 액티브층의 소스 영역에 접속되는 제1 소스 전극, 제1 소스 전극 상에 배치되는 보호 절연층, 보호 절연층 상에 배치되고, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층 및 보호 절연층의 일부를 제거하여 형성된 콘택홀을 통해 제1 액티브층의 드레인 영역에 접속되며, 제1 액티브층, 제1 게이트 전극, 제1 소스 전극과 함께 구동 트랜지스터로 정의되는 제1 드레인 전극, 기판과 보호 절연층 사이의 제2 영역에 배치되는 스위칭 트랜지스터 및 스위칭 및 구동 트랜지스터들 상에 배치되는 하부 전극, 하부 전극 상에 배치되는 발광층 및 발광층 상에 배치되는 상부 전극을 포함할 수 있다. 이에 따라, 유기 발광 표시 장치가 고해상도로 구동될 수 있다.

(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

김재범

서울특별시 서초구 남부순환로 2183(방배동, 방배래미안타워), 201동 1301호

손경석

서울특별시 성동구 마장로 137(상왕십리동, 텐즈힐), 201동 1601호

이승준

경기도 수원시 영통구 태장로71번길 19(망포동, 망포마을동수원엘지빌리지), 203동 904호

임준형

서울특별시 서초구 방배중앙로 207-10(방배동, 아크로리버), 104동 2501호

명 세 서

청구범위

청구항 1

제1 영역 및 제2 영역을 포함하는 발광 영역을 갖는 기판;

상기 기판 상의 상기 제1 영역에 배치되는 소스 및 드레인 영역들을 갖는 제1 액티브층;

제1 액티브층 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 배치되는 제1 층간 절연층;

상기 제1 층간 절연층 상에 배치되는 제2 층간 절연층;

상기 제2 층간 절연층 상에 배치되고, 상기 게이트 절연층, 상기 제1 층간 절연층 및 상기 제2 층간 절연층의 일부를 제거하여 형성된 콘택홀을 통해 상기 제1 액티브층의 상기 소스 영역에 접속되는 제1 소스 전극;

상기 제1 소스 전극 상에 배치되는 보호 절연층;

상기 보호 절연층 상에 배치되고, 상기 게이트 절연층, 상기 제1 층간 절연층, 상기 제2 층간 절연층 및 상기 보호 절연층의 일부를 제거하여 형성된 콘택홀을 통해 상기 제1 액티브층의 상기 드레인 영역에 접속되며, 상기 제1 액티브층, 상기 제1 게이트 전극, 상기 제1 소스 전극과 함께 구동 트랜지스터로 정의되는 제1 드레인 전극;

상기 기판과 상기 보호 절연층 사이의 상기 제2 영역에 배치되는 스위칭 트랜지스터;

상기 스위칭 및 구동 트랜지스터들 상에 배치되는 하부 전극;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제1 드레인 전극은 상기 보호 절연층 상에서 상기 제1 영역으로부터 상기 제2 영역으로의 방향인 제1 방향으로 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서, 상기 제1 드레인 전극의 일부는 상기 제1 소스 전극과 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서, 상기 제1 드레인 전극의 일부는 상기 제1 게이트 전극과 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제1 소스 전극은 단일층을 포함하고, 상기 제1 드레인 전극은 복수의 층들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서, 상기 제1 소스 전극은 몰리브덴을 포함하고, 상기 제1 드레인 전극은 티타늄/알루미늄/티타늄의 적층 구조를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제1 드레인 전극 상에 배치되는 신호 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서, 상기 신호 배선에는 데이터 신호가 인가되고, 상기 제1 드레인 전극에는 고전원 전압이 인가되며, 상기 상부 전극에는 저전원 전압이 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서, 상기 스위칭 트랜지스터는,

제2 게이트 전극;

상기 제2 게이트 전극 상에 배치되는 제2 액티브층; 및

상기 제2 액티브층의 양측부에 배치되는 제2 소스 및 제2 드레인 전극들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서, 상기 제1 드레인 전극은 상기 제2 액티브층과 중첩하지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 9 항에 있어서, 상기 구동 트랜지스터는 상부 게이트 구조를 갖고, 상기 제1 액티브층은 실리콘계 반도체를 포함하며,

상기 스위칭 트랜지스터는 하부 게이트 구조를 갖고, 상기 제2 액티브층은 금속 산화물계 반도체를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서, 상기 제1 구동 트랜지스터의 제1 액티브층은 아몰퍼스 실리콘 또는 폴리 실리콘을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 9 항에 있어서,

상기 제1 게이트 전극 상에 배치되는 게이트 전극 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서, 상기 게이트 전극 패턴은 상기 제2 게이트 전극과 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 1 항에 있어서, 상기 기판은,

제1 유기층;

상기 제1 유기층 상에 배치되는 제1 베리어층;

상기 제1 베리어층 상에 배치되는 제2 유기층; 및

상기 제2 유기층 상에 배치되는 제2 베리어층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 기판은,

상기 발광 영역으로부터 이격되어 위치하는 벤딩 영역을 더 포함하고,

상기 제2 베리어층은 상기 벤딩 영역에 위치하는 제2 유기층의 상면을 노출시키는 개구를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 1 항에 있어서, 상기 기판은,

상기 발광 영역으로부터 이격되어 위치하는 벤딩 영역을 더 포함하고,

상기 기판 상의 상기 제1 및 제2 영역들에 배치되며 상기 벤딩 영역으로 연장되고, 상기 벤딩 영역에 위치하는 상기 기판의 상면을 노출시키는 제1 개구를 갖는 버퍼층;

상기 버퍼층 상의 제1 영역에서 상기 제1 액티브층을 덮으며 상기 벤딩 영역으로 연장되고, 상기 제1 개구와 중첩하는 제2 개구를 갖는 게이트 절연층; 및

상기 게이트 절연층 상의 제1 영역에서 제1 게이트 전극을 덮으며 상기 벤딩 영역으로 연장되고, 상기 제1 및 제2 개구들과 중첩하는 제3 개구를 갖는 층간 절연층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 1 항에 있어서,

상기 상부 전극 상에 배치되는 박막 봉지 구조물을 더 포함하고,

상기 박막 봉지 구조물은,

가요성을 갖는 무기 물질을 포함하는 제1 박막 봉지층;

상기 제1 박막 봉지층 상에 배치되고, 가요성을 갖는 유기 물질을 포함하는 제2 박막 봉지층; 및

상기 제2 박막 봉지층 상에 배치되고, 가요성을 갖는 무기 물질을 포함하는 제3 박막 봉지층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 1 항에 있어서, 상기 제1 소스 전극은 제1 두께를 갖고, 상기 제1 드레인 전극은 상기 제1 두께보다 큰 제2 두께를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제1 영역 및 제2 영역을 포함하는 발광 영역 및 벤딩 영역을 갖는 기판;

상기 기판 상의 상기 제1 영역에 배치되며,

소스 및 드레인 영역들을 갖는 제1 액티브층;

상기 제1 액티브층 상에 배치되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 배치되고, 제1 콘택홀을 통해 상기 제1 액티브층의 상기 소스 영역에 접속되며, 제1 두께를 갖는 제1 소스 전극; 및

상기 제1 소스 전극 상에 배치되고, 제2 콘택홀을 통해 상기 제1 액티브층의 상기 드레인 영역에 접속되며, 상기 제1 두께보다 큰 제2 두께를 갖는 제1 드레인 전극을 포함하는 구동 트랜지스터;

상기 기판 상의 상기 제2 영역에 배치되는 스위칭 트랜지스터; 및

상기 스위칭 및 구동 트랜지스터들 상에 배치되는 서브 화소 구조물을 포함하는 유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 서로 다른 종류의 트랜지스터들을 포함하는 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로서 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다.

[0003] 최근 실리콘계 반도체 소자 및 금속 산화물계 반도체 소자를 동시에 포함하는 유기 발광 표시 장치가 개발되고 있다. 유기 발광 표시 장치가 고해상도로 구동되기 위해 상기 유기 발광 표시 장치는 상대적으로 많은 개수의 신호 배선들을 포함할 수 있다. 유기 발광 표시 장치가 상대적으로 많은 개수의 신호 배선들을 포함하는 경우, 상기 신호 배선들을 제한된 공간에 배치하기 위해 상기 신호 배선들의 폭이 상대적으로 감소될 수 있고, 상기 신호 배선들의 비저항이 증가되는 문제점이 발생할 수 있다. 또한, 유기 발광 표시 장치가 고속으로 구동되기 위해 서브 화소 회로에 2개의 데이터 배선들이 포함될 수 있다. 상기 서브 화소 회로가 2개의 데이터 배선을 포함하는 경우, 상기 데이터 배선의 가변하는 전압 레벨 때문에 상기 데이터 배선들과 인접하여 배치되는 구동 트랜지스터의 특성이 변경되는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 서로 다른 종류의 트랜지스터들을 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 그러나, 본 발명이 상술한 목적에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 영역 및 제2 영역을 포함하는 발광 영역을 갖는 기판, 상기 기판 상의 상기 제1 영역에 배치되는 소스 및 드레인 영역들을 갖는 제1 액티브층, 제1 액티브층 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 배치되는 제1 층간 절연층, 상기 제1 층간 절연층 상에 배치되는 제2 층간 절연층, 상기 제2 층간 절연층 상에 배치되고, 상기 게이트 절연층, 상기 제1 층간 절연층 및 상기 제2 층간 절연층의 일부를 제거하여 형성된 콘택홀을 통해 상기 제1 액티브층의 상기 소스 영역에 접속되는 제1 소스 전극, 상기 제1 소스 전극 상에 배치되는 보호 절연층, 상기 보호 절연층 상에 배치되고, 상기 게이트 절연층, 상기 제1 층간 절연층, 상기 제2 층간 절연층 및 상기 보호 절연층의 일부를 제거하여 형성된 콘택홀을 통해 상기 제1 액티브층의 상기 드레인 영역에 접속되며, 상기 제1 액티브층, 상기 제1 게이트 전극, 상기 제1 소스 전극과 함께 구동 트랜지스터로 정의되는 제1 드레인 전극, 상기 기판과 상기 보호 절연층 사이의 상기 제2 영역에 배치되는 스위칭 트랜지스터 및 상기 스위칭 및 구동 트랜지스터들 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 제1 드레인 전극은 상기 보호 절연층 상에서 상기 제1 영역으로부터 상기 제2 영역으로의 방향인 제1 방향으로 연장될 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 드레인 전극의 일부는 상기 제1 소스 전극과 중첩할 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 제1 드레인 전극의 일부는 상기 제1 게이트 전극과 중첩할 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 제1 소스 전극은 단일층을 포함하고, 상기 제1 드레인 전극은 복수의 층들을 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 제1 소스 전극은 몰리브덴을 포함하고, 상기 제1 드레인 전극은 티타늄/알루미늄/티타늄의 적층 구조를 가질 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 제1 드레인 전극 상에 배치되는 신호 배선을 더 포함할 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 신호 배선에는 데이터 신호가 인가되고, 상기 제1 드레인 전극에는 고전원 전압이 인가되며, 상기 상부 전극에는 저전원 전압이 인가될 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 스위칭 트랜지스터는 제2 게이트 전극, 상기 제2 게이트 전극 상에 배치되는 제2 액티브층 및 상기 제2 액티브층의 양측부에 배치되는 제2 소스 및 제2 드레인 전극들을 포함할 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 제1 드레인 전극은 상기 제2 액티브층과 중첩하지 않을 수 있다.

[0016] 예시적인 실시예들에 있어서, 상기 구동 트랜지스터는 상부 게이트 구조를 갖고, 상기 제1 액티브층은 실리콘계 반도체를 포함하며, 상기 스위칭 트랜지스터는 하부 게이트 구조를 갖고, 상기 제2 액티브층은 금속 산화물계 반도체를 포함할 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제1 구동 트랜지스터의 제1 액티브층은 아몰퍼스 실리콘 또는 폴리 실리콘을 포함할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극 상에 배치되는 게이트 전극 패턴을 더 포함할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 게이트 전극 패턴은 상기 제2 게이트 전극과 동일한 층에 위치할 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 기판은 제1 유기층, 상기 제1 유기층 상에 배치되는 제1 베리어층, 상기 제1 베리어층 상에 배치되는 제2 유기층 및 상기 제2 유기층 상에 배치되는 제2 베리어층을 포함할 수 있다.

[0021] 예시적인 실시예들에 있어서, 상기 기판은 상기 발광 영역으로부터 이격되어 위치하는 벤딩 영역을 더 포함하고, 상기 제2 베리어층은 상기 벤딩 영역에 위치하는 제2 유기층의 상면을 노출시키는 개구를 가질 수 있다.

[0022] 예시적인 실시예들에 있어서, 상기 기판은 상기 발광 영역으로부터 이격되어 위치하는 벤딩 영역을 더 포함하고, 상기 기판 상의 상기 제1 및 제2 영역들에 배치되며 상기 벤딩 영역으로 연장되고, 상기 벤딩 영역에 위치하는 상기 기판의 상면을 노출시키는 제1 개구를 갖는 버퍼층, 상기 버퍼층 상의 제1 영역에서 상기 제1 액티브층을 덮으며 상기 벤딩 영역으로 연장되고, 상기 제1 개구와 중첩하는 제2 개구를 갖는 게이트 절연층 및 상기 게이트 절연층 상의 제1 영역에서 제1 게이트 전극을 덮으며 상기 벤딩 영역으로 연장되고, 상기 제1 및 제2 개구들과 중첩하는 제3 개구를 갖는 층간 절연층을 더 포함할 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 상부 전극 상에 배치되는 박막 봉지 구조물을 더 포함하고, 상기 박막 봉지 구조물은 가요성을 갖는 무기 물질을 포함하는 제1 박막 봉지층, 상기 제1 박막 봉지층 상에 배치되고, 가요성을 갖는 유기 물질을 포함하는 제2 박막 봉지층 및 상기 제2 박막 봉지층 상에 배치되고, 가요성을 갖는 무기 물질을 포함하는 제3 박막 봉지층을 포함할 수 있다.

[0024] 예시적인 실시예들에 있어서, 상기 제1 소스 전극은 제1 두께를 갖고, 상기 제1 드레인 전극은 상기 제1 두께보다 큰 제2 두께를 가질 수 있다.

[0025] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 영역 및 제2 영역을 포함하는 발광 영역 및 벤딩 영역을 갖는 기판, 상기 기판 상의 상기 제1 영역에 배치되며, 소스 및 드레인 영역들을 갖는 제1 액티브층, 상기 제1 액티브층 상에 배치되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 배치되고, 제1 콘택홀을 통해 상기 제1 액티브층의 상기 소스 영역에 접속되며, 제1 두께를 갖는 제1 소스 전극 및 상기 제1 소스 전극 상에 배치되고, 제2 콘택홀을 통해 상기 제1 액티브층의 상기 드레인 영역에 접속되며, 상기 제1 두께보다 큰 제2 두께를 갖는 제1 드레인 전극을 포함하는 구동 트랜지스터, 상기 기판 상의 상기 제2 영역에 배치되는 스위칭 트랜지스터 및 상기 스위칭 및 구동 트랜지스터들 상에 배치되는 서브 화소 구조물을 포함할 수 있다.

발명의 효과

[0026] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치가 서로 다른 층에 배치되는 제1 드레인 전극 및 제1 소스 전극을 포함하는 구동 트랜지스터를 구비함으로써 제1 드레인 전극은 상대적으로 큰 폭 및 큰 두께를 갖는 배선으로 기능할 수 있다. 이에 따라, 유기 발광 표시 장치가 고해상도로 구동될 수 있다.

[0027] 또한, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치가 제1 액티브층을 차폐하는 제1 드레인 전극을 포함함으로써 신호 배선과 구동 트랜지스터 사이 기생 용량이 형성되지 않을 수 있다. 이에 따라, 유기 발광 표시 장치는 구동 트랜지스터의 특성을 유지할 수 있다.

[0028] 다만, 본 발명의 효과들이 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1의 유기 발광 표시 장치의 일 예를 나타내는 평면도이다.

도 3은 도 1의 유기 발광 표시 장치가 벤딩된 형상을 설명하기 위한 사시도이다.

도 4는 도 1의 유기 발광 표시 장치와 전기적으로 연결된 외부 장치를 설명하기 위한 블록도이다.

도 5는 도 1의 서브 화소 회로 영역에 배치된 서브 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이다.

도 6은 도 1의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이다.

도 7 내지 도 13은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

도 14는 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 15는 도 14의 유기 발광 표시 장치의 일 예를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.

[0031] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이고, 도 2는 도 1의 유기 발광 표시 장치의 일 예를 나타내는 평면도이며, 도 3은 도 1의 유기 발광 표시 장치가 벤딩된 형상을 설명하기 위한 사시도이고, 도 4는 도 1의 유기 발광 표시 장치와 전기적으로 연결된 외부 장치를 설명하기 위한 블록도이다.

[0032] 도 1, 3 및 4를 참조하면, 유기 발광 표시 장치(100)(예를 들면, 도 6의 기판(110))는 표시 영역(10) 및 패드 영역(60)을 포함할 수 있다. 표시 영역(10)은 복수의 서브 화소 회로 영역들(20)을 포함하는 발광 영역(30) 및 발광 영역(30)을 둘러싸는 주변 영역(40)을 포함할 수 있고, 발광 영역(30)에는 서브 화소 회로 영역들(20)이 전체적으로 배열될 수 있다. 예를 들면, 서브 화소 회로 영역들(20) 각각에는 도 5의 서브 화소 회로(SUB-PIXEL CIRCUIT)(예를 들어, 도 6의 구동 트랜지스터(250) 및 스위칭 트랜지스터(255))가 배치될 수 있고, 서브 화소 회로(SUB-PIXEL CIRCUIT) 상에 유기 발광 다이오드(OLED)(예를 들어, 도 6의 서브 화소 구조물(200))가 배치될 수 있다. 서브 화소 회로(SUB-PIXEL CIRCUIT) 및 유기 발광 다이오드(OLED)를 통해 표시 영역(10)에 영상이 표시될 수 있다.

[0033] 예를 들면, 서브 화소 회로 영역들(20)에는 제1, 제2 및 제3 서브 화소 회로들이 배치될 수 있다. 상기 제1 서브 화소 회로는 적색 광을 방출할 수 있는 제1 유기 발광 다이오드와 연결될 수 있고, 상기 제2 서브 화소 회로는 녹색 광을 방출할 수 있는 제2 유기 발광 다이오드와 연결될 수 있으며, 상기 제3 서브 화소 회로는 청색 광을 방출할 수 있는 제3 유기 발광 다이오드와 연결될 수 있다.

[0034] 예시적인 실시예들에 있어서, 상기 제1 유기 발광 다이오드는 제1 서브 화소 회로와 중첩하여 배치될 수 있고, 상기 제2 유기 발광 다이오드는 제2 서브 화소 회로와 중첩하여 배치될 수 있으며, 상기 제3 유기 발광 다이오드는 제3 서브 화소 회로와 중첩하여 배치될 수 있다. 선택적으로, 상기 제1 유기 발광 다이오드가 상기 제1 서브 화소 회로의 일부 및 상기 제1 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있고, 상기 제2 유기 발광 다이오드가 상기 제2 서브 화소 회로의 일부 및 상기 제2 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있으며, 상기 제3 유기 발광 다이오드가 상기 제3 서브 화소 회로의 일부 및 상기 제3 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있다. 예를 들면, 상기 제1 내지 제3 유기 발광 다이오드들은 같은 크기의 직사각형이 차례로 배열되는 RGB 스트라이프(RGB stripe) 방식, 상대적으로 넓은 면적을 갖는 청색 유기 발광 다이오드를 포함하는 S-스트라이프(s-stripe) 방식, 백색 유기 발광 다이오드를 더 포함하는 WRGB 방식, RG-GB 반복 형태로 나열된 펜타일 방식 등을 이용하여 배열될 수 있다.

[0035] 또한, 복수의 서브 화소 회로 영역들(20) 각각에는 적어도 하나의 구동 트랜지스터, 적어도 하나의 스위칭 트랜지스터, 적어도 하나의 커패시터 등이 배치될 수 있다. 예시적인 실시예들에 있어서, 서브 화소 회로 영역들

(20) 각각에 하나의 구동 트랜지스터(예를 들어, 도 5의 제1 트랜지스터(TR1)) 및 6개의 스위칭 트랜지스터들(예를 들어, 도 5의 제2 내지 제7 트랜지스터들(TR2, TR3, TR4, TR5, TR6, TR7)), 하나의 스토리지 커패시터(예를 들어, 도 5의 스토리지 커패시터(CST)) 등이 배치될 수 있다.

[0036] 다만, 본 발명의 표시 영역(10), 주변 영역(20) 및 서브 화소 회로 영역(30) 각각의 형상이 사각형의 평면 형상을 갖는 것으로 설명하였지만, 상기 형상이 이에 한정되는 것은 아니다. 예를 들면, 표시 영역(10), 주변 영역(20) 및 서브 화소 회로 영역(30) 각각의 형상은 삼각형의 평면 형상, 마름모의 평면 형상, 다각형의 평면 형상, 원형의 평면 형상, 트랙형의 평면 형상 또는 타원형의 평면 형상을 가질 수도 있다.

[0037] 더욱이, 주변 영역(40)에는 복수의 배선들이 배치될 수 있다. 예를 들면, 상기 배선들은 데이터 신호 배선, 게이트 신호 배선, 발광 제어 신호 배선, 게이트 초기화 신호 배선, 초기화 전압, 전원 전압 배선 등을 포함할 수 있다. 상기 배선들은 주변 영역(40)으로부터 발광 영역(30)으로 연장되어 서브 화소 회로(SUB-PIXEL CIRCUIT) 및 유기 발광 다이오드(OLED)와 전기적으로 연결될 수 있다. 더욱이, 주변 영역(40)에는 게이트 드라이버, 데이터 드라이버 등이 배치될 수도 있다.

[0038] 표시 영역(10)의 일측에 패드 영역(60)이 위치할 수 있고, 패드 영역(60)은 벤딩 영역(50) 및 패드 전극 영역(70)을 포함할 수 있다. 패드 전극 영역(70)에는 외부 장치(101)와 전기적으로 연결되는 패드 전극들(470)이 배치될 수 있다. 또한, 벤딩 영역(50)은 표시 영역(10)과 패드 전극 영역(70) 사이에 위치할 수 있고, 벤딩 영역(50)에는 연결 전극들이 배치될 수도 있다. 예를 들면, 상기 연결 전극들은 패드 전극들(470)과 서브 화소 회로(SUB-PIXEL CIRCUIT)를 전기적으로 연결시킬 수 있다. 예시적인 실시예들에 있어서, 유기 발광 표시 장치(100)는 가로 방향(예를 들어, 제3 방향(D3))으로 동일한 폭을 가질 수 있다.

[0039] 다른 예시적인 실시예들에 있어서, 도 2에 도시된 바와 같이, 패드 영역(60)의 폭이 표시 영역(10)의 폭보다 작은 폭을 가질 수 있다. 예를 들면, 유기 발광 표시 장치(100)의 평면도에서 표시 영역(10)은 유기 발광 표시 장치(100)의 상면에 평행한 방향(예를 들어, 제3 방향(D3))으로 연장하는 제1 폭을 가질 수 있고, 패드 영역(60)은 제3 방향(D3)으로 연장하며 상기 제1 폭보다 작은 제2 폭을 가질 수 있다.

[0040] 다만, 도 1에서 발광 영역(30)을 둘러싸는 주변 영역(40)의 폭이 동일한 것으로 도시되어 있으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 주변 영역(40)은 제3 방향(D3)으로 연장하는 제1 주변 영역 및 제3 방향(D3)과 직교하는 제1 방향(D1) 또는 제2 방향(D2)으로 연장하는 제2 주변 영역을 포함할 수 있다. 다시 말하면, 주변 영역(40)의 제1 주변 영역은 발광 영역(30)의 상부 및 벤딩 영역(50)과 인접하여 위치할 수 있고, 주변 영역(40)의 제2 주변 영역은 발광 영역(30)의 양측부(예를 들어, 발광 영역(30)의 좌측 및 우측)에 위치할 수 있다. 여기서, 상기 제2 주변 영역의 제3 방향(D3)으로 연장하는 폭은 상기 제1 주변 영역의 제1 방향(D1) 또는 제2 방향(D2)으로 연장하는 폭보다 상대적으로 작을 수도 있다. 벤딩 영역(50)이 제3 방향(D3)을 축으로 벤딩됨으로써, 패드 전극 영역(70)이 유기 발광 표시 장치(100)의 저면 상에 위치할 수 있다(도 3 참조). 다시 말하면, 패드 전극 영역(70)이 유기 발광 표시 장치(100)의 저면 상에 위치하는 경우, 벤딩 영역(50)은 구부러진 형상을 가질 수 있다.

[0041] 외부 장치(101)는 유기 발광 표시 장치(100)와 연성 인쇄 회로 기판 또는 인쇄 회로 기판을 통해 전기적으로 연결될 수 있다. 예를 들면, 상기 연성 인쇄 회로 기판의 일측은 패드 전극들(470)과 직접적으로 접촉할 수 있고, 상기 연성 인쇄 회로 기판의 타측은 외부 장치(101)와 직접적으로 접촉할 수 있다. 외부 장치(101)는 데이터 신호, 게이트 신호, 발광 제어 신호, 게이트 초기화 신호, 초기화 전압, 전원 전압 등을 유기 발광 표시 장치(100)에 제공할 수 있다. 또한, 상기 연성 인쇄 회로 기판에는 구동 집적 회로가 실장될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 구동 집적 회로가 패드 전극들(470)과 인접하여 유기 발광 표시 장치(100)에 실장될 수도 있다.

[0042] 도 5는 도 1의 서브 화소 회로 영역에 배치된 서브 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이다.

[0043] 도 5를 참조하면, 유기 발광 표시 장치(100)의 서브 화소 회로 영역들(20) 각각에는 서브 화소 회로(SUB-PIXEL CIRCUIT: SPC) 및 유기 발광 다이오드(OLED)가 배치될 수 있고, 하나의 서브 화소 회로(SPC)는 유기 발광 다이오드(OLED)(예를 들어, 도 6의 서브 화소 구조물(200)), 제1 내지 제7 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7) 및 스토리지 커패시터(CST), 고전원 전압(ELVDD) 배선, 저전원 전압(ELVSS) 배선, 초기화 전압(VINT) 배선, 데이터 신호(DATA) 배선, 게이트 신호(GW) 배선, 게이트 초기화 신호(GI) 배선, 발광 제어 신호(EM) 배선, 다이오드 초기화 신호(GB) 배선 등을 포함할 수 있다.

[0044] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1

단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 제2 단자는 저전원 전압(ELVSS)을 공급받을 수 있다. 예를 들면, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 캐소드 단자일 수 있다. 선택적으로, 유기 발광 다이오드(OLED)의 제1 단자는 캐소드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 애노드 단자일 수도 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 상기 애노드 단자는 도 6의 하부 전극(290)에 해당될 수 있고, 유기 발광 다이오드(OLED)의 상기 캐소드 단자는 도 6의 상부 전극(340)에 해당될 수 있다.

[0045] 제1 트랜지스터(TR1)(예를 들어, 도 6의 구동 트랜지스터(250)에 대응)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)의 제1 단자는 소스 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 트랜지스터(TR1)의 제1 단자는 드레인 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 소스 단자일 수 있다.

[0046] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이러한 경우, 제1 트랜지스터(TR1)는 상기 게이트 단자와 상기 소스 단자 사이의 전압차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 선택적으로, 제1 트랜지스터(TR1)는 선형 영역에서 동작할 수도 있다. 이러한 경우, 일 프레임 내에서 유기 발광 다이오드(OLED)에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.

[0047] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 제2 트랜지스터(TR2)의 게이트 단자는 게이트 신호(GW)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예를 들면, 게이트 구동부로부터 게이트 신호(GW)가 제공될 수 있고, 게이트 신호(GW)가 게이트 신호(GW) 배선을 통해 제2 트랜지스터(TR2)의 게이트 단자에 인가될 수 있다. 예시적인 실시예들에 있어서, 제2 트랜지스터(TR2)의 제1 단자는 소스 단자이고, 제2 트랜지스터(TR2)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제2 트랜지스터(TR2)의 제1 단자는 드레인 단자이고, 제2 트랜지스터(TR2)의 제2 단자는 소스 단자일 수 있다.

[0048] 제2 트랜지스터(TR2)는 게이트 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이러한 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.

[0049] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 제3 트랜지스터(TR3)의 게이트 단자는 게이트 신호(GW)를 공급받을 수 있다. 제3 트랜지스터(TR3)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 제3 트랜지스터(TR3)의 제2 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 예를 들면, 상기 게이트 구동부로부터 게이트 신호(GW)가 제공될 수 있고, 게이트 신호(GW)가 게이트 신호(GW) 배선을 통해 제3 트랜지스터(TR3)의 게이트 단자에 인가될 수 있다. 예시적인 실시예들에 있어서, 제3 트랜지스터(TR3)의 제1 단자는 소스 단자이고, 제3 트랜지스터(TR3) 의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제3 트랜지스터(TR3)의 제1 단자는 드레인 단자이고, 제3 트랜지스터(TR3)의 제2 단자는 소스 단자일 수 있다.

[0050] 제3 트랜지스터(TR3)는 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이러한 경우, 제3 트랜지스터(TR3)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0051] 초기화 전압(VINT)이 제공되는 초기화 전압 배선의 입력단은 제4 트랜지스터(TR4)의 제1 단자 및 제7 트랜지스터(TR7)의 제1 단자와 연결될 수 있고, 상기 초기화 전압 배선의 출력단은 제4 트랜지스터(TR4)의 제2 단자 및 스토리지 커패시터(CST)의 제1 단자와 연결될 수 있다.

[0052] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 제4 트랜지스터(TR4)의 게이트 단자는 게이트 초기화 신호(GI)를 공급받을 수 있다. 제4 트랜지스터(TR4)의 제1 단자는 초기화 전압(VINT)을

공급받을 수 있다. 제4 트랜지스터(TR4)의 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제4 트랜지스터(TR4)의 제1 단자는 소스 단자일 수 있고, 제4 트랜지스터(TR4)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제4 트랜지스터(TR4)의 제1 단자는 드레인 단자이고, 제4 트랜지스터(TR4)의 제2 단자는 소스 단자일 수 있다.

[0053] 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이러한 경우, 제4 트랜지스터(TR4)는 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 예시적인 실시예들에 있어서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

[0054] 예시적인 실시예들에 있어서, 게이트 초기화 신호(GI)는 일 수평 시간 전의 게이트 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들면, 유기 발광 표시 장치(100)가 포함하는 복수의 서브 화소 회로들 중 제n(단, n은 2이상의 정수)행의 서브 화소 회로에 공급되는 게이트 초기화 신호(GI)는 상기 서브 화소 회로들 중 (n-1)행의 서브 화소 회로에 공급되는 게이트 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 서브 화소 회로들(SPC) 중 (n-1)행의 제1 서브 화소 회로에 활성화된 게이트 신호(GW)를 공급함으로써, 서브 화소 회로들(SPC) 중 n행의 제1 서브 화소 회로에 활성화된 게이트 초기화 신호(GI)를 공급할 수 있다. 그 결과, 서브 화소 회로들 중 (n-1)행의 서브 화소 회로에 데이터 신호(DATA)를 공급함과 동시에 서브 화소 회로들(SPC) 중 n행의 서브 화소 회로가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0055] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 고전원 전압(ELVDD) 배선에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예를 들면, 발광 제어 구동부로부터 발광 제어 신호(EM)가 제공될 수 있고, 발광 제어 신호(EM)가 발광 제어 신호(EM) 배선을 통해 제5 트랜지스터(TR5)의 게이트 단자에 인가될 수 있다. 예시적인 실시예들에 있어서, 제5 트랜지스터(TR5)의 제1 단자는 소스 단자이고, 제5 트랜지스터(TR5)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제5 트랜지스터(TR5)의 제1 단자는 드레인 단자이고, 제5 트랜지스터(TR5)의 제2 단자는 소스 단자일 수 있다.

[0056] 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이러한 경우, 제5 트랜지스터(TR5)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0057] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제6 트랜지스터(TR6)의 제1 단자는 소스 단자이고, 제6 트랜지스터(TR6)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제6 트랜지스터(TR6)의 제1 단자는 드레인 단자이고, 제6 트랜지스터(TR6)의 제2 단자는 소스 단자일 수 있다.

[0058] 제6 트랜지스터(TR6)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이러한 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0059] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신

호(GB)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제7 트랜지스터(TR7)의 제1 단자는 소스 단자이고, 제7 트랜지스터(TR7)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제7 트랜지스터(TR7)의 제1 단자는 드레인 단자이고, 제7 트랜지스터(TR7)의 제2 단자는 소스 단자일 수 있다.

[0060] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이러한 경우, 제7 트랜지스터(TR7)는 선형 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0061] 선택적으로, 게이트 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 이에 따라, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0062] 스토리지 커패시터(CST)는 제1 단자 및 제2 단자를 포함할 수 있다. 스토리지 커패시터(CST)는 고전원 전압(ELVDD) 배선과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 예를 들면, 스토리지 커패시터(CST)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있고, 스토리지 커패시터(CST)의 제2 단자는 고전원 전압(ELVDD) 배선에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 제어 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.

[0063] 다만, 본 발명의 서브 화소 회로(SPC)가 7개의 트랜지스터들 및 하나의 스토리지 커패시터를 포함하는 것으로 설명하였지만, 본 발명의 구성이 이에 한정되는 것을 아니다. 예를 들면, 서브 화소 회로(SPC)는 적어도 하나의 트랜지스터 및 적어도 하나의 스토리지 커패시터를 포함하는 구성을 가질 수도 있다.

[0064] 도 6은 도 1의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이고, 도 7은 도 6의 유기 발광 표시 장치의 일 예를 나타내는 단면도이며, 도 8은 도 6의 유기 발광 표시 장치의 다른 예를 나타내는 단면도이다.

[0065] 도 6을 참조하면, 유기 발광 표시 장치(100)는 기판(110), 버퍼층(115), 구동 트랜지스터(250), 스위칭 트랜지스터(255), 게이트 전극 패턴(180), 게이트 절연층(150), 제1 층간 절연층(190), 제2 층간 절연층(195), 보호 절연층(400), 제1 평탄화층(270), 신호 배선(350), 연결 패턴(370), 제2 평탄화층(275), 서브 화소 구조물(200), 화소 정의막(310), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114)을 포함할 수 있다. 유기 발광 표시 장치(100)가 발광 영역(30) 및 주변 영역(40)을 포함하는 표시 영역(10) 및 벤딩 영역(50) 및 패드 전극 영역(70)을 포함하는 패드 영역(60)을 포함함에 따라, 기판(110)도 표시 영역(10) 및 패드 영역(60)으로 구분될 수 있다. 또한, 구동 트랜지스터(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 스위칭 트랜지스터(255)는 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 더욱이, 서브 화소 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있고, 박막 봉지 구조물(450)은 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함할 수 있다.

[0066] 유기 발광 표시 장치(100)가 플렉서블한 기판(110) 및 박막 봉지 구조물(450)을 포함함으로써 유기 발광 표시 장치(100)는 플렉서블 유기 발광 표시 장치로 기능할 수 있다.

[0067] 제1 유기층(111)이 제공될 수 있다. 제1 유기층(111)은 가요성을 갖는 유기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 유기층(111)은 폴리이미드 등을 포함할 수 있다.

[0068] 제1 유기층(111) 상에 제1 베리어층(112)이 전체적으로 배치될 수 있다. 제1 베리어층(112)은 제1 유기층(111)을 통해 침투하는 수분을 차단할 수 있다. 제1 베리어층(112)은 가요성을 갖는 무기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 베리어층(112)은 실리콘 산화물 또는 실리콘 질화물 등을 포함할 수 있다.

[0069] 제1 베리어층(112) 상에 제2 유기층(113)이 배치될 수 있다. 제2 유기층(113)은 제1 베리어층(112) 상에 전체적

으로 배치될 수 있다. 제2 유기층(113)은 가요성을 갖는 유기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 유기층(115)은 폴리이미드 등을 포함할 수 있다.

[0070] 제2 유기층(113) 상에 제2 베리어층(114)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 베리어층(114)은 벤딩 영역(50)에 위치하는 제2 유기층(113)의 상면을 노출시키는 개구를 가질 수 있다. 제2 베리어층(114)은 제2 유기층(113)을 통해 침투하는 수분을 차단할 수 있다. 제2 베리어층(114)은 가요성을 갖는 무기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 베리어층(114)은 실리콘 산화물 또는 실리콘 질화물 등을 포함할 수 있다. 선택적으로, 벤딩 영역(50)에 위치하는 제2 베리어층(114)에 개구가 형성되지 않거나 벤딩 영역(50)에 위치하는 제2 유기층(113) 및 제2 베리어층(114)에 개구가 형성될 수도 있다.

[0071] 이에 따라, 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114)을 포함하는 기판(110)이 구성될 수 있다. 예시적인 실시예들에 있어서, 기판(110)은 제1 영역(11) 및 제2 영역(12)을 가질 수 있고, 제1 영역(11)과 제2 영역(12)은 인접하여 위치할 수 있다. 예를 들면, 제1 영역(11)은 구동 트랜지스터가 배치되는 영역일 수 있고, 제2 영역(12)은 스위칭 트랜지스터가 배치되는 영역일 수 있다. 예시적인 실시예들에 있어서, 제2 베리어층(114)에 상기 개구가 형성됨으로써, 기판(110)은 벤딩 영역(50)에서 그루브를 가질 수 있다.

[0072] 다만, 기판(110)이 4개의 층들을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 다른 예시적인 실시예들에 있어서, 기판(110)은 단일층 또는 적어도 2개의 층들을 포함할 수도 있다.

[0073] 다른 예시적인 실시예들에 있어서, 기판(110)은 투명한 또는 불투명한 재료를 포함할 수 있다. 예를 들면, 기판(110)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다.

[0074] 기판(110) 상에 버퍼층(115)이 배치될 수 있다. 예시적인 실시예들에 있어서, 버퍼층(115)은 기판(110) 상의 제1 영역(11) 및 제2 영역(12)에 배치되면서 벤딩 영역(50)으로 연장될 수 있고, 벤딩 영역(50)에 위치하는 기판(110)의 상면(예를 들어, 제2 유기층(113)의 상면)을 노출시키는 제1 개구를 가질 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 구동 트랜지스터(250), 스위칭 트랜지스터(255) 및 서브 화소 구조물(200)로 확산되는 현상을 방지할 수 있으며, 제1 액티브층(130)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 제1 액티브층(130)을 수득하게 할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층(115)이 제공될 수 있거나 버퍼층(115)이 배치되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 포함할 수 있다.

[0075] 제1 액티브층(130)이 버퍼층(115) 상의 제1 영역(11)에 배치될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 아몰퍼스 실리콘(amorphous silicon), 폴리 실리콘(poly silicon) 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 실리콘계 반도체를 포함할 수 있고, 상기 아몰퍼스 실리콘 또는 상기 폴리 실리콘으로 구성될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 소스 영역 및 드레인 영역을 가질 수 있다.

[0076] 버퍼층(115) 및 제1 액티브층(130) 상의 제1 영역(11) 및 제2 영역(12)에는 게이트 절연층(150)이 배치될 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층(150)은 기판(110) 상의 제1 영역(11)에서 제1 액티브층(130)을 덮으며, 벤딩 영역(50)으로 연장될 수 있고, 상기 제1 개구와 중첩하는 제2 개구를 가질 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 액티브층(130)을 충분히 덮을 수 있으며, 제1 액티브층(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 액티브층(130)을 덮으며, 제1 액티브층(130)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx), 실리콘 산질화물(SiOxNy), 실리콘 산탄화물(SiOxCy), 실리콘 탄질화물(SiCxNy), 알루미늄 산화물(AlOx), 알루미늄 질화물(AlNx), 탄탈륨 산화물(TaOx), 하프늄 산화물(HfOx), 지르코늄 산화물(ZrOx), 티타늄 산화물(TiOx) 등을 포함할 수 있다. 선택적으로, 게이트 절연층(150)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0077] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(11)에 배치될 수 있다. 예를 들면, 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 배치될 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.

이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0078] 게이트 절연층(150) 및 제1 게이트 전극(170) 상의 제1 영역(11) 및 제2 영역(12)에는 제1 층간 절연층(190)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 층간 절연층(190)은 게이트 절연층(150) 상의 제1 영역(11)에서 제1 게이트 전극(170)을 덮으며, 벤딩 영역(50)으로 연장될 수 있고, 상기 제1 및 제2 개구들과 중첩하는 제3 개구를 가질 수 있다. 예를 들면, 제1 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 게이트 전극(170)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 제1 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 덮으며, 제1 게이트 전극(170)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수도 있다. 제1 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 선택적으로, 제1 층간 절연층(190)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0079] 게이트 전극 패턴(180)이 층간 절연층(190) 상의 제1 영역(11)에 배치될 수 있다. 게이트 전극 패턴(180)은 제1 층간 절연층(190) 중에서 하부에 제1 게이트 전극(170)이 위치하는 부분 상에 배치될 수 있다. 유기 발광 표시 장치(100)의 다른 단면도에서 제1 게이트 전극(170)과 게이트 전극 패턴(180)은 도 5의 스토리지 커패시터(CST)로 기능할 수 있다. 게이트 전극 패턴(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 선택적으로, 게이트 전극 패턴(180)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0080] 제2 게이트 전극(175)은 층간 절연층(190) 상의 제2 영역(12)에 배치될 수 있다. 다시 말하면, 제2 게이트 전극(175)은 게이트 전극 패턴(180)으로부터 이격될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(175)은 게이트 전극 패턴(180)과 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.

[0081] 게이트 전극 패턴(180) 및 제2 게이트 전극(175) 상의 제1 영역(11) 및 제2 영역(12)에는 제2 층간 절연층(195)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상의 제1 영역(11)에서 게이트 전극 패턴(180)및 제2 영역(12)에서 제2 게이트 전극(175)을 덮으며, 벤딩 영역(50)으로 연장될 수 있고, 상기 제1 내지 제3 개구들과 중첩하는 제4 개구를 가질 수 있다. 예를 들면, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 충분히 덮을 수 있으며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 덮으며, 게이트 전극 패턴(180)및 제2 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수도 있다. 제2 층간 절연층(195)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 선택적으로, 제2 층간 절연층(195)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0082] 제1 소스 전극(210)이 제2 층간 절연층(195) 상의 제1 영역(11)에 배치될 수 있다. 제1 소스 전극(210)은 게이트 절연층(150), 제1 층간 절연층(190) 및 제2 층간 절연층(195)의 일 부분을 제거하여 형성된 제1 콘택홀(212)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있다. 제1 소스 전극(210)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 소스 전극(210)은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 몰리브데늄(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlNx), 은을 함유하는 합금, 텅스텐 질화물(WNx), 구리를 함유하는 합금, 몰리브데늄을 함유하는 합금, 티타늄 질화물(TiNx), 크롬 질화물(CrNx), 탄탈륨 질화물(TaNx), 스트론튬 루테늄 산화물(SrRuxOy), 아연 산화물(ZnOx), 인듐 주석 산화물(ITO), 주석 산화물(SnOx), 인듐 산화물(InOx), 갈륨 산화물(GaOx), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0083] 예시적인 실시예들에 있어서, 제1 소스 전극(210)은 제1 두께(T1)를 가질 수 있고, 단일층으로 형성될 수 있다. 예를 들면, 제1 소스 전극(210)은 몰리브덴을 포함할 수 있다. 또한, 제1 소스 전극(210)은 전극으로 기능할 수 있다. 다시 말하면, 제1 소스 전극(210)은 전극으로 기능하기 때문에 배선으로 기능하는 제1 드레인 전극(230), 신호 배선(350) 및 연결 패턴(370)보다 상대적으로 높은 비저항을 가질 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0084] 제2 액티브층(135)이 제2 층간 절연층(195) 상의 제2 영역(12)에 배치될 수 있다. 제2 액티브층(135)은 제2 층간 절연층(195) 중에서 하부에 제2 게이트 전극(175)이 위치하는 부분 상에 배치될 수 있다. 제2 액티브층(135)은 산화물 반도체를 포함할 수 있다. 다시 말하면, 제2 액티브층(135)은 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn), 티타늄(Ti), 알루미늄(Al), 하프늄(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz) 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물(ZnOx), 갈륨 산화물(GaOx), 티타늄 산화물(TiOx), 주석 산화물(SnOx), 인듐 산화물(InOx), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 인듐-주석 산화물(ITO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-주석 산화물(ZTO), 아연-지르코늄 산화물(ZnZrxOy), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO), 인듐-갈륨-하프늄 산화물(IGHO), 주석-알루미늄-아연 산화물(TAZO) 및 인듐-갈륨-주석 산화물(IGTO) 등을 포함할 수 있다.

[0085] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 제2 층간 절연층(195) 상의 제2 영역(12)에 배치될 수 있다. 제2 소스 전극(215)은 제2 액티브층(135)의 제1 측부를 커버할 수 있고, 제2 드레인 전극(235)은 제2 액티브층(135)의 상기 제1 측부와 다른 제2 측부를 커버할 수 있다. 다시 말하면, 제2 소스 및 제2 드레인 전극들(215, 235)은 제2 액티브층(135)의 양측부에 배치될 수 있고, 제2 액티브층(135)의 상면의 일부를 노출시킬 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0086] 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 제1 두께(T1)를 가질 수 있고, 단일층으로 형성될 수 있다. 예를 들면, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 몰리브덴을 포함할 수 있다. 또한, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 전극으로 기능할 수 있다. 다시 말하면, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 전극으로 기능하기 때문에 배선으로 기능하는 제1 드레인 전극(230), 신호 배선(350) 및 연결 패턴(370) 보다 상대적으로 높은 비저항을 가질 수 있다. 다른 예시적인 실시예들에 있어서, 제2 드레인 전극(235)과 제1 소스 전극(210)이 일체로 형성될 수도 있다.

[0087] 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 스위칭 트랜지스터(255)가 구성될 수 있다. 여기서, 스위칭 트랜지스터(255)는 산화물계 반도체를 포함하는 스위칭 트랜지스터로 기능할 수 있다. 또한, 스위칭 트랜지스터(255)는 하부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다. 예를 들면, 스위칭 트랜지스터(255)는 도 5에 도시된 제2 내지 제7 트랜지스터들(TR2, TR3, TR4, TR5, TR6, TR7) 중 하나일 수 있다.

[0088] 제2 층간 절연층(195), 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235) 상의 제1 영역(11) 및 제2 영역(12)에 보호 절연층(400)이 배치될 수 있다. 예시적인 실시예들에 있어서, 보호 절연층(400)은 제2 층간 절연층(195) 상의 제1 영역(11)에서 제1 소스 전극(210) 및 제2 영역(12)에서 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 벤딩 영역(50)으로 연장될 수 있고, 상기 제1 내지 제4 개구들과 중첩하는 제5 개구를 가질 수 있다. 예를 들면, 보호 절연층(400)은 제2 층간 절연층(195) 상에서 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 충분히 덮을 수 있으며, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 보호 절연층(400)은 제2 층간 절연층(195) 상에서 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 보호 절연층(400)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 선택적으로, 보호 절연층(400)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0089] 제1 드레인 전극(230)이 보호 절연층(400) 상의 제1 영역(11)에 배치될 수 있다. 다시 말하면, 제1 소스 전극(210)과 제1 드레인 전극(230)은 서로 다른 층에 배치될 수 있다. 제1 드레인 전극(230)은 게이트 절연층(150), 제1 층간 절연층(190), 제2 층간 절연층(195) 및 보호 절연층(400)의 일 부분을 제거하여 형성된 제2 콘택홀(232)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 드레인 전극(230)은 제1 두께(T1)보다 큰 제2 두께(T2)를 가질 수 있고, 복수의 층들로 형성될 수 있다.

[0090] 제1 드레인 전극(230)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 제1 드레인 전극

(230)은 티타늄/알루미늄/티타늄의 적층 구조를 가질 수 있다. 또한, 제1 드레인 전극(230)은 배선으로 기능할 수 있다. 다시 말하면, 제1 드레인 전극(230)은 배선으로 기능하기 때문에 전극으로 기능하는 제1 소스 전극(210), 제2 소스 전극(215) 및 제2 드레인 전극(235)보다 상대적으로 낮은 비저항을 가질 수 있다.

[0091] 예를 들면, 종래의 유기 발광 표시 장치가 고해상도로 구동되기 위해 상기 종래의 유기 발광 표시 장치는 상대적으로 많은 개수의 신호 배선들을 포함해야만 한다. 이러한 경우, 상기 신호 배선들은 제2 층간 절연층(195) 상에 배치될 수 있다. 상기 종래의 유기 발광 표시 장치가 상대적으로 많은 개수의 신호 배선들을 포함하는 경우, 상기 신호 배선들을 제한된 공간에 배치하기 위해 상기 신호 배선들의 폭이 상대적으로 감소될 수 있고, 상기 신호 배선들의 비저항이 증가될 수 있다. 즉, 기존 방식으로 고해상도를 갖는 유기 발광 표시 장치를 제조할 수 없다.

[0092] 본 발명의 예시적인 실시예들에 있어서, 유기 발광 표시 장치(100)에 포함된 구동 트랜지스터(250)의 제1 드레인 전극(230)이 제1 소스 전극(210)과 다른 층에 배치됨으로써 제1 드레인 전극(230)은 상대적으로 큰 폭 및 큰 두께를 갖는 배선으로 형성될 수 있다. 즉, 제1 드레인 전극(230)은 상대적으로 낮은 비저항을 가질 수 있고, 유기 발광 표시 장치(100)는 보호 절연층(400) 상에 신호 배선들을 형성할 수 있다. 이에 따라, 유기 발광 표시 장치(100)는 상대적으로 큰 폭 및 큰 두께를 갖는 제1 드레인 전극(230)을 포함하는 구동 트랜지스터(250)를 가짐으로써 유기 발광 표시 장치(100)가 고해상도로 구동될 수 있다.

[0093] 또한, 예시적인 실시예들에 있어서, 제1 드레인 전극(230)은 제1 영역(11)으로부터 제2 영역(12)으로의 방향인 제1 방향(D1)으로 연장될 수 있다. 다시 말하면, 제1 드레인 전극(230)의 일부는 제1 게이트 전극(170), 게이트 전극 패턴(180) 및 제1 소스 전극(210)과 중첩할 수 있고, 제2 액티브층(135)과는 중첩하지 않을 수 있다(예를 들어, 제1 드레인 전극(230)이 스위칭 트랜지스터(255)의 구동에 영향을 주지 않기 위해 제2 액티브층(135)과 중첩하지 않음). 제1 드레인 전극(230)에는 고전원 전압(예를 들어, 도 5의 고전원 전압(ELVDD)에 해당)이 인가될 수 있다. 즉, 제1 드레인 전극(230)은 데이터 신호(예를 들어, 도 5의 데이터 신호(DATA))가 인가되는 신호 배선(350)으로부터 구동 트랜지스터(250)를 차폐할 수 있다.

[0094] 예를 들면, 종래의 유기 발광 표시 장치에 있어서, 신호 배선의 가변하는 전압 레벨 때문에 상기 신호 배선과 인접하여 배치되는 구동 트랜지스터의 특성이 변경될 수 있다.

[0095] 본 발명의 예시적인 실시예들에 있어서, 유기 발광 표시 장치(100)에 포함된 구동 트랜지스터(250)의 제1 드레인 전극(230)에 정전압(예를 들어, 고전원 전압(ELVDD))이 인가되어 신호 배선(350)으로부터 구동 트랜지스터(250)를 차폐함으로써 구동 트랜지스터(250)의 특성을 유지할 수 있다.

[0096] 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 구동 트랜지스터(250)가 구성될 수 있다. 여기서, 구동 트랜지스터(250)는 실리콘계 반도체를 포함하는 구동 트랜지스터로 기능할 수 있다. 또한, 구동 트랜지스터(250)는 상부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다. 예를 들면, 구동 트랜지스터(250)는 도 5에 도시된 제1 트랜지스터(TR1)에 해당될 수 있다.

[0097] 다만, 유기 발광 표시 장치(100)가 2개의 트랜지스터들(예를 들어, 구동 트랜지스터(250) 및 스위칭 트랜지스터(255)를 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 유기 발광 표시 장치(100)는 적어도 2개의 트랜지스터들 및 적어도 하나의 커패시터를 포함하는 구성을 가질 수도 있다.

[0098] 보호 절연층(400) 및 제1 드레인 전극(230)상에 제1 평탄화층(270)이 배치될 수 있다. 제1 평탄화층(270)은 보호 절연층(400) 상에 전체적으로 배치될 수 있다. 예를 들면, 제1 평탄화층(270)은 제1 드레인 전극(230)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 제1 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제1 평탄화층(270)의 평탄한 상면을 구현하기 위하여 제1 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 예시적인 실시예들에 있어서, 제1 평탄화층(270)은 벤딩 영역(50)에 위치하는 상기 제1 내지 제5 개구들을 채울 수 있다. 다시 말하면, 제1 평탄화층(270)은 벤딩 영역(50)에 위치하는 제2 유기층(113)의 상면과 직접적으로 접촉할 수 있다. 제1 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 평탄화층(270)은 유기 물질을 포함할 수 있다. 예를 들면, 제1 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.

[0099] 제1 평탄화층(270) 상에 신호 배선(350) 및 연결 패턴(370)이 배치될 수 있다. 신호 배선(350)에는 데이터 신호(예를 들어, 도 5에 도시된 데이터 신호(DATA))가 인가될 수 있고, 연결 패턴(370)에는 고전원 전압(예를 들어,

도 5에 도시된 고전원 전압(ELVDD))이 인가될 수 있다. 다시 말하면, 신호 배선(350)은 도 5에 도시된 데이터 신호(DATA) 배선에 해당될 수 있고, 연결 패턴(370)은 도 5에 도시된 제6 트랜지스터(TR6)의 제2 단자에 해당될 수 있다. 예를 들면, 신호 배선(350)은 스위칭 트랜지스터(255)에 데이터 신호(DATA)를 전달할 수 있고, 스위칭 트랜지스터(255)(예를 들어, 스위칭 트랜지스터(255)의 제2 드레인 전극(235))에 전달된 데이터 신호(DATA)는 구동 트랜지스터(250)(예를 들어, 구동 트랜지스터(250)의 제1 게이트 전극(170))에 인가될 수 있다. 또한, 구동 트랜지스터(250)의 제1 드레인 전극(230)은 연결 패턴(370)(예를 들어, 도 5에 도시된 제6 트랜지스터(TR6)의 제2 단자)에 고전원 전압(ELVDD)을 전달할 수 있고, 연결 패턴(370)에 전달된 고전원 전압(ELVDD)은 하부 전극(290)에 인가될 수 있다.

[0100] 신호 배선(350) 및 연결 패턴(370) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 신호 배선(350) 및 연결 패턴(370) 각각은 배선으로 기능할 수 있고, 티타늄/알루미늄/티타늄의 적층 구조를 가질 수 있다.

[0101] 제1 평탄화층(270), 신호 배선(350) 및 연결 패턴(370) 상에 제2 평탄화층(275)이 배치될 수 있다. 제2 평탄화층(275)은 제1 평탄화층(270) 상에 전체적으로 배치될 수 있다. 예를 들면, 제2 평탄화층(275)은 신호 배선(350) 및 연결 패턴(370)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 제2 평탄화층(275)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제2 평탄화층(275)의 평탄한 상면을 구현하기 위하여 제2 평탄화층(275)에 대해 평탄화 공정이 추가될 수 있다. 선택적으로, 제2 평탄화층(275)이 패드 영역(60)에 배치되지 않을 수도 있다. 제2 평탄화층(275)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 평탄화층(275)은 유기 물질을 포함할 수 있다.

[0102] 하부 전극(290)은 제2 평탄화층(275) 상에 배치될 수 있다. 하부 전극(290)은 제2 평탄화층(275)의 일부를 제거하여 형성된 콘택홀을 관통하여 연결 패턴(370)과 접속할 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0103] 화소 정의막(310)은 하부 전극(290)의 일부 및 제2 평탄화층(275) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 포함할 수 있다. 선택적으로, 화소 정의막(310)이 패드 영역(60)에 배치되지 않을 수도 있다.

[0104] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 배치될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 박막 봉지 구조물(450)의 상면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지, 컬러 포토레지스트 등을 포함할 수 있다.

[0105] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 배치될 수 있다. 예시적인 실시예들에 있어서, 상부 전극(340)에는 저전원 전압(예를 들어, 도 5에 도시된 저전원 전압(ELVSS))이 인가될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 구성될 수 있다.

[0106] 상부 전극(340) 상의 발광 영역(30)에 제1 박막 봉지층(451)이 배치될 수 있다. 제1 박막 봉지층(451)은 발광 영역(30)에서 상부 전극(340)을 덮으며 균일한 두께로 상부 전극(340)의 프로 파일을 따라 배치될 수 있다. 제1 박막 봉지층(451)은 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제1 박막 봉지층(451)은 외부의 충격으로부터 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제1 박막 봉지층(451)은 가요성을 갖는 무기 물질들을 포함할 수 있다.

[0107] 제1 박막 봉지층(451) 상의 발광 영역(30)에 제2 박막 봉지층(452)이 배치될 수 있다. 제2 박막 봉지층(452)은 유기 발광 표시 장치(100)의 평탄도를 향상시킬 수 있으며, 서브 화소 구조물(200)을 보호할 수 있다. 제2 박막 봉지층(452)은 가요성을 갖는 유기 물질들을 포함할 수 있다.

[0108] 제2 박막 봉지층(452) 상의 발광 영역(30)에 제3 박막 봉지층(453)이 배치될 수 있다. 제3 박막 봉지층(453)은 발광 영역(30)에서 제2 박막 봉지층(452)을 덮으며 균일한 두께로 제2 박막 봉지층(452)의 프로 파일을 따라 배치될 수 있다. 제3 박막 봉지층(453)은 제1 박막 봉지층(451)과 함께 발광 구조물(300)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제3 박막 봉지층(453)은 외부의 충격으로부터 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 발광 구조물(300)을 보호하는 기능도 수행할 수 있다. 제3 박막 봉지층(453)은 가요성을 갖는 무기 물질들을 포함할 수 있다. 이에 따라, 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함하는 박막 봉지 구조물(450)이 구성될 수 있다. 선택적으로, 박막 봉지 구조물(450)은 제1 내지 제5 박막 봉지층들로 적층된 5층 구조 또는 제1 내지 제7 박막 봉지층들로 적층된 7층 구조로 구성될 수도 있다.

[0109] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)가 서로 다른 층에 배치되는 제1 드레인 전극(230) 및 제1 소스 전극(210)을 포함하는 구동 트랜지스터(250)를 구비함으로써 제1 드레인 전극(230)은 상대적으로 큰 폭 및 큰 두께를 갖는 배선으로 기능할 수 있다. 이에 따라, 유기 발광 표시 장치(100)가 고해상도로 구동될 수 있다.

[0110] 또한, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)가 제1 액티브층(130)을 차폐하는 제1 드레인 전극(230)을 포함함으로써 신호 배선(350)과 구동 트랜지스터(250) 사이 기생 용량(parasitic capacitance)이 형성되지 않을 수 있다. 이에 따라, 유기 발광 표시 장치(100)는 구동 트랜지스터(250)의 특성을 유지할 수 있다.

[0111] 도 7 내지 도 13은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

[0112] 도 7을 참조하면, 경질의 유리 기판(105)이 제공될 수 있다. 유리 기판(105) 상에 제1 유기층(111)이 형성될 수 있다. 제1 유기층(111)은 유리 기판(105) 상에 전체적으로 형성될 수 있고, 폴리이미드 등과 같은 가요성을 갖는 유기 물질을 사용하여 형성될 수 있다.

[0113] 제1 유기층(111) 상에 제1 베리어층(112)이 전체적으로 형성될 수 있다. 제1 베리어층(112)은 제1 유기층(111)을 통해 침투하는 수분을 차단할 수 있다. 제1 베리어층(112)은 실리콘 산화물 또는 실리콘 질화물 등과 같은 가요성을 갖는 무기 물질을 사용하여 형성될 수 있다.

[0114] 제1 베리어층(112) 상에 제2 유기층(113)이 형성될 수 있다. 제2 유기층(113)은 제1 베리어층(112) 상에 전체적으로 형성될 수 있고, 폴리이미드 같은 가요성을 갖는 유기 물질을 사용하여 형성될 수 있다.

[0115] 제2 유기층(113) 상에 제2 베리어층(114)이 전체적으로 형성될 수 있다. 제2 베리어층(114)은 제2 유기층(113)을 통해 침투하는 수분을 차단할 수 있다. 제2 베리어층(114)은 실리콘 산화물 또는 실리콘 질화물 등과 같은 가요성을 갖는 무기 물질을 사용하여 형성될 수 있다. 이에 따라, 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114)을 포함하는 기판(110)이 형성될 수 있다.

[0116] 기판(110)이 얇고 연성을 갖기 때문에, 상부 구조물(예를 들어, 구동 트랜지스터(250), 스위칭 트랜지스터(255), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등)의 형성을 지원하기 위해 경질의 유리 기판(105) 상에 기판(110)이 형성될 수 있다. 예를 들면, 기판(110) 상에 상기 상부 구조물을 형성한 후, 유리 기판(105)은 제거될 수 있다. 다시 말하면, 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114)의 플렉서블한 물성 때문에, 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114) 상에 상기 상부 구조물을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 유리 기판(105)을 이용하여 상기 상부 구조물을 형성한 다음, 유리 기판(105)을 제거함으로써, 제1 유기층(111), 제1 베리어층(112), 제2 유기층(113) 및 제2 베리어층(114)이 기판(110)으로 이용될 수 있다.

[0117] 기판(110) 상에 버퍼층(115)이 형성될 수 있다. 예시적인 실시예들에 있어서, 버퍼층(115)은 기판(110) 상의 제1 영역(11) 및 제2 영역(12)에 형성되면서 벤딩 영역(50)으로 연장될 수 있다. 즉, 버퍼층(115)은 기판(110) 상에 전체적으로 형성될 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 구동 트랜지스터(250), 스위칭 트랜지스터(255) 및 서브 화소 구조물(200)로 확산되는 현상을 방지할 수 있으며, 제1 액티브층

(130)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 제1 액티브층(130)을 수득하게 할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층(115)이 제공될 수 있거나 버퍼층(115)이 형성되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 사용하여 형성될 수 있다.

[0118] 제1 액티브층(130)이 버퍼층(115) 상의 제1 영역(11)에 형성될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 아몰퍼스 실리콘, 폴리 실리콘 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 실리콘계 반도체를 포함할 수 있고, 상기 아몰퍼스 실리콘 또는 상기 폴리 실리콘을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 소스 영역 및 드레인 영역을 가질 수 있다.

[0119] 도 8을 참조하면, 버퍼층(115) 및 제1 액티브층(130) 상의 제1 영역(11) 및 제2 영역(12)에는 게이트 절연층(150)이 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 기판(110) 상의 제1 영역(11)에서 제1 액티브층(130)을 덮으며, 벤딩 영역(50)으로 연장될 수 있다. 즉, 게이트 절연층(150)은 버퍼층(115) 상에 전체적으로 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 액티브층(130)을 충분히 덮을 수 있으며, 제1 액티브층(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 액티브층(130)을 덮으며, 제1 액티브층(130)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄 산화물, 알루미늄 질화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 선택적으로, 게이트 절연층(150)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0120] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(11)에 형성될 수 있다. 예를 들면, 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 형성될 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0121] 게이트 절연층(150) 및 제1 게이트 전극(170) 상의 제1 영역(11) 및 제2 영역(12)에는 제1 층간 절연층(190)이 형성될 수 있다. 예를 들면, 제1 층간 절연층(190)은 게이트 절연층(150) 상의 제1 영역(11)에서 제1 게이트 전극(170)을 덮으며, 벤딩 영역(50)으로 연장될 수 있다. 즉, 제1 층간 절연층(190)은 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 제1 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 게이트 전극(170)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 제1 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 덮으며, 제1 게이트 전극(170)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수도 있다. 제1 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 선택적으로, 제1 층간 절연층(190)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0122] 게이트 전극 패턴(180)이 층간 절연층(190) 상의 제1 영역(11)에 형성될 수 있다. 게이트 전극 패턴(180)은 제1 층간 절연층(190) 중에서 하부에 제1 게이트 전극(170)이 위치하는 부분 상에 형성될 수 있다. 게이트 전극 패턴(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 선택적으로, 게이트 전극 패턴(180)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0123] 제2 게이트 전극(175)은 층간 절연층(190) 상의 제2 영역(12)에 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(175)은 게이트 전극 패턴(180)과 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0124] 게이트 전극 패턴(180) 및 제2 게이트 전극(175) 상의 제1 영역(11) 및 제2 영역(12)에는 제2 층간 절연층(195)이 형성될 수 있다. 예를 들면, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상의 제1 영역(11)에서 게이트 전극 패턴(180)및 제2 영역(12)에서 제2 게이트 전극(175)을 덮으며, 벤딩 영역(50)으로 연장될 수 있다. 즉, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에 전체적으로 형성될 수 있다. 예를 들면, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 충분히 덮을 수 있으

며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 덮으며, 게이트 전극 패턴(180)및 제2 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수도 있다. 제2 층간 절연층(195)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 선택적으로, 제2 층간 절연층(195)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0125] 제2 액티브층(135)이 제2 층간 절연층(195) 상의 제2 영역(12)에 형성될 수 있다. 제2 액티브층(135)은 제2 층간 절연층(195) 중에서 하부에 제2 게이트 전극(175)이 위치하는 부분 상에 형성될 수 있다. 제2 액티브층(135)은 산화물 반도체를 사용하여 형성될 수 있다. 다시 말하면, 제2 액티브층(135)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 주석 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 인듐-주석 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-주석 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-아연-주석 산화물, 인듐-갈륨-하프늄 산화물, 주석-알루미늄-아연 산화물 및 인듐-갈륨-주석 산화물 등을 포함할 수 있다.

[0126] 제2 액티브층(135)이 형성된 후, 게이트 절연층(150), 제1 층간 절연층(190) 및 제2 층간 절연층(195)의 일 부분을 제거하여 제1 액티브층(130)의 소스 영역을 노출시키는 제1 콘택홀(212)이 형성될 수 있다.

[0127] 도 9를 참조하면, 제1 소스 전극(210)이 제1 콘택홀(212)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있다. 제1 소스 전극(210)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예를 들면, 제1 소스 전극(210)은 금, 은, 알루미늄, 백금, 니켈, 티타늄, 팔라듐, 마그네슘, 칼슘, 리튬, 크롬, 탄탈륨, 텅스텐, 구리, 몰리브데늄, 스칸듐, 네오디뮴, 이리듐, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은을 함유하는 합금, 텅스텐 질화물, 구리를 함유하는 합금, 몰리브데늄을 함유하는 합금, 티타늄 질화물, 크롬 질화물, 탄탈륨 질화물, 스트론튬 루테늄 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0128] 예시적인 실시예들에 있어서, 제1 소스 전극(210)은 제1 두께(T1)를 가질 수 있고, 단일층으로 형성될 수 있다. 예를 들면, 제1 소스 전극(210)은 몰리브덴을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0129] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 제2 층간 절연층(195) 상의 제2 영역(12)에 형성될 수 있다. 제2 소스 전극(215)은 제2 액티브층(135)의 제1 측부를 커버할 수 있고, 제2 드레인 전극(235)은 제2 액티브층(135)의 상기 제1 측부와 다른 제2 측부를 커버할 수 있다. 다시 말하면, 제2 소스 및 제2 드레인 전극들(215, 235)은 제2 액티브층(135)의 양측부에 형성될 수 있고, 제2 액티브층(135)의 상면의 일부를 노출시킬 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0130] 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 제1 두께(T1)를 가질 수 있고, 단일층으로 형성될 수 있다. 예를 들면, 제2 소스 전극(215) 및 제2 드레인 전극(235)각각은 몰리브덴을 포함할 수 있다. 또한, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 스위칭 트랜지스터(255)가 형성될 수 있다.

[0131] 제2 층간 절연층(195), 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235) 상의 제1 영역(11) 및 제2 영역(12)에 보호 절연층(400)이 형성될 수 있다. 예를 들면, 보호 절연층(400)은 제2 층간 절연층(195) 상의 제1 영역(11)에서 제1 소스 전극(210) 및 제2 영역(12)에서 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 벤딩 영역(50)으로 연장될 수 있다. 즉, 보호 절연층(400)은 제2 층간 절연층(195) 상에 전체적으로 형성될 수 있다. 예를 들면, 보호 절연층(400)은 제2 층간 절연층(195) 상에서 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 충분히 덮을 수 있으며, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 보호

절연층(400)은 제2 층간 절연층(195) 상에서 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 제1 소스 전극(210) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 보호 절연층(400)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 선택적으로, 보호 절연층(400)은 서로 상이한 물질을 포함하는 복수의 절연층들 갖는 다층 구조를 가질 수도 있다.

[0132] 도 10을 참조하면, 보호 절연층(400)이 형성된 후, 게이트 절연층(150), 제1 층간 절연층(190), 제2 층간 절연층(195) 및 보호 절연층(400)의 일 부분을 제거하여 제1 액티브층(130)의 드레인 영역을 노출시키는 제2 콘택홀(232) 및 제2 베리어층(114), 버퍼층(115), 게이트 절연층(150), 제1 층간 절연층(190), 제2 층간 절연층(195) 및 보호 절연층(400)의 일 부분을 제거하여 벤딩 영역(50)에 위치하는 제2 유기층(113)의 상면을 노출시키는 개구(102)가 형성될 수 있다.

[0133] 도 11을 참조하면, 제1 드레인 전극(230)이 제2 콘택홀(232)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 드레인 전극(230)은 제1 두께(T1)보다 큰 제2 두께(T2)를 가질 수 있고, 복수의 층들로 형성될 수 있다. 제1 드레인 전극(230)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 제1 드레인 전극(230)은 티타늄/알루미늄/티타늄의 적층 구조를 가질 수 있다. 또한, 제1 드레인 전극(230)은 제1 영역(11)으로부터 제2 영역(12)으로의 방향인 제1 방향(D1)으로 연장될 수 있다. 다시 말하면, 제1 드레인 전극(230)의 일부는 제1 게이트 전극(170), 게이트 전극 패턴(180)및 제1 소스 전극(210)과 중첩할 수 있고, 제2 액티브층(135)과는 중첩하지 않을 수 있다. 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 구동 트랜지스터(250)가 형성될 수 있다.

[0134] 보호 절연층(400) 및 제1 드레인 전극(230)상에 제1 평탄화층(270)이 형성될 수 있다. 제1 평탄화층(270)은 보호 절연층(400) 상에 전체적으로 형성될 수 있다. 예를 들면, 제1 평탄화층(270)은 제1 드레인 전극(230)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 제1 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제1 평탄화층(270)의 평탄한 상면을 구현하기 위하여 제1 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 예시적인 실시예들에 있어서, 제1 평탄화층(270)은 벤딩 영역(50)에 위치하는 개구(102)를 채울 수 있다. 다시 말하면, 제1 평탄화층(270)은 벤딩 영역(50)에 위치하는 제2 유기층(113)의 상면과 직접적으로 접촉할 수 있다. 제1 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 평탄화층(270)은 유기 물질을 사용하여 형성될 수 있다. 예를 들면, 제1 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.

[0135] 도 12를 참조하면, 제1 평탄화층(270) 상에 신호 배선(350) 및 연결 패턴(370)이 형성될 수 있다. 신호 배선(350) 및 연결 패턴(370) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 신호 배선(350) 및 연결 패턴(370)은 동일한 물질을 사용하여 동시에 형성될 수 있고, 티타늄/알루미늄/티타늄의 적층 구조를 가질 수 있다.

[0136] 제1 평탄화층(270), 신호 배선(350) 및 연결 패턴(370) 상에 제2 평탄화층(275)이 형성될 수 있다. 제2 평탄화층(275)은 제1 평탄화층(270) 상에 전체적으로 형성될 수 있다. 예를 들면, 제2 평탄화층(275)은 신호 배선(350) 및 연결 패턴(370)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 제2 평탄화층(275)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제2 평탄화층(275)의 평탄한 상면을 구현하기 위하여 제2 평탄화층(275)에 대해 평탄화 공정이 추가될 수 있다. 선택적으로, 제2 평탄화층(275)이 패드 영역(60)에 형성되지 않을 수도 있다. 제2 평탄화층(275)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 평탄화층(275)은 유기 물질을 사용하여 형성될 수 있다.

[0137] 하부 전극(290)은 제2 평탄화층(275) 상에 형성될 수 있다. 하부 전극(290)은 제2 평탄화층(275)의 일부를 제거하여 형성된 콘택홀을 관통하여 연결 패턴(370)과 접속할 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0138] 화소 정의막(310)은 하부 전극(290)의 일부 및 제2 평탄화층(275) 상에 형성될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)

은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 사용하여 형성될 수 있다. 선택적으로, 화소 정의막(310)이 패드 영역(60)에 형성되지 않을 수도 있다.

[0139] 도 13을 참조하면, 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 형성될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 형성될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색 컬러 필터, 청남색 컬러 필터 및 자주색 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지, 컬러 포토레지스트 등을 사용하여 형성될 수 있다.

[0140] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 형성될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 형성될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 형성될 수 있다.

[0141] 상부 전극(340) 상의 발광 영역(30)에 제1 박막 봉지층(451)이 형성될 수 있다. 제1 박막 봉지층(451)은 발광 영역(30)에서 상부 전극(340)을 덮으며 균일한 두께로 상부 전극(340)의 프로 파일을 따라 형성될 수 있다. 제1 박막 봉지층(451)은 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제1 박막 봉지층(451)은 외부의 충격으로부터 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제1 박막 봉지층(451)은 가요성을 갖는 무기 물질들을 사용하여 형성될 수 있다.

[0142] 제1 박막 봉지층(451) 상의 발광 영역(30)에 제2 박막 봉지층(452)이 형성될 수 있다. 제2 박막 봉지층(452)은 유기 발광 표시 장치의 평탄도를 향상시킬 수 있으며, 서브 화소 구조물(200)을 보호할 수 있다. 제2 박막 봉지층(452)은 가요성을 갖는 유기 물질들을 사용하여 형성될 수 있다.

[0143] 제2 박막 봉지층(452) 상의 발광 영역(30)에 제3 박막 봉지층(453)이 형성될 수 있다. 제3 박막 봉지층(453)은 발광 영역(30)에서 제2 박막 봉지층(452)을 덮으며 균일한 두께로 제2 박막 봉지층(452)의 프로 파일을 따라 형성될 수 있다. 제3 박막 봉지층(453)은 제1 박막 봉지층(451)과 함께 발광 구조물(300)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제3 박막 봉지층(453)은 외부의 충격으로부터 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 발광 구조물(300)을 보호하는 기능도 수행할 수 있다. 제3 박막 봉지층(453)은 가요성을 갖는 무기 물질들을 포함할 수 있다. 이에 따라, 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함하는 박막 봉지 구조물(450)이 형성될 수 있다. 선택적으로, 박막 봉지 구조물(450)은 제1 내지 제5 박막 봉지층들로 적층된 5층 구조 또는 제1 내지 제7 박막 봉지층들로 적층된 7층 구조로 형성될 수도 있다.

[0144] 박막 봉지 구조물(450)이 형성된 후, 유리 기판(105)은 제거될 수 있다. 이에 따라, 도 6에 도시된 유기 발광 표시 장치(100)가 제조될 수 있다.

[0145] 도 14는 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 15는 도 14의 유기 발광 표시 장치의 일 예를 나타내는 단면도이다. 도 14에 예시한 유기 발광 표시 장치(500)는 제1 신호 배선(350) 및 제2 신호 배선(355)을 제외하면 도 1 내지 6을 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 14에 있어서, 도 1 내지 6을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0146] 도 14를 참조하면, 유기 발광 표시 장치(500)는 기판(110), 버퍼층(115), 구동 트랜지스터(250), 스위칭 트랜지스터(255), 게이트 전극 패턴(180), 게이트 절연층(150), 제1 층간 절연층(190), 제2 층간 절연층(195), 보호 절연층(400), 제1 평탄화층(270), 제1 신호 배선(350), 제2 신호 배선(355), 연결 패턴(370), 제2 평탄화층(275), 서브 화소 구조물(200), 화소 정의막(310), 박막 봉지 구조물(450) 등을 포함할 수 있다.

[0147] 제1 평탄화층(270) 상에 제1 신호 배선(350) 및 제2 신호 배선(355)이 서로 이격하여 배치될 수 있다. 제1 신호 배선(350) 및 제2 신호 배선(355)에는 데이터 신호가 인가될 수 있다. 예를 들면, 유기 발광 표시 장치(500)가 고속으로 구동되기 위해 도 5의 서브 화소 회로(SPC)가 2개의 데이터 배선들을 포함할 수 있다. 예를 들면, 유

기 발광 표시 장치(500)에 포함된 서브 화소 회로(SPC)가 2개의 데이터 배선들을 포함함으로써 데이터 신호를 전달하는 속도가 2배로 증가될 수 있고, 유기 발광 표시 장치(500)는 고속으로 구동될 수 있다.

[0148] 제1 신호 배선(350)및 제2 신호 배선(355)이 배치되더라도 유기 발광 표시 장치(500)는 상대적으로 증가된 폭을 가지며 정전압이 인가되는 제1 드레인 전극(230)을 포함하기 때문에 구동 트랜지스터(250)의 특성이 유지될 수 있다.

[0149] 다른 예시적인 실시예들에 있어서, 도 15에 도시된 바와 같이, 도 14와 비교했을 때 제1 소스 전극(210)의 형상과 제1 드레인 전극(230)의 형상이 서로 변경되어 배치될 수도 있다. 다시 말하면, 제1 소스 전극(210)이 상대적으로 큰 폭 및 큰 두께를 갖는 배선으로 형성될 수도 있다.

[0150] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

[0151] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전시용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

부호의 설명

[0152] 10: 표시 영역 11: 제1 영역

12: 제2 영역 20: 서브 화소 회로 영역들

30: 발광 영역 40: 주변 영역

50: 벤딩 영역 60: 패드 영역

70: 패드 전극 영역 100, 500: 유기 발광 표시 장치

101: 외부 장치 102: 개구

105: 유리 기판 110: 기판

111: 제1 유기층 112: 제1 베리어층

113: 제2 유기층 114: 제2 베리어층

115: 버퍼층 130: 제1 액티브층

135: 제2 액티브층 150: 게이트 절연층

170: 제1 게이트 전극 175: 제2 게이트 전극

180: 게이트 전극 패턴 190: 제1 층간 절연층

195: 제2 층간 절연층 200: 서브 화소 구조물

210: 제1 소스 전극 215: 제2 소스 전극

230: 제1 드레인 전극 235: 제2 드레인 전극

250: 구동 트랜지스터 255: 스위칭 트랜지스터

270: 제1 평탄화층 275: 제2 평탄화층

290: 하부 전극 310: 화소 정의막

330: 발광층 340: 상부 전극

350: 신호 배선 370: 연결 패턴

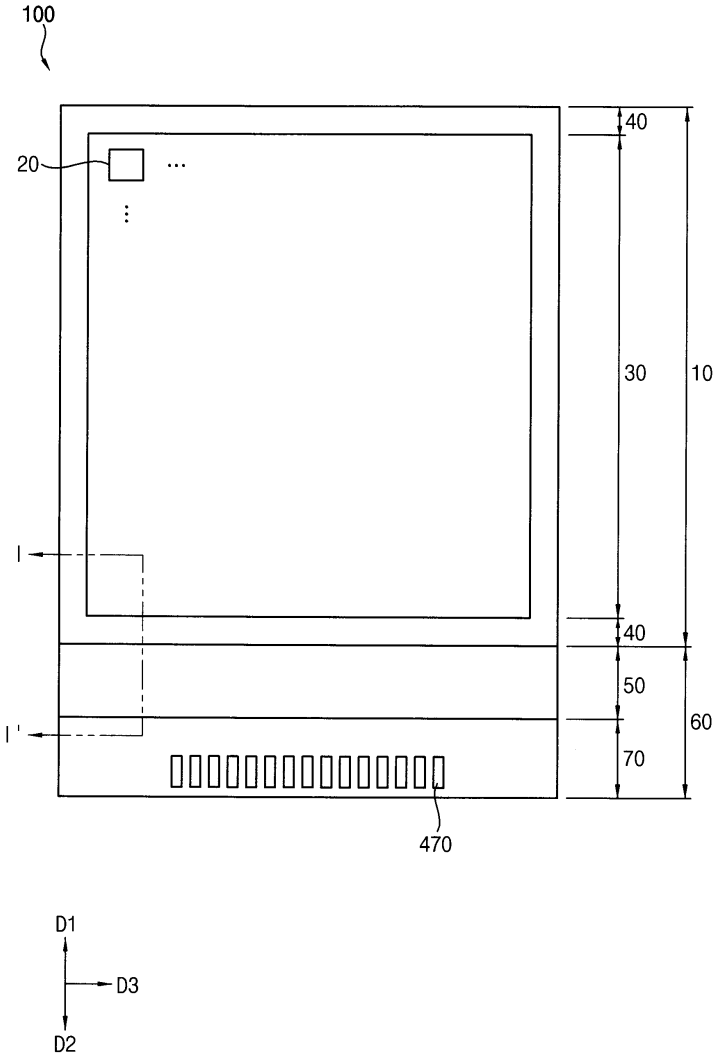
400: 보호 절연층 450: 박막 봉지 구조물

451: 제1 박막 봉지층 452: 제2 박막 봉지층

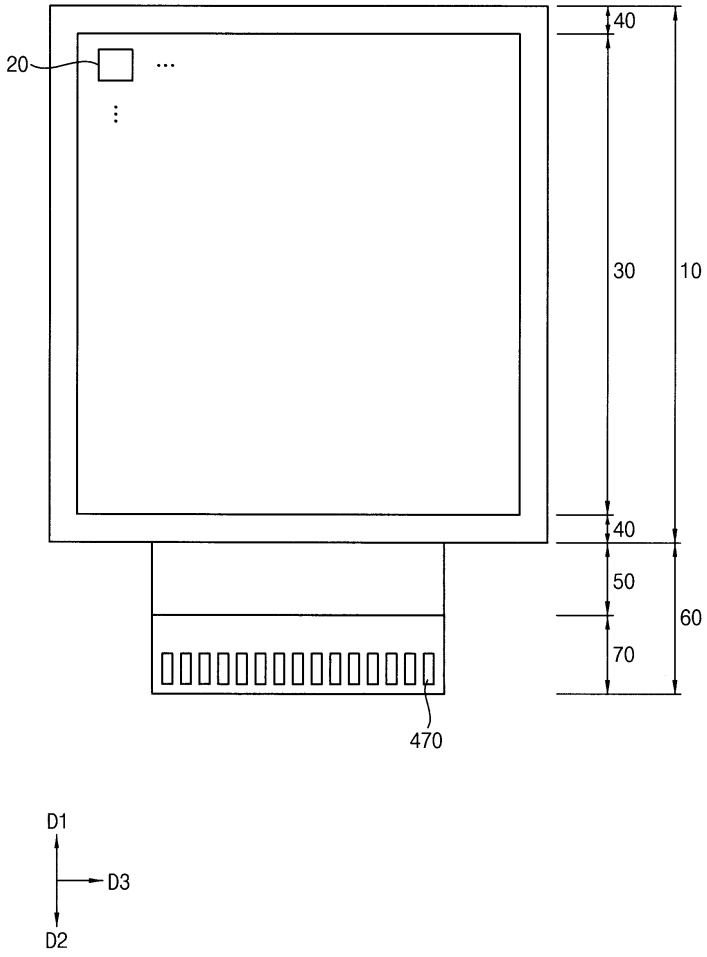
453: 제3 박막 봉지층 470: 패드 전극들

도면

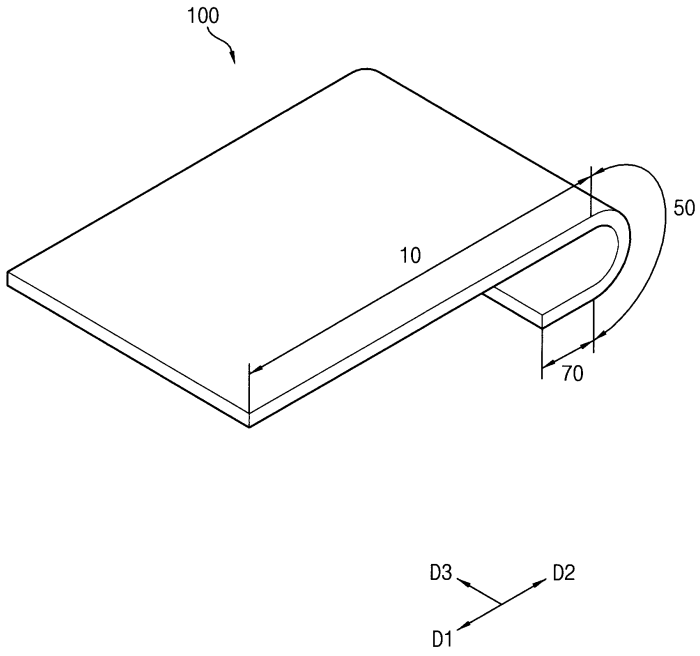
도면1



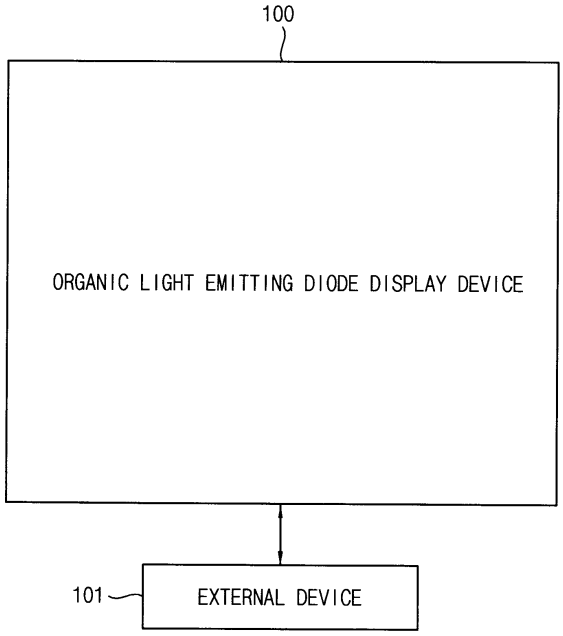
도면2



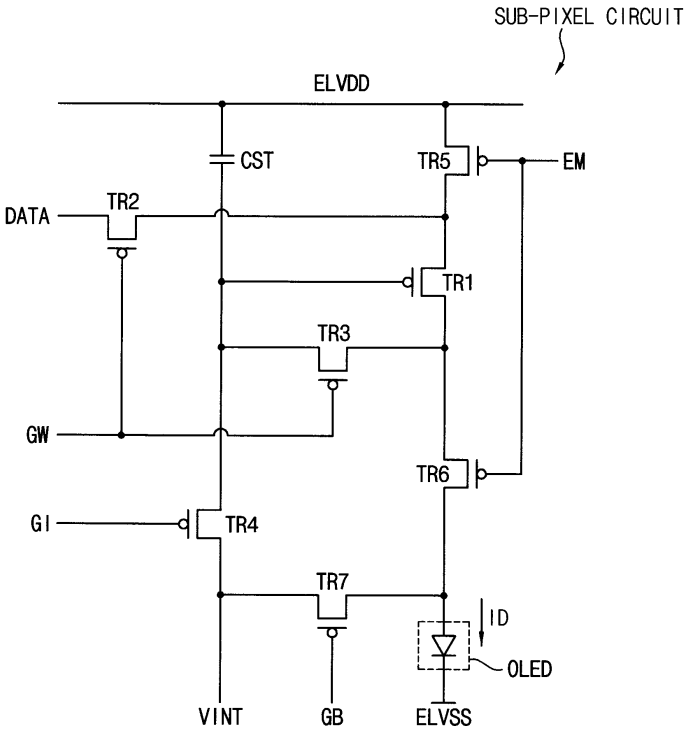
도면3



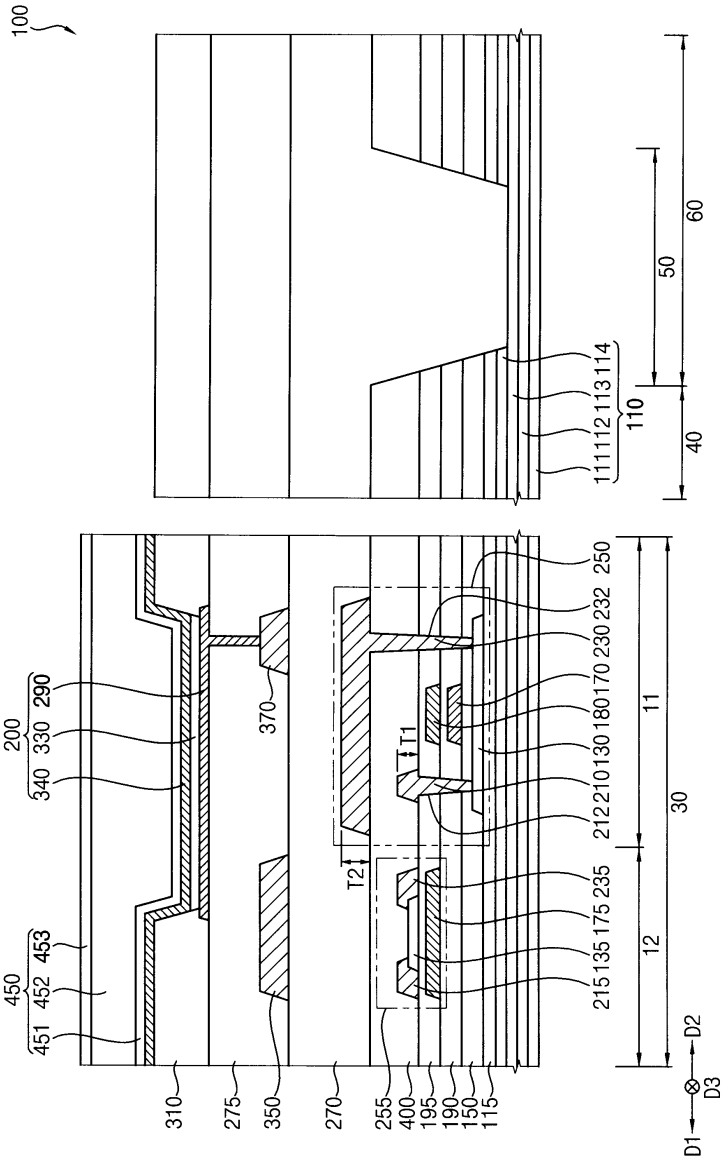
도면4


100
ORGANIC LIGHT EMITTING DIODE DISPLAY DEVICE
101
EXTERNAL DEVICE

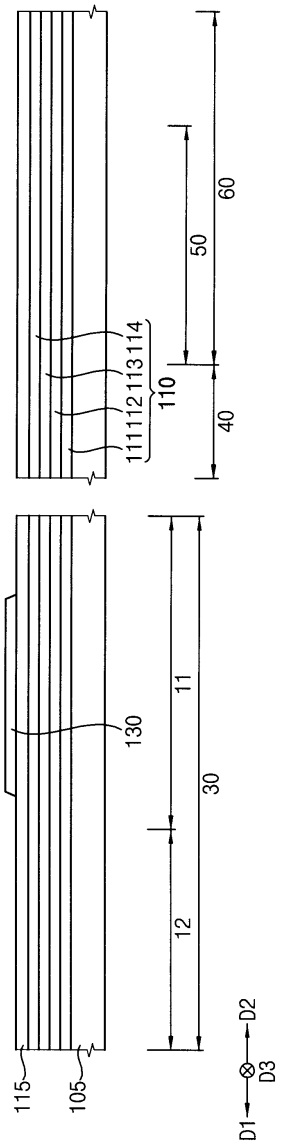
도면5


SUB-PIXEL CIRCUIT
ELVDD
CST
TR5
EM
DATA
TR2
TR1
TR3
GW
TR6
GI
TR4
TR7
ID
OLED
VINT
GB
ELVSS

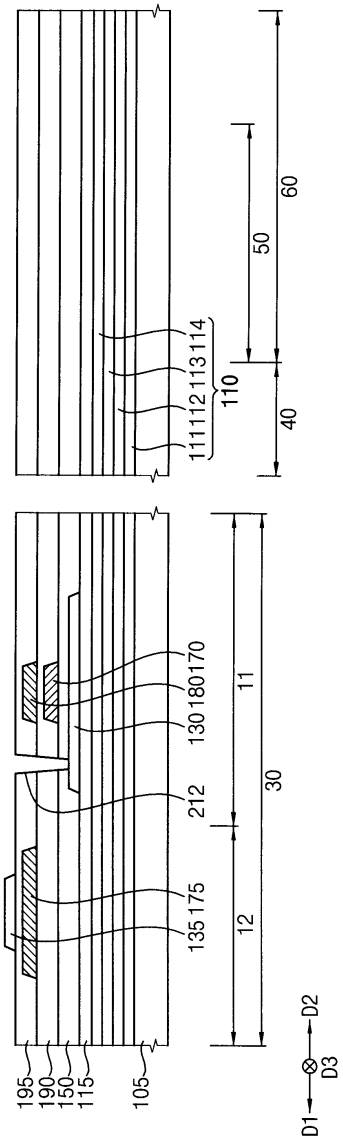
도면6


100
111 112 113 114
110
50
60
40
200
290
330
340
370
T1
T2
250
232
230
170
180
130
210
212
235
175
135
215
11
12
30
450
453
452
451
310
275
350
270
255
400
195
190
150
115
D1
D2
D3

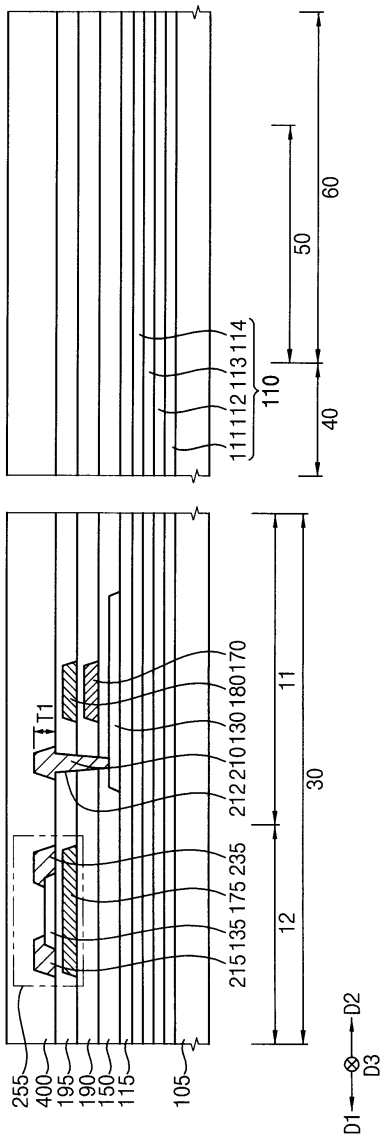
도면7



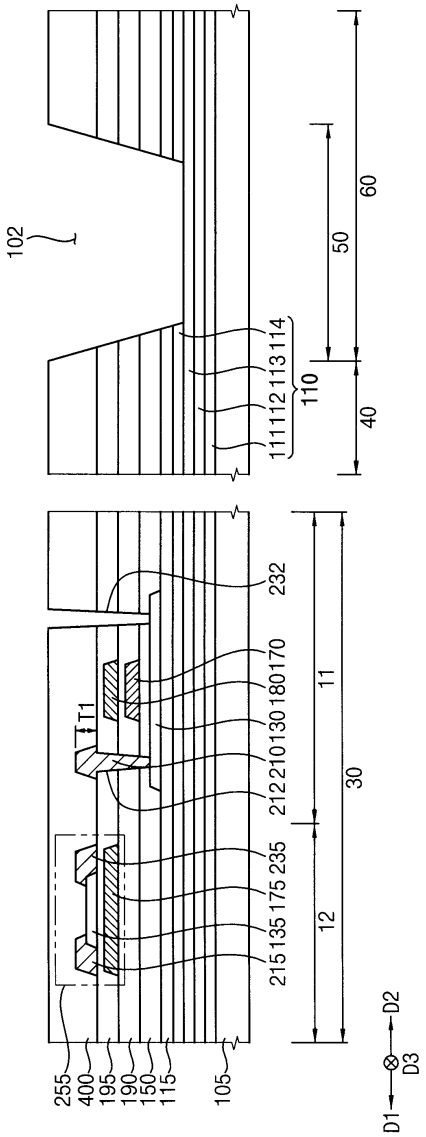
도면8


111
112
113
114
110
50
60
40
130
180
170
212
11
30
135
175
12
195
190
150
115
105
D1
D2
D3

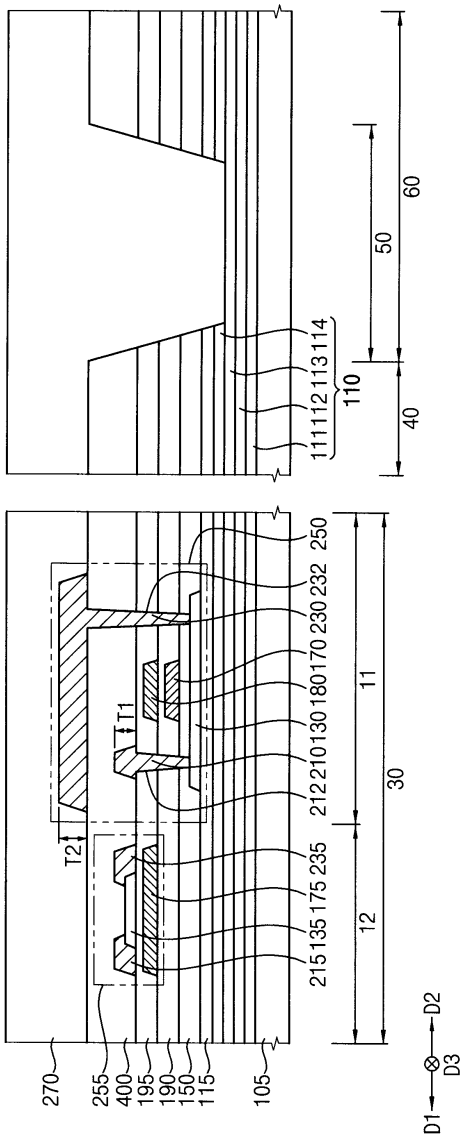
도면9


111 112 113 114
110
50
60
40
T1
212 210 130 180 170
11
30
215 135 175 235
12
255
400
195
190
150
115
105
D1
D2
D3

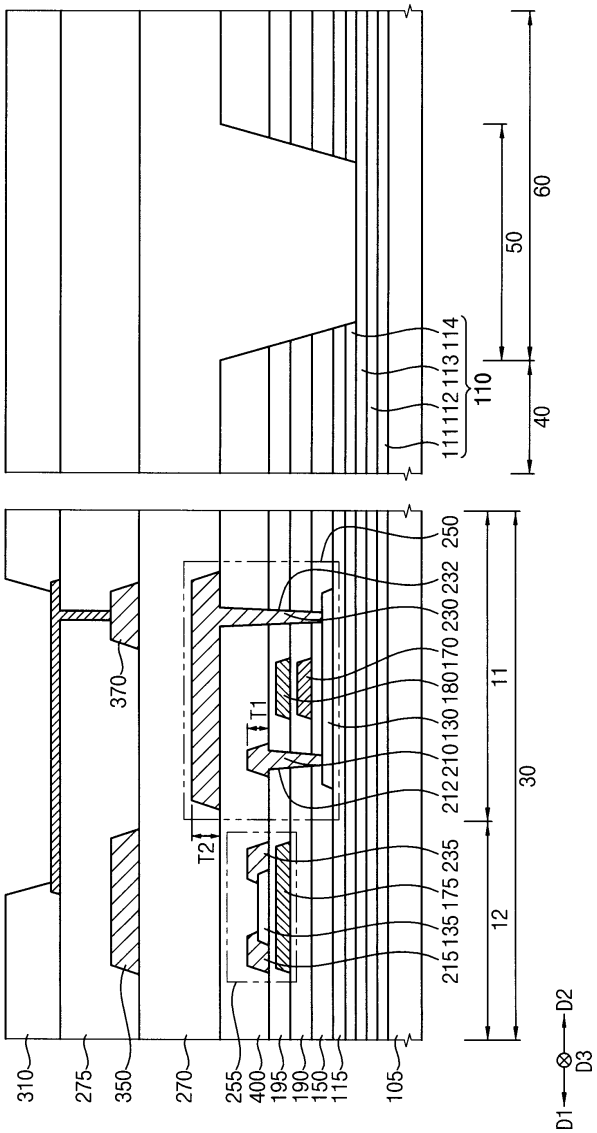
도면10


102
111
112
113
114
110
50
60
40
232
170
180
130
210
212
T1
11
30
235
175
135
215
12
255
400
195
190
150
115
105
D1
D2
D3

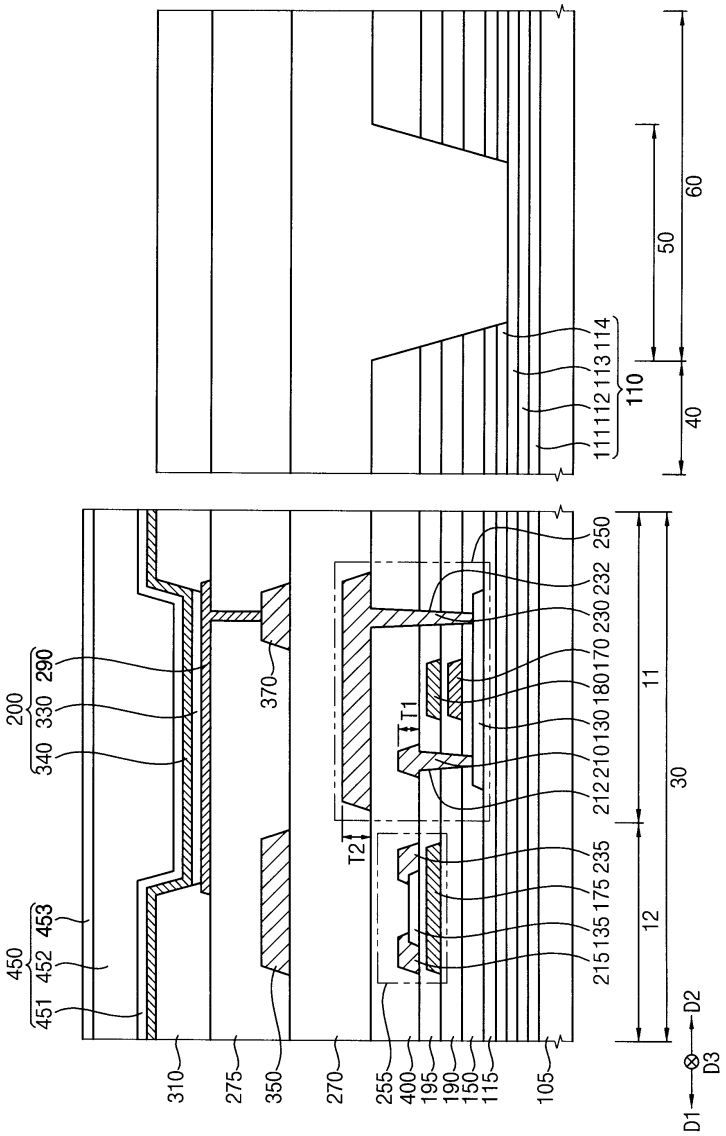
도면11


60
50
40
110
111 112 113 114
250
232
230
170
180
130
210
212
T1
T2
11
30
12
235
175
135
215
270
255
400
195
190
150
115
105
D1
D2
D3

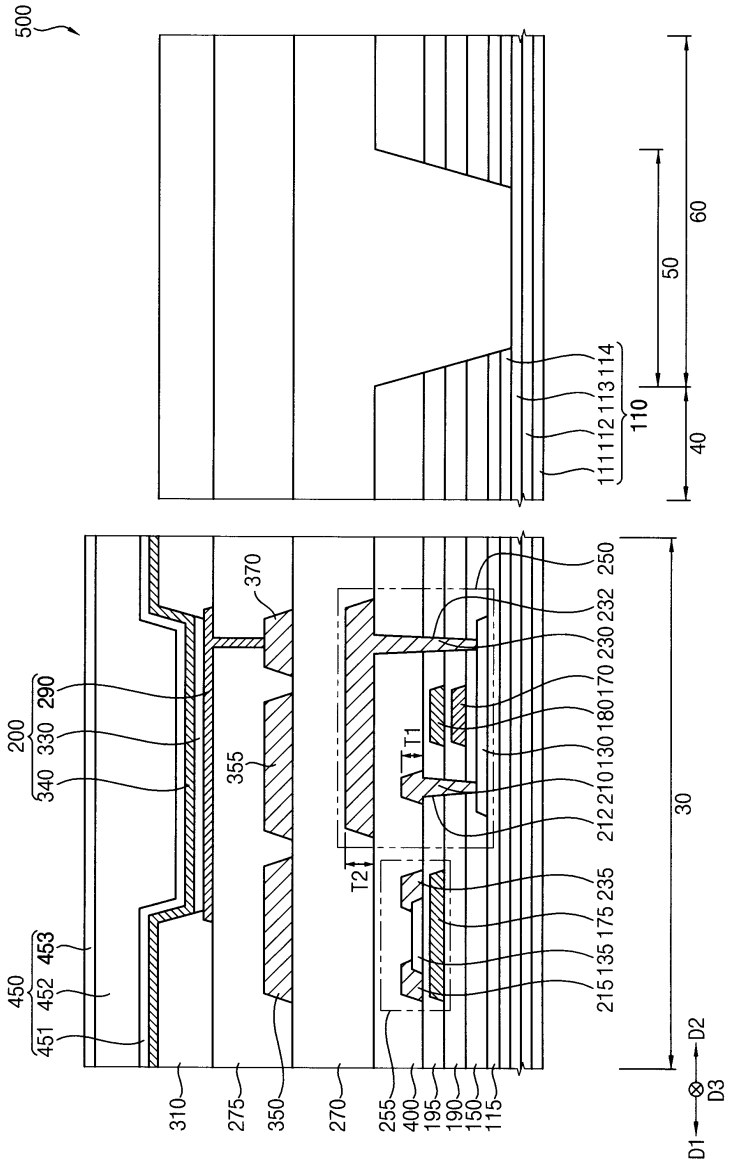
도면12


111 112 113 114
110
40
50
60
250
232
230
170
180
130
210
212
370
T1
T2
235
175
135
215
11
12
30
310
275
350
270
255
400
195
190
150
115
105
D1
D2
D3

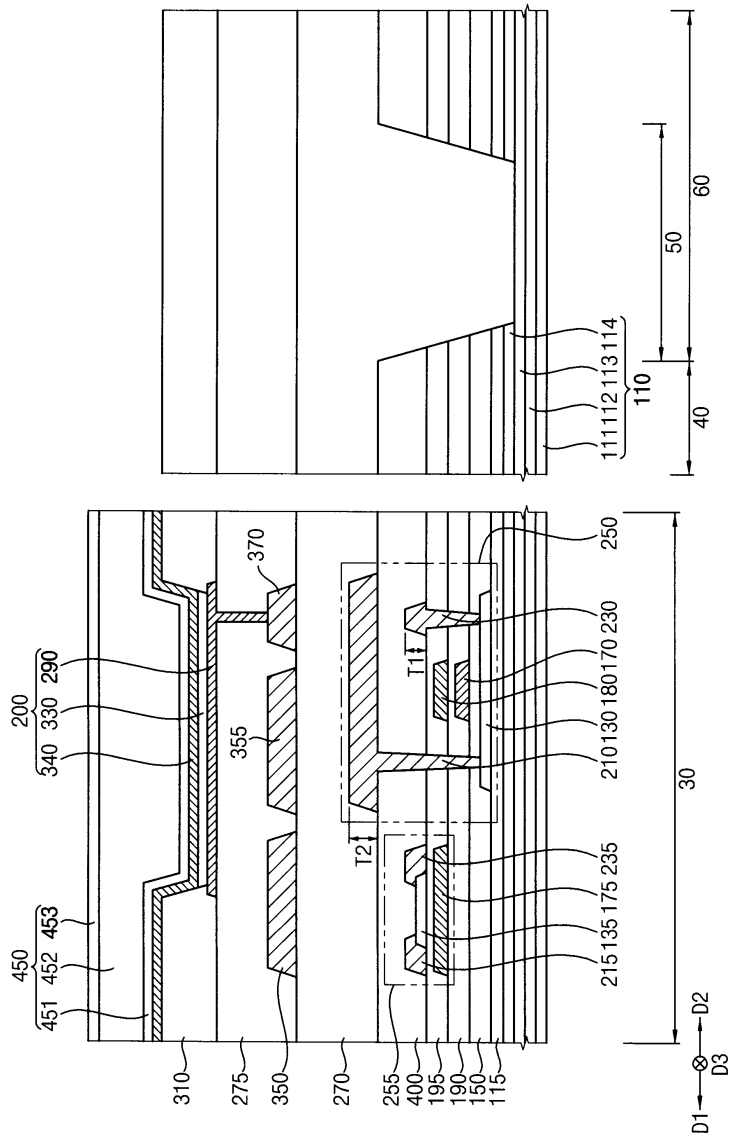
도면13


111 112 113 114
110
40
50
60
200
290
330
340
370
T1
T2
212 210 130 180 170 230 232 250
215 135 175 235
11
12
30
450
451 452 453
310
275
350
270
255
400
195
190
150
115
105
D1
D2
D3

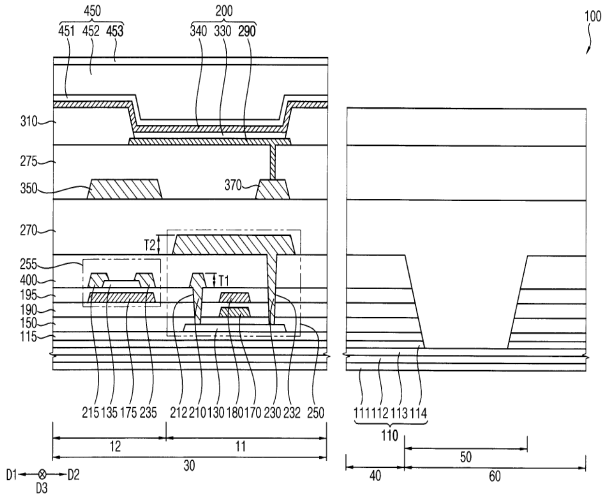
도면14


500
60
50
40
110
111 112 113 114
200
290
330
340
450
451 452 453
370
355
T1
T2
250
232
230
170
180
130
210
212
235
175
135
215
30
310
275
350
270
255
400
195
190
150
115
D1
D2
D3

도면15


111 112 113 114
110
40
50
60
200
290
330
340
370
355
450
451 452 453
310
275
350
270
255
400
195
190
150
115
T1
T2
250
230
170
180
130
210
235
175
135
215
30
D1
D2
D3

专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020200087368A	公开(公告)日	2020-07-21
申请号	KR1020190003177	申请日	2019-01-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이승헌 김명화 김재범 손경석 이승준 임준형		
发明人	이승헌 김명화 김재범 손경석 이승준 임준형		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3276 H01L51/52		
代理人(译)	英西湖公园		

摘要(译)

有机发光二极管显示器包括:基板,其具有包括第一区域和第二区域的发光区域;第一有源层,其具有设置在基板上的第一区域中的源极和漏极区域;以及栅极绝缘层,其设置在第一有源层上 层,设置在栅绝缘层上的第一栅电极,设置在第一栅电极上的第一层间绝缘层,设置在第一层间绝缘层上的第二层间绝缘层和第二层间绝缘层 设置在通过去除一部分栅极绝缘层,第一层间绝缘层和第二层间绝缘层而形成的接触孔的第一源电极和与第一有源层的源区连接的第一源电极上 通过接触孔到达第一有源层的漏极区域,该接触孔通过去除一部分栅极绝缘层,第一层间绝缘层,第二层间绝缘层和保护绝缘层而形成。 与第一有源层,第一栅电极,与第一源电极一起被定义为驱动晶体管的第一漏电极,开关晶体管以及设置在基板和保护绝缘层之间的第二区域中的开关和驱动晶体管相连 它可以包括布置在下部电极上的下部电极,布置在下部电极上的发光层和布置在发光层上的上部电极。 因此,可以以高分辨率驱动有机发光二极管显示器。