



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0025882  
(43) 공개일자 2020년03월10일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3266 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0103846  
(22) 출원일자 2018년08월31일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
다카수기신지  
경기도 파주시 월롱면 엘지로 245  
이중호  
경기도 파주시 월롱면 엘지로 245  
최재이  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
이승찬

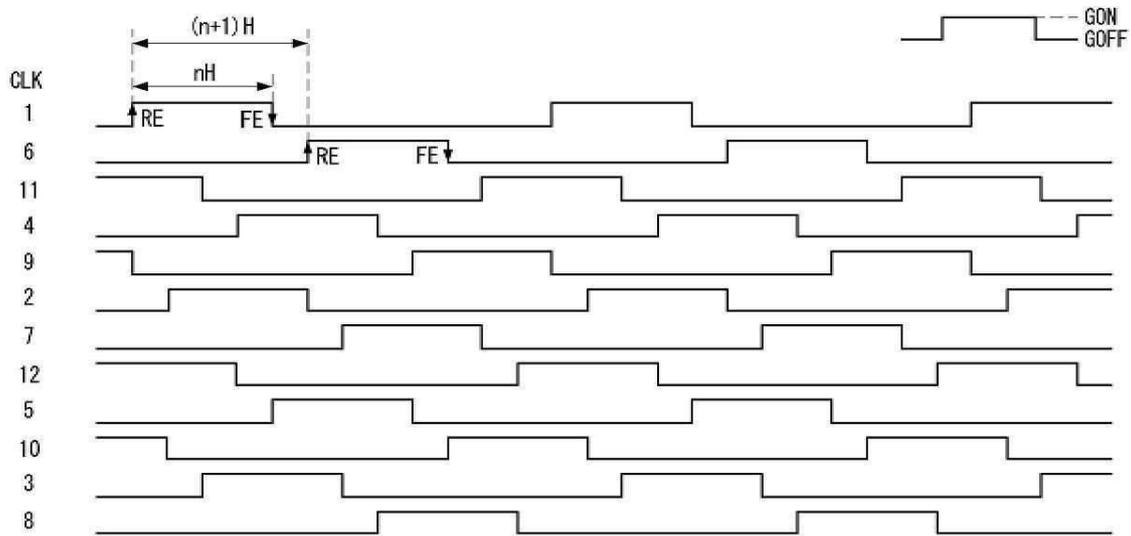
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 게이트 드라이버와 이를 포함한 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 게이트 드라이버는 위상이 서로 다른 N(N은 자연수)상 클럭들이 입력되는 N개의 제1 클럭 단자들; 상기 N상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들; 및 상기 제1 클럭 단자들을 상기 스테이지들에 연결하는 N개의 제1 클럭 배선들을 포함하고, 비 순차 클럭 배치 구성에 따라, 상기 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된다.

대표도



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2310/0289 (2013.01)

G09G 2310/08 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

위상이 서로 다른  $N$ ( $N$ 은 자연수)상 클럭들이 입력되는  $N$ 개의 제1 클럭 단자들;

상기  $N$ 상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들; 및

상기 제1 클럭 단자들을 상기 스테이지들에 연결하는  $N$ 개의 제1 클럭 배선들을 포함하고,

비 순차 클럭 배치 구성에 따라, 상기  $N$ 상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩되는 게이트 드라이버.

#### 청구항 2

제 1 항에 있어서,

상기 제1 클럭 단자들과 상기 제1 클럭 배선들은 상기 비 순차 클럭 배치 구성에 대응되는 순번대로 표시패널의 비 표시영역에 위치하는 게이트 드라이버.

#### 청구항 3

제 1 항에 있어서,

상기  $N$ 상 클럭들 각각은 게이트 온 전압 구간과 게이트 오프 전압 구간을 반복하고, 상기 게이트 오프 전압 구간이 상기 게이트 온 전압 구간보다 더 긴 게이트 드라이버.

#### 청구항 4

제 3 항에 있어서,

상기  $N$ 상 클럭들 중에서 게이트 온 전압 구간들이 서로 비 중첩되는 A 클럭과 B 클럭을 위한 2개의 클럭 단자들이 서로 이웃하게 배치되고, 상기 A 클럭과 B 클럭을 위한 2개의 클럭 배선들이 서로 이웃하게 배치되는 경우,

상기 A 클럭의 라이징 에지 및 폴링 에지는 상기 B 클럭의 게이트 오프 전압 구간과 중첩되고,

상기 B 클럭의 라이징 에지 및 폴링 에지는 상기 A 클럭의 게이트 오프 전압 구간과 중첩되는 게이트 드라이버.

#### 청구항 5

제 4 항에 있어서,

상기 A 클럭의 게이트 온 전압 구간과 상기 B 클럭의 게이트 온 전압 구간이 각각  $n$ ( $n$ 은 자연수) 수평 기간인 경우,

상기 A 클럭의 라이징 에지와 상기 B 클럭의 라이징 에지는, 적어도  $(n+1)$  수평 기간만큼의 차이를 갖는 게이트 드라이버.

#### 청구항 6

제 4 항에 있어서,

상기 A 클럭의 게이트 온 전압 구간과 상기 B 클럭의 게이트 온 전압 구간이 각각  $n$ ( $n$ 은 자연수) 수평 기간인 경우,

상기 A 클럭의 라이징 에지와 상기 B 클럭의 라이징 에지는, 적어도  $(n+2)$  수평 기간만큼의 차이를 갖는 게이트 드라이버.

#### 청구항 7

제 2 항에 있어서,

상기 N상 클럭들의 전압을 게이트 온 전압과 게이트 오프 전압으로 부스팅하여 N개의 제2 클럭 단자들을 통해 출력하는 레벨 쉬프터; 및

상기 제2 클럭 단자들을 상기 제1 클럭 단자들에 연결하는 N개의 제2 클럭 배선들이 구비된 회로 기판을 더 구비하는 게이트 드라이버.

#### 청구항 8

제 7 항에 있어서,

상기 제2 클럭 단자들의 배치 순서는 상기 제1 클럭 단자들의 배치 순서와 동일하고,

상기 제2 클럭 배선들은 나란히 배치되어 동일 클럭에 대응되는 제1 및 제2 클럭 단자들을 서로 연결하는 게이트 드라이버.

#### 청구항 9

제 8 항에 있어서,

상기 레벨 쉬프터는 상기 비 순차 클럭 배치 구성에 맞게 상기 N상 클럭들을 클럭 위상 순서와 상관없이 출력하는 게이트 드라이버.

#### 청구항 10

제 7 항에 있어서,

상기 제2 클럭 단자들의 배치 순서는 상기 제1 클럭 단자들의 배치 순서와 다르고,

상기 제2 클럭 배선들은 지그 재그로 배치되어 동일 클럭에 대응되는 제1 및 제2 클럭 단자들을 서로 연결하는 게이트 드라이버.

#### 청구항 11

제 10 항에 있어서,

상기 레벨 쉬프터는 상기 비 순차 클럭 배치 구성과 다르게 상기 N상 클럭들을 클럭 위상 순서대로 출력하는 게이트 드라이버.

#### 청구항 12

제 1 항에 있어서,

상기 스테이지들 각각은,

캐리 클럭들 중 어느 하나를 상기 게이트 신호에 속하는 캐리 신호로 출력하는 제1 출력 소자와, 스캔 클럭들 중 어느 하나를 상기 게이트 신호에 속하는 스캔 신호로 출력하는 제2 출력 소자를 포함하고,

상기 N상 클럭들은 상기 캐리 클럭들과 상기 스캔 클럭들을 포함하는 게이트 드라이버.

#### 청구항 13

제 12 항에 있어서,

상기 제1 출력 소자의 게이트 전극과 상기 제2 출력 소자의 게이트 전극은 동일한 Q 노드에 연결되는 게이트 드라이버.

#### 청구항 14

제 1 항에 있어서,

상기 스테이지들 각각은,

캐리 클럭들 중 어느 하나를 상기 게이트 신호에 속하는 캐리 신호로 출력하는 제1 출력 소자와, 스캔 클럭들

중 어느 하나를 상기 게이트 신호에 속하는 스캔 신호로 출력하는 제2 출력 소자와, 센스 클럭들 중 어느 하나를 상기 게이트 신호에 속하는 센스 신호로 출력하는 제3 출력 소자를 포함하고,

상기 N상 클럭들은 상기 캐리 클럭들과 상기 스캔 클럭들과 상기 센스 클럭들을 포함하는 게이트 드라이버.

**청구항 15**

제 14 항에 있어서,

상기 제1 출력 소자의 게이트 전극과 상기 제2 출력 소자의 게이트 전극과 상기 제3 출력 소자의 게이트 전극은 동일한 Q 노드에 연결되는 게이트 드라이버.

**청구항 16**

상기 청구항 제1항 내지 제15항 중 어느 한 항의 게이트 드라이버; 및

게이트 라인들을 통해 상기 게이트 드라이버에 연결되며, 상기 게이트 신호에 따라 구동되는 다수의 픽셀들을 포함하는 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 드라이버와 이를 포함한 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 드라이버를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 게이트 신호(스캔 신호)를 생성하여 게이트라인들에 순차적으로 공급한다.

[0004] 게이트 드라이버는 복수의 게이트 쉬프트 클럭들을 기반으로 게이트 신호를 생성한다. 게이트 쉬프트 클럭들은 순차적으로 위상이 쉬프트 되며, 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하는 복수의 펄스들이다. 게이트 쉬프트 클럭들은 복수의 클럭 배선들을 통해 게이트 드라이버에 공급되며, 게이트 쉬프트 클럭들에 동기하여 게이트 신호가 게이트 온 전압으로 출력된다. 그리고, 게이트 온 전압의 게이트 신호에 따라 픽셀 내의 스위치 소자가 턴 온 되면, 데이터전압이 그 픽셀에 기입되게 된다.

**발명의 내용**

**해결하려는 과제**

[0005] 협 베젤(Narrow Bezel) 구현을 위해, 클럭 배선들은 표시패널 상에서 서로 가깝게 배치되는데, 이로 인해 클럭 배선들 간에 생기는 기생 커패시턴스가 크다. 따라서, 이웃한 클럭 배선들로 서로 다른 위상의 게이트 쉬프트 클럭들이 인가되는 경우 커플링 영향으로 게이트 쉬프트 클럭들이 왜곡될 수 있다. 게이트 쉬프트 클럭이 왜곡 되면 게이트 신호가 원하는 파형으로 생성될 수 없다. 게이트 신호는 픽셀 내로 데이터전압이 충전되는 타이밍을 결정하므로, 게이트 신호가 왜곡되면 화상 품질이 떨어진다.

[0006] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 게이트 쉬프트 클럭들의 왜곡을 최소화할 수 있도록 한 게이트 드라이버와 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0007] 본 발명의 실시예에 따른 게이트 드라이버는 위상이 서로 다른 N(N은 자연수)상 클럭들이 입력되는 N개의 제1 클럭 단자들; 상기 N상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들; 및 상기 제1 클럭 단자들을 상기 스테이지들에 연결하는 N개의 제1 클럭 배선들을 포함하고, 비 순차 클럭 배치 구성에 따라, 상기 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된다.

**발명의 효과**

- [0008] 본 발명은 클럭 배치 구성을 클럭 위상 순서와 다르게 비 순차적으로 설정하여 이웃한 패널 클럭 배선들을 통해 공급되는 A 클럭과 B 클럭의 게이트 온 전압 구간들이 서로 비 중첩되도록 한다. 이에 따라, N상 클럭들을 기반으로 생성되는 게이트 신호의 왜곡을 방지할 수 있고, 나아가 화상 품질과 센싱의 정확도를 높일 수 있다.
- [0009] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- 도 2는 도 1의 게이트 쉬프트 레지스터에 포함된 신호 배선들과 스테이지들 간의 연결 구성을 보여준다.
- 도 3은 본 발명의 일 실시예에 따른 스테이지를 나타내는 회로도이다.
- 도 4는 도 3의 스테이지에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.
- 도 5는 본 발명의 다른 실시예에 따른 스테이지를 나타내는 회로도이다.
- 도 6은 도 5의 스테이지에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.
- 도 7 및 도 8은 본 발명의 비교예로서, N상 클럭 단자들과 클럭 배선들이 순차적으로 배치된 것을 보여주는 도면이다.
- 도 9는 N상 클럭 단자들과 클럭 배선들이 순차적으로 배치된 경우, 클럭 배선들 간의 커플링 영향으로 N상 클럭들의 게이트 온 전압 구간들이 왜곡되는 현상을 보여주는 도면이다.
- 도 10은 본 발명의 일 실시예로서, N상 클럭 단자들과 클럭 배선들이 표시패널 내에 비 순차적으로 배치된 것을 보여주는 도면이다.
- 도 11은 도 10의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된 것을 보여주는 도면이다.
- 도 12는 도 10의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들에 대한 왜곡이 방지되는 것을 보여주는 도면이다.
- 도 13은 본 발명의 다른 실시예로서, N상 클럭 단자들과 클럭 배선들이 표시패널 내에 비 순차적으로 배치된 것을 보여주는 도면이다.
- 도 14는 도 13의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된 것을 보여주는 도면이다.
- 도 15는 도 13의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들에 대한 왜곡이 방지되는 것을 보여주는 도면이다.
- 도 16은 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 레벨 쉬프터에서 클럭 입력 순서를 변경하는 예를 보여주는 도면이다.
- 도 17은 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 회로 기판상에서 클럭 입력 순서를 변경하는 예를 보여주는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0012] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본

명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0015] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0016] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로와 게이트 드라이버는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0017] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 액정 표시장치 등의 다른 표시장치에도 적용될 수 있음에 주의하여야 한다.
- [0018] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0019] 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 드라이버를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에 게이트 온 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드의 전위가 게이트 오프 전압으로 방전된다는 것을 의미한다.
- [0020] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0021] 도 1을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 게이트 드라이버, 및 타이밍 컨트롤러(110) 등을 구비한다.
- [0022] 표시패널(100)에는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치되어 픽셀 어레이를 구성할 수 있다. 각 픽셀은 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 및 적어도 하나 이상의 스위치 TFT를 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0023] 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러

(110)로부터 화상 데이터(RGB)를 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 화상 데이터(RGB)를 감마보상전압으로 변환하여 데이터전압을 생성하고, 그 데이터 전압을 게이트 신호에 동기시켜 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.

- [0024] 게이트 드라이버는 게이트라인들에 접속된 게이트 쉬프트 레지스터(130)와, 타이밍 콘트롤러(110)에서 출력되는 신호의 전압 레벨을 부스팅하여 게이트 쉬프트 레지스터(130)에 공급하는 레벨 쉬프터(level shifter)(150)를 포함한다.
- [0025] 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 게이트 타이밍 제어신호의 TTL(Transistor-Transistor- Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 스위칭시킬 수 있는 게이트 온 전압과 게이트 오프 전압으로 부스팅한다. 그리고, 레벨 쉬프터(150)는 레벨 쉬프팅 된 게이트 타이밍 제어신호를 게이트 쉬프트 레지스터(130)에 공급한다. 게이트 타이밍 제어신호는 게이트 스타트 신호(VSP) 및 게이트 쉬프트 클럭들(CLKs) 등을 포함한다. 그리고, 게이트 쉬프트 클럭들(CLKs)은 위상이 서로 다른 N(N은 자연수)상 클럭들로 구현된다.
- [0026] 게이트 쉬프트 레지스터(130)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 기판 상에 직접 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다. 게이트 쉬프트 레지스터(130)는 RC 딜레이로 인한 게이트 신호의 왜곡을 최소화하기 위해 표시패널(100)의 제1 측 베젤 영역(BZ)과 제2 측 베젤 영역(BZ)에 형성될 수 있다.
- [0027] 게이트 쉬프트 레지스터(130)는 레벨 쉬프터(150)로부터 N상 클럭들이 입력되는 N개의 제1 클럭 단자들과, N상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들과, 제1 클럭 단자들을 스테이지들에 연결하는 N개의 제1 클럭 배선들을 포함한다.
- [0028] 제1 클럭 단자들은 회로 기판(140)에 형성된 N개의 제2 클럭 배선들을 통해 레벨 쉬프터(150)의 제2 클럭 단자들에 연결된다. 회로 기판(140)은 PCB(Printed Circuit Board) 또는 FPC(Flexible Printed Circuit)로 구현될 수 있다. 본 발명의 게이트 드라이버는 N개의 제2 클럭 배선들이 형성된 회로 기판(140)까지 포함할 수 있다.
- [0029] N개의 제2 클럭 단자들에서 출력된 N상 클럭들은 N개의 제2 클럭 배선들을 통해 N개의 제1 클럭 단자들에 입력되고, N개의 제1 클럭 단자들에서 출력된 N상 클럭들은 N개의 제1 클럭 배선들을 통해 스테이지들에 공급된다.
- [0030] 본 발명은 커플링 영향에 따른 게이트 쉬프트 클럭들(CLKs)의 왜곡을 최소화하기 위해 순차 클럭 배치 구성 대신에 비 순차 클럭 배치 구성을 채용할 수 있다. 순차 클럭 배치 구성에 대해서는 도 7 내지 도 9를 통해 설명한다. 그리고, 비 순차 클럭 배치 구성에 대해서는 도 10 내지 도 17을 통해 설명한다.
- [0031] 타이밍 콘트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 화상 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 구동 특성 편차가 보상되도록 화상 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.
- [0032] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE) 등의 타이밍신호를 입력 받는다. 타이밍 콘트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이버의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 생성한다. 게이트 타이밍 제어신호는 전술한 게이트 스타트 신호(VSP) 및 게이트 쉬프트 클럭들(CLKs) 등을 포함한다. 소스 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터전압의 출력 타이밍을 제어하는 신호이다.
- [0033] 도 2는 도 1의 게이트 쉬프트 레지스터(130)에 포함된 신호 배선들과 스테이지들(132) 간의 연결 구성을 보여준다.
- [0034] 도 2를 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터(130)는 서로 종속적으로 접속된 다수의 스테이지들(132)을 구비한다. 스테이지들(132)은 GIP(Gate driver In Panel) 방식으로 형성된 GIP 소자들일 수 있다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있으나, 이에 한정되지 않는다.
- [0035] 스테이지들(132)은 신호 배선들을 통해 입력되는 전원 전압(PS), 게이트 스타트 신호(VSP) 및 게이트 쉬프트 클

력들(CLKs) 등을 기초로 게이트 신호를 생성한다. 게이트 신호는 스캔 신호(SCT(n)~SCT(n+3))와 캐리 신호(CRY(n)~CRY(n+3))를 포함할 수 있으며, 도면에 도시하지 않았지만 센스 신호를 더 포함할 수도 있다. 센스 신호는 픽셀들과 센스 라인들 간의 전류 흐름을 스위칭하기 위한 게이트 신호이다. 센스 신호는 도 4와 같은 픽셀 구조에서는 생략될 수 있으나, 도 6과 같은 픽셀 구조에서는 반드시 필요하다.

- [0036] 스캔 신호와 캐리 신호를 게이트 신호로 생성하는 스테이지 구성은 도 3에 예시되어 있다. 그리고, 스캔 신호와 캐리 신호와 센스 신호를 게이트 신호로 생성하는 스테이지 구성은 도 5에 예시되어 있다. 도 3의 스테이지들(132)은 스캔 신호(SCT(n))를 생성하여 표시패널의 게이트라인들(GLn)에 공급한다. 도 5의 스테이지들(132)은 스캔 신호(SCT(n))를 생성하여 표시패널(100)의 제1 게이트라인들(GL1n)에 공급하고, 센스 신호(SET(n))를 생성하여 표시패널(100)의 제2 게이트라인들(GL2n)에 공급한다.
- [0037] 스테이지들(132)은 캐리 신호(CRY(n)~CRY(n+3))를 독립적으로 생성함으로써, 게이트 로드(load)에 의해 캐리 신호가 왜곡되는 것을 방지할 수 있다. 스테이지들(132)은 캐리 신호(CRY(n)~CRY(n+3))를 생성하여 후단 스테이지들 중 어느 하나에 스타트 신호로 공급함과 아울러, 전단 스테이지들 중 어느 하나에 리셋 신호로 공급할 수 있다.
- [0038] 스테이지들(132) 각각은 매 프레임마다 스타트단자에 인가되는 게이트 스타트 신호(VSP) 또는, 전단 캐리 신호에 따라 Q 노드의 동작을 활성화한다. 전단 캐리 신호는 전단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다. 스테이지들(132) 각각은 매 프레임마다 리셋단자에 인가되는 후단 캐리 신호에 따라 Q 노드의 동작을 비 활성화한다. 후단 캐리 신호는 후단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다.
- [0039] 게이트 스타트 신호(VSP), 게이트 쉬프트 클럭들(CLKs)은 스테이지들(132)에 공통으로 공급되는 신호들이다. 위상이 서로 다른 N(N은 자연수)상 클럭들로 구현되는 게이트 쉬프트 클럭들(CLKs)은 N상 캐리 클럭들과 N상 스캔 클럭들을 포함할 수 있으며, N상 센스 클럭들을 더 포함할 수도 있다.
- [0040] 스캔 클럭들은 스캔 신호(SCT(n)~ SCT(n+3))를 생성하기 위한 클럭 신호이고, 캐리 클럭들은 캐리 신호(CRY(n)~CRY(n+3))를 생성하기 위한 클럭 신호이다. 그리고, 센스 클럭들은 센스 신호를 생성하기 위한 클럭 신호이다. 스캔 클럭들은 스캔 신호(SCT(n)~ SCT(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다. 캐리 클럭들은 캐리 신호(CRY(n)~CRY(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다. 센스 클럭들은 센스 신호에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다.
- [0041] 이러한 게이트 쉬프트 클럭들(CLKs)은 고속 구동시 충분한 충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 게이트 쉬프트 클럭들(CLKs)의 게이트 온 전압 구간들이 미리 설정된 시간 만큼씩 중첩될 수 있다.
- [0042] 각 스테이지들(132)은 외부의 전원 공급부(미도시)로부터 전원 전압(PS)을 공급받을 수 있다. 전원 전압(PS)은 고전위 전원전압과 저전위 전원전압을 포함한다. 고전위 전원전압은 게이트 온 전압, 예컨대 28V로 설정될 수 있다. 저전위 전원전압은 각 스테이지들(132)에 속하는 트랜지스터들의 누설 전류를 억제하기 위해 복수의 게이트 오프 전압들, 예컨대 -6V, -12V로 설정될 수 있다. 이 경우, 스캔 클럭들은 -6V와 12V 사이에서 스윙될 수 있고, 캐리 클럭들은 -12V와 12V 사이에서 스윙될 수 있다. 다시 말해, 캐리 클럭들의 스윙 폭은 스캔 클럭들의 스윙 폭에 비해 클 수 있다. 그리고, 캐리 신호(CRY(n)~CRY(n+3))의 스윙 폭은 스캔 신호(SCT(n)~ SCT(n+3))의 스윙폭보다 더 클 수 있다. 이렇게 하면, 각 스테이지에서 Qb 노드에 게이트전극이 연결된 풀다운 트랜지스터의 열화를 억제하는 데 효과적이다.
- [0043] 도 3은 본 발명의 일 실시예에 따른 스테이지(132)를 나타내는 회로도이다. 그리고, 도 4는 도 3의 스테이지(132)에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.
- [0044] 도 3의 스테이지(132)는 제n 게이트 신호(SCT(n))와 제n 캐리 신호(CRY(n))를 출력하는 제n 스테이지(STGn)를 보여준다. 도 3에서, 고전위 전원전압(GVDD)은 게이트 온 전압 레벨을 갖는다. 저전위 전원 전압(GVSS)는 게이트 오프 전압과 실질적으로 동일할 수 있다. 도 3의 스테이지(132)는 도 4와 같은 픽셀(PXL)에 연결되므로, 센스 클럭들에 동기되는 센스 신호를 출력할 필요가 없다.
- [0045] 도 3을 참조하면, 스테이지(132)는 입력부(BK1), 인버터부(BK2), 출력버퍼(BK3), 및 안정화부(BK4)를 포함한다.
- [0046] 입력부(BK1)는 스타트 단자를 통해 입력되는 전단 캐리 신호 CRY(n-3)에 응답하여 Q 노드(n)의 전위를 고전위 전원 전압(GVDD)으로 활성화한다. 입력부(BK1)는 리셋 단자를 통해 입력되는 후단 캐리 신호 CRY(n+3)에 응답하

여 Q 노드(n)의 전위를 저전위 전원 전압(GVSS)으로 비 활성화한다.

- [0047] 이를 위해, 입력부(BK1)는 복수의 트랜지스터들(T1, T2)을 포함한다. 트랜지스터 T1는 전단 캐리 신호 CRY(n-3)가 인가되는 스타트 단자에 접속되는 게이트전극과 드레인전극, 및 Q 노드(n)에 접속되는 소스전극을 포함하여, 전단 캐리 신호 CRY(n-3)를 Q 노드(n)에 인가한다. 트랜지스터 T2는 후단 캐리 신호 CRY(n+3)가 인가되는 리셋 단자에 접속되는 게이트전극, Q 노드(n)에 접속되는 드레인전극, 및 N1 노드에 접속되는 소스전극을 포함한다. 트랜지스터 T2는 후단 캐리 신호 CRY(n+3)가 입력되는 동안 Q 노드(n)와 저전위 전원 전압(GVSS)을 연결하여, Q 노드(n)를 비 활성화 한다.
- [0048] 인버터부(BK2)는 Qb 노드(n)를 Q 노드(n)와 반대로 충전 및 방전한다. 인버터부(BK2)는 N1 노드의 전위에 따라 Qb 노드(n)에 고전위 전원 전압(GVDD)을 인가하여 Qb 노드(n)를 활성화할 수 있다. N1 노드의 전위는 Q 노드(n)에 따라 그와 반대로 제어된다. N1 노드는 Q 노드(n)가 활성화되는 동안 저전위 전원 전압(GVSS)으로 비 활성화되는 데 반해, Q 노드(n)가 비 활성화되는 동안 고전위 전원 전압(GVDD)으로 활성화된다. 다시 말해, Qb 노드(n)의 전위는 Q 노드(n)에 저전위 전원 전압(GVSS)이 인가되는 동안 고전위 전원 전압(GVDD)으로 활성화된다.
- [0049] 이를 위해, 인버터부(BK2)는 복수의 트랜지스터들(T4, T5, T6)을 포함한다. 트랜지스터 T4는 N1 노드에 접속되는 게이트전극, 고전위 전원 전압(GVDD)이 인가되는 드레인전극, 및 Qb 노드(n)에 접속되는 소스전극을 포함한다. 트랜지스터 T5는 고전위 전원 전압(GVDD)이 인가되는 게이트전극과 드레인전극, 및 N1 노드에 접속되는 소스전극을 포함한다. 트랜지스터 T6은 Q 노드(n)에 접속되는 게이트전극, N1 노드에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다.
- [0050] 인버터부(BK2)는 Q 노드(n)가 활성화되는 동안에 Qb 노드(n)의 전위를 저전위 전원 전압(GVSS)으로 비 활성화한다. 그리고, 인버터부(BK2)는 동작의 신뢰성을 높이기 위해 전단 캐리 신호 CRY(n-3)에 따라 Qb 노드(n)의 전위를 추가적으로 저전위 전원 전압(GVSS)으로 비 활성화할 수 있다.
- [0051] 이를 위해, 인버터부(BK2)는 복수의 트랜지스터들(T7, T8)을 더 포함한다. 트랜지스터 T7은 Q 노드(n)에 접속되는 게이트전극과, Qb 노드(n)에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다. 그리고, 트랜지스터 T8은 전단 캐리 신호 CRY(n-3)가 인가되는 게이트전극, Qb 노드(n)에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다.
- [0052] 출력버퍼(BK3)는 Q 노드(n)의 전위가 부스팅 레벨로 상승될 때 출력 노드 N2에서 스캔 클럭 SCCLK(n)을 스캔 신호 SCT(n)로 출력하고, 출력 노드 N3에서 캐리 클럭 CRCLK(n)을 캐리 신호 CRY(n)으로 출력한다.
- [0053] 이를 위해, 출력버퍼(BK3)는 제1 및 제2 풀업 트랜지스터들(T9A, T10A)과 커패시터 Cx를 포함한다. 제1 풀업 트랜지스터(T9A)는 Q 노드(n)에 접속되는 게이트전극, 스캔 클럭 배선들 중 어느 하나(10)에 접속되는 드레인전극, 및 출력 노드 N2에 접속되는 소스전극을 포함한다. 제2 풀업 트랜지스터(T10A)는 Q 노드(n)에 접속되는 게이트전극, 캐리 클럭 배선들 중 어느 하나(20)에 접속되는 드레인전극, 및 출력 노드 N3에 접속되는 소스전극을 포함한다. 제1 풀업 트랜지스터(T9A)는 캐리 클럭(CRCLK(n))을 캐리 신호(CRY(n))로 출력하는 제1 출력 소자이고, 제2 풀업 트랜지스터(T10A)는 스캔 클럭(SCCLK(n))을 스캔 신호(SCT(n))로 출력하는 제2 출력 소자이다. 제1 출력 소자의 게이트전극과 제2 출력 소자의 게이트 전극은 동일한 Q 노드(n)에 접속되기 때문에 스테이지(132)의 구성 및 실장 면적이 줄어들고, 베젤 영역을 줄이기에 유리하다. 커패시터 Cx는 Q 노드(n)과 출력 노드 N3 사이에 접속된다.
- [0054] 안정화부(BK4)는 Qb 노드(n)가 활성화되는 동안 Q 노드(n), 및 출력 노드들(N2, N3)에 저전위 전원 전압(GVSS)을 인가하여 Q 노드(n), 및 출력 노드들(N2, N3)의 전위를 안정화시킨다.
- [0055] 이를 위해, 안정화부(BK4)는 트랜지스터 T3와, 제1 및 제2 풀다운 트랜지스터들(T9B, T10B)을 포함한다. 트랜지스터 T3은 Qb 노드(n)에 접속되는 게이트전극, Q 노드(n)에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다. 제1 풀다운 트랜지스터(T9B)는 Qb 노드(n)에 접속되는 게이트전극, 출력 노드 N2에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다. 제2 풀다운 트랜지스터(T10B)는 Qb 노드(n)에 접속되는 게이트전극, 출력 노드 N3에 접속되는 드레인전극, 및 저전위 전원 전압(GVSS)이 인가되는 소스전극을 포함한다.
- [0056] 이러한 스테이지(132)에서 출력되는 스캔 신호 SCT(n)는 도 4의 게이트 라인(GLn)을 통해 픽셀(Pix)에 공급된다. 도 4의 픽셀(Pix)은 외부 보상용 센싱 동작을 수행할 수 있다. 외부 보상용 센싱은 픽셀의 구동 특성을 센싱하고, 그 센싱 결과를 기반으로 화상 데이터를 보정하는 기술이다. 도 4에서, DAC는 화상 데이터(RGB)를

데이터전압(Vdata)로 변환하기 위한 디지털-아날로그 컨버터를 지시한다.

- [0057] 도 4의 픽셀(PIX)은 화상 표시를 위한 기본 모드와 외부 보상용 센싱을 위한 센싱 모드로 동작한다. 소스 드라이버 IC(120)는 외부 보상용 센싱을 위해 센싱 회로를 더 포함한다. 센싱 회로는 기준전압(Vref)과 센스 라인(RL) 간의 전류 흐름을 온/오프하는 제1 스위치(SW1)와, 샘플 앤 홀드부(SH)와 센스 라인(RL) 간의 전류 흐름을 온/오프하는 제2 스위치(SW2)와, 픽셀(PIX)의 소스노드(Ns)에 걸리는 전압을 센스 라인(RL)을 통해 샘플링하는 샘플 앤 홀드부(SH)와, 샘플 앤 홀드부(SH)에서 샘플링된 전압을 디지털 데이터(S-DATA)로 변환하는 아날로그-디지털 컨버터(ADC)를 포함한다. 픽셀(PIX)의 구동 특성을 센싱하기 위한 센싱 모드에서 제1 스위치(SW1)와 제2 스위치(SW2)는 교대로 턴 온 된다. 한편, 화상 표시를 위한 기본 모드에서 제2 스위치(SW2)는 턴 오프 상태를 유지하고, 제1 스위치(SW1)가 정해진 시간(즉, 프로그래밍 기간)만큼 턴 온 된다.
- [0058] 도 4를 참조하면, 픽셀(PIX)은 OLED, 구동 TFT(DT), 제1 스위치 TFT(ST1), 제2 스위치 TFT(ST2), 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0059] 먼저, 기본 모드에서 픽셀(PIX)의 동작을 설명하면 다음과 같다. 기본 모드는 프로그래밍 기간과 발광 기간으로 구현될 수 있다.
- [0060] 프로그래밍 기간 동안, 제1 스위치 TFT(ST1)는 게이트라인(GLn)으로부터의 스캔 신호(SCT(n))에 따라 턴 온 되어 데이터라인(DL) 상의 데이터전압(Vdata)을 구동 TFT(DT)의 게이트전극(Ng)에 공급한다. 프로그래밍 기간 동안, 소스 드라이버 IC(120)의 제1 스위치(SW1)도 턴 온 되어 센스 라인(RL)에 기준전압(Vref)을 공급한다. 프로그래밍 기간 동안, 제2 스위치 TFT(ST2)는 게이트라인(GLn)으로부터의 스캔 신호(SCT(n))에 따라 턴 온 되어 센스 라인(RL) 상의 기준 전압(Vref)을 구동 TFT(DT)의 소스전극(Ns)에 공급한다. 따라서, 프로그래밍 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압은 “Vdata-Vref”로 설정된다.
- [0061] 이어서, 발광 기간 동안 제1 및 제2 스위치 TFT(ST1,ST2)와 제1 스위치(SW1)는 턴 오프 된다. 발광 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압은 스토리지 커패시터(Cst)에 의해 유지된다. 발광 기간 동안 구동 TFT(DT)에는 “Vdata-Vref”의 제곱근에 비례하는 구동 전류가 흐르고, 이 구동전류에 의해 OLED가 발광된다.
- [0062] 다음으로, 센싱 모드에서 픽셀(PIX)의 동작을 설명하면 다음과 같다. 센싱 모드는 프로그래밍 기간과 센싱 기간으로 구현될 수 있다. 센싱 모드에서는 OLED를 발광시키지 않는다.
- [0063] 프로그래밍 기간의 동작은 기본 모드와 실질적으로 동일하다. 프로그래밍 기간에서 제1 및 제2 스위치 TFT(ST1,ST2)와 제1 스위치(SW1)는 턴 온 되고, 제2 스위치(SW2)는 턴 오프 된다. 프로그래밍 기간에서는 구동 TFT(DT)에 전류가 흐를 수 있도록 구동 TFT(DT)의 게이트-소스 간 전압을 셋팅한다.
- [0064] 센싱 기간 동안 제1 스위치 TFT(ST1)와 제1 스위치(SW1)는 턴 오프 되고, 제2 스위치 TFT(ST2)와 제2 스위치(SW2)는 턴 온 된다. 센싱 기간 동안 구동 TFT(DT)에 흐르는 전류에 의해 구동 TFT(DT)의 소스전극(Ns) 전압이 변한다. 구동 TFT(DT)의 소스전극(Ns) 전압이 변하는 정도는 구동 TFT(DT)의 구동 특성(문턱전압, 이동도)에 따라 달라진다. 따라서, 센싱 기간 동안 센싱 회로를 동작시켜 구동 TFT(DT)의 소스전극(Ns) 전압을 센싱하면, 픽셀(PIX)의 구동 특성을 알 수 있다. 그리고, 픽셀(PIX) 센싱 결과를 바탕으로 화상 데이터를 보정하면, 픽셀(PIX)의 구동 특성 편차로 인한 휘도 편차가 보상될 수 있다.
- [0065] 도 5는 본 발명의 다른 실시예에 따른 스테이지(132)를 나타내는 회로도이다. 그리고, 도 6은 도 5의 스테이지(132)에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.
- [0066] 도 5의 스테이지(132)는 제n 게이트 신호(SCT(n))와 제n 캐리 신호(CRY(n))와 제n 센스 신호(SET(n))를 출력하는 제n 스테이지(STGn)를 보여준다. 도 5에서, 고전위 전원전압(GVDD)은 게이트 온 전압 레벨을 갖는다. 저전위 전원 전압(GVSS)는 게이트 오프 전압과 실질적으로 동일할 수 있다.
- [0067] 도 5의 스테이지(132)는 도 6와 같은 픽셀(PXL)에 연결되므로, 센스 클럭들(SECLK(n))에 동기되는 센스 신호(SET(n))를 더 출력한다. 이를 위해, 스테이지(132)는 입력부(BK1) 및 인버터부(BK2)는 도 3에서 설명한 것과 실질적으로 동일하고, 출력버퍼(BK3) 및 안정화부(BK4)의 구성이 도 3과 차이가 난다.
- [0068] 도 3과 비교하여 도 5의 출력버퍼(BK3)는 센스 신호(SET(n))를 출력하기 위한 제3 풀업 트랜지스터(T11A)를 더 포함한다. 제3 풀업 트랜지스터(T11A)는 Q 노드(n)에 접속되는 게이트전극, 센싱 클럭 배선들 중 어느 하나(30)에 접속되는 드레인전극, 및 출력 노드(N4)에 접속되는 소스전극을 포함한다. 제3 풀업 트랜지스터(T11A)는 Q 노드(n)의 전위가 부스팅 레벨로 상승될 때 출력 노드(N4)에서 센스 클럭 SECLK(n)을 센스 신호 SET(n)로 출력

한다.

- [0069] 제1 풀업 트랜지스터(T9A)는 캐리 클럭(CRCLK(n))을 캐리 신호(CRY(n))로 출력하는 제1 출력 소자이고, 제2 풀업 트랜지스터(T10A)는 스캔 클럭(SCCLK(n))을 스캔 신호(SCT(n))로 출력하는 제2 출력 소자이며, 제3 풀업 트랜지스터(T11A)는 센스 클럭(SECLK(n))을 센스 신호(SET(n))로 출력하는 제3 출력 소자이다. 제1 출력 소자의 게이트전극과 제2 출력 소자의 게이트 전극과 제3 출력 소자의 게이트전극은 동일한 Q 노드(n)에 접속되기 때문에, 스테이지(132)의 구성 및 실장 면적이 줄어들고, 베젤 영역을 줄이기에 유리하다.
- [0070] 도 3과 비교하여 도 5의 안정화부(BK4)는 제3 풀다운 트랜지스터(T11B)를 더 포함한다. 제3 풀다운 트랜지스터(T11B)는 Qb 노드(n)에 접속되는 게이트전극, 출력 노드 N4에 접속되는 드레인전극, 및 저전위 전원 전압(GVS)이 인가되는 소스전극을 포함한다.
- [0071] 이러한 스테이지(132)에서 출력되는 스캔 신호 SCT(n)는 도 6의 제1 게이트 라인(GL1n)을 통해 픽셀(PIX)에 공급된다. 그리고, 스테이지(132)에서 출력되는 센스 신호 SET(n)는 도 6의 제2 게이트 라인(GL2n)을 통해 픽셀(PIX)에 공급된다.
- [0072] 도 6의 픽셀(PIX)도 화상 표시를 위한 기본 모드와 외부 보상용 센싱을 위한 센싱 모드로 동작한다. 센싱 회로를 포함한 소스 드라이브 IC(120)의 구성 및 동작은 도 4에서 설명한 것과 실질적으로 동일하다.
- [0073] 도 6의 픽셀(PIX)의 도 4와 비교하여, 제1 및 제2 스위치 TFT들(ST1,ST2)이 서로 다른 게이트 라인들(GL1n, GL2n)에 연결되는 것을 제외하고 나머지 구성이 실질적으로 동일하다. 제1 스위치 TFT(ST1)는 제1 게이트 라인(GL1n)으로부터의 스캔 신호(SCT(n))에 따라 턴 온 되고, 제2 스위치 TFT(ST2)는 제2 게이트 라인(GL2n)으로부터의 센스 신호(SET(n))에 따라 턴 온 되는 것을 제외하고, 나머지 픽셀 동작은 도 4와 동일하다.
- [0074] 도 6의 픽셀(PIX)도 도 4와 마찬가지로, 기본 모드와 센싱 모드로 동작한다.
- [0075] 도 7 및 도 8은 본 발명의 비교예로서, N상 클럭 단자들과 클럭 배선들이 순차적으로 배치된 것을 보여주는 도면이다. 그리고, 도 9는 N상 클럭 단자들과 클럭 배선들이 순차적으로 배치된 경우, 클럭 배선들 간의 커플링 영향으로 N상 클럭들의 게이트 온 전압 구간들이 왜곡되는 현상을 보여주는 도면이다.
- [0076] 도 7 및 도 8을 참조하면, 게이트 드라이버는 위상이 서로 다른 N(N은 자연수)상 클럭들이 입력되는 N개의 제1 클럭 단자들과, N상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들(132)로 이루어진 게이트 쉬프트 레지스터(130)와, 제1 클럭 단자들을 스테이지들에 연결하는 N개의 제1 클럭 배선들과, N상 클럭들의 전압을 게이트 온 전압과 게이트 오프 전압으로 부스팅하여 N개의 제2 클럭 단자들을 통해 출력하는 레벨 쉬프터(150)와, 제2 클럭 단자들을 제1 클럭 단자들에 연결하는 N개의 제2 클럭 배선들이 구비된 회로 기관(140)을 포함할 수 있다. 여기서, "N"은 12일 수 있다.
- [0077] 레벨 쉬프터(150)는 순차 클럭 배치 구성에 맞게 12상 클럭들을 클럭 번호 순서대로 출력할 수 있다. 12상 클럭들은 위상이 서로 다른 CLK1~CLK12이다. 12상 클럭들은 클럭 번호 순서에 따라 위상이 미리 결정되어 있으며, 클럭 번호가 작을수록 위상이 빠르다. 따라서, 12상 클럭들 중에서 CLK1이 위상이 가장 빠르고, CLK12가 위상이 가장 느다.
- [0078] 레벨 쉬프터(150)에서 제2 클럭 단자들의 배치 순서는 순차 클럭 배치 구성에 따른다. 즉, 제2 클럭 단자들은 CLK1에서 CLK12까지 순차적으로 배열되어 있다.
- [0079] 제1 클럭 단자들과 게이트 쉬프트 레지스터(130)는 표시패널(100)에 구비되어 있다. 제1 클럭 단자들의 배치 순서는 제2 클럭 단자들과 마찬가지로 순차 클럭 배치 구성에 따른다. 즉, 제1 클럭 단자들도 CLK1에서 CLK12까지 순차적으로 배열되어 있다.
- [0080] 회로 기관(400)에 구비된 제2 클럭 배선들은 서로 나란히 배치되어 동일 클럭에 대응되는 제1 및 제2 클럭 단자들을 연결한다.
- [0081] 스테이지들에 연결되는 제1 클럭 배선들은 순차 클럭 배치 구성에 따라 이웃하게 배치된다. 협 베젤(Narrow Bezel)을 구현하기 위해, 제1 클럭 배선들 간의 간격은 좁게 설계되는 데, 이 경우 제1 클럭 배선들 간에 생기는 기생 커패시턴스가 커질 수 있다. 기생 커패시턴스가 크면 커플링 영향도 크다. 기생 커패시턴스는 제2 클럭 배선들 사이에도 존재하나, 제1 클럭 배선들에 비해 매우 작기 때문에 무시할 수 있다. 기생 커패시턴스에 따른 커플링 영향은 주로 제1 클럭 배선들 사이에서 나타난다.
- [0082] 제1 클럭 배선들에는 제1 클럭 단자들로부터 12상 클럭들이 인가되고 있다. 12상 클럭들은 고속 구동시 충분한

충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 12상 클럭들의 게이트 온 전압 구간들은 도 8과 같이 미리 설정된 시간 만큼씩 중첩될 수 있다. 일 예로서, 12상 클럭들 각각의 게이트 온 전압(GON) 구간이 4 수평 기간인 경우, 서로 이웃한 제1 클럭 배선들을 통해 공급되는 클럭들의 게이트 온 전압(GON) 구간들은 3 수평 기간만큼 중첩될 수 있다.

- [0083] 기생 커패시턴스에 따른 커플링 영향은 오버랩 구동시 더욱 문제된다. 게이트 온 전압(GON) 구간들은 3 수평 기간만큼 중첩되는 A 클럭과 B 클럭이 서로 이웃한 제1 클럭 배선들을 통해 공급된다고 가정할 때, A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)가 B 클럭의 게이트 온 전압(GON) 구간과 중첩되고, 반대로 B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)가 A 클럭의 게이트 온 전압(GON) 구간과 중첩될 수 있다. 이 경우, A 클럭의 게이트 온 전압(GON)은 B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향으로 순간적으로 변하여, 리플을 포함할 수 있다. 또한, B 클럭의 게이트 온 전압(GON)은 A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향으로 순간적으로 변하여, 리플을 포함할 수 있다. 도 9에서, A 클럭은 CLK1,2 중에서 어느 하나일 수 있고, B 클럭은 CLK1,2 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK2,3 중에서 어느 하나일 수 있고, B 클럭은 CLK2,3 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK3,4 중에서 어느 하나일 수 있고, B 클럭은 CLK3,4 중에서 나머지 하나일 수 있다.
- [0084] 이와 같이, N상 클럭들의 게이트 온 전압 구간들이 왜곡되면, 12상 클럭들을 기반으로 생성되는 캐리 신호, 스캔 신호, 센스 신호도 왜곡되기 때문에, 화상 품위와 센싱의 정확도가 저하될 수 있다. 화상 품위와 센싱의 정확도를 높이기 위해서는 N상 클럭들의 왜곡을 최소화하는 것이 중요하다. 이하의 실시예들에서는 제1 클럭 단자들과 제1 클럭 배선들의 배치 순서를 변경하여 N상 클럭들의 왜곡을 최소화하는 방안을 설명한다.
- [0085] 도 10은 본 발명의 일 실시예로서, N상 클럭 단자들과 클럭 배선들이 표시패널 내에 비 순차적으로 배치된 것을 보여주는 도면이다. 도 11은 도 10의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된 것을 보여주는 도면이다. 그리고, 도 12는 도 10의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들에 대한 왜곡이 방지되는 것을 보여주는 도면이다.
- [0086] 도 10 및 도 11을 참조하면, 본 발명의 일 실시예에 따른 게이트 드라이버는 복수의 스테이지들(STG1-STG12)(132)을 포함한 게이트 쉬프트 레지스터(130)와, 제1 클럭 단자들과, 제1 클럭 배선들을 포함한다. 게이트 쉬프트 레지스터(130)와, 제1 클럭 단자들과, 제1 클럭 배선들은 표시패널(100)의 베젤 영역(BZ)(즉, 비 표시영역)에 형성된다.
- [0087] N 개의 제1 클럭 단자들에는 위상이 서로 다른 N상 클럭들이 입력된다. 스테이지들(STG1-STG12)은 N상 클럭들을 기반으로 게이트 신호를 출력한다. N개의 제1 클럭 배선들은 제1 클럭 단자들을 스테이지들에 연결한다. 여기서, "N"은 12일 수 있다. 12상 클럭들은 위상이 서로 다른 CLK1-CLK12이다. 12상 클럭들은 클럭 번호 순서에 따라 위상이 미리 결정되어 있으며, 클럭 번호가 작을수록 위상이 빠르다. 따라서, 12상 클럭들 중에서 CLK1이 위상이 가장 빠르고, CLK12가 위상이 가장 늦다.
- [0088] 본 발명의 일 실시예에 따른 게이트 드라이버는 제1 클럭 단자들과 제1 클럭 배선들의 배치 순서를 클럭 위상 순서에 따르지 않고 비 순차 클럭 배치 구성에 따라 변경하여 12상 클럭들의 왜곡을 최소화한다. 이를 위해, 제1 클럭 단자들과 제1 클럭 배선들은 비 순차 클럭 배치 구성에 대응되는 순번대로 표시패널(100)의 베젤 영역(BZ)(즉, 비 표시영역)에 위치한다.
- [0089] 비 순차 클럭 배치 구성은 도 11과 같이 12상 클럭들의 게이트 온 전압(GON) 구간들이 이웃한 것들끼리 서로 비 중첩 시키는 것을 의미한다. 예를 들어, 비 순차 클럭 배치 구성에 따르면, 12상 클럭들 중에서 게이트 온 전압(GON) 구간들이 서로 비 중첩되는 A 클럭과 B 클럭을 위한 2개의 클럭 단자들이 서로 이웃하게 배치되고, A 클럭과 B 클럭을 위한 2개의 클럭 배선들이 서로 이웃하게 배치되는 경우, A 클럭의 라이징 에지(RE) 및 폴링 에지(FE)는 B 클럭의 게이트 오프 전압(GOFF) 구간과 중첩되고, B 클럭의 라이징 에지(RE) 및 폴링 에지(FE)는 A 클럭의 게이트 오프 전압(GOFF) 구간과 중첩된다.
- [0090] 다시 말해, A 클럭의 게이트 온 전압(GON) 구간과 B 클럭의 게이트 온 전압(GON) 구간이 각각 n(n은 자연수) 수평 기간인 경우, A 클럭의 라이징 에지(RE)와 B 클럭의 라이징 에지(RE)는, 적어도 (n+1) 수평 기간만큼의 차이를 갖는다. 예를 들어, A 클럭 및 B 클럭 각각의 게이트 온 전압(GON) 구간이 4 수평 기간인 경우, A 클럭의 라이징 에지(RE)와 B 클럭의 라이징 에지(RE)는, 적어도 5 수평 기간만큼의 차이를 갖는다.
- [0091] 이를 위해, 12상 클럭들 각각은 게이트 온 전압(GON) 구간과 게이트 오프 전압(GOFF) 구간을 반복하고, 게이트 오프 전압(GOFF) 구간이 게이트 온 전압(GON) 구간보다 더 길게 형성될 수 있다.

- [0092] 본 발명의 일 실시예에 따른 비 순차 클럭 배치 구성은 제1 클럭 단자들과 제1 클럭 배선들을 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서에 맞게 배치하는 것이다.
- [0093] 이렇게 배치하면, A 클럭의 게이트 온 전압(GON)이 B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향을 받지 않게 되고, 또한 B 클럭의 게이트 온 전압(GON)이 A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향을 받지 않게 된다. B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향은 A 클럭의 게이트 오프 전압(GOFF) 구간에서만 받게 되고, 또한 A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향은 B 클럭의 게이트 오프 전압(GOFF) 구간에서만 받게 된다. 12상 클럭들의 게이트 온 전압(GON) 구간들이 게이트 신호로 출력되고, 12상 클럭들의 게이트 오프 전압(GOFF) 구간들은 게이트 신호와 무관하기 때문에, 본 발명의 비 순차 클럭 배치 구성은 커플링 영향에 의해 게이트 신호가 왜곡되는 것을 효과적으로 방지할 수 있다. 도 12에서, A 클럭은 CLK1,6 중에서 어느 하나일 수 있고, B 클럭은 CLK1,6 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK6,11 중에서 어느 하나일 수 있고, B 클럭은 CLK6,11 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK11,4 중에서 어느 하나일 수 있고, B 클럭은 CLK11,4 중에서 나머지 하나일 수 있다.
- [0094] 본 발명의 일 실시예에 따르면, 이웃한 제1 클럭 배선들을 통해 공급되는 A 클럭과 B 클럭의 게이트 온 전압 구간들이 서로 비 중첩되도록 클럭 배치 구성이 클럭 위상 순서와 다르게 비 순차적으로 설정된다. 그 결과, 12상 클럭들을 기반으로 생성되는 캐리 신호, 스캔 신호, 센스 신호의 왜곡이 방지되고, 화상 품질과 센싱의 정확도가 높아지는 효과가 있다.
- [0095] 도 13은 본 발명의 다른 실시예로서, N상 클럭 단자들과 클럭 배선들이 표시패널 내에 비 순차적으로 배치된 것을 보여주는 도면이다. 도 14는 도 13의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들이 이웃한 것들끼리 서로 비 중첩된 것을 보여주는 도면이다. 그리고, 도 15는 도 13의 비 순차 클럭 배치 구성에 의해 N상 클럭들의 게이트 온 전압 구간들에 대한 왜곡이 방지되는 것을 보여주는 도면이다.
- [0096] 도 13 및 도 14를 참조하면, 본 발명의 다른 실시예에 따른 게이트 드라이버는 복수의 스테이지들(STG1~STG12)(132)을 포함한 게이트 쉬프트 레지스터(130)와, 제1 클럭 단자들과, 제1 클럭 배선들을 포함한다. 게이트 쉬프트 레지스터(130)와, 제1 클럭 단자들과, 제1 클럭 배선들은 표시패널(100)의 베젤 영역(BZ)(즉, 비 표시영역)에 형성된다.
- [0097] N 개의 제1 클럭 단자들에는 위상이 서로 다른 N상 클럭들이 입력된다. 스테이지들(STG1~STG12)은 N상 클럭들을 기반으로 게이트 신호를 출력한다. N개의 제1 클럭 배선들은 제1 클럭 단자들을 스테이지들에 연결한다. 여기서, "N"은 12일 수 있다. 12상 클럭들은 위상이 서로 다른 CLK1~CLK12이다. 12상 클럭들은 클럭 번호 순서에 따라 위상이 미리 결정되어 있으며, 클럭 번호가 작을수록 위상이 빠르다. 따라서, 12상 클럭들 중에서 CLK1이 위상이 가장 빠르고, CLK12가 위상이 가장 늦다.
- [0098] 본 발명의 일 실시예에 따른 게이트 드라이버는 제1 클럭 단자들과 제1 클럭 배선들의 배치 순서를 클럭 위상 순서에 따르지 않고 비 순차 클럭 배치 구성에 따라 변경하여 12상 클럭들의 왜곡을 최소화한다. 이를 위해, 제1 클럭 단자들과 제1 클럭 배선들은 비 순차 클럭 배치 구성에 대응되는 순번대로 표시패널(100)의 베젤 영역(BZ)(즉, 비 표시영역)에 위치한다.
- [0099] 비 순차 클럭 배치 구성은 도 14와 같이 12상 클럭들의 게이트 온 전압(GON) 구간들이 이웃한 것들끼리 서로 비 중첩 시키는 것을 의미한다. 예를 들어, 비 순차 클럭 배치 구성에 따르면, 12상 클럭들 중에서 게이트 온 전압(GON) 구간들이 서로 비 중첩되는 A 클럭과 B 클럭을 위한 2개의 클럭 단자들이 서로 이웃하게 배치되고, A 클럭과 B 클럭을 위한 2개의 클럭 배선들이 서로 이웃하게 배치되는 경우, A 클럭의 라이징 에지(RE) 및 폴링 에지(FE)는 B 클럭의 게이트 오프 전압(GOFF) 구간과 중첩되고, B 클럭의 라이징 에지(RE) 및 폴링 에지(FE)는 A 클럭의 게이트 오프 전압(GOFF) 구간과 중첩된다.
- [0100] 다시 말해, A 클럭의 게이트 온 전압(GON) 구간과 B 클럭의 게이트 온 전압(GON) 구간이 각각 n(n은 자연수) 수평 기간인 경우, A 클럭의 라이징 에지(RE)와 B 클럭의 라이징 에지(RE)는, 적어도 (n+2) 수평 기간만큼의 차이를 갖는다. 예를 들어, A 클럭 및 B 클럭 각각의 게이트 온 전압(GON) 구간이 4 수평 기간인 경우, A 클럭의 라이징 에지(RE)와 B 클럭의 라이징 에지(RE)는, 적어도 6 수평 기간만큼의 차이를 갖는다.
- [0101] 이를 위해, 12상 클럭들 각각은 게이트 온 전압(GON) 구간과 게이트 오프 전압(GOFF) 구간을 반복하고, 게이트 오프 전압(GOFF) 구간이 게이트 온 전압(GON) 구간보다 더 길게 형성될 수 있다.

- [0102] 본 발명의 다른 실시예에 따른 비 순차 클럭 배치 구성은 제1 클럭 단자들과 제1 클럭 배선들을 CLK1, CLK7, CLK2, CLK8, CLK3, CLK9, CLK4, CLK10, CLK5, CLK11, CLK6, CLK12 순서에 맞게 배치하는 것이다.
- [0103] 이렇게 배치하면, A 클럭의 게이트 온 전압(GON)이 B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향을 받지 않게 되고, 또한 B 클럭의 게이트 온 전압(GON)이 A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향을 받지 않게 된다. B 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향은 A 클럭의 게이트 오프 전압(GOFF) 구간에서만 받게 되고, 또한 A 클럭의 라이징 에지(RE) 또는 폴링 에지(FE)에 따른 커플링 영향은 B 클럭의 게이트 오프 전압(GOFF) 구간에서만 받게 된다. 12상 클럭들의 게이트 온 전압(GON) 구간들이 게이트 신호로 출력되고, 12상 클럭들의 게이트 오프 전압(GOFF) 구간들은 게이트 신호와 무관하기 때문에, 본 발명의 비 순차 클럭 배치 구성은 커플링 영향에 의해 게이트 신호가 왜곡되는 것을 효과적으로 방지할 수 있다. 도 15에서, A 클럭은 CLK1,7 중에서 어느 하나일 수 있고, B 클럭은 CLK1,7 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK7,2 중에서 어느 하나일 수 있고, B 클럭은 CLK7,2 중에서 나머지 하나일 수 있다. 또한, A 클럭은 CLK2,8 중에서 어느 하나일 수 있고, B 클럭은 CLK2,8 중에서 나머지 하나일 수 있다.
- [0104] 본 발명의 다른 실시예에 따르면, 이웃한 제1 클럭 배선들을 통해 공급되는 A 클럭과 B 클럭의 게이트 온 전압 구간들이 서로 비 중첩되도록 클럭 배치 구성이 클럭 위상 순서와 다르게 비 순차적으로 설정된다. 그 결과, 12상 클럭들을 기반으로 생성되는 캐리 신호, 스캔 신호, 센스 신호의 왜곡이 방지되고, 화상 품질과 센싱의 정확도가 높아지는 효과가 있다.
- [0105] 도 16은 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 레벨 쉬프터에서 클럭 입력 순서를 변경하는 예를 보여주는 도면이다.
- [0106] 도 16을 참조하면, 본 발명의 게이트 드라이버는 N상 클럭들의 전압을 게이트 온 전압(GON)과 게이트 오프 전압(GOFF)으로 부스팅하여 N개의 제2 클럭 단자들을 통해 출력하는 레벨 쉬프터(150)와, 제2 클럭 단자들을 제1 클럭 단자들에 연결하는 N개의 제2 클럭 배선들이 구비된 회로 기관(140)을 더 포함할 수 있다. 여기서, "N"은 12일 수 있다.
- [0107] 도 16을 참조하면, 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 레벨 쉬프터(150)에서 클럭 입력 순서를 변경할 수 있다. 이를 위해, 제2 클럭 단자들의 배치 순서도 제1 클럭 단자들의 배치 순서와 마찬가지로 클럭 위상 순서와 다르게 비 순차적으로 설정될 수 있다. 예를 들어, 제2 클럭 단자들도 제1 클럭 단자들과 마찬가지로 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서에 맞게 배치될 수 있다.
- [0108] 레벨 쉬프터(150)는 비 순차 클럭 배치 구성에 맞게 12상 클럭들을 클럭 위상 순서와 상관없이 출력한다. 즉, 레벨 쉬프터(150)는 제2 클럭 단자들을 통해 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서대로 12상 클럭들을 출력한다. 이렇게 레벨 쉬프터(150)에서 출력되는 12상 클럭들은 제2 클럭 배선들을 통해 비 순차 클럭 배치 구성을 갖는 표시패널(100)의 제1 클럭 단자들에 입력된다. 그러면, 제1 클럭 단자들은 제1 클럭 배선들을 통해 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서대로 12상 클럭들을 게이트 쉬프트 레지스터(132)에 출력한다.
- [0109] 제1 클럭 단자들과 제2 클럭 단자들의 배치 순서가 동일하기 때문에, 이들을 연결하는 제2 클럭 배선들은 회로 기관(140) 상에서 나란히 배치된다. 즉, 제2 클럭 배선들은 나란히 배치되어 동일 클럭에 대응되는 제1 및 제2 클럭 단자들을 서로 연결한다.
- [0110] 도 17은 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 회로 기관상에서 클럭 입력 순서를 변경하는 예를 보여주는 도면이다.
- [0111] 도 17을 참조하면, 본 발명의 게이트 드라이버는 N상 클럭들의 전압을 게이트 온 전압(GON)과 게이트 오프 전압(GOFF)으로 부스팅하여 N개의 제2 클럭 단자들을 통해 출력하는 레벨 쉬프터(150)와, 제2 클럭 단자들을 제1 클럭 단자들에 연결하는 N개의 제2 클럭 배선들이 구비된 회로 기관(140)을 더 포함할 수 있다. 여기서, "N"은 12일 수 있다.
- [0112] 레벨 쉬프터(150)에서 제2 클럭 단자들의 배치 순서는 제1 클럭 단자들과 다르게 클럭 위상 순서에 따라 설정될 수 있다. 다시 말해, 제1 클럭 단자들은 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서에 맞게 배치되는 데 반해, 제2 클럭 단자들은 CLK1, CLK2, CLK3, CLK4, CLK5, CLK6, CLK7,

CLK8, CLK9, CLK10, CLK11, CLK12 순서에 맞게 배치될 수 있다.

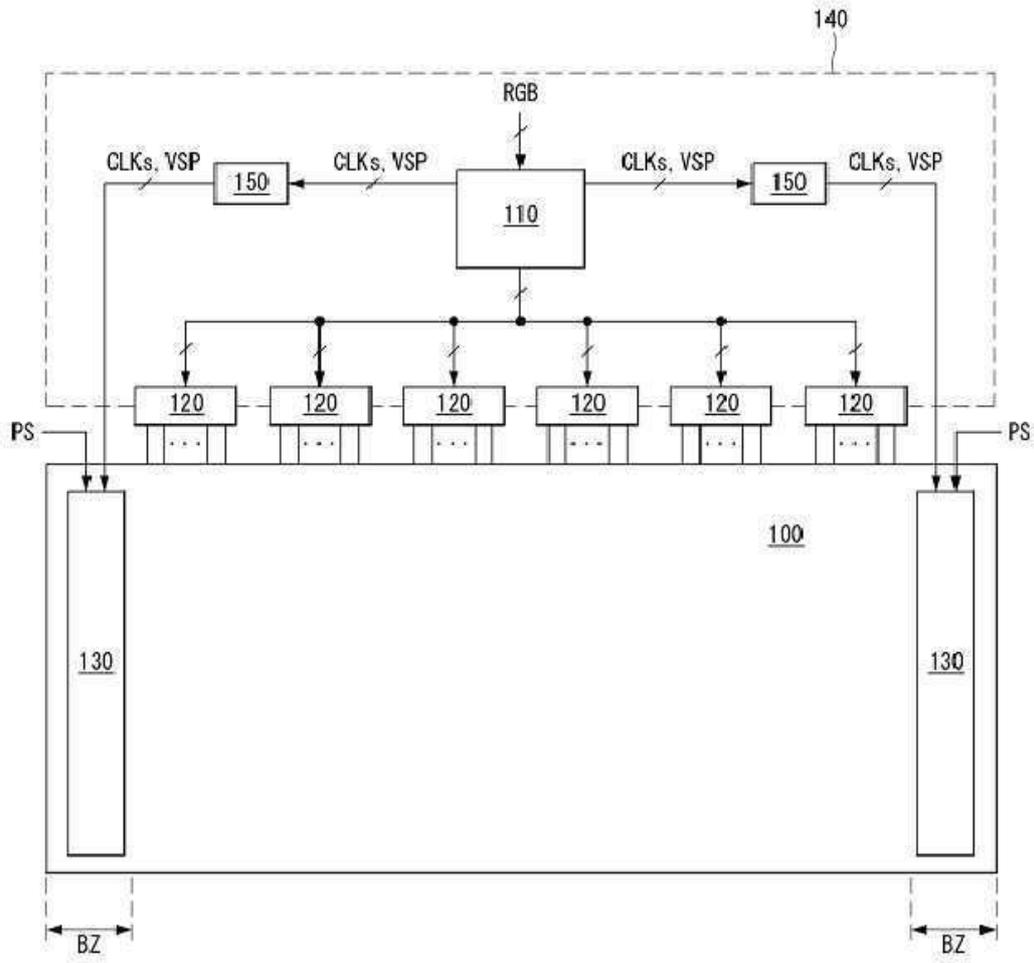
- [0113] 도 17을 참조하면, 본 발명의 비 순차 클럭 배치 구성을 구현하기 위해 회로 기관(140) 상에서 제2 클럭 배선들을 통해 클럭 입력 순서를 변경할 수 있다. 이를 위해, 제2 클럭 배선들은 회로 기관(140) 상에서 지그 재그로 배치되어 동일 클럭에 대응되는 제1 및 제2 클럭 단자들을 서로 연결한다. 지그 재그로 배치되는 제2 클럭 배선들 간의 쇼트를 방지하기 위해, 제2 클럭 배선들 사이에는 절연층이 더 구비될 수 있다. 제2 클럭 배선들 사이에는 기생 커패시턴스가 존재하지만 표시 패널(100)에 위치하는 제1 클럭 배선들의 기생 커패시턴스에 비해 크기가 매우 작다. 따라서, 지그 재그로 배치로 인한 커플링 영향은 무시될 수 있다.
- [0114] 레벨 쉬프터(150)는 비 순차 클럭 배치 구성과 다르게 12상 클럭들을 클럭 위상 순서대로 출력한다. 즉, 레벨 쉬프터(150)는 제2 클럭 단자들을 통해 CLK1, CLK2, CLK3, CLK4, CLK5, CLK6, CLK7, CLK8, CLK9, CLK10, CLK11, CLK12 순서대로 12상 클럭들을 출력한다. 이렇게 레벨 쉬프터(150)에서 출력되는 12상 클럭들은 제2 클럭 배선들을 통해 비 순차 클럭 배치 구성을 갖는 표시패널(100)의 제1 클럭 단자들에 입력된다. 그러면, 제1 클럭 단자들은 제1 클럭 배선들을 통해 CLK1, CLK6, CLK11, CLK4, CLK9, CLK2, CLK7, CLK12, CLK15, CLK10, CLK3, CLK8 순서대로 12상 클럭들을 게이트 쉬프트 레지스터(132)에 출력한다.
- [0115] 전술한 바와 같이, 본 발명은 클럭 배치 구성을 클럭 위상 순서와 다르게 비 순차적으로 설정하여 이웃한 패널 클럭 배선들을 통해 공급되는 A 클럭과 B 클럭의 게이트 온 전압 구간들이 서로 비 중첩되도록 한다. 이에 따라, N상 클럭들을 기반으로 생성되는 게이트 신호의 왜곡을 방지할 수 있고, 나아가 화상 품위와 센싱의 정확도를 높일 수 있다.
- [0116] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

- [0117] 100 : 표시패널    110 : 타이밍 콘트롤러
- 130 : 게이트 쉬프트 레지스터    132 : 스테이지
- 140 : 회로 기관    150 : 레벨 쉬프터

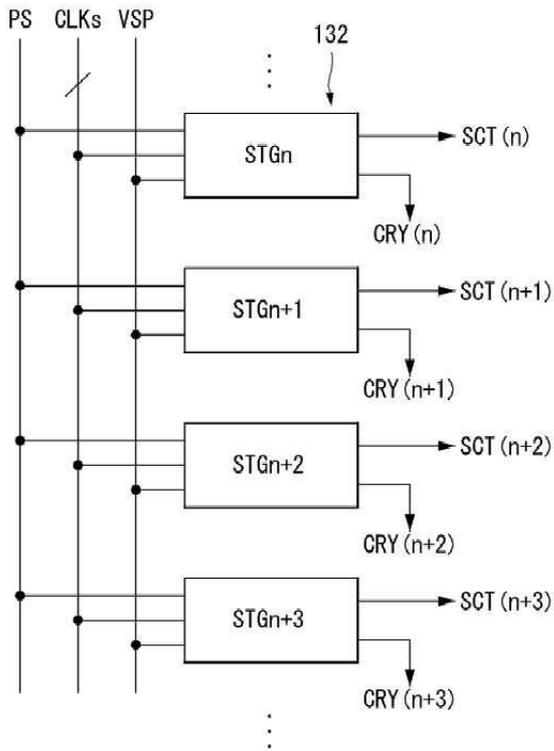
도면

도면1



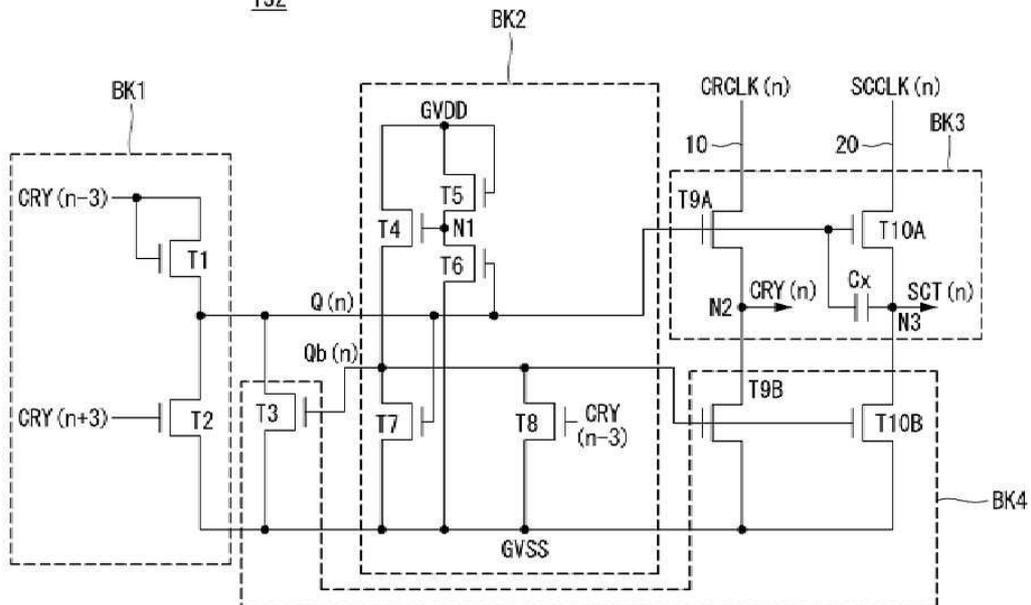
도면2

130



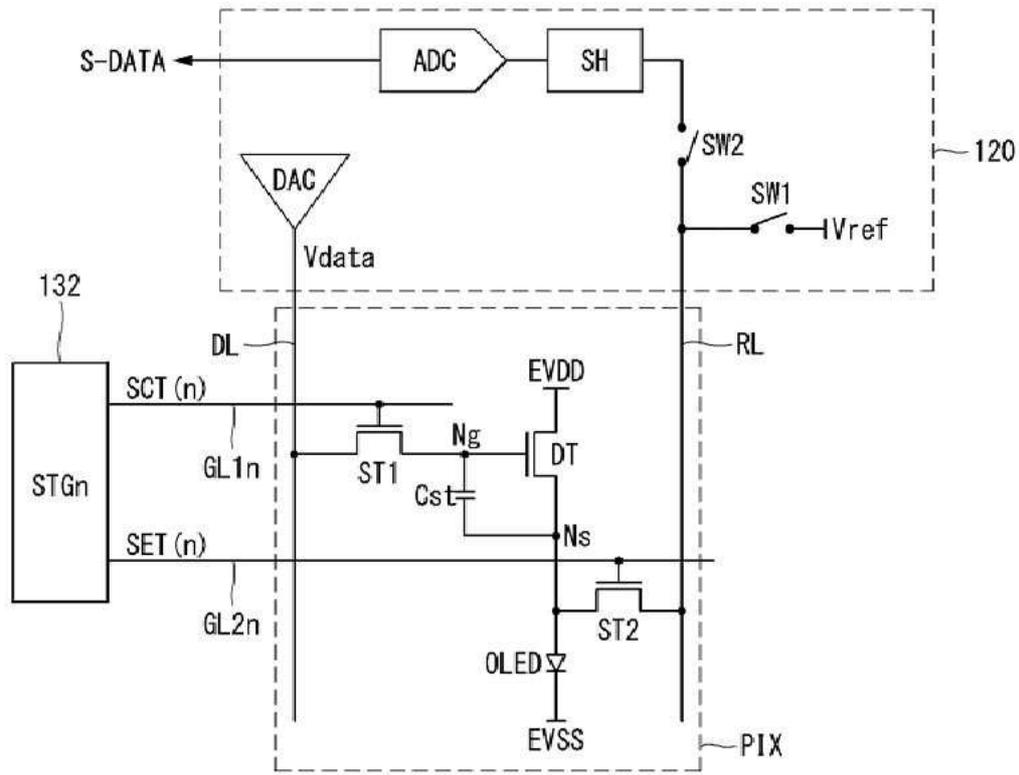
도면3

132

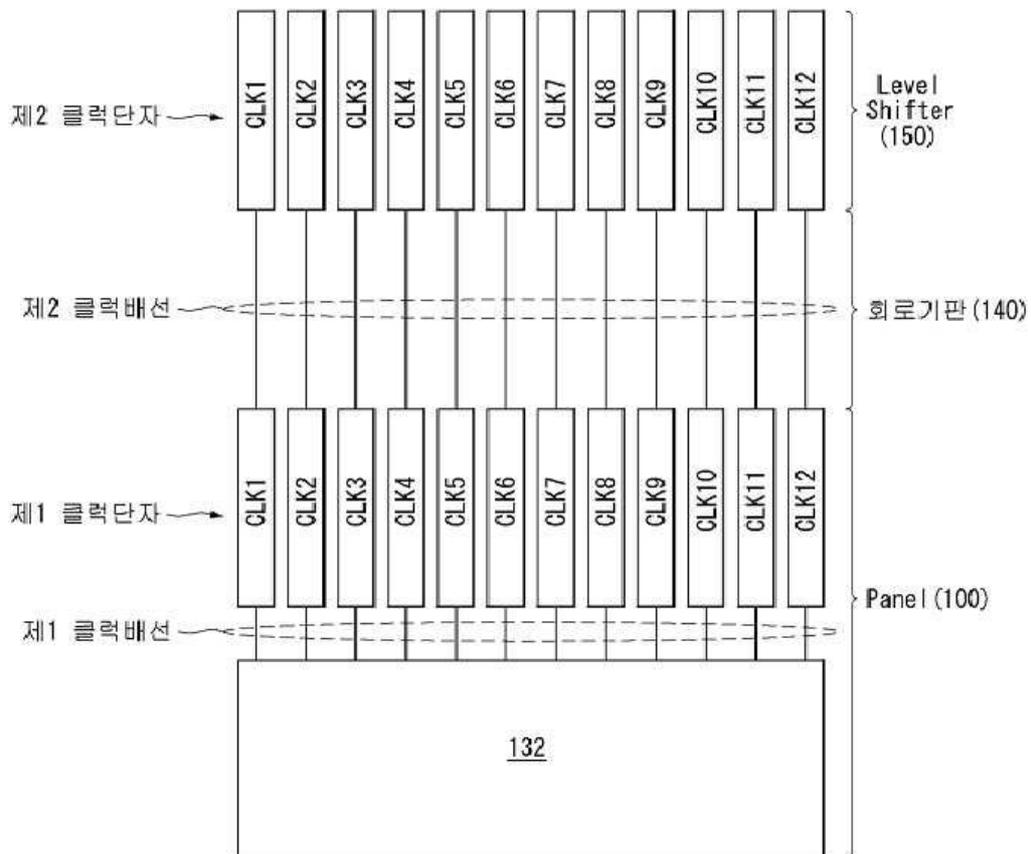




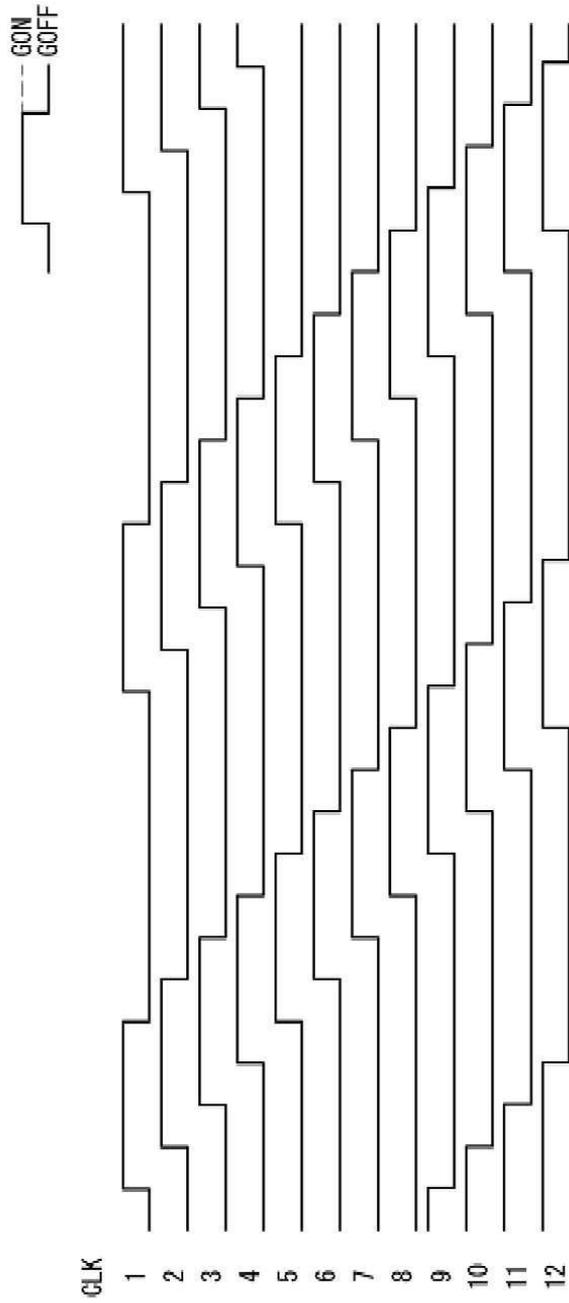
도면6



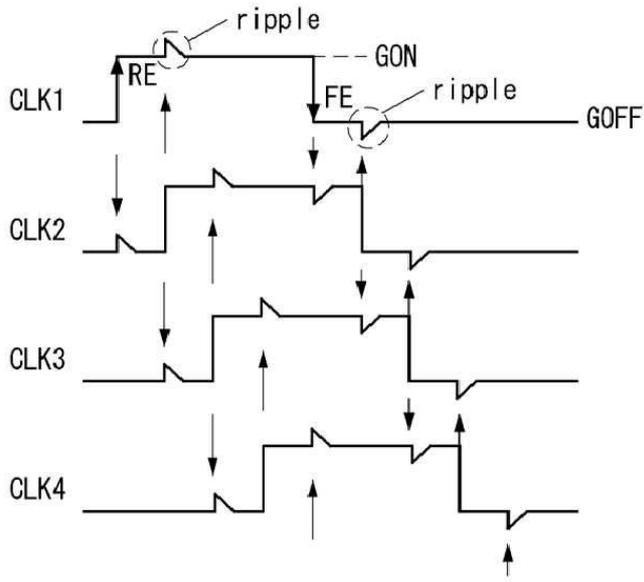
도면7



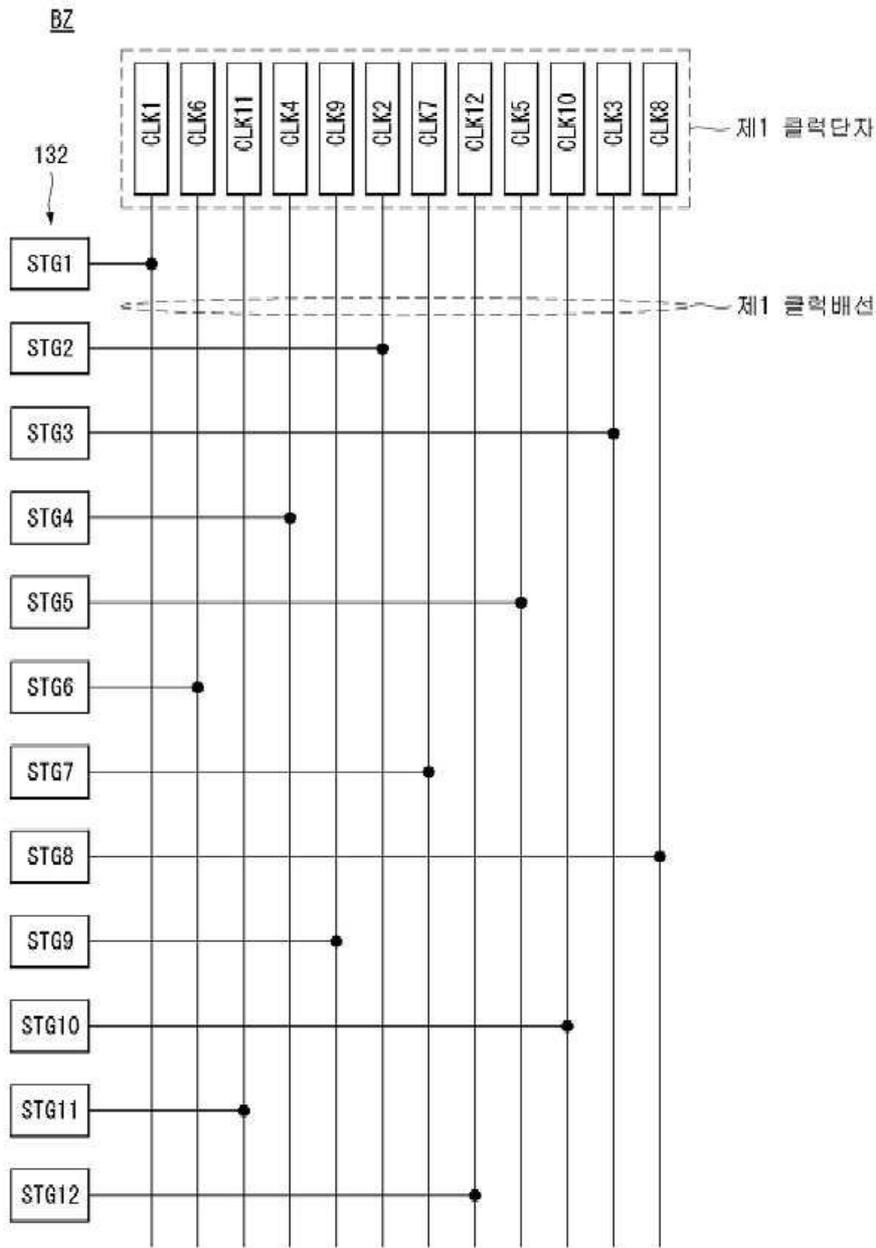
도면8



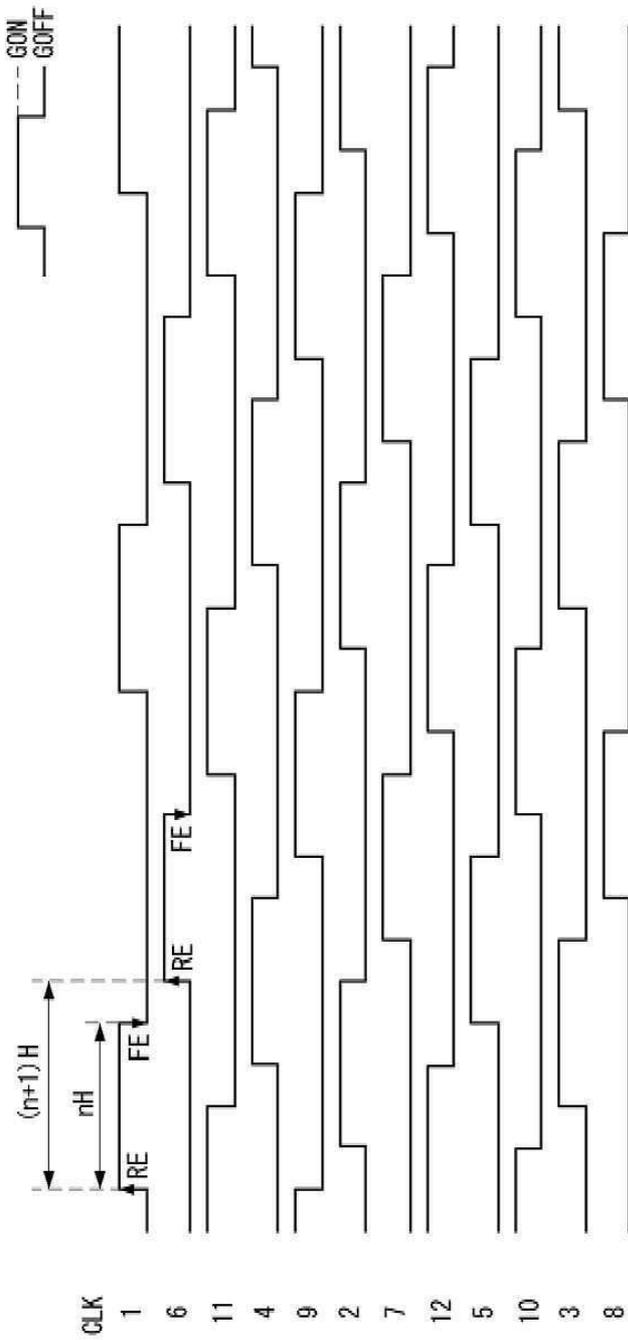
도면9



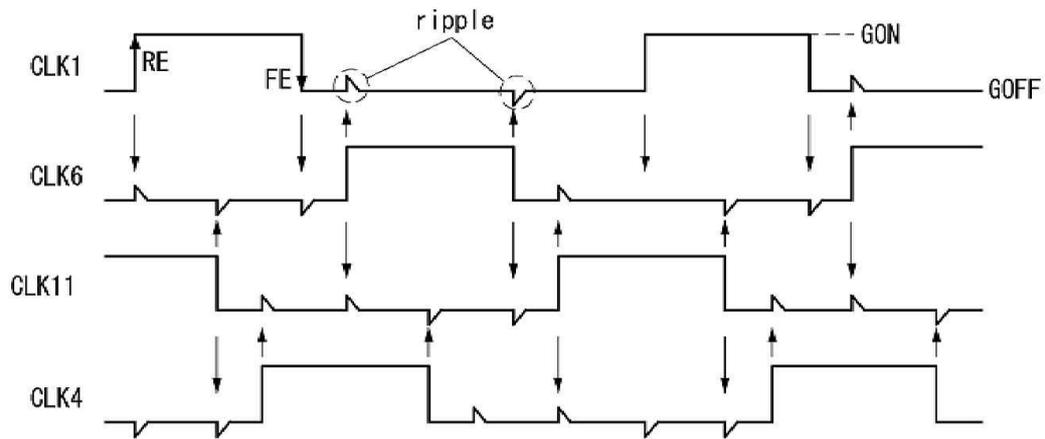
도면10



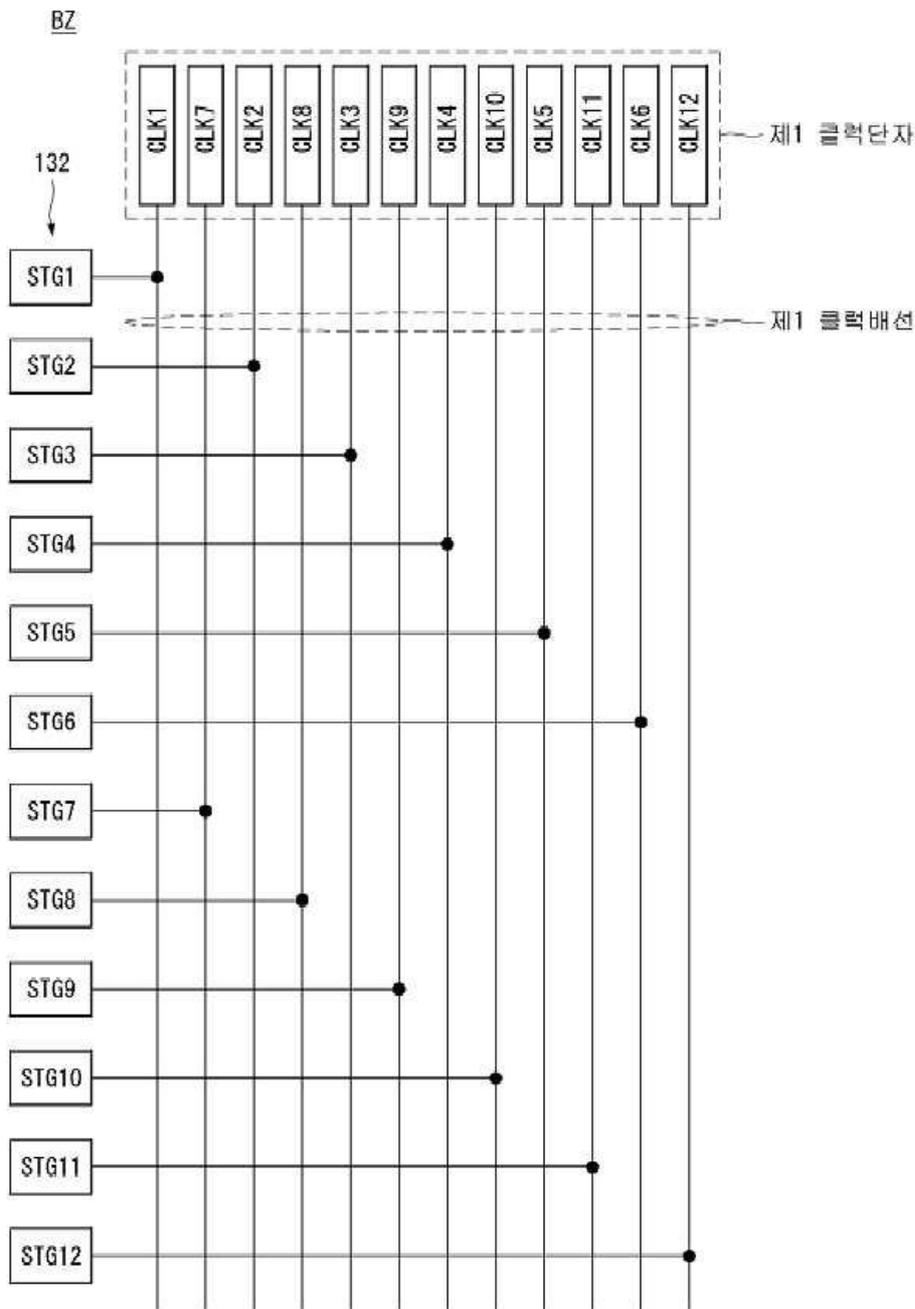
도면11



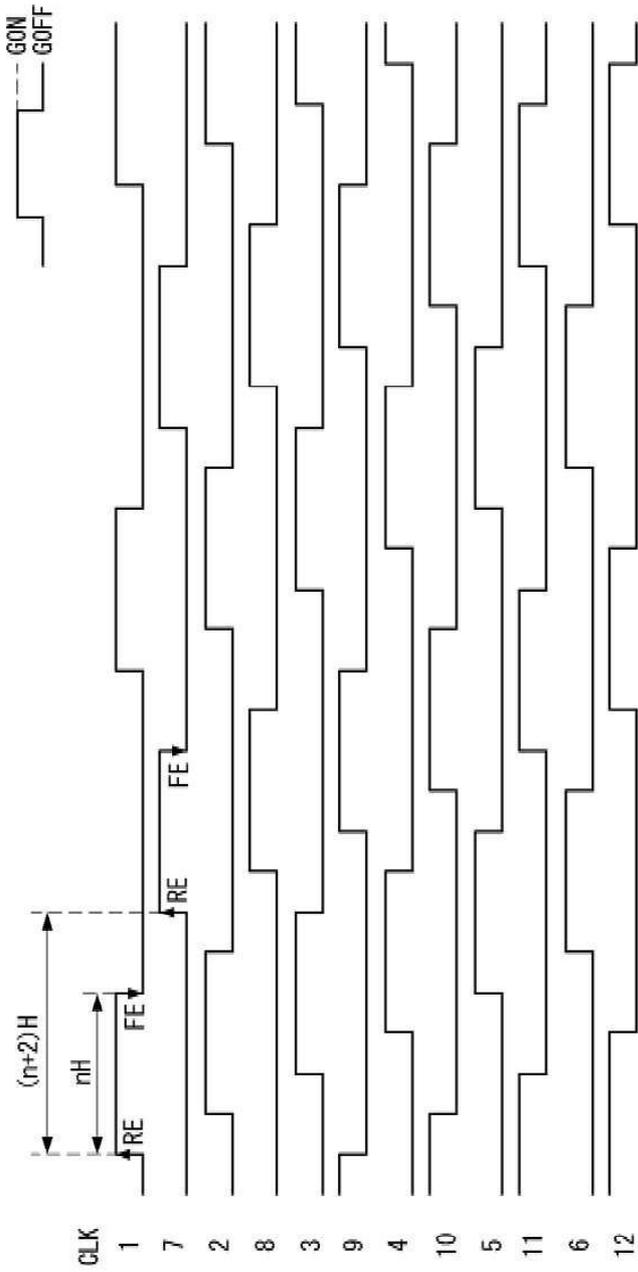
도면12



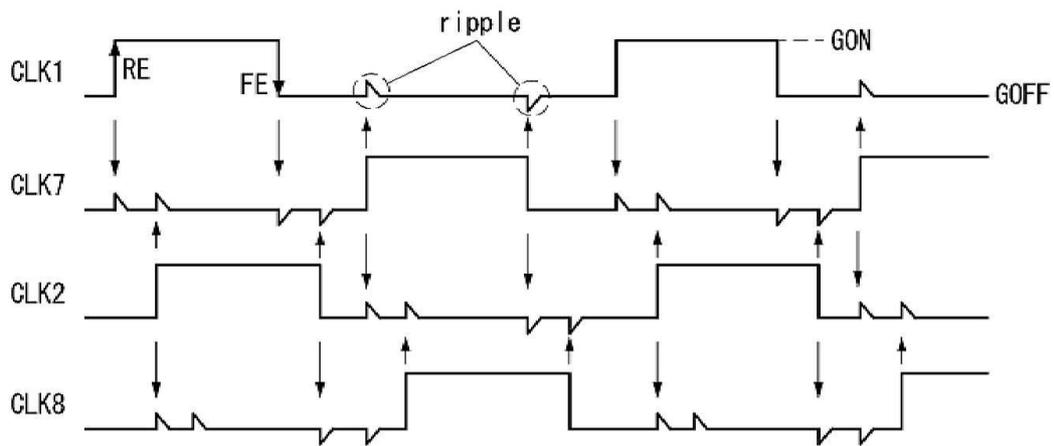
도면13



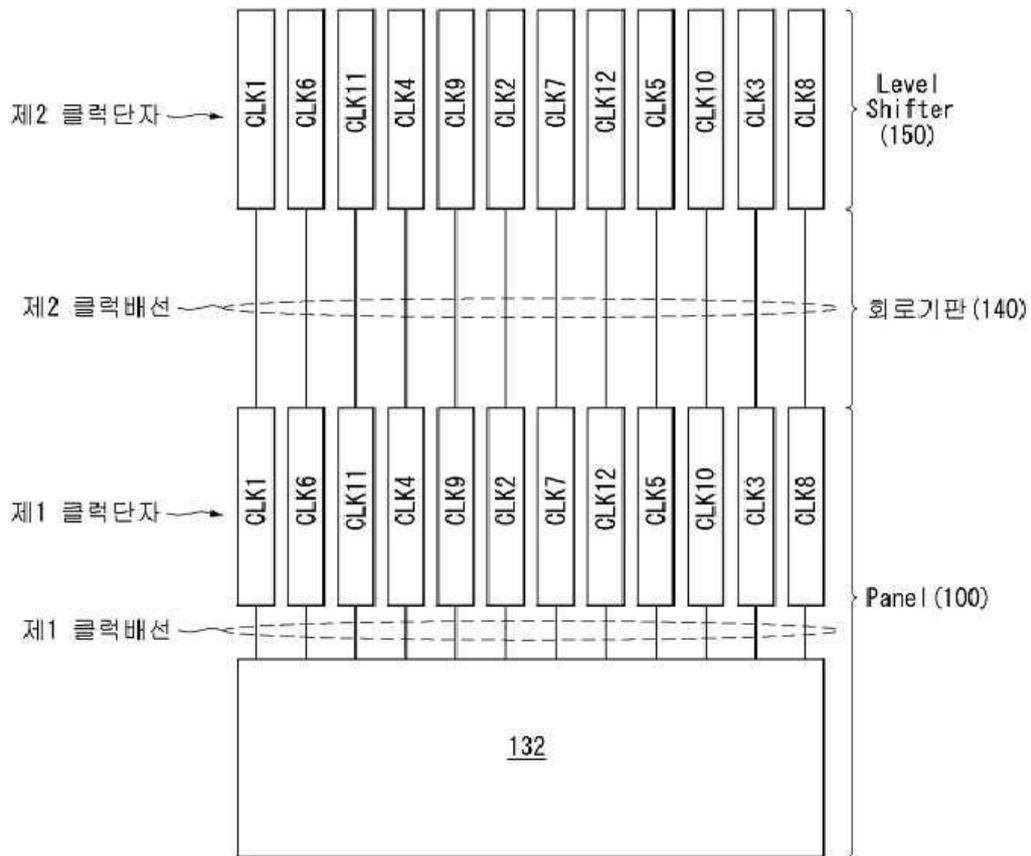
도면14



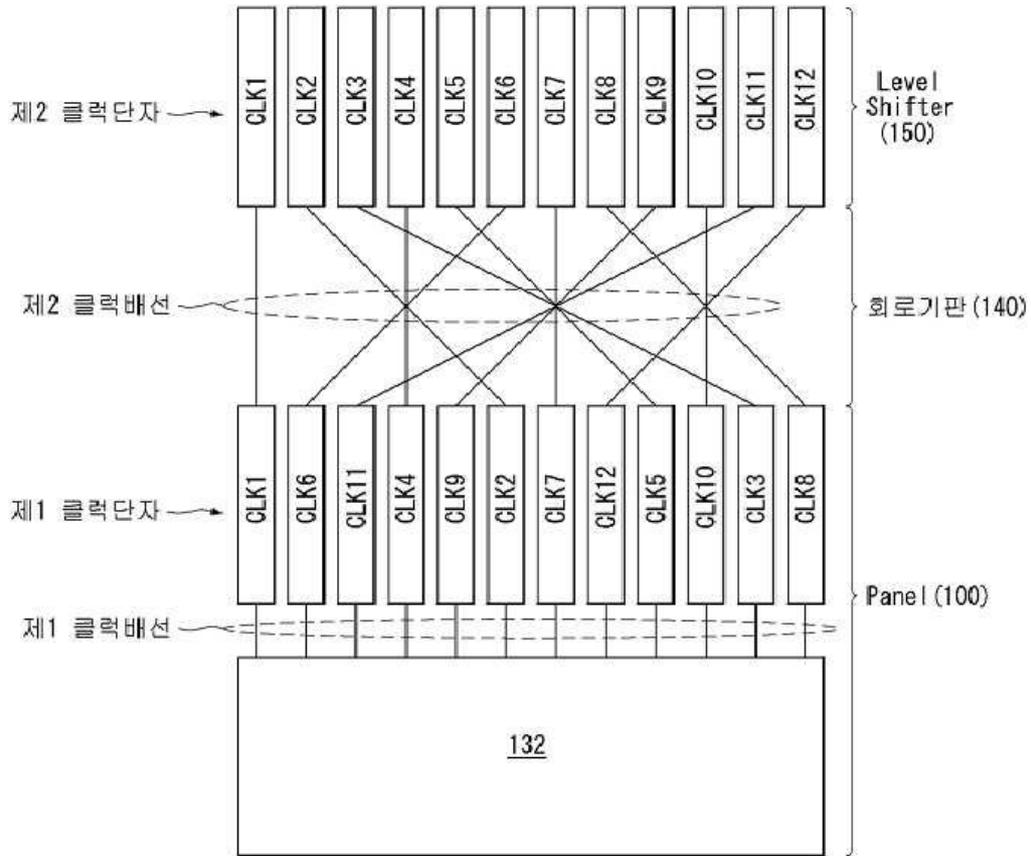
도면15



도면16



도면17



专利名称(译)	栅极驱动器和包括该栅极驱动器的有机发光显示装置		
公开(公告)号	<a href="#">KR1020200025882A</a>	公开(公告)日	2020-03-10
申请号	KR1020180103846	申请日	2018-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이중호		
发明人	다카수기신지 이중호 최재이		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2310/0262 G09G2310/0289 G09G2310/08		
代理人(译)	이승찬		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的实施例,一种能够使栅极移位时钟的失真最小的栅极驱动器包括:N个第一时钟端子,向其输入具有不同相位的N相时钟,其中,N是自然数;多个级基于N相时钟输出选通信号;N条将第一时钟端子连接到各级的第一时钟布线。根据非顺序时钟布置,N相时钟的相邻栅极导通电压部分彼此不重叠。

