



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0048396
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0143318

(22) 출원일자 2017년10월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

엄현철

경기도 파주시 월롱면 엘지로 245

성은경

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로알

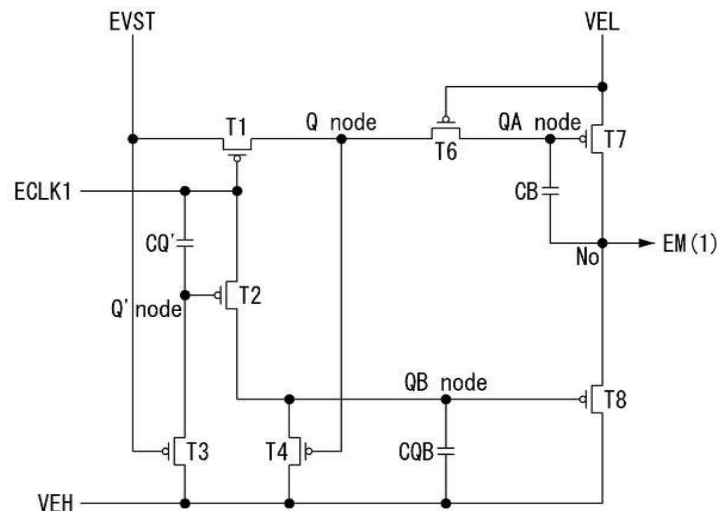
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 게이트 드라이버와 이를 포함한 전계 발광 표시장치

(57) 요약

본 명세서의 일 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 여기서, 복수의 스테이지들 각각은, 클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 노드 Q를 활성화시키는 트랜지스터 T1과; 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7과; 클럭 신호, 스타트 신호, 및 노드 Q의 전위에 따라 노드 QB를 노드 Q와 반대로 활성화시키는 QB 제어부와; 노드 Q에 앞서 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T8을 포함한다.

대표도 - 도7



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2320/0214 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지들을 갖는 게이트 드라이버에 있어서,

상기 복수의 스테이지들 각각은,

클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 상기 노드 Q를 활성화시키는 트랜지스터 T1;

상기 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7;

상기 클럭 신호, 상기 스타트 신호, 및 상기 노드 Q의 전위에 따라 노드 QB를 상기 노드 Q와 반대로 활성화시키는 QB 제어부; 및

상기 노드 Q에 앞서 상기 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 상기 출력 노드에 공급하는 트랜지스터 T8을 포함하는 게이트 드라이버.

청구항 2

제 1 항에 있어서,

상기 스테이지들 각각은 상기 출력 노드와 상기 노드 QA 사이에 접속된 커패시터 CB를 더 포함하고,

상기 커패시터 CB는 상기 에미션 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 변환 때, 상기 출력 노드의 전위 변화를 상기 노드 QA의 전위에 반영하여 상기 노드 QA를 부트 스트랩핑 시키는 게이트 드라이버.

청구항 3

제 2 항에 있어서,

상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q의 전위는 상기 노드 QA의 전위와 달라지는 게이트 드라이버.

청구항 4

제 3 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q와 상기 노드 QA 간의 전기적 연결을 차단하는 트랜지스터 T6를 더 포함하는 게이트 드라이버.

청구항 5

제 4 항에 있어서,

상기 트랜지스터 T6의 게이트전극은 상기 게이트 온 전압의 입력단에 접속되고, 상기 트랜지스터 T6의 제1 전극은 상기 노드 Q에 접속되며, 상기 트랜지스터 T6의 제2 전극은 상기 노드 QA에 접속된 게이트 드라이버.

청구항 6

제 1 항에 있어서,

상기 QB 제어부는,

상기 클럭 신호의 입력단과 노드 Q' 사이에 접속된 커패시터 CQ';

상기 노드 Q'의 전위에 따라 상기 클럭 신호를 상기 노드 QB에 공급하는 트랜지스터 T2;

상기 스타트 신호에 따라 상기 노드 Q'에 게이트 오프 전압을 공급하는 트랜지스터 T3; 및

상기 노드 Q의 전위에 따라 상기 노드 QB에 상기 게이트 오프 전압을 공급하는 트랜지스터 T4를 포함하는 게이트 드라이버.

청구항 7

제 6 항에 있어서,

상기 노드 Q'의 전위는,

상기 스타트 신호가 상기 게이트 오프 전압으로 유지되는 동안에 상기 클럭 신호에 동기되어 변하고,

상기 스타트 신호가 상기 게이트 온 전압으로 유지되는 동안에 상기 게이트 오프 전압이 되는 게이트 드라이버.

청구항 8

제 1 항에 있어서,

상기 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함하고,

상기 트랜지스터 T8a의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8a의 제1 전극은 상기 출력 노드에 접속되며, 상기 트랜지스터 T8a의 제2 전극은 노드 Na에 접속되고,

상기 트랜지스터 T8b의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8b의 제1 전극은 상기 노드 Na에 접속되며, 상기 트랜지스터 T8b의 제2 전극은 상기 게이트 오프 전압의 입력단에 접속된 게이트 드라이버.

청구항 9

제 8 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 트랜지스터 T8의 누설 전류를 억제하기 위해 트랜지스터 T5를 더 포함하고,

상기 트랜지스터 T5의 게이트전극은 상기 출력 노드에 접속되고, 상기 트랜지스터 T5의 제1 전극은 상기 게이트 온 전압의 입력단에 접속되며, 상기 트랜지스터 T5의 제2 전극은 상기 노드 Na에 접속된 게이트 드라이버.

청구항 10

제 1 항에 있어서,

상기 클럭 신호는,

제1 클럭 배선을 통해 인가되며 제1 위상을 갖는 제1 클럭 신호와, 제2 클럭 배선을 통해 인가되며 상기 제1 위상과 다른 제2 위상을 갖는 제2 클럭 신호를 포함하고,

상기 복수의 스테이지들 중에서, 기수번째 스테이지들에는 상기 제1 클럭 신호가 입력되고, 우수번째 스테이지들에는 상기 제2 클럭 신호가 입력되는 게이트 드라이버.

청구항 11

복수의 스테이지들을 갖는 게이트 드라이버에 있어서,

상기 복수의 스테이지들 각각은,

제1 클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 상기 노드 Q를 활성화시키는 트랜지스터 T1;

상기 제1 클럭 신호와 위상이 다른 제2 클럭 신호에 따라 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7;

상기 제1 클럭 신호, 상기 스타트 신호, 및 상기 노드 Q의 전위에 따라 노드 QB를 상기 노드 Q와 반대로 활성화

시키는 QB 제어부; 및

상기 노드 Q에 앞서 상기 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 상기 출력 노드에 공급하는 트랜지스터 T8을 포함하는 게이트 드라이버.

청구항 12

제 11 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 노드 QA와 노드 QA' 사이에 접속된 커패시터 CB; 및

상기 노드 Q에 따라 스위칭되어 상기 제2 클럭 신호를 상기 노드 QA'에 공급하는 트랜지스터 T9를 더 포함하고,

상기 커패시터 CB는 상기 제2 클럭 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 변할 때, 상기 제2 클럭 신호의 전위 변화를 상기 노드 QA의 전위에 반영하여 상기 노드 QA를 부트 스트랩핑시키는 게이트 드라이버.

청구항 13

제 12 항에 있어서,

상기 노드 QA'의 전위는,

상기 노드 Q의 전위가 상기 게이트 오프 전압으로 유지되는 동안에 상기 게이트 오프 전압이 되고,

상기 노드 Q의 전위가 상기 게이트 온 전압 이하로 유지되는 동안에 상기 제2 클럭 신호에 동기되는 게이트 드라이버.

청구항 14

제 12 항에 있어서,

상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q의 전위는 상기 노드 QA의 전위와 달라지는 게이트 드라이버.

청구항 15

제 14 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q와 상기 노드 QA 간의 전기적 연결을 차단하는 트랜지스터 T6를 더 포함하는 게이트 드라이버.

청구항 16

제 15 항에 있어서,

상기 트랜지스터 T6의 게이트전극은 상기 게이트 온 전압의 입력단에 접속되고, 상기 트랜지스터 T6의 제1 전극은 상기 노드 Q에 접속되며, 상기 트랜지스터 T6의 제2 전극은 상기 노드 QA에 접속된 게이트 드라이버.

청구항 17

제 11 항에 있어서,

상기 QB 제어부는,

상기 제1 클럭 신호의 입력단과 노드 Q' 사이에 접속된 커패시터 CQ';

상기 노드 Q'의 전위에 따라 상기 제1 클럭 신호를 상기 노드 QB에 공급하는 트랜지스터 T2;

상기 스타트 신호에 따라 상기 노드 Q'에 게이트 오프 전압을 공급하는 트랜지스터 T3; 및

상기 노드 Q의 전위에 따라 상기 노드 QB에 상기 게이트 오프 전압을 공급하는 트랜지스터 T4를 포함하는 게이트 드라이버.

청구항 18

제 17 항에 있어서,

상기 노드 Q'의 전위는,

상기 스타트 신호가 상기 게이트 오프 전압으로 유지되는 동안에 상기 제1 클럭 신호에 동기하여 변하고,

상기 스타트 신호가 상기 게이트 온 전압으로 유지되는 동안에 상기 게이트 오프 전압이 되는 게이트 드라이버.

청구항 19

제 11 항에 있어서,

상기 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함하고,

상기 트랜지스터 T8a의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8a의 제1 전극은 상기 출력 노드에 접속되며, 상기 트랜지스터 T8a의 제2 전극은 노드 Na에 접속되고,

상기 트랜지스터 T8b의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8b의 제1 전극은 상기 노드 Na에 접속되며, 상기 트랜지스터 T8b의 제2 전극은 상기 게이트 오프 전압의 입력단에 접속된 게이트 드라이버.

청구항 20

제 19 항에 있어서,

상기 복수의 스테이지들 각각은,

상기 트랜지스터 T8의 누설 전류를 억제하기 위해 트랜지스터 T5를 더 포함하고,

상기 트랜지스터 T5의 게이트전극은 상기 출력 노드에 접속되고, 상기 트랜지스터 T5의 제1 전극은 상기 게이트 온 전압의 입력단에 접속되며, 상기 트랜지스터 T5의 제2 전극은 상기 노드 Na에 접속된 게이트 드라이버.

청구항 21

제 11 항에 있어서,

상기 복수의 스테이지들 중에서 기수번째 스테이지들과 우수번째 스테이지들에는 상기 제1 클럭 신호와 상기 제 2 클럭 신호가 서로 바뀌어 입력되는 게이트 드라이버.

청구항 22

픽셀들에 연결된 게이트라인들이 구비된 표시패널; 및

상기 청구항 제1항 내지 제21항 중 어느 한 항의 상기 스테이지들을 통해 상기 에미션 신호를 생성하고, 상기 에미션 신호를 상기 게이트라인들에 공급하는 게이트 드라이버를 포함하는 전계 발광 표시장치.

청구항 23

제 22 항에 있어서,

상기 픽셀들 각각은,

OLED;

게이트-소스 간 전압에 따라 상기 OLED에 흐르는 구동전류를 제어하는 구동 TFT; 및

상기 에미션 신호에 따라 온/오프 되어 상기 OLED의 발광 타이밍을 결정하는 에미션 TFT를 포함하는 전계 발광 표시장치.

발명의 설명

기술 분야

본 명세서는 게이트 드라이버와 이를 포함한 전계 발광 표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- [0003] 유기 발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 표시패널에 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)와, 스캔 신호에 따라 구동 TFT의 게이트-소트 간 전압을 프로그래밍하는 스위치 TFT들을 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다. 또한, 픽셀들 각각은 에미션 신호에 따라 온/오프 되어 OLED의 발광 타이밍을 결정하는 에미션 TFT를 더 포함할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 유기 발광 표시장치는 픽셀들에 공급될 게이트신호를 생성하는 게이트 드라이버를 구비한다. 게이트 드라이버는 스캔 신호를 생성하는 스캔 드라이버와 에미션 신호를 생성하는 에미션 드라이버를 포함할 수 있다.
- [0005] 스캔 드라이버는 스캔 신호를 픽셀들에 연결된 제1 게이트라인들에 순차적으로 공급할 수 있다. 픽셀들에 포함된 스위치 TFT들의 게이트전극들은 제1 게이트라인들을 통해 스캔 드라이버에 연결될 수 있다. 에미션 드라이버는 에미션 신호를 픽셀들에 연결된 제2 게이트라인들에 순차적으로 공급할 수 있다. 픽셀들에 포함된 에미션 TFT들의 게이트전극들은 제2 게이트라인들을 통해 에미션 드라이버에 연결될 수 있다.
- [0006] 이러한 게이트 드라이버는 GIP(Gate driver In Panel) 방식으로 표시패널의 하부 기판 상에 직접 형성될 수 있다. 즉, 게이트 드라이버는 표시패널에서 화면 바깥의 비 표시영역(즉, 베젤 영역)에 형성될 수 있다. 최근, 전계 발광 표시장치는 화상이 표시되지 않는 표시패널의 좌우 테두리 부분을 최소화시키고 화면 영역을 증대시킴으로써, 사용자에게 보다 넓고 큰 영상을 제공하는 네로우 베젤(Narrow bezel) 기술을 채용하고 있다. 이러한 네로우 베젤 기술을 효과적으로 구현하기 위해서는 게이트 드라이버의 실장 면적을 최대한 줄일 필요가 있다.
- [0007] 따라서, 본 명세서는 에미션 드라이버를 최대한 간소화하여 그 실장 면적을 줄일 수 있도록 한 게이트 드라이버와 이를 포함한 전계 발광 표시장치를 제공한다.
- [0008] 또한, 본 명세서는 에미션 드라이버를 최대한 간소화하여 그 실장 면적을 줄임과 아울러 동작 안정성을 확보하여 신뢰성을 높일 수 있도록 한 게이트 드라이버와 이를 포함한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

- [0009] 본 명세서의 일 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 여기서, 복수의 스테이지들 각각은, 클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 노드 Q를 활성화시키는 트랜지스터 T1과; 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7과; 클럭 신호, 스타트 신호, 및 노드 Q의 전위에 따라 노드 QB를 노드 Q와 반대로 활성화시키는 QB 제어부와; 노드 Q에 앞서 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T8을 포함한다.

발명의 효과

- [0010] 본 명세서에 따르면 에미션 드라이버의 스테이지 구성이 간소화될 수 있기 때문에 네로우 베젤 기술을 구현하기가 용이하다.
- [0011] 나아가, 본 명세서에 따르면 에미션 드라이버의 스테이지 구성이 간소화될 수 있음은 물론이거니와 표시패널의 형태에 상관없이 에미션 드라이버의 동작 안정성 및 신뢰성이 획기적으로 높아질 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 명세서의 실시예에 따른 표시장치이다.

도 2는 도 1의 표시패널에 형성된 픽셀 어레이이다.

도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 회로를 개략적으로 나타낸 도면이다.

도 4는 도 3의 픽셀 회로에 인가되는 게이트 신호이다.

도 5는 도 1의 게이트 드라이버에 포함된 스캔 드라이버와 에미션 드라이버이다.

도 6은 도 5의 에미션 드라이버에 포함된 게이트 쉬프트 레지스터의 일 구성이다.

도 7은 도 6의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지의 일 구성이다.

도 8은 도 6의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지의 다른 구성이다.

도 9는 도 8에 도시된 스테이지의 동작 파형이다.

도 10a 내지 도 10h는 도 9의 구간① 내지 구간⑧에 각각 대응되는 스테이지의 동작 상태를 나타낸 도면이다.

도 11a는 도 9의 구간① 내지 구간④에 대응되는 스테이지의 동작을 도표로 표시한 것이다.

도 11b는 도 9의 구간⑤ 내지 구간⑧에 대응되는 스테이지의 동작을 도표로 표시한 것이다.

도 12는 이형부 영역에 대응되는 에미션 드라이버이다.

도 13은 도 6 내지 도 11b의 에미션 드라이버를 이형부 영역에 적용할 때 생기는 문제를 설명하기 위한 도면이다.

도 14는 도 5의 에미션 드라이버에 포함된 게이트 쉬프트 레지스터의 다른 구성이다.

도 15는 도 14의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지의 일 구성이다.

도 16은 도 14의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지의 다른 구성이다.

도 17은 도 16에 도시된 스테이지의 동작 파형이다.

도 18a 내지 도 18h는 도 17의 구간① 내지 구간⑧에 각각 대응되는 스테이지의 동작 상태를 나타낸 도면이다.

도 19a는 도 17의 구간① 내지 구간④에 대응되는 스테이지의 동작을 도표로 표시한 것이다.

도 19b는 도 17의 구간⑤ 내지 구간⑧에 대응되는 스테이지의 동작을 도표로 표시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0014] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따

라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0018] 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다.
- [0019] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로와 게이트 드라이버는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0020] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 전계 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0021] 도 1은 본 명세서의 실시예에 따른 표시장치를 보여준다. 도 2는 도 1의 표시패널에 형성된 픽셀 어레이이다. 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 회로를 개략적으로 나타낸 도면이다. 도 4는 도 3의 픽셀 회로에 인가되는 게이트 신호이다. 도 5는 도 1의 게이트 드라이버에 포함된 스캔 드라이버와 에미션 드라이버이다.
- [0022] 도 1을 참조하면, 본 명세서의 표시장치는 표시패널(100), 타이밍 컨트롤러(110), 데이터 드라이버(120), 게이트 드라이버(130), 및 레벨 쉬프터(150) 등을 구비한다.
- [0023] 표시패널(100)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15a, 15b)이 교차되고, 이 교차영역마다 픽셀들(PXL)이 매트릭스 형태로 배치되어 픽셀 어레이(Pixel array)를 구성할 수 있다. 픽셀들(PXL)은 매트릭스 형태 이외에도 다양하게 배치될 수 있다.
- [0024] 픽셀 어레이는 표시패널(100)의 액티브 영역(A/A)에 구비된다. 픽셀 어레이에는 도 2와 같이 다수의 수평 픽셀 라인들(L1~L4)이 구비되며, 각 수평 픽셀 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b)에 공통으로 연결된 다수의 픽셀들(PXL)이 배치된다. 여기서, 수평 픽셀 라인들(L1~L4) 각각은 물리적인 신호 라인이라 아니라, 수평으로 이웃한 픽셀들(PXL)에 의해 구현되는 1라인 분량의 픽셀 집합을 의미한다. 픽셀 어레이에는 기준 전압(Vref)을 픽셀들(PXL)에 공급하는 제1 전원라인(16)과, 고전위 전원 전압(EVDD)을 픽셀들(PXL)에 공급하는 제2 전원라인(17)이 포함될 수 있다. 또한, 픽셀들(PXL)은 저전위 전원 전압(EVSS)에 더 연결될 수 있다.
- [0025] 게이트 라인들(15a, 15b)의 구성은 픽셀 회로에 따라 달라질 수 있다. 일 예로 게이트 라인들 각각은 도 2와 같이, 스캔 신호(SCAN)가 공급되는 제1 게이트 라인(15a), 및 에미션 신호(EM)가 공급되는 제2 게이트 라인(15b)을 포함할 수 있다.
- [0026] 픽셀들(PXL) 각각은 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀 중 어느 하나일 수 있다. 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀은 다양한 컬러 구현을 위하여 하나의 단위 픽셀을 구성할 수 있다. 단위 픽셀에서 구현되는 컬러는 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀의 발광 비율에 따라 결정될 수 있다. 경우에 따라, 백색 픽셀은 생략될 수도 있다. 픽셀들(PXL) 각각에는 데이터 라인(14), 제1 게이트 라인(15a), 제2 게이트 라인(15b), 제1 전원 라인(16), 제2 전원라인(17) 등이 연결될 수 있다.
- [0027] 픽셀 회로는 다양한 구성이 있을 수 있다. 예를 들어, 픽셀들(PXL) 각각은 도 3과 같이 OLED, 구동 TFT(DT)의 게이트-소스 간 전압을 프로그래밍하기 위한 스위치 회로(SWC), 게이트-소스 간 전압에 따라 상기 OLED에 흐르는 구동전류를 제어하는 구동 TFT(DT), 에미션 신호(EM)에 따라 온/오프 되어 OLED의 발광 타이밍을 결정하는 에미션 TFT(ET)를 포함할 수 있다. 여기서, 스위치 회로(SWC)는 복수의 스위치 TFT들과 적어도 하나 이상의 커패시터 등을 포함할 수 있으며, 제품 모델 및 스펙에 따라 다양한 변형이 가능하다. 픽셀들(PXL) 각각에 포함된 TFT들은 PMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 명세서의 기술적 사상은 이에 한정되지 않는다. 예를 들어, TFT들 중에서 적어도 하나 이상의 TFT는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.
- [0028] 픽셀들(PXL) 각각은 도 4와 같은 게이트 신호에 따라 구동될 수 있다. 픽셀들(PXL) 각각은 도 4의 스캔 신호

(SCAN) 및 에미션 신호(EM)에 따라, 초기화 동작, 프로그래밍 동작, 및 발광 동작을 수행할 수 있다. 초기화 기간(A) 동안, 스위치 회로(SWC)는 픽셀 회로 내의 특정 노드들을 기준 전압(Vref)으로 초기화할 수 있다. 프로그래밍 기간(B) 동안, 스위치 회로(SWC)는 데이터전압(Vdata)을 기반으로 구동 TFT(DT)의 게이트-소스 간 전압을 프로그래밍할 수 있다. 프로그래밍 기간(B) 동안, 구동 TFT(DT)의 문턱전압 변화가 샘플링 및 보상될 수도 있다. 에미션 기간(C) 동안, 구동 TFT(DT)의 소스-드레인 사이에는 게이트-소스 간 전압에 대응되는 구동 전류가 흐르며, 이 구동 전류에 의해 OLED가 발광하게 된다.

[0029] 에미션 TFT(ET)는 에미션 신호(EM)에 따라 초기화 기간(A) 및 에미션 기간(C)에서 턴 온 되고, 프로그래밍 기간(B)에서 턴 오프 될 수 있다. 다만, 에미션 신호(EM)는 픽셀 구조에 따라 다양하게 변형될 수 있고, 이 경우 에미션 TFT(ET)는 에미션 기간(C)에서 턴 온 되고 그 외 기간에서 턴 오프 될 수 있다.

[0030] 도 4에서, 게이트 온 전압(Gate On Voltage)은 TFT가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이다. 게이트 오프 전압(Gate Off Voltage)은 TFT가 턴-오프(turn-off)될 수 있는 전압이다. 일 예로, PMOS에서 게이트 온 전압은 게이트 로우 전압(VGL, VEL)이고, 게이트 오프 전압은 게이트 로우 전압(VGL, VEL)보다 높은 게이트 하이 전압(VGH, VEH)이다.

[0031] 도 1을 참조하면, 데이터 드라이버(120)는 타이밍 컨트롤러(110)로부터 영상 데이터들(DATA)을 입력 받는다. 데이터 드라이버(120)는 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호(DDC)에 응답하여 영상 데이터들(DATA)을 감마보상전압으로 변환하여 데이터전압(Vdata)을 발생하고, 그 데이터전압(Vdata)을 스캔 신호(SCAN)에 동기하여 표시패널(100)의 데이터라인들(14)에 공급한다. 데이터 드라이버(120)는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.

[0032] 도 1을 참조하면, 레벨 쉬프터(150)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 타이밍 제어신호(GDC)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 구동시킬 수 있는 게이트 오프 전압과 게이트 온 전압으로 부스팅(Boosting)하여 게이트 드라이버(130)에 공급한다. 게이트 타이밍 제어신호(GDC)는 외부 스타트 신호, 클럭 신호 등을 포함할 수 있다.

[0033] 도 1을 참조하면, 게이트 드라이버(130)는 레벨 쉬프터(150)로부터 입력되는 게이트 타이밍 제어신호(GDC)에 따라 동작되어 게이트 신호를 생성한다. 그리고, 그 게이트 신호를 게이트라인들에 순차적으로 공급한다. 게이트 드라이버(130)는 GIP(Gate driver In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. 게이트 드라이버(130)는 표시패널(100)에서 액티브 영역 바깥의 비 표시영역(즉, 베젤 영역(BZ))에 형성된다. GIP 방식에서, 레벨 쉬프터(150)는 타이밍 컨트롤러(110)와 함께 인쇄 회로 기판(Printed Circuit Board)(140) 상에 실장될 수 있다.

[0034] 게이트 드라이버(130)는 도 5와 같이 표시패널(100)의 마주보는 양측에 더블 뱅크(Double Bank) 방식으로 구비되어, 위치별 로드 편차에 따른 신호 왜곡을 최소화할 수 있다. 게이트 드라이버(130)는 스캔 신호(SCAN)를 생성하는 스캔 드라이버(131)와 에미션 신호(EM)를 생성하는 에미션 드라이버(132)를 포함한다.

[0035] 스캔 드라이버(131)는 스캔 신호(SCAN)를 픽셀들(PXL)들에 연결된 제1 게이트라인들(15a(1)~15a(n))에 라인 순차 방식으로 공급할 수 있다. 에미션 드라이버(132)는 에미션 신호(EM)를 픽셀들(PXL)들에 연결된 제2 게이트라인들(15b(1)~15b(n))에 라인 순차 방식으로 공급할 수 있다. 에미션 드라이버(132)는 다수의 스테이지들로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 에미션 드라이버(132)의 각 스테이지는 표시패널(100)의 베젤 영역(BZ)이 최소화될 수 있도록 도 6 내지 도 11b와 같이 구현될 수 있다. 또한, 에미션 드라이버(132)의 각 스테이지는 표시패널(100)의 베젤 영역(BZ)이 최소화되도록 구현되고, 표시패널(100)이 부분적인 곡면이나 노치(notch)와 같은 이형부(異形部)를 갖는 경우에도 동작의 안정성 및 신뢰성이 확보될 수 있도록 도 14 내지 도 19b와 같이 구현될 수 있다.

[0036] 도 1을 참조하면, 타이밍 컨트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템과 연결될 수 있다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터 영상 데이터(DATA)를 입력 받는다. 타이밍 컨트롤러(110)는 픽셀들(PXL)의 구동 특성 차이로 인한 휘도 편차가 보상되도록 영상 데이터(DATA)를 보정한 후 데이터 드라이버들(120)로 전송할 수 있다. 도 1에서는 복수의 데이터 드라이버들(120)로 도시하였지만, 이에 한정되지 않고, 한 개의 데이터 드라이버로 구현될 수 있다. 또한, 한 개의 데이터 드라이버는 타이밍 컨트롤러(110)와 통합되어 표시패널(100) 상에 실장될 수도 있다.

[0037] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받고, 이 타이밍신호를 기반으로 게이트 타이

밍 제어신호(GDC)와 소스 타이밍 제어신호(DDC)를 생성할 수 있다.

- [0038] 도 6은 도 5의 에미션 드라이버에 포함된 게이트 쉬프트 레지스터의 일 구성을 보여준다.
- [0039] 도 6을 참조하면, 본 명세서의 일 실시예에 따른 에미션 드라이버(132)는 다수의 스테이지들(ST1~ST4,...)로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 스테이지들(ST1~ST4,...)은 GIP 방식으로 형성된 GIP 소자들 일 수 있다.
- [0040] 스테이지들(ST1~ST4,...)은 스타트 신호에 따라 순차적으로 동작이 활성화되어 에미션 신호(EM(1)~EM(4),...)를 출력한다. 최상단 스테이지(ST1)는 외부 스타트 신호(EVST)에 따라 동작이 활성화되고, 차상단 스테이지(ST2) 내지 최하단 스테이지는 전단 스테이지의 에미션 신호에 따라 동작이 활성화된다. 전단 스테이지의 에미션 신호는 내부 스타트 신호로서, 캐리 신호(CRY)가 된다. 여기서, "전단 스테이지"란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 앞선 에미션 신호를 생성하는 스테이지를 의미한다.
- [0041] 스테이지들(ST1~ST4,...)은 에미션 신호(EM(1)~EM(4),...)를 출력하기 위해, 레벨 쉬프터(150)로부터 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 및 제2 클럭신호(ECLK2)를 입력 받는다. 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 및 제2 클럭신호(ECLK2)는 모두 게이트 오프 전압(VEH)과 게이트 온 전압(VEL) 사이에서 스위칭할 수 있다.
- [0042] 외부 스타트 신호(EVST)는 최상단 스테이지(ST1)에 입력되고, 제1 클럭신호(ECLK1)는 제1 클럭 배선을 통해 기수 스테이지들(ST1,ST3,...)에 입력되고, 제2 클럭신호(ECLK2)는 제2 클럭 배선을 통해 우수 스테이지들(ST2,ST4,...)에 입력된다. 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 서로 다른 위상을 가진다.
- [0043] 스테이지들(ST1~ST4,...) 각각은 하나의 클럭신호를 기반으로 동작하기 때문에 그 회로 구성이 간소하다. 다시 말해, 스테이지들(ST1~ST4,...) 각각은 하나의 클럭신호를 기반으로 노드 Q를 활성화시킴과 동시에 노드 QA를 부트 스트랩핑(Bootstrapping)시킬 수 있는 회로 구조를 가짐으로써, 에미션 드라이버를 간소화하여 에미션 드라이버의 실장 면적을 줄일 수 있다.
- [0044] 스테이지들(ST1~ST4,...) 각각은 매 프레임마다 스타트단자에 인가되는 스타트 신호에 따라 노드 Q의 동작을 활성화한다. 여기서, 노드가 활성화된다는 것은 그 노드에 게이트 온 전압(VEL) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다. 그리고, 노드가 비 활성화된다는 것은 그 노드에 게이트 오프 전압(VEH) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다.
- [0045] 각 스테이지들(ST1~ST4,...)은 외부의 전원 공급부로부터 게이트 오프 전압(VEH)과 게이트 온 전압(VEL)을 공급 받는다. 게이트 오프 전압(VEH)은 예컨대, 20V~30V 사이에서 어느 한 값으로 설정될 수 있고, 게이트 온 전압(VEL)은 -10V~0V 사이에서 어느 한 값으로 설정될 수 있으나, 이에 한정되지 않는다.
- [0046] 도 7은 도 6의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지(ST1)의 일 구성이다. 도 8은 도 6의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지(ST1)의 다른 구성이다.
- [0047] 최상단 스테이지(ST1)를 제외한 나머지 기수 스테이지들은 외부 스타트 신호(EVST) 대신에 내부 스타트 신호(CRY)를 인가받는 것과, 위상의 다른 에미션 신호를 출력하는 것을 제외하고 나머지 구성은 실질적으로 동일하다. 또한, 우수 스테이지들은 외부 스타트 신호(EVST) 대신에 내부 스타트 신호(CRY)를 인가받는 것과, 제1 클럭신호(ECLK1) 대신에 제2 클럭신호(ECLK2)를 인가받는 것과, 위상의 다른 에미션 신호를 출력하는 것을 제외하고 나머지 구성은 동일하다.
- [0048] 도 7을 참조하면, 스테이지(ST1)는 노드 Q가 게이트 오프 전압(VEH)으로 비 활성화 되고 노드 QB가 게이트 온 전압(VEL)으로 활성화 되는 동안에 게이트 오프 전압(VEH)의 에미션 신호(EM(1))를 출력한다. 이어서, 스테이지(ST1)는 노드 Q가 게이트 온 전압(VEL)으로 활성화 되고 노드 QB가 게이트 오프 전압(VEH)으로 비 활성화 되는 동안에 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력한다. 다시 말해, 스테이지(ST1)는 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력한다.
- [0049] 이를 위해, 스테이지(ST1)는 Q 제어부, QB 제어부, 출력부 및 제1 안정화부를 포함할 수 있다.
- [0050] Q 제어부는 트랜지스터 T1으로 구현될 수 있다. 트랜지스터 T1은 제1 클럭신호(ECLK1)에 따라 노드 Q에 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)를 인가하여 상기 노드 Q를 활성화시킨다. 트랜지스터 T1의 게이트전극

은 제1 클럭신호(ECLK1)의 입력단에 접속되고, 트랜지스터 T1의 제1 전극과 제2 전극은 각각 스타트 신호(EVS T)의 입력단과 노드 Q에 접속된다.

[0051] QB 제어부는 제1 클럭신호(ECLK1), 스타트 신호(EVST), 및 노드 Q의 전위에 따라 노드 QB를 노드 Q와 반대로 활성화시킨다. QB 제어부는 커패시터 CQ', 트랜지스터 T2, 트랜지스터 T3, 트랜지스터 T4, 및 커패시터 CQB로 구현될 수 있다.

[0052] 커패시터 CQ'는 제1 클럭신호(ECLK1)의 입력단과 노드 Q' 사이에 접속된다. 트랜지스터 T2는 노드 Q'의 전위에 따라 제1 클럭신호(ECLK1)를 노드 QB에 공급한다. 트랜지스터 T2의 게이트전극은 노드 Q'에 접속되고, 트랜지스터 T2의 제1 전극과 제2 전극은 각각 제1 클럭신호(ECLK1)의 입력단과 노드 QB에 접속된다. 트랜지스터 T3는 스타트 신호(EVST)에 따라 노드 Q'에 게이트 오프 전압(VEH)을 공급한다. 트랜지스터 T3의 게이트전극은 스타트 신호(EVST)의 입력단에 접속되고, 트랜지스터 T3의 제1 전극과 제2 전극은 각각 노드 Q'와 게이트 오프 전압(VEH)의 입력단에 접속된다. 이러한 구성에 의해, 노드 Q'의 전위는 스타트 신호(EVST)가 게이트 오프 전압(VEH)으로 유지되는 동안에 제1 클럭신호(ECLK1)에 동기되어 변한다. 또한, 노드 Q'의 전위는 스타트 신호(EVST)가 게이트 온 전압(VEL)으로 유지되는 동안에 게이트 오프 전압(VEH)이 된다.

[0053] 트랜지스터 T4는 노드 Q의 전위에 따라 노드 QB에 게이트 오프 전압(VEH)을 공급한다. 트랜지스터 T4의 게이트 전극은 노드 Q에 접속되고, 트랜지스터 T4의 제1 전극과 제2 전극은 각각 노드 QB와 게이트 오프 전압(VEH)의 입력단에 접속된다. 커패시터 CQB는 노드 QB와 게이트 오프 전압(VEH) 사이에 연결되어 노드 QB의 전위를 안정화시킨다.

[0054] 출력부는 풀다운 소자인 트랜지스터 T7, 풀업 소자인 트랜지스터 T8, 및 커패시터 CB를 포함한다.

[0055] 트랜지스터 T7은 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력 노드(No)에 공급한다. 트랜지스터 T7의 게이트전극은 노드 QA에 접속되고, 트랜지스터 T7의 제1 전극과 제2 전극은 각각 게이트 온 전압(VEL)의 입력단과 출력 노드(No)에 접속된다. 커패시터 CB는 노드 QA와 출력 노드(No) 사이에 접속된다. 커패시터 CB는 에미션 신호(EM(1))가 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 변할 때, 출력 노드(No)의 전위 변화를 노드 QA의 전위에 반영하여 노드 QA를 부트 스트랩핑 시키는 역할을 한다. 트랜지스터 T8은 노드 Q에 앞서 노드 QB가 활성화되는 동안 게이트 오프 전압(VEH)의 에미션 신호(EM(1))를 출력 노드(No)에 공급한다. 트랜지스터 T8의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8의 제1 전극과 제2 전극은 각각 출력 노드(No)와 게이트 오프 전압(VEH)의 입력단에 접속된다.

[0056] 제1 안정화부는 트랜지스터 T6로 구현될 수 있다. 트랜지스터 T6의 게이트전극은 게이트 온 전압(VEL)의 입력단에 접속되고, 트랜지스터 T6의 제1 전극과 제2 전극은 각각 노드 Q와 노드 QA에 접속된다. 트랜지스터 T6의 제1 및 제2 전극 간 채널 전류는 노드 QA가 부트 스트랩핑 될 때 제로가 된다. 다시 말해, 트랜지스터 T6는 노드 QA가 부트 스트랩핑 될 때 턴 오프 됨으로써, 노드 Q와 노드 QA 간의 전기적 연결을 차단한다. 한편, 노드 QA가 부트 스트랩핑되지 않는 동안에는 트랜지스터 T6는 턴 온 상태를 유지한다.

[0057] 트랜지스터 T6는 턴 온 상태를 유지하다가 노드 QA가 부트 스트랩핑 될 때에만 턴 오프 되어 노드 Q와 노드 QA 사이의 전류 흐름을 차단한다. 따라서, 노드 QA가 부트 스트랩핑 될 때 노드 Q의 전위는 노드 QA의 전위와 달라진다. 부트 스트랩핑 순간에 노드 QA의 전위가 변하더라도 노드 Q의 전위는 변하지 않기 때문에, 노드 Q에 연결된 트랜지스터들 T1, T4에는 부트 스트랩핑 순간에 과부하가 걸리지 않게 된다. 만약, 트랜지스터 T6가 없다면, 트랜지스터 T1의 드레인-소스 간 전압(V_{ds}), 및 트랜지스터 T4의 게이트-소스 간 전압(V_{gs})은 부트 스트랩핑으로 인해 임계치 이상으로 증가될 수 있고, 이러한 과부하 현상이 지속되면 소자 파괴 현상, 소위 브레이크 다운(Break down) 현상이 생길 수 있다. 트랜지스터 T6는 노드 QA의 부트 스트랩핑 순간에 노드 Q에 연결된 트랜지스터들 T1, T4이 브레이크 다운되지 않도록 한다.

[0058] 스테이지(ST1)를 구성하는 도 8의 회로는 도 7의 회로에 비해 트랜지스터 T8을 듀얼 게이트 구조로 변경하고, 트랜지스터 T5를 추가한 점에서 다르다. 도 8의 회로는 도 7의 회로에 보다 상대적으로 풀업 소자의 누설전류를 억제하기 용이한 이점이 있다.

[0059] 도 8을 참조하면, 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함할 수 있다. 트랜지스터 T8a의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8a의 제1 전극은 출력 노드(No)에 접속되며, 트랜지스터 T8a의 제2 전극은 노드 Na에 접속된다. 그리고, 트랜지스터 T8b의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8b의 제1 전극은 노드 Na에 접속되며, 트랜지스터 T8b의 제2 전극은 게이트 오프 전압(VEH)의 입력단

에 접속된다.

- [0060] 트랜지스터 T5의 게이트전극은 출력 노드(No)에 접속되고, 트랜지스터 T5의 제1 전극은 게이트 온 전압(VEL)의 입력단에 접속되며, 트랜지스터 T5의 제2 전극은 노드 Na에 접속된다.
- [0061] 스테이지(ST1)에서 출력되는 에미션 신호(EM(1))는 1 프레임 중의 대부분의 시간 동안 게이트 온 전압(VEL)을 유지한다. 따라서, 출력 노드(No)의 전위는 1 프레임 중의 대부분의 시간 동안 게이트 온 전압(VEL)을 유지한다.
- [0062] 도 7의 트랜지스터 T8의 경우, 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지할 때 드레인-소스 전압(VEH-VEL)이 크고, 이러한 상태가 장시간 지속되면 열화되기 쉽다. 열화로 인해 트랜지스터 T8에 누설 전류가 흐르면, 정상적인 에미션 신호(EM(1))가 출력될 수 없다.
- [0063] 반면, 도 8의 트랜지스터 T8a의 경우, 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지하는 동안 트랜지스터 T5를 통해 노드 Na에 게이트 온 전압(VEL)인 인가되므로, 드레인-소스 전압(VEL-VEL)이 이상적으로 "0"이 되고, 따라서 열화가 방지된다. 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지하는 동안 드레인-소스 전압(VEH-VEL)에 의해 트랜지스터 T8b가 열화되어 누설 전류가 생기더라도, 트랜지스터 T8a에 의해 그러한 누설 전류의 흐름은 억제될 수 있다.
- [0064] 도 9는 도 8에 도시된 스테이지의 동작 파형을 보여준다. 그리고, 도 10a 내지 도 10h는 도 9의 구간① 내지 구간⑧에 각각 대응되는 스테이지의 동작 상태를 보여준다.
- [0065] 도 9 및 도 10a를 참조하면, 구간①에서 외부 스타트 신호(EVST)와 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0066] 구간①에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 턴 오프 된다. 그리고, 노드 Q'의 게이트 오프 전압(VEH)에 따라 트랜지스터 T2가 턴 오프 된다.
- [0067] 구간①에서, 노드 Q는 이전 프레임의 게이트 온 전압(VEL)을 유지하고, 노드 QA는 이전 프레임의 부스팅 전압(VEL')을 유지한다. 부스팅 전압(VEL')은 게이트 온 전압(VEL) 보다 더 낮을 수 있다. 노드 QA의 부스팅 전압(VEL')에 따라 트랜지스터 T7이 턴 온 되고 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0068] 구간①에서, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T4가 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 턴 오프 된다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 턴 온 되어 노드 Na에 게이트 온 전압(VEL)을 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.
- [0069] 구간①에서, 노드 QA의 부트 스트래핑에 의해 트랜지스터 T6에는 채널 전류가 흐르지 않고, 트랜지스터 T6는 실질적으로 턴 오프 상태가 된다.
- [0070] 도 9 및 도 10b를 참조하면, 구간②에서 외부 스타트 신호(EVST)와 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0071] 구간②에서, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 온 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 오프 상태로 유지된다. 그리고, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 커플링되어 노드 Q'가 게이트 온 전압(VEL)으로 변함으로써 트랜지스터 T2를 턴 온 시킨다.
- [0072] 구간②에서, 트랜지스터 T1을 통해 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)가 노드 Q에 인가된다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 턴 오프 시킨다.
- [0073] 구간②에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 턴 오프 되고, 트랜지스터 T2를 통해 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)가 노드 QB에 인가된다. 따라서, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b가 턴 온 되어, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 턴 오프 된다.
- [0074] 도 9 및 도 10c를 참조하면, 구간③에서 외부 스타트 신호(EVST)와 제1 클럭 신호(ECLK1)는 게이트 오프 전압

(VEH)으로 입력되고, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.

- [0075] 구간③에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 오프 상태로 유지된다. 그리고, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 커플링되어 노드 Q'가 게이트 오프 전압(VEH)으로 변함으로써 트랜지스터 T2를 턴 오프 시킨다.
- [0076] 구간③에서, 노드 Q는 플로팅(Floating) 되어 구간②의 게이트 오프 전압(VEH)을 유지한다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 오프 상태로 유지시킨다.
- [0077] 구간③에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 오프 상태로 유지된다. 트랜지스터 T2의 오프에 의해 노드 QB는 플로팅 되어 구간②의 게이트 온 전압(VEL)을 유지한다. 그리고, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b이 온 상태를 유지하여, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 오프 상태를 유지한다.
- [0078] 도 9 및 도 10d를 참조하면, 구간④에서 외부 스타트 신호(EVST)와 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0079] 구간④의 동작은 구간②와 동일하다. 따라서, 구간④에서 트랜지스터들 T1, T2는 턴 온 되고, 트랜지스터들 T6, T8a, T8b은 온 상태를 유지하고, 트랜지스터들 T3, T4, T5, T7은 오프 상태를 유지한다. 구간④에서, 트랜지스터 T7의 오프와 트랜지스터들 T8a, T8b의 온에 의해 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0080] 도 9 및 도 10e를 참조하면, 구간⑤에서 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0081] 구간⑤에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 턴 온 되어 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 턴 오프 된다.
- [0082] 구간⑤에서, 노드 Q는 플로팅(Floating) 되어 구간④의 게이트 오프 전압(VEH)을 유지한다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 오프 상태로 유지시킨다.
- [0083] 구간⑤에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 오프 상태로 유지된다. 트랜지스터 T2의 오프에 의해 노드 QB는 플로팅 되어 구간④의 게이트 온 전압(VEL)을 유지한다. 그리고, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b이 온 상태를 유지하여, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 오프 상태를 유지한다.
- [0084] 도 9 및 도 10f를 참조하면, 구간⑥에서 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0085] 구간⑥에서, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 온 되어 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)를 노드 Q에 인가한다. 노드 Q의 게이트 온 전압(VEL)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 턴 온 시킨다. 트랜지스터 T7의 턴 온에 의해 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력되어, 출력 노드(No)의 전위를 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 변화시킨다. 이때, 출력 노드(No)의 전위 변화는 커패시터 CB를 통해 노드 QA에 반영되어 노드 QA의 전위를 게이트 온 전압(VEL)에서 부스팅 전압(VGL')으로 부트 스트랩핑 시킨다. 노드 QA가 부스팅 전압(VGL')으로 부트 스트랩핑되면 출력 노드(No)의 전위가 지연이나 왜곡없이 게이트 온 전압(VEL)으로 변할 수 있다. 한편, 노드 QA가 부트 스트랩핑 될 때 트랜지스터 T6에는 채널 전류가 흐르지 않고, 트랜지스터 T6는 실질적으로 턴 오프 상태가 된다.
- [0086] 구간⑥에서, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 온 상태를 유지하여 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 오프 상태

를 유지한다.

- [0087] 구간⑥에서, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T4가 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 턴 오프 된다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 턴 온 되어 노드 Na에 게이트 온 전압(VEL)을 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.
- [0088] 도 9 및 도 10g를 참조하면, 구간⑦에서 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0089] 구간⑦의 동작은 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 된다는 것만 제외하고 나머지 동작은 구간 ⑥과 동일하다. 트랜지스터 T1이 턴 오프 되더라도 노드 Q는 구간⑥의 게이트 온 전압(VEL)을 유지하므로, 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0090] 도 9 및 도 10h를 참조하면, 구간⑧에서 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0091] 구간⑧의 동작은 구간⑥과 동일하다. 따라서, 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0092] 도 11a는 도 9의 구간① 내지 구간④에 대응되는 스테이지의 동작을 도표로 표시한 것이다. 그리고, 도 11b는 도 9의 구간⑤ 내지 구간⑧에 대응되는 스테이지의 동작을 도표로 표시한 것이다.
- [0093] 도 11a 및 도 11b에서, 전위 "Low"는 게이트 온 전압(VEL)을 의미하고, 전위 "High"는 게이트 오프 전압(VEH)을 의미하며, 전위 "Very Low"는 게이트 온 전압(VEL)보다 낮은 부스팅 전압(VEL')을 의미한다.
- [0094] 도 12는 이형부 영역에 대응되는 에미션 드라이버를 보여주는 도면이다. 그리고, 도 13은 도 6 내지 도 11b의 에미션 드라이버를 이형부 영역에 적용할 때 생기는 문제를 설명하기 위한 도면이다.
- [0095] 도 6 내지 도 11b를 통해 전술한 에미션 드라이버는 노드 Q를 활성화시키는 타이밍과 노드 QA를 부트 스트랩핑 되는 타이밍을 실질적으로 동시에 구현함으로써, 스테이지 구성이 최대한 간소화되어 베젤 영역을 줄이는 데 적합하다. 다만, 이러한 에미션 드라이버는 RC 부하 차이가 큰 이형부에 적용되기는 어려울 수 있다. 이에 대해 도 12를 참조하여 부연 설명하면 다음과 같다.
- [0096] 도 12와 같이 표시패널(100)의 액티브 영역(A/A)이 부분적인 곡면의 이형부를 갖는 경우, 이형부에 형성되는 게이트라인의 길이는 비 이형부에 형성되는 게이트라인의 길이보다 짧다. 따라서, 이형부의 게이트라인에 작용하는 RC 부하가 비 이형부에 비해 상대적으로 작다. 한편, 이형부의 위치가 클럭 인입부(DIC)로부터 멀리 떨어진 경우에는 클럭 배선에 작용하는 RC 부하가 비 이형부에 비해 이형부에서 더 크다.
- [0097] 이형부에 대응되는 에미션 드라이버의 GIP 소자들(즉, 스테이지들)(ARX)이 도 12에 확대 도시되어 있다. 그리고, 도 13에는 이형부에 대응되는 어느 한 스테이지가 간략하게 도시되어 있다. 이형부에 대응되는 스테이지의 경우, 클럭 배선의 로딩 증가에 따른 트랜지스터 T1의 응답 지연으로 노드 Q의 플로팅 타이밍이 원하는 타이밍보다 늦어지는 데 반해, 게이트라인의 로딩 감소로 인해 출력 노드의 폴 다운 타이밍은 원하는 타이밍보다 빨라지므로, 에미션 신호의 출력 파형이 왜곡될 수 있다. 따라서, 표시패널의 로딩 편차에도 불구하고 정상적인 에미션 신호를 출력할 수 있는 에미션 드라이버의 구조 보완이 필요하다. 보완된 에미션 드라이버에 대해서는 이하의 도 14 내지 도 19b를 통해 상세히 설명한다.
- [0098] 도 14는 도 5의 에미션 드라이버에 포함된 게이트 쉬프트 레지스터의 다른 구성이다.
- [0099] 도 14를 참조하면, 본 명세서의 다른 실시예에 따른 에미션 드라이버(132)는 다수의 스테이지들(ST1~ST4,...)로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 스테이지들(ST1~ST4,...)은 GIP 방식으로 형성된 GIP 소자들일 수 있다.
- [0100] 스테이지들(ST1~ST4,...)은 스타트 신호에 따라 순차적으로 동작이 활성화되어 에미션 신호(EM(1)~EM(4),...)를 출력한다. 최상단 스테이지(ST1)는 외부 스타트 신호(EVST)에 따라 동작이 활성화되고, 차상단 스테이지(ST2) 내지 최하단 스테이지는 전단 스테이지의 에미션 신호에 따라 동작이 활성화된다. 전단 스테이지의 에미션 신호는 내부 스타트 신호로서, 캐리 신호(CRY)가 된다. 여기서, "전단 스테이지"란, 기준이 되는 스테이지의 상부에

위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 앞선 에미션 신호를 생성하는 스테이지를 의미한다.

- [0101] 스테이지들(ST1~ST4,...)은 에미션 신호(EM(1)~EM(4),...)를 출력하기 위해, 레벨 쉬프터(150)로부터 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 및 제2 클럭신호(ECLK2)를 입력 받는다. 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 및 제2 클럭신호(ECLK2)는 모두 게이트 오프 전압(VEH)과 게이트 온 전압(VEL) 사이에서 스윙할 수 있다.
- [0102] 외부 스타트 신호(EVST)는 최상단 스테이지(ST1)에 입력되고, 제1 클럭신호(ECLK1)는 제1 클럭 배선을 통해 모든 스테이지들(ST1~ST4,...)에 입력되고, 제2 클럭신호(ECLK2)는 제2 클럭 배선을 통해 모든 스테이지들(ST1~ST4,...)에 입력된다. 다만, 스테이지들(ST1~ST4,...) 중에서, 기수번째 스테이지들(ST1,ST3,...)과 우수번째 스테이지들(ST2,ST4,...)에는 제1 클럭 신호(ECLK1)와 제2 클럭 신호(ECLK2)가 서로 바뀌어 입력된다. 이러한 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 서로 다른 위상을 가진다.
- [0103] 스테이지들(ST1~ST4,...) 각각은 그 회로 구성을 간소화할 수 있고, 표시패널의 로딩 편차에도 불구하고 정상적인 에미션 신호를 출력할 수 있도록 노드 Q의 활성화와 타이밍과 노드 QA의 부트 스트랩핑 타이밍을 시간적으로 분리한다. 이를 위해, 스테이지들(ST1~ST4,...) 각각은 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2) 중 어느 하나를 기반으로 노드 Q를 활성화한 후에, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2) 중 나머지 하나를 기반으로 노드 QA를 부트 스트랩핑시킬 수 있다.
- [0104] 스테이지들(ST1~ST4,...) 각각은 매 프레임마다 스타트단자에 인가되는 스타트 신호에 따라 노드 Q의 동작을 활성화한다. 여기서, 노드가 활성화된다는 것은 그 노드에 게이트 온 전압(VEL) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다. 그리고, 노드가 비 활성화된다는 것은 그 노드에 게이트 오프 전압(VEH) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다.
- [0105] 각 스테이지들(ST1~ST4,...)은 외부의 전원 공급부로부터 게이트 오프 전압(VEH)과 게이트 온 전압(VEL)을 공급받는다. 게이트 오프 전압(VEH)은 예컨대, 20V~30V 사이에서 어느 한 값으로 설정될 수 있고, 게이트 온 전압(VEL)은 -10V~0V 사이에서 어느 한 값으로 설정될 수 있으나, 이에 한정되지 않는다.
- [0106] 도 15는 도 14의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지(ST1)의 일 구성을 보여준다. 도 16은 도 14의 게이트 쉬프트 레지스터에 포함된 최상단 스테이지(ST1)의 다른 구성을 보여준다.
- [0107] 최상단 스테이지(ST1)를 제외한 나머지 기수 스테이지들은 외부 스타트 신호(EVST) 대신에 내부 스타트 신호(CRY)를 인가받는 것과, 위상의 다른 에미션 신호를 출력하는 것을 제외하고 나머지 구성은 실질적으로 동일하다. 또한, 우수 스테이지들은 외부 스타트 신호(EVST) 대신에 내부 스타트 신호(CRY)를 인가받는 것과, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)를 서로 바뀌어 인가받는 것과, 위상의 다른 에미션 신호를 출력하는 것을 제외하고 나머지 구성은 동일하다.
- [0108] 도 15를 참조하면, 스테이지(ST1)는 노드 Q가 게이트 오프 전압(VEH)으로 비 활성화 되고 노드 QB가 게이트 온 전압(VEL)으로 활성화 되는 동안에 게이트 오프 전압(VEH)의 에미션 신호(EM(1))를 출력한다. 이어서, 스테이지(ST1)는 노드 Q가 게이트 온 전압(VEL) 이하로 활성화 되고 노드 QB가 게이트 오프 전압(VEH)으로 비 활성화 되는 동안에 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력한다. 다시 말해, 스테이지(ST1)는 노드 Q가 제1 클럭신호(ECLK1)에 따라 활성화된 이후에, 노드 QA가 제2 클럭신호(ECLK2)에 따라 부트 스트랩핑 될 때부터 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력한다.
- [0109] 따라서, 스테이지(ST1)는 Q 제어부, QB 제어부, 부트 스트랩핑 제어부, 출력부 및 제1 안정화부를 포함할 수 있다.
- [0110] Q 제어부는 트랜지스터 T1으로 구현될 수 있다. 트랜지스터 T1은 제1 클럭신호(ECLK1)에 따라 노드 Q에 게이트 온 전압(VEL)의 스타트 신호(EVST)를 인가하여 상기 노드 Q를 활성화시킨다. 트랜지스터 T1의 게이트전극은 제1 클럭신호(ECLK1)의 입력단과 접속되고, 트랜지스터 T1의 제1 전극과 제2 전극은 각각 스타트 신호(EVST)의 입력단과 노드 Q에 접속된다.
- [0111] QB 제어부는 제1 클럭신호(ECLK1), 스타트 신호(EVST), 및 노드 Q의 전위에 따라 노드 QB를 노드 Q와 반대로 활성화시킨다. QB 제어부는 커패시터 CQ', 트랜지스터 T2, 트랜지스터 T3, 트랜지스터 T4, 및 커패시터 CQB로 구현될 수 있다.
- [0112] 커패시터 CQ'는 제1 클럭신호(ECLK1)의 입력단과 노드 Q' 사이에 접속된다. 트랜지스터 T2는 노드 Q'의 전위에

따라 제1 클럭신호(ECLK1)를 노드 QB에 공급한다. 트랜지스터 T2의 게이트전극은 노드 Q'에 접속되고, 트랜지스터 T2의 제1 전극과 제2 전극은 각각 제1 클럭신호(ECLK1)의 입력단과 노드 QB에 접속된다. 트랜지스터 T3는 스타트 신호(EVST)에 따라 노드 Q'에 게이트 오프 전압(VEH)을 공급한다. 트랜지스터 T3의 게이트전극은 스타트 신호(EVST)의 입력단에 접속되고, 트랜지스터 T3의 제1 전극과 제2 전극은 각각 노드 Q'와 게이트 오프 전압(VEH)의 입력단에 접속된다. 이러한 구성에 의해, 노드 Q'의 전위는 스타트 신호(EVST)가 게이트 오프 전압(VEH)으로 유지되는 동안에 제1 클럭신호(ECLK1)에 동기되어 변한다. 또한, 노드 Q'의 전위는 스타트 신호(EVST)가 게이트 온 전압(VEL)으로 유지되는 동안에 게이트 오프 전압(VEH)이 된다.

[0113] 트랜지스터 T4는 노드 Q의 전위에 따라 노드 QB에 게이트 오프 전압(VEH)을 공급한다. 트랜지스터 T4의 게이트 전극은 노드 Q에 접속되고, 트랜지스터 T4의 제1 전극과 제2 전극은 각각 노드 QB와 게이트 오프 전압(VEH)의 입력단에 접속된다. 커패시터 CQB는 노드 QB와 게이트 오프 전압(VEH) 사이에 연결되어 노드 QB의 전위를 안정화시킨다.

[0114] 부트 스트랩핑 제어부는 제2 클럭 신호(ECLK2)에 따라 노드 QA를 부트 스트랩핑 시킨다. 부트 스트랩핑 제어부는 트랜지스터 T9과, 커패시터 CB를 포함한다. 트랜지스터 T9는 노드 Q의 게이트 온 전압(VEL)에 따라 게이트 온 전압(VEL)의 제2 클럭신호(ECLK2)를 노드 QA'에 공급한다. 트랜지스터 T9의 게이트전극은 노드 Q에 접속되고, 트랜지스터 T9의 제1 전극과 제2 전극은 각각 제2 클럭신호(ECLK2)의 입력단과 노드 QA'에 접속된다. 커패시터 CB는 노드 QA와 노드 QA' 사이에 접속되어, 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 변하는 노드 QA'의 전위 변화분을 노드 QA에 반영함으로써, 노드 QA를 부트 스트랩핑 시키는 역할을 한다.

[0115] 출력부는 풀다운 소자인 트랜지스터 T7, 풀업 소자인 트랜지스터 T8 를 포함한다.

[0116] 트랜지스터 T7은 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압(VEL)의 에미션 신호(EM(1))를 출력 노드(No)에 공급한다. 트랜지스터 T7의 게이트전극은 노드 QA에 접속되고, 트랜지스터 T7의 제1 전극과 제2 전극은 각각 게이트 온 전압(VEL)의 입력단과 출력 노드(No)에 접속된다. 트랜지스터 T8은 노드 Q에 앞서 노드 QB가 활성화되는 동안 게이트 오프 전압(VEH)의 에미션 신호(EM(1))를 출력 노드(No)에 공급한다. 트랜지스터 T8의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8의 제1 전극과 제2 전극은 각각 출력 노드(No)와 게이트 오프 전압(VEH)의 입력단에 접속된다.

[0117] 제1 안정화부는 트랜지스터 T6로 구현될 수 있다. 트랜지스터 T6의 게이트전극은 게이트 온 전압(VEL)의 입력단에 접속되고, 트랜지스터 T6의 제1 전극과 제2 전극은 각각 노드 Q와 노드 QA에 접속된다. 트랜지스터 T6의 제1 및 제2 전극 간 채널 전류는 노드 QA가 부트 스트랩핑 될 때 제로가 된다. 다시 말해, 트랜지스터 T6는 노드 QA가 부트 스트랩핑 될 때 턴 오프 됨으로써, 노드 Q와 노드 QA 간의 전기적 연결을 차단하여 노드 Q에 연결된 트랜지스터들이 받는 부하를 줄일 수 있다. 한편, 노드 QA가 부트 스트랩핑되지 않는 동안에는 트랜지스터 T6는 턴 온 상태를 유지한다.

[0118] 트랜지스터 T6는 턴 온 상태를 유지하다가 노드 QA가 부트 스트랩핑 될 때에만 턴 오프 되어 노드 Q와 노드 QA 사이의 전류 흐름을 차단한다. 따라서, 노드 QA가 부트 스트랩핑 될 때 노드 Q의 전위는 노드 QA의 전위와 달라진다. 부트 스트랩핑 순간에 노드 QA의 전위가 변하더라도 노드 Q의 전위는 변하지 않기 때문에, 노드 Q에 연결된 트랜지스터들 T1, T4에는 부트 스트랩핑 순간에 과부하가 걸리지 않게 된다. 만약, 트랜지스터 T6가 없다면, 트랜지스터 T1의 드레인-소스 간 전압(V_{ds}), 및 트랜지스터 T4의 게이트-소스 간 전압(V_{gs})은 부트 스트랩핑으로 인해 임계치 이상으로 증가될 수 있고, 이러한 과부하 현상이 지속되면 소자 파괴 현상, 소위 브레이크 다운(Break down) 현상이 생길 수 있다. 트랜지스터 T6는 노드 QA의 부트 스트랩핑 순간에 노드 Q에 연결된 트랜지스터들 T1, T4이 브레이크 다운되지 않도록 한다.

[0119] 한편, 도 16의 스테이지(ST1)는 도 15의 그것에 비해 트랜지스터 T8을 듀얼 게이트 구조로 변경하고, 트랜지스터 T5를 추가한 점에서 다르다. 스테이지(ST1)에 적용되는 도 16의 회로는 도 15의 회로에 보다 풀업 소자의 누설전류를 억제하기 용이한 이점이 있다.

[0120] 도 16을 참조하면, 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함할 수 있다. 트랜지스터 T8a의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8a의 제1 전극은 출력 노드(No)에 접속되며, 트랜지스터 T8a의 제2 전극은 노드 Na에 접속된다. 그리고, 트랜지스터 T8b의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T8b의 제1 전극은 노드 Na에 접속되며, 트랜지스터 T8b의 제2 전극은 게이트 오프 전압(VEH)의 입력단에 접속된다.

[0121] 트랜지스터 T5의 게이트전극은 출력 노드(No)에 접속되고, 트랜지스터 T5의 제1 전극은 게이트 온 전압(VEL)의

입력단에 접속되며, 트랜지스터 T5의 제2 전극은 노드 Na에 접속된다.

- [0122] 스테이지(ST1)에서 출력되는 에미션 신호(EM(1))는 1 프레임 중의 대부분의 시간 동안 게이트 온 전압(VEL)을 유지한다. 따라서, 출력 노드(No)의 전위는 1 프레임 중의 대부분의 시간 동안 게이트 온 전압(VEL)을 유지한다.
- [0123] 도 15의 트랜지스터 T8의 경우, 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지할 때 드레인-소스 전압(VEH-VEL)이 크고, 이러한 상태가 장시간 지속되면 열화되기 쉽다. 열화로 인해 트랜지스터 T8에 누설 전류가 흐르면, 정상적인 에미션 신호(EM(1))가 출력될 수 없다.
- [0124] 반면, 도 16의 트랜지스터 T8a의 경우, 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지하는 동안 트랜지스터 T5를 통해 노드 Na에 게이트 온 전압(VEL)인 인가되므로, 드레인-소스 전압(VEL-VEL)이 이상적으로 "0"이 되고, 따라서 열화가 방지된다. 출력 노드(No)의 전위가 게이트 온 전압(VEL)을 유지하는 동안 드레인-소스 전압(VEH-VEL)에 의해 트랜지스터 T8b가 열화되어 누설 전류가 생기더라도, 트랜지스터 T8a에 의해 그러한 누설 전류의 흐름은 억제될 수 있다.
- [0125] 도 17은 도 16에 도시된 스테이지의 동작 파형이다. 그리고, 도 18a 내지 도 18h는 도 17의 구간① 내지 구간⑧에 각각 대응되는 스테이지의 동작 상태를 나타낸다.
- [0126] 도 17 및 도 18a를 참조하면, 구간①에서 외부 스타트 신호(EVST)와 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0127] 구간①에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 턴 오프 된다. 그리고, 노드 Q'의 게이트 오프 전압(VEH)에 따라 트랜지스터 T2가 턴 오프 된다.
- [0128] 구간①에서, 노드 Q는 이전 프레임의 제1 게이트 온 전압(VEL")을 유지한다. 제1 게이트 온 전압(VEL")은 게이트 온 전압(VEL)보다 더 낮을 수 있다. 노드 Q의 제1 게이트 온 전압(VEL")에 따라 트랜지스터 T9가 턴 온 되어 게이트 온 전압(VEL)의 제2 클럭신호(ECLK2)를 노드 QA'에 공급한다. 따라서, 노드 QA는 게이트 온 전압(VEL)의 제2 클럭신호(ECLK2)에 따라 부트 스트랩핑 되어 제1 부스팅 전압(VEL'")을 유지한다. 제1 부스팅 전압(VEL'")은 제1 게이트 온 전압(VEL")보다 더 낮을 수 있다. 노드 QA의 제1 부스팅 전압(VEL'")에 따라 트랜지스터 T7이 턴 온 되고 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0129] 구간①에서, 노드 Q의 제1 게이트 온 전압(VEL")에 따라 트랜지스터 T4가 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 턴 오프 된다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 턴 온 되어 노드 Na에 게이트 온 전압(VEL)을 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.
- [0130] 구간①에서, 노드 QA의 부트 스트랩핑에 의해 트랜지스터 T6에는 채널 전류가 흐르지 않고, 트랜지스터 T6는 실질적으로 턴 오프 상태가 된다.
- [0131] 도 17 및 도 18b를 참조하면, 구간②에서 외부 스타트 신호(EVST)와 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0132] 구간②에서, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 온 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 오프 상태로 유지된다. 그리고, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 커플링되어 노드 Q'가 게이트 온 전압(VEL)으로 변함으로써 트랜지스터 T2를 턴 온 시킨다.
- [0133] 구간②에서, 트랜지스터 T1을 통해 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)가 노드 Q에 인가된다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 턴 오프 시킨다.
- [0134] 구간②에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 턴 오프 되고, 트랜지스터 T2를 통해 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)가 노드 QB에 인가된다. 따라서, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b를 턴 온 되어, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 턴 오프 된다.
- [0135] 구간②에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T9가 턴 오프 되어 노드 QA'를 플로팅시킨다. 따라서, 노드 QA'는 노드 QA의 전위 변화에 따라 게이트 오프 전압(VEH)으로 부트 스트랩핑된다.

- [0136] 도 17 및 도 18c를 참조하면, 구간③에서 외부 스타트 신호(EVST)와 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0137] 구간③에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 오프 전압(VEH)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 오프 상태로 유지된다. 그리고, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 커플링되어 노드 Q'가 게이트 오프 전압(VEH)으로 변함으로써 트랜지스터 T2를 턴 오프 시킨다.
- [0138] 구간③에서, 노드 Q는 플로팅(Floating) 되어 구간②의 게이트 오프 전압(VEH)을 유지한다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 오프 상태로 유지시킨다.
- [0139] 구간③에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 오프 상태로 유지된다. 트랜지스터 T2의 오프에 의해 노드 QB는 플로팅 되어 구간②의 게이트 온 전압(VEL)을 유지한다. 그리고, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b이 온 상태를 유지하여, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 오프 상태를 유지한다.
- [0140] 구간③에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T9가 오프 상태를 유지하여 노드 QA'를 플로팅 시킨다. 따라서, 노드 QA'는 구간②의 게이트 오프 전압(VEH)을 유지한다.
- [0141] 도 17 및 도 18d를 참조하면, 구간④에서 외부 스타트 신호(EVST)와 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0142] 구간④의 동작은 구간②와 동일하다. 따라서, 구간④에서 트랜지스터들 T1, T2는 턴 온 되고, 트랜지스터들 T6, T8a, T8b은 온 상태를 유지하고, 트랜지스터들 T3, T4, T5, T7, T9은 오프 상태를 유지한다. 구간④에서, 트랜지스터 T7의 오프와 트랜지스터들 T8a, T8b의 온에 의해 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.
- [0143] 도 17 및 도 18e를 참조하면, 구간⑤에서 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0144] 구간⑤에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 턴 온 되어 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 턴 오프 된다.
- [0145] 구간⑤에서, 노드 Q는 플로팅(Floating) 되어 구간④의 게이트 오프 전압(VEH)을 유지한다. 노드 Q의 게이트 오프 전압(VEH)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 오프 상태로 유지시킨다.
- [0146] 구간⑤에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T4가 오프 상태로 유지된다. 트랜지스터 T2의 오프에 의해 노드 QB는 플로팅 되어 구간④의 게이트 온 전압(VEL)을 유지한다. 그리고, 노드 QB의 게이트 온 전압(VEL)에 따라 트랜지스터들 T8a, T8b이 온 상태를 유지하여, 게이트 오프 전압(VEH)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다. 출력 노드(No)의 게이트 오프 전압(VEH)에 따라 트랜지스터 T5가 오프 상태를 유지한다.
- [0147] 구간⑤에서, 노드 Q의 게이트 오프 전압(VEH)에 따라 트랜지스터 T9가 오프 상태를 유지하여 노드 QA'를 계속해서 플로팅시킨다. 따라서, 노드 QA'는 구간②의 게이트 오프 전압(VEH)을 유지한다.
- [0148] 도 17 및 도 18f를 참조하면, 구간⑥에서 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.
- [0149] 구간⑥에서, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 온 되어 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)를 노드 Q에 인가한다. 노드 Q의 게이트 온 전압(VEL)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 턴 온 시킨다. 트랜지스터 T7의 턴 온에 의해 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력되어, 출력 노드(No)의 전위를 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 변화시킨다.
- [0150] 이때, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T9가 턴 온 되어 게이트 오프 전압(VEH)의 제2 클럭신

호(ECLK2)를 노드 QA'에 공급한다. 노드 QA'의 전위는 구간⑤와 동일하게 게이트 오프 전압(VEH)으로 유지된다. 이때, 노드 QA는 외부 스타트 신호(EVST)의 입력단에 연결되므로, 다시 말해 플로팅되어 있지 않기 때문에 부트 스트랩핑 되지 않는다. 노드 QA가 부트 스트랩핑 되지 않기 때문에 출력 노드(No)의 전위는 게이트 오프 전압(VEH)에서 중간 전압(VM)으로 서서히 변한다. 여기서, 중간 전압(VM)은 게이트 오프 전압(VEH)과 게이트 온 전압(VEL) 사이의 특정 전압이다.

[0151] 구간⑥에서, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 온 상태를 유지하여 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 오프 상태를 유지한다.

[0152] 구간⑥에서, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T4가 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 턴 오프 된다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 턴 온 되어 노드 Na에 게이트 온 전압(VEL)을 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.

[0153] 도 17 및 도 18g를 참조하면, 구간⑦에서 제1 클럭 신호(ECLK1)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제2 클럭신호(ECLK2)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.

[0154] 구간⑦에서, 게이트 오프 전압(VEH)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 오프 되고, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 온 상태를 유지하여 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 오프 상태를 유지한다.

[0155] 구간⑦에서, 노드 Q는 플로팅(Floating) 되어 구간⑥의 게이트 온 전압(VEL)을 유지한다. 이때, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T9가 턴 온 되어 게이트 온 전압(VEL)의 제2 클럭신호(ECLK2)를 노드 QA'에 공급한다. 따라서, 노드 Q와 노드 QA는 게이트 온 전압(VEL)의 제2 클럭신호(ECLK2)에 따라 제1 게이트 온 전압(VEL")으로 낮아지고, 이어서 노드 QA의 부트 스트랩핑에 의해 트랜지스터 T6의 채널 전류가 끊긴다. 결국, 노드 Q는 제1 게이트 온 전압(VEL")으로 변하고, 노드 QA는 제1 게이트 온 전압(VEL")보다 더 낮은 제1 부스팅 전압(VEL'")으로 변한다. 노드 QA의 제1 부스팅 전압(VEL'")에 따라 트랜지스터 T7이 턴 온 되고 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 출력 노드(No)로 출력된다.

[0156] 구간⑦에서, 노드 Q의 제1 게이트 온 전압(VEL")에 따라 트랜지스터 T4가 오프 상태를 유지하여 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 오프 상태를 유지한다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 온 상태를 유지하여 노드 Na에 게이트 온 전압(VEL)을 계속적으로 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.

[0157] 도 17 및 도 18h를 참조하면, 구간⑧에서 제2 클럭 신호(ECLK2)는 게이트 오프 전압(VEH)으로 입력되고, 외부 스타트 신호(EVST)는 게이트 온 전압(VEL)으로 입력되며, 제1 클럭신호(ECLK1)는 일정 시간 동안 게이트 온 전압(VEL)으로 입력된다.

[0158] 구간⑧에서, 게이트 온 전압(VEL)의 제1 클럭 신호(ECLK1)에 따라 트랜지스터 T1이 턴 온 되어 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)를 노드 Q에 인가한다. 노드 Q의 게이트 온 전압(VEL)은 트랜지스터 T6를 통해 노드 QA에 인가되어 트랜지스터 T7을 온 상태로 유지시킨다. 트랜지스터 T7의 턴 온에 의해 게이트 온 전압(VEL)의 에미션 신호(EM(1))가 계속해서 출력 노드(No)로 출력된다.

[0159] 이때, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T9가 온 상태로 유지되어 게이트 오프 전압(VEH)의 제2 클럭신호(ECLK2)를 노드 QA'에 공급한다. 노드 QA는 트랜지스터들 T1, T6을 통해 외부 스타트 신호(EVST)의 입력단에 연결되므로 부트 스트랩핑 되지 않는다. 노드 QA가 부트 스트랩핑 되지 않기 때문에 출력 노드(No)의 전위는 게이트 온 전압(VEL)을 유지한다.

[0160] 구간⑧에서, 게이트 온 전압(VEL)의 외부 스타트 신호(EVST)에 따라 트랜지스터 T3이 온 상태를 유지하여 노드 Q'에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T2는 노드 Q'의 게이트 오프 전압(VEH)에 따라 오프 상태를 유지한다.

[0161] 구간⑧에서, 노드 Q의 게이트 온 전압(VEL)에 따라 트랜지스터 T4가 온 상태를 유지하여 노드 QB에 게이트 오프 전압(VEH)이 인가된다. 그리고, 노드 QB의 게이트 오프 전압(VEH)에 따라 트랜지스터들 T8a, T8b가 오프 상태를 유지한다. 출력 노드(No)의 게이트 온 전압(VEL)에 따라 트랜지스터 T5가 온 상태를 유지하여 노드 Na에 게이트

온 전압(VEL)을 계속적으로 인가함으로써, 트랜지스터 T8a의 열화를 억제한다.

- [0162] 도 19a는 도 17의 구간① 내지 구간④에 대응되는 스테이지의 동작을 도표로 표시한 것이다. 그리고, 도 19b는 도 17의 구간⑤ 내지 구간⑧에 대응되는 스테이지의 동작을 도표로 표시한 것이다.
- [0163] 도 19a 및 도 19b에서, 전위 "Low"는 게이트 온 전압(VEL)을 의미하고, 전위 "High"는 게이트 오프 전압(VEH)을 의미하며, 전위 "Very Low"는 게이트 온 전압(VEL)보다 낮은 제1 게이트 온 전압(VEL')을 의미하고, 전위 "Extreme Low"는 제1 게이트 온 전압(VEL')보다 낮은 부스팅 전압(VEL'')을 의미한다.
- [0164] 전술한 바와 같이, 본 명세서에 따르면 에미션 드라이버의 스테이지 구성이 최대한 간소화될 수 있기 때문에 네로우 베젤 기술을 구현하기가 매우 용이해진다.
- [0165] 나아가, 본 명세서에 따르면 에미션 드라이버의 스테이지 구성이 최대한 간소화될 수 있음은 물론이거니와 표시 패널의 형태에 상관없이 에미션 드라이버의 동작 안전성 및 신뢰성이 획기적으로 높아질 수 있다.
- [0166] 본 명세서의 실시예에 따른 게이트 드라이버와 이를 포함한 전체 발광 표시장치는 다음과 같이 설명될 수 있다.
- [0167] 본 명세서의 일 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 여기서, 상기 복수의 스테이지들 각각은, 클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 상기 노드 Q를 활성화시키는 트랜지스터 T1; 상기 노드 Q가 활성화되는 타이밍에 동기하여 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7; 상기 클럭 신호, 상기 스타트 신호, 및 상기 노드 Q의 전위에 따라 노드 QB를 상기 노드 Q와 반대로 활성화시키는 QB 제어부; 및 상기 노드 Q에 앞서 상기 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 상기 출력 노드에 공급하는 트랜지스터 T8을 포함한다.
- [0168] 상기 스테이지들 각각은 상기 출력 노드와 상기 노드 QA 사이에 접속된 커패시터 CB를 더 포함하고, 상기 커패시터 CB는 상기 에미션 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 변할 때, 상기 출력 노드의 전위 변화를 상기 노드 QA의 전위에 반영하여 상기 노드 QA를 부트 스트랩핑 시킨다.
- [0169] 상기 스테이지들 각각에서 상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q의 전위는 상기 노드 QA의 전위와 달라진다.
- [0170] 상기 복수의 스테이지들 각각은, 상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q와 상기 노드 QA 간의 전기적 연결을 차단하는 트랜지스터 T6를 더 포함한다.
- [0171] 상기 스테이지들 각각에서 상기 트랜지스터 T6의 게이트전극은 상기 게이트 온 전압의 입력단에 접속되고, 상기 트랜지스터 T6의 제1 전극은 상기 노드 Q에 접속되며, 상기 트랜지스터 T6의 제2 전극은 상기 노드 QA에 접속된다.
- [0172] 상기 스테이지들 각각에서 상기 QB 제어부는, 상기 클럭 신호의 입력단과 노드 Q' 사이에 접속된 커패시터 CQ'; 상기 노드 Q'의 전위에 따라 상기 클럭 신호를 상기 노드 QB에 공급하는 트랜지스터 T2; 상기 스타트 신호에 따라 상기 노드 Q'에 게이트 오프 전압을 공급하는 트랜지스터 T3; 및 상기 노드 Q의 전위에 따라 상기 노드 QB에 상기 게이트 오프 전압을 공급하는 트랜지스터 T4를 포함한다.
- [0173] 상기 스테이지들 각각에서 상기 노드 Q'의 전위는, 상기 스타트 신호가 상기 게이트 오프 전압으로 유지되는 동안에 상기 클럭 신호에 동기되어 변하고, 상기 스타트 신호가 상기 게이트 온 전압으로 유지되는 동안에 상기 게이트 오프 전압이 된다.
- [0174] 상기 스테이지들 각각에서 상기 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함하고, 상기 트랜지스터 T8a의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8a의 제1 전극은 상기 출력 노드에 접속되며, 상기 트랜지스터 T8a의 제2 전극은 노드 Na에 접속되고, 상기 트랜지스터 T8b의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8b의 제1 전극은 상기 노드 Na에 접속되며, 상기 트랜지스터 T8b의 제2 전극은 상기 게이트 오프 전압의 입력단에 접속된다.
- [0175] 상기 복수의 스테이지들 각각은, 상기 트랜지스터 T8의 누설 전류를 억제하기 위해 트랜지스터 T5를 더 포함하고, 상기 트랜지스터 T5의 게이트전극은 상기 출력 노드에 접속되고, 상기 트랜지스터 T5의 제1 전극은 상기 게이트 온 전압의 입력단에 접속되며, 상기 트랜지스터 T5의 제2 전극은 상기 노드 Na에 접속된다.
- [0176] 상기 스테이지들 각각에서 상기 클럭 신호는, 제1 클럭 배선을 통해 인가되며 제1 위상을 갖는 제1 클럭 신호와, 제2 클럭 배선을 통해 인가되며 상기 제1 위상과 다른 제2 위상을 갖는 제2 클럭 신호를 포함하고, 상

기 복수의 스테이지들 중에서, 기수번째 스테이지들에는 상기 제1 클럭 신호가 입력되고, 우수번째 스테이지들에는 상기 제2 클럭 신호가 입력된다.

- [0177] 또한, 본 명세서의 일 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 여기서, 상기 복수의 스테이지들 각각은, 제1 클럭 신호에 따라 노드 Q에 게이트 온 전압의 스타트 신호를 인가하여 상기 노드 Q를 활성화시키는 트랜지스터 T1; 상기 제1 클럭 신호와 위상이 다른 제2 클럭 신호에 따라 노드 QA가 부트 스트랩핑 될 때부터 게이트 온 전압의 에미션 신호를 출력 노드에 공급하는 트랜지스터 T7; 상기 제1 클럭 신호, 상기 스타트 신호, 및 상기 노드 Q의 전위에 따라 노드 QB를 상기 노드 Q와 반대로 활성화시키는 QB 제어부; 및 상기 노드 Q에 앞서 상기 노드 QB가 활성화되는 동안 게이트 오프 전압의 에미션 신호를 상기 출력 노드에 공급하는 트랜지스터 T8을 포함한다.
- [0178] 상기 복수의 스테이지들 각각은, 상기 노드 QA와 노드 QA' 사이에 접속된 커패시터 CB; 및 상기 노드 Q에 따라 스위칭되어 상기 제2 클럭 신호를 상기 노드 QA'에 공급하는 트랜지스터 T9을 더 포함하고, 상기 커패시터 CB는 상기 제2 클럭 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 변할 때, 상기 제2 클럭 신호의 전위 변화를 상기 노드 QA의 전위에 반영하여 상기 노드 QA를 부트 스트랩핑 시킨다.
- [0179] 상기 스테이지들 각각에서 상기 노드 QA'의 전위는, 상기 노드 Q의 전위가 상기 게이트 오프 전압으로 유지되는 동안에 상기 게이트 오프 전압이 되고, 상기 노드 Q의 전위가 상기 게이트 온 전압 이하로 유지되는 동안에 상기 제2 클럭 신호에 동기된다.
- [0180] 상기 스테이지들 각각에서 상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q의 전위는 상기 노드 QA의 전위와 달라진다.
- [0181] 상기 복수의 스테이지들 각각은, 상기 노드 QA가 부트 스트랩핑 될 때 상기 노드 Q와 상기 노드 QA 간의 전기적 연결을 차단하는 트랜지스터 T6를 더 포함한다.
- [0182] 상기 스테이지들 각각에서 상기 트랜지스터 T6의 게이트전극은 상기 게이트 온 전압의 입력단에 접속되고, 상기 트랜지스터 T6의 제1 전극은 상기 노드 Q에 접속되며, 상기 트랜지스터 T6의 제2 전극은 상기 노드 QA에 접속된다.
- [0183] 상기 스테이지들 각각에서 상기 QB 제어부는, 상기 제1 클럭 신호의 입력단과 노드 Q' 사이에 접속된 커패시터 CQ'; 상기 노드 Q'의 전위에 따라 상기 제1 클럭 신호를 상기 노드 QB에 공급하는 트랜지스터 T2; 상기 스타트 신호에 따라 상기 노드 Q'에 게이트 오프 전압을 공급하는 트랜지스터 T3; 및 상기 노드 Q의 전위에 따라 상기 노드 QB에 상기 게이트 오프 전압을 공급하는 트랜지스터 T4를 포함한다.
- [0184] 상기 스테이지들 각각에서 상기 노드 Q'의 전위는, 상기 스타트 신호가 상기 게이트 오프 전압으로 유지되는 동안에 상기 제1 클럭 신호에 동기하여 변하고, 상기 스타트 신호가 상기 게이트 온 전압으로 유지되는 동안에 상기 게이트 오프 전압이 된다.
- [0185] 상기 스테이지들 각각에서 상기 트랜지스터 T8은 서로 직렬 연결된 트랜지스터 T8a와 트랜지스터 T8b를 포함하고, 상기 트랜지스터 T8a의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8a의 제1 전극은 상기 출력 노드에 접속되며, 상기 트랜지스터 T8a의 제2 전극은 노드 Na에 접속되고, 상기 트랜지스터 T8b의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 T8b의 제1 전극은 상기 노드 Na에 접속되며, 상기 트랜지스터 T8b의 제2 전극은 상기 게이트 오프 전압의 입력단에 접속된다.
- [0186] 상기 복수의 스테이지들 각각은, 상기 트랜지스터 T8의 누설 전류를 억제하기 위해 트랜지스터 T5를 더 포함하고, 상기 트랜지스터 T5의 게이트전극은 상기 출력 노드에 접속되고, 상기 트랜지스터 T5의 제1 전극은 상기 게이트 온 전압의 입력단에 접속되며, 상기 트랜지스터 T5의 제2 전극은 상기 노드 Na에 접속된다.
- [0187] 상기 복수의 스테이지들 중에서 기수번째 스테이지들과 우수번째 스테이지들에는 상기 제1 클럭 신호와 상기 제2 클럭 신호가 서로 바뀌어 입력된다.
- [0188] 또한, 본 명세서의 일 실시예에 따른 전계 발광 표시장치는 픽셀들에 연결된 게이트라인들이 구비된 표시패널; 및 상기 청구항 제1항 내지 제21항 중 어느 한 항의 상기 스테이지들을 통해 상기 에미션 신호를 생성하고, 상기 에미션 신호를 상기 게이트라인들에 공급하는 게이트 드라이버를 포함한다.
- [0189] 상기 픽셀들 각각은, OLED; 게이트-소스 간 전압에 따라 상기 OLED에 흐르는 구동전류를 제어하는 구동 TFT; 및 상기 에미션 신호에 따라 온/오프 되어 상기 OLED의 발광 타이밍을 결정하는 에미션 TFT를 포함한다.

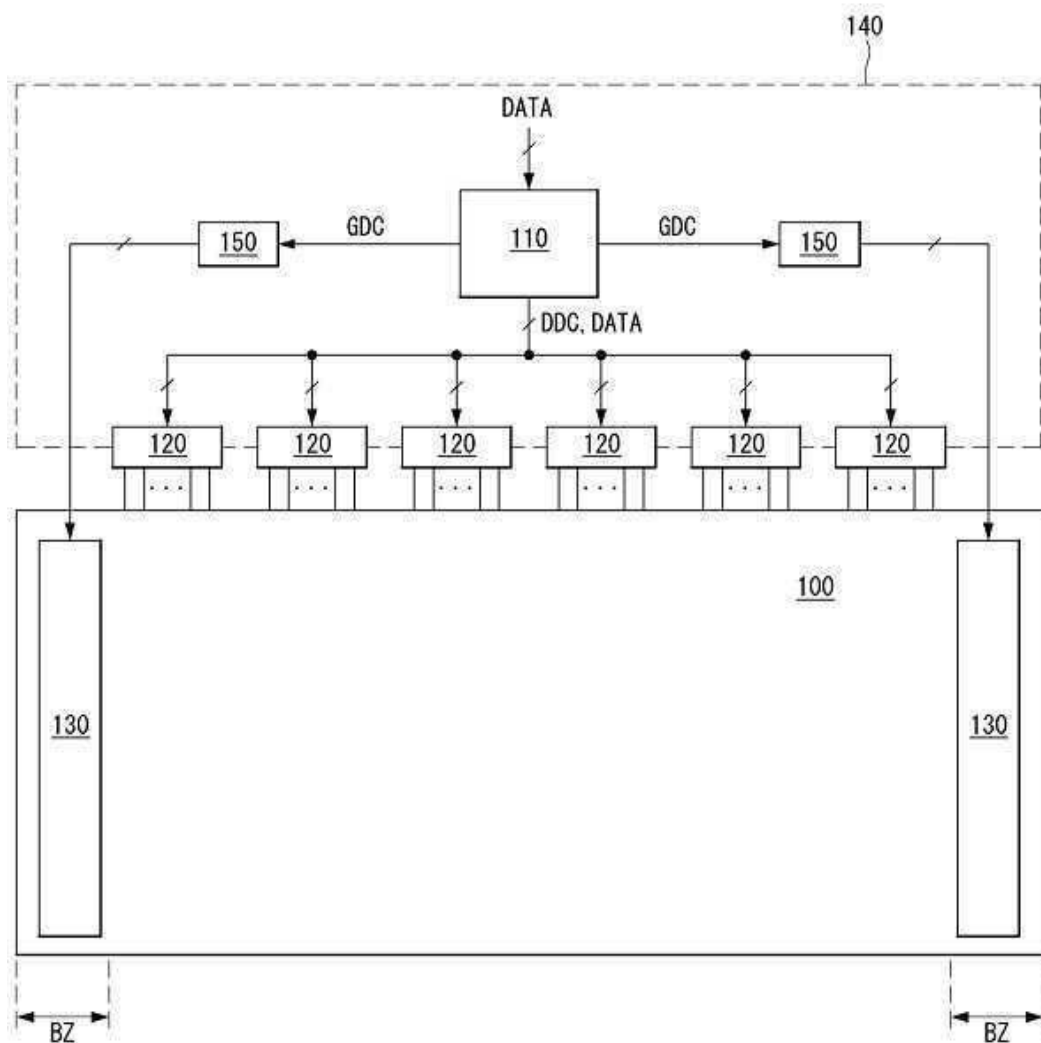
[0190] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

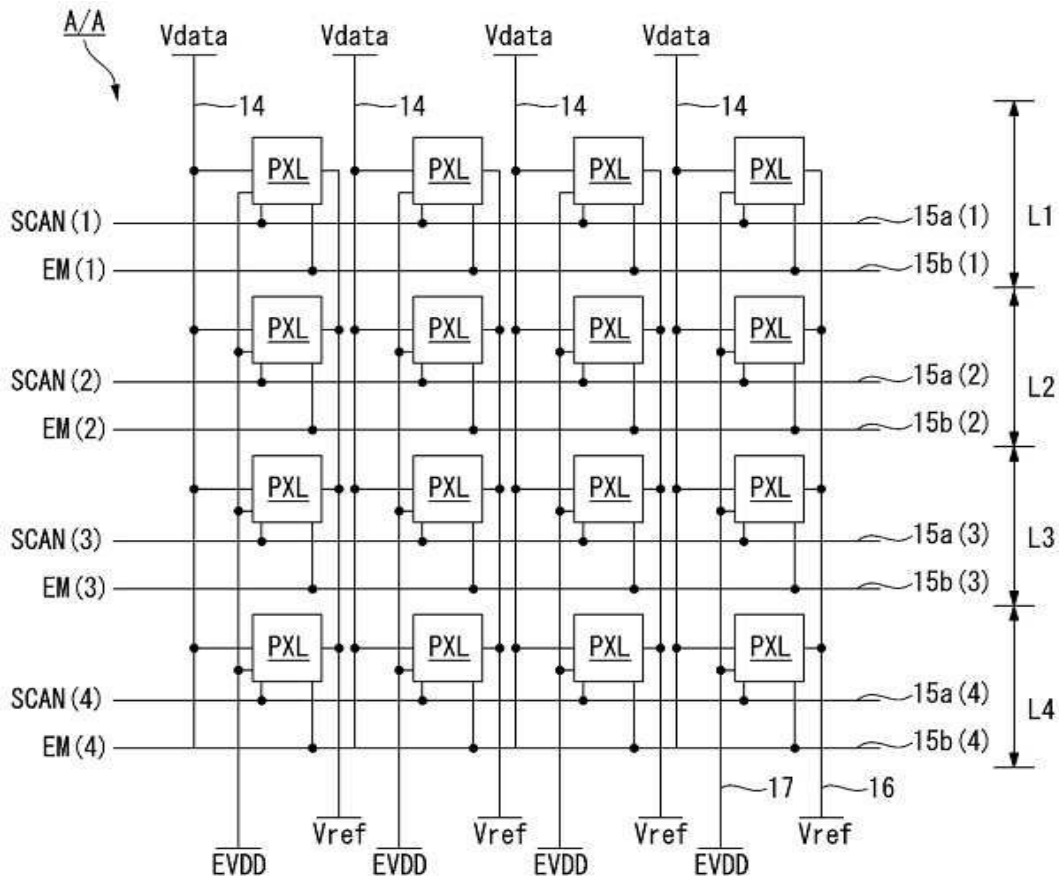
[0191] 100 : 표시패널 110 : 타이밍 컨트롤러
120 : 데이터 드라이버 130 : 게이트 드라이버
132 : 에미션 드라이버

도면

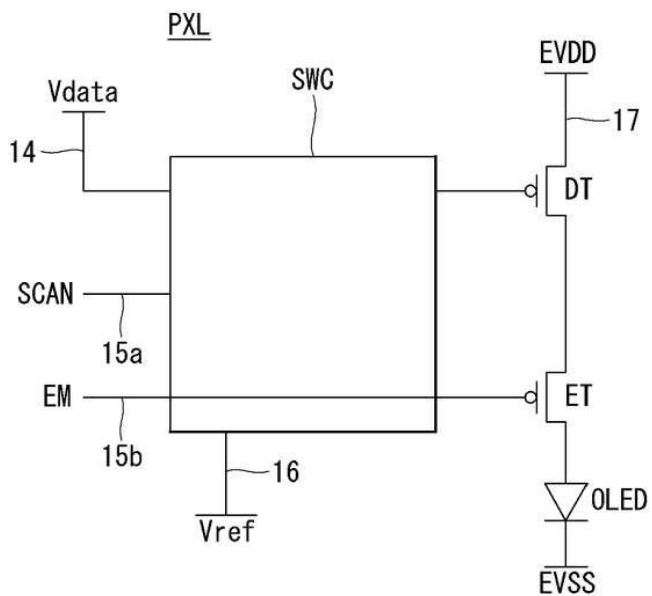
도면1



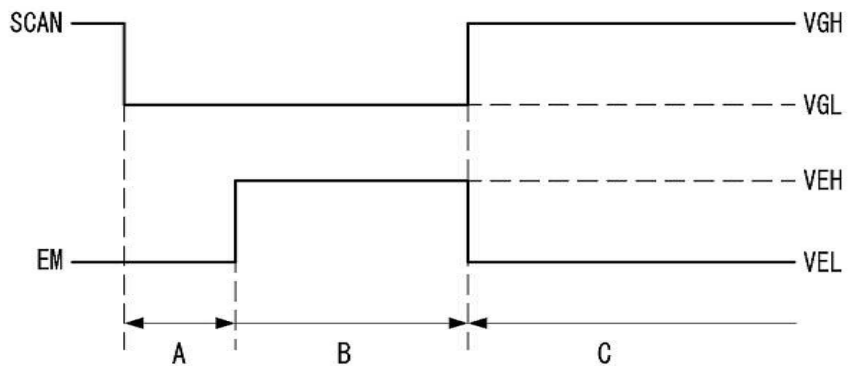
도면2



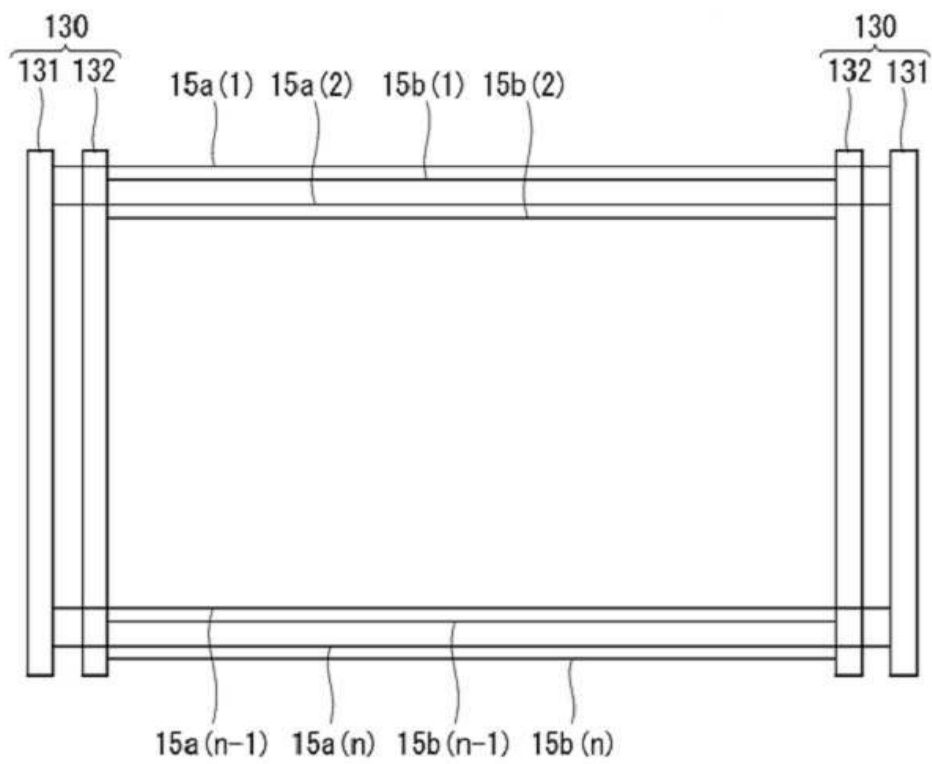
도면3



도면4

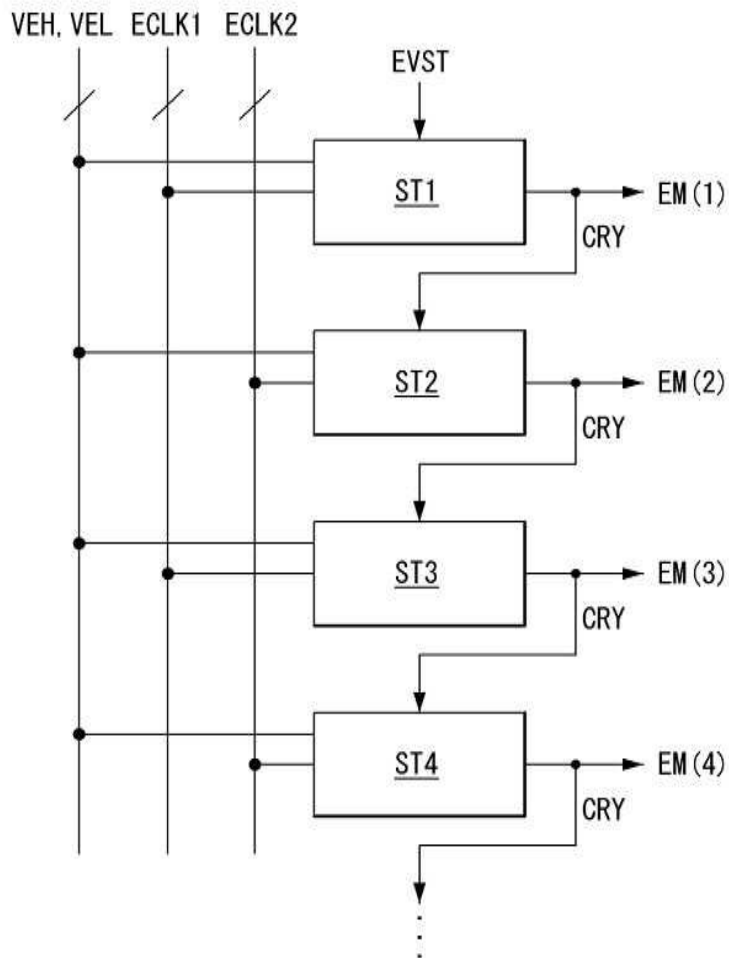


도면5

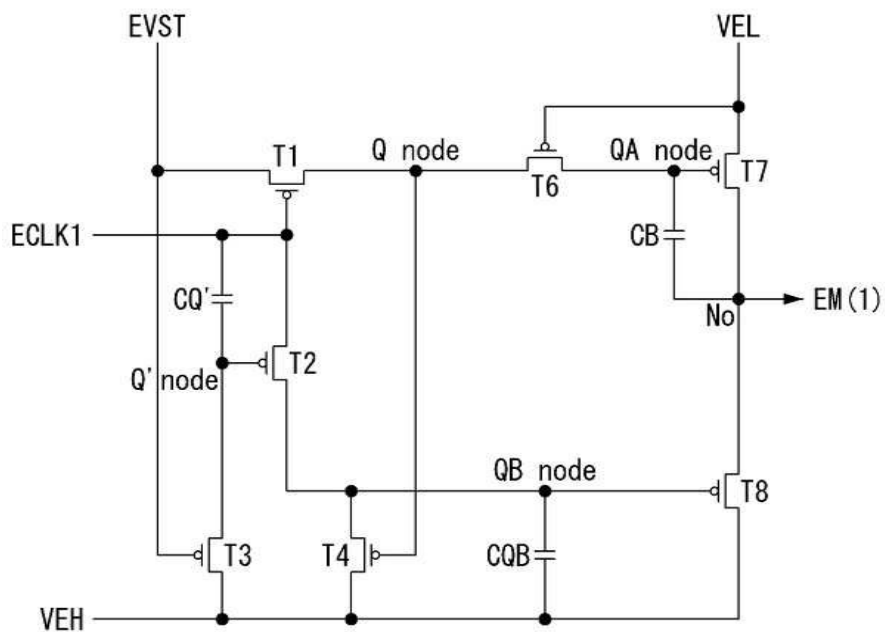


도면6

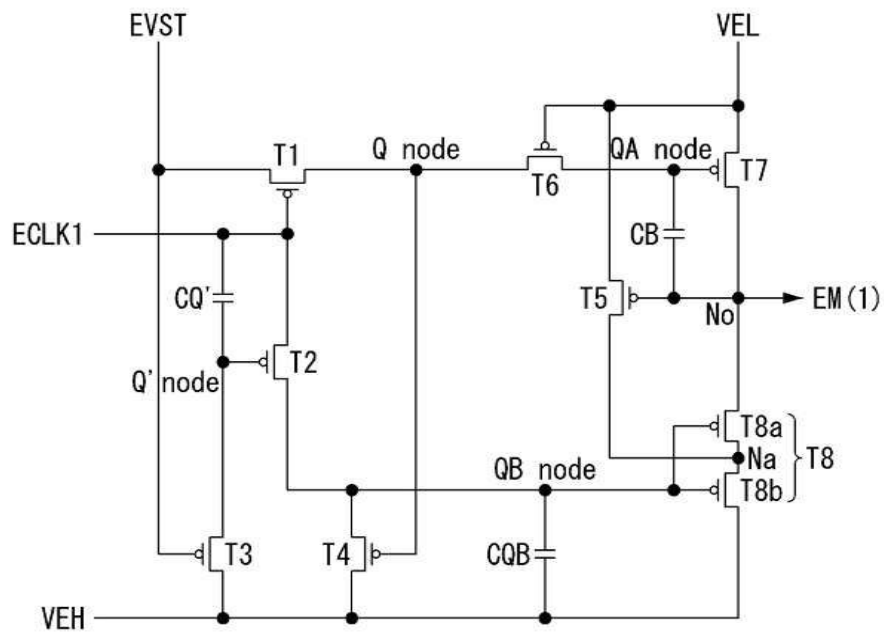
132



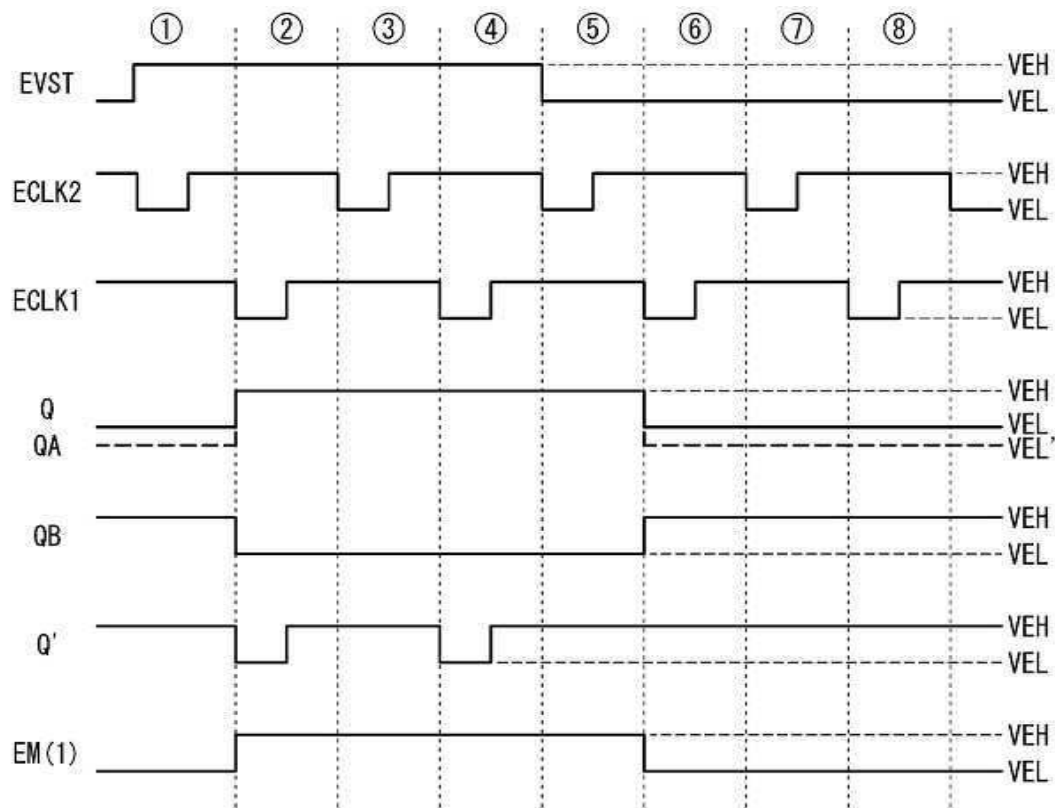
도면7



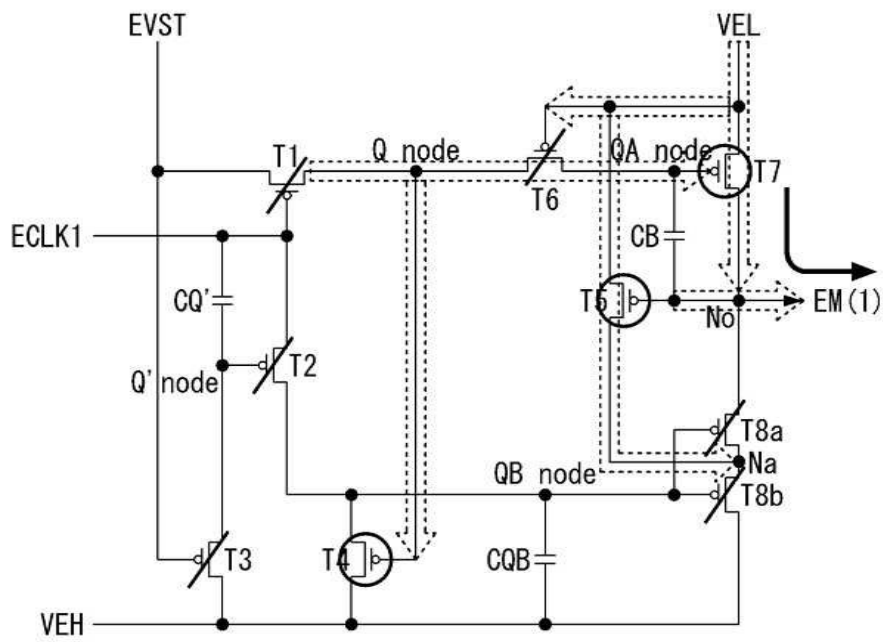
도면8



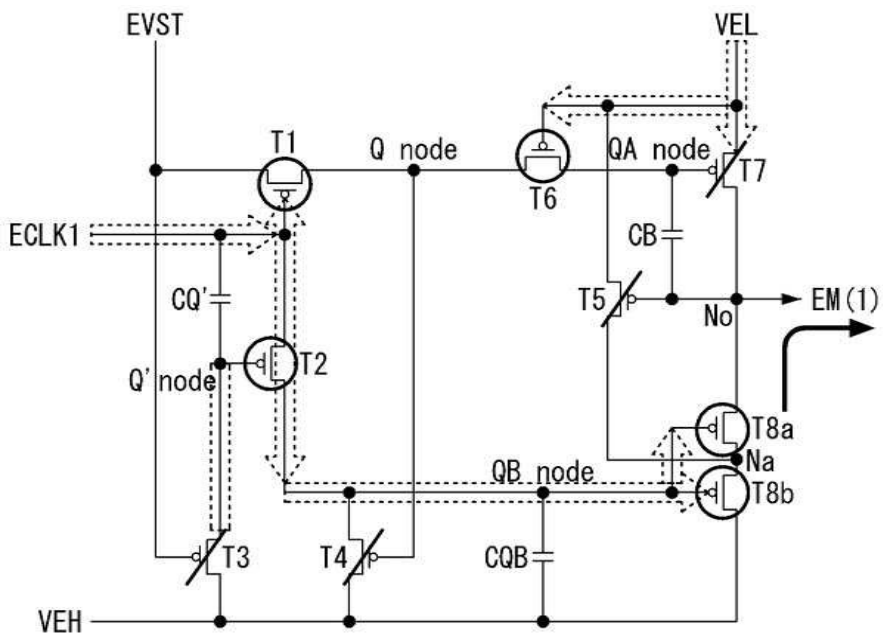
도면9



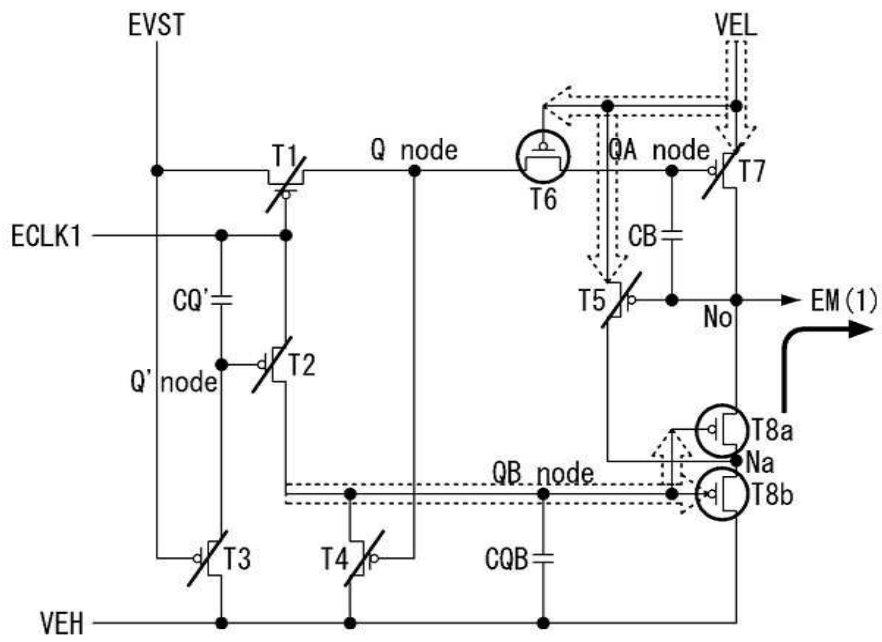
도면10a



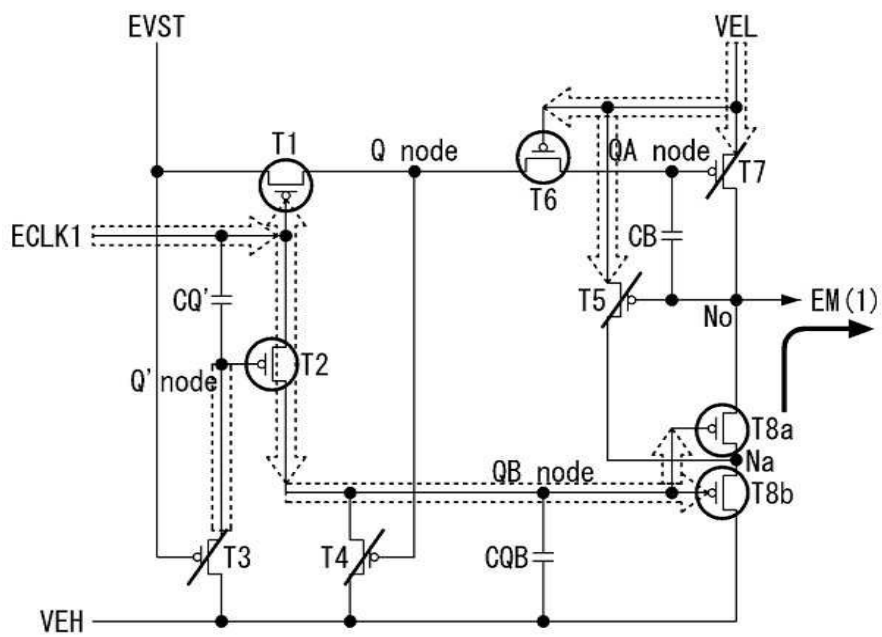
도면10b



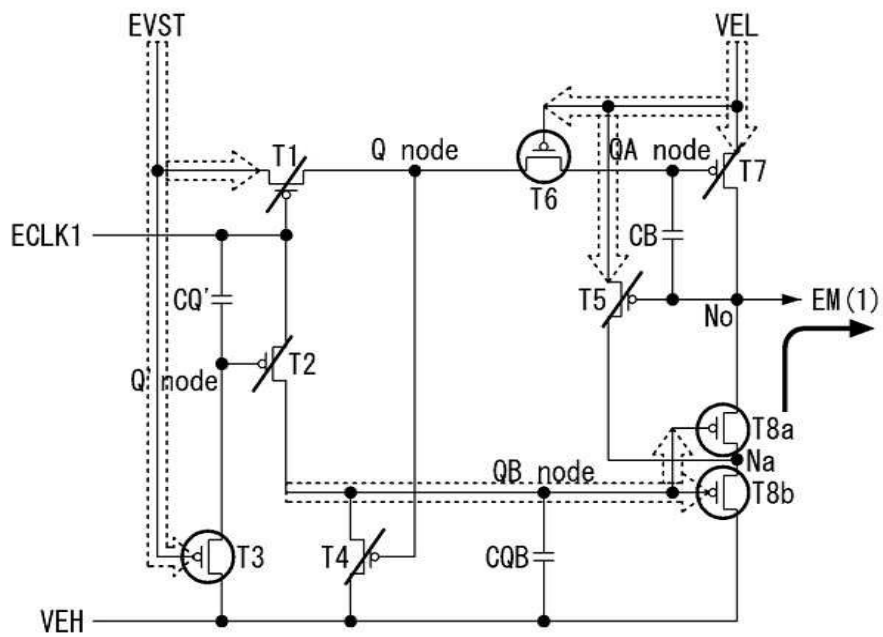
도면10c



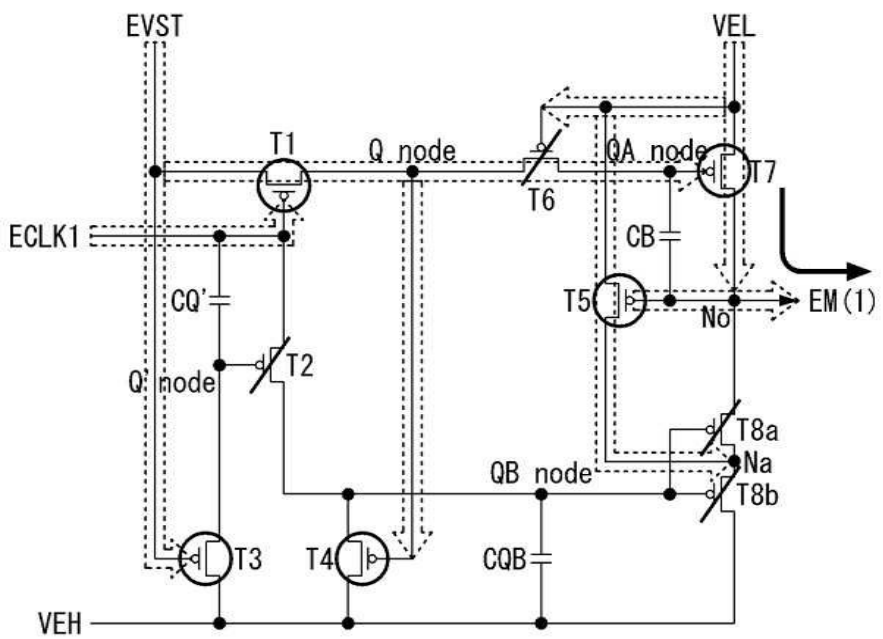
도면10d



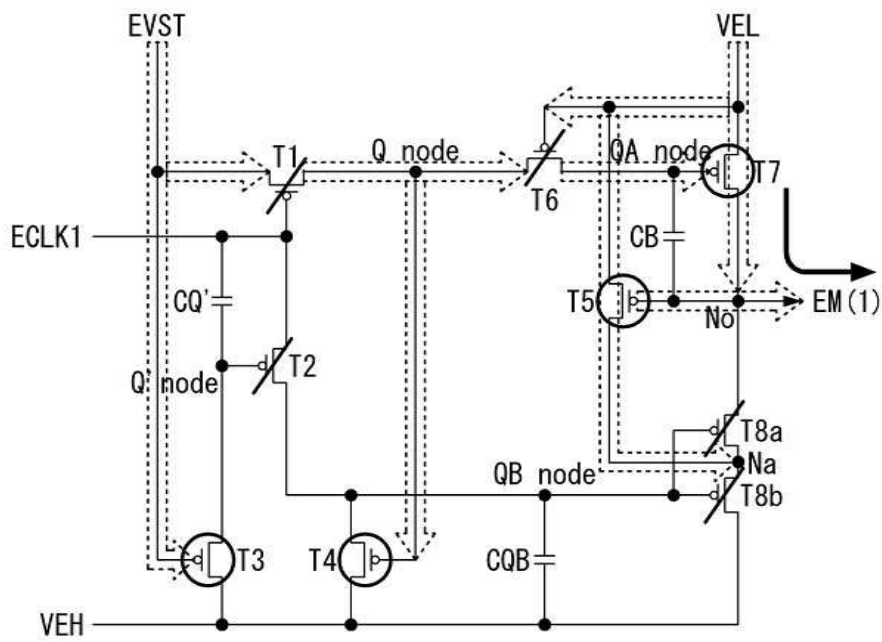
도면10e



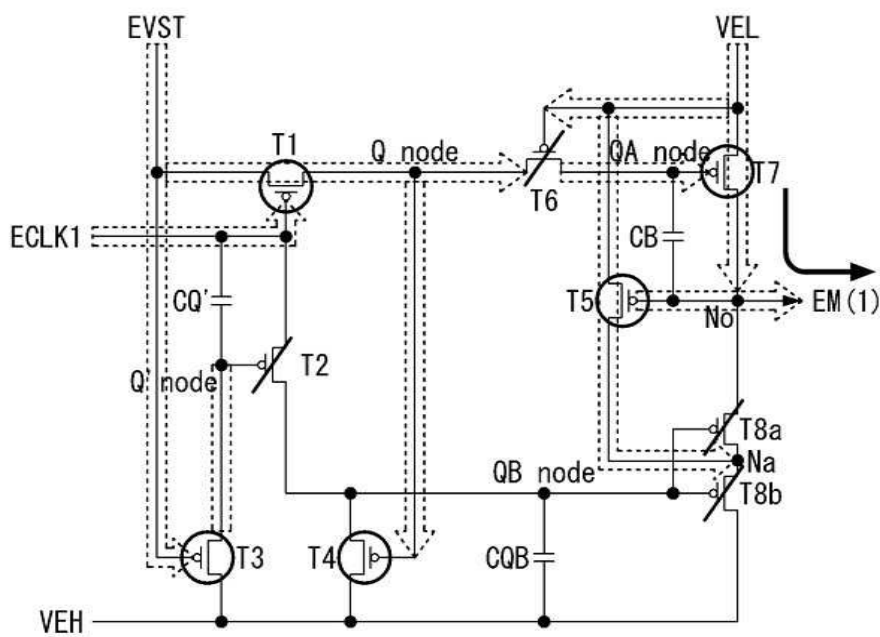
도면10f



도면10g



도면10h



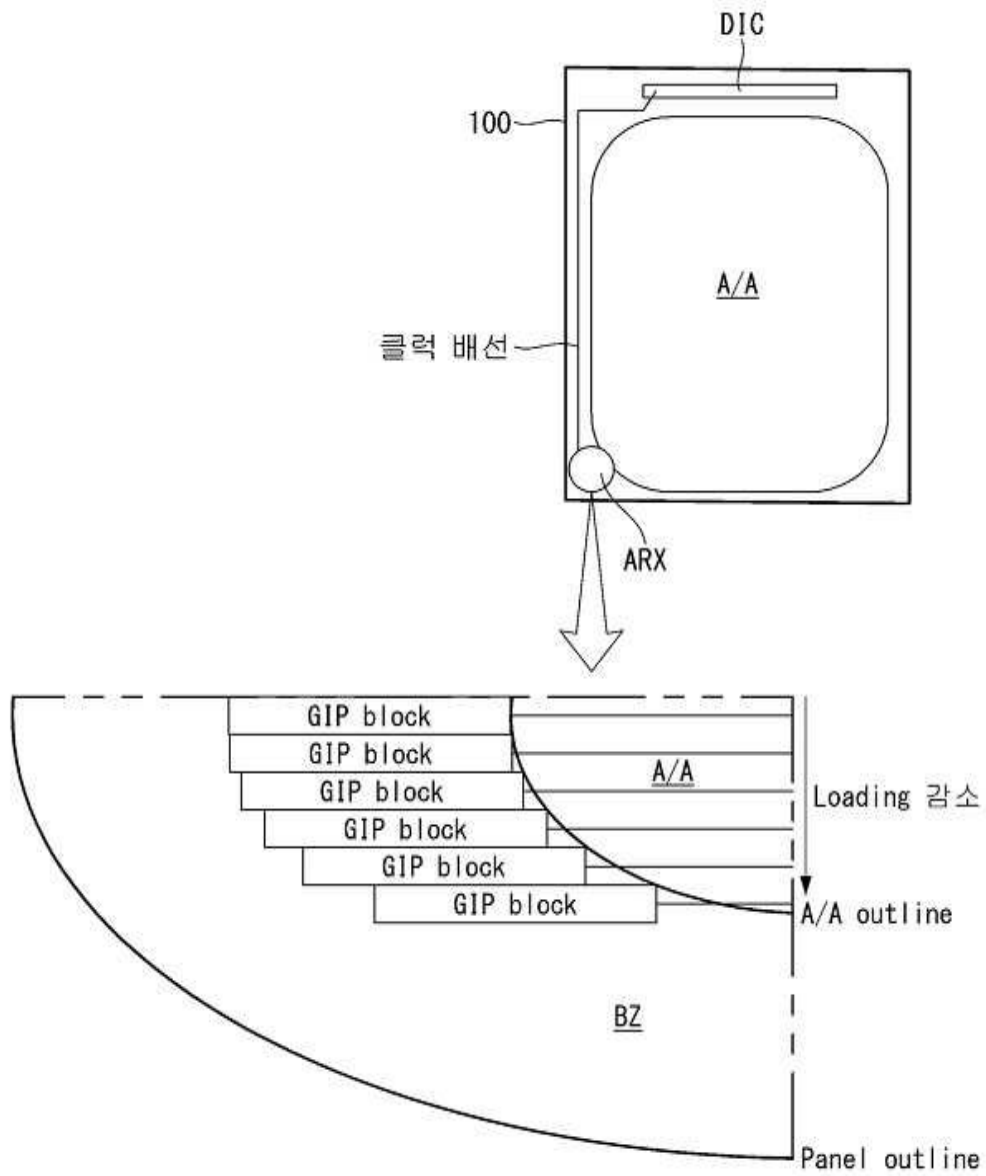
도면11a

구간	①	②	③	④
EVST	EVST High → T3 off	EVST High → T3 off	EVST High → T3 off	EVST High → T3 off
ECLK1	ECLK1 High → T1 off	ECLK1 Low → T1 on	ECLK1 High → T1 off	ECLK1 Low → T1 on
ECLK2	ECLK2 Low	ECLK2 High	ECLK2 Low	ECLK2 High
Q	Q node Low	Q node High	Q node High	Q node High
QA	QA node Very Low → T7 on	QA node High → T7 off	QA node High 유지 → T7 off	QA node High → T7 off
QB	QB node High 유지 → T8 off	QB node Low → T8 on	QB node Low 유지 → T8 on	QB node Low → T8 on
Q'	Q' node High 유지 → T2 off	Q' node Low (floating : Coupling) → T2 on	Q' node High → T2 off	Q' node Low (floating : Coupling) → T2 on
EM	EM(1) Low	EM(1) High	EM(1) High 유지	EM(1) High 유지

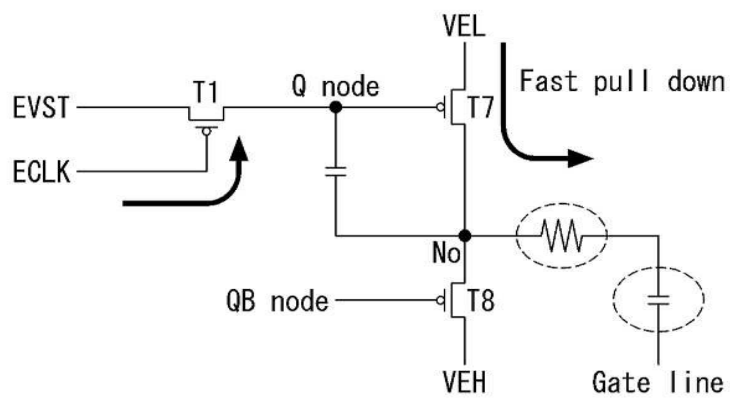
도면11b

구간	⑤	⑥	⑦	⑧
EVST	EVST Low → T3 on	EVST Low → T3 on	EVST Low → T3 on	EVST Low → T3 on
ECLK1	ECLK1 High → T1 off	ECLK1 Low → T1 on	ECLK1 High → T1 off	ECLK1 Low → T1 on
ECLK2	ECLK2 Low	ECLK2 High	ECLK2 Low	ECLK2 High
Q	Q node High	Q node Low	Q node Low	Q node Low
QA	QA node High 유지 → T7 off	QA node Very Low (Bootstrapping) → T7 on	QA node Very Low 유지 → T7 on	QA node Very Low → T7 on
QB	QB node Low 유지 → T8 on	QB node High → T8 off	QB node High 유지 → T8 off	QB node High 유지 → T8 off
Q'	Q' node High → T2 off	Q' node High → T2 off	Q' node High → T2 off	Q' node High → T2 off
EM	EM(1) High 유지	EM(1) Low	EM(1) Low 유지	EM(1) Low 유지

도면12

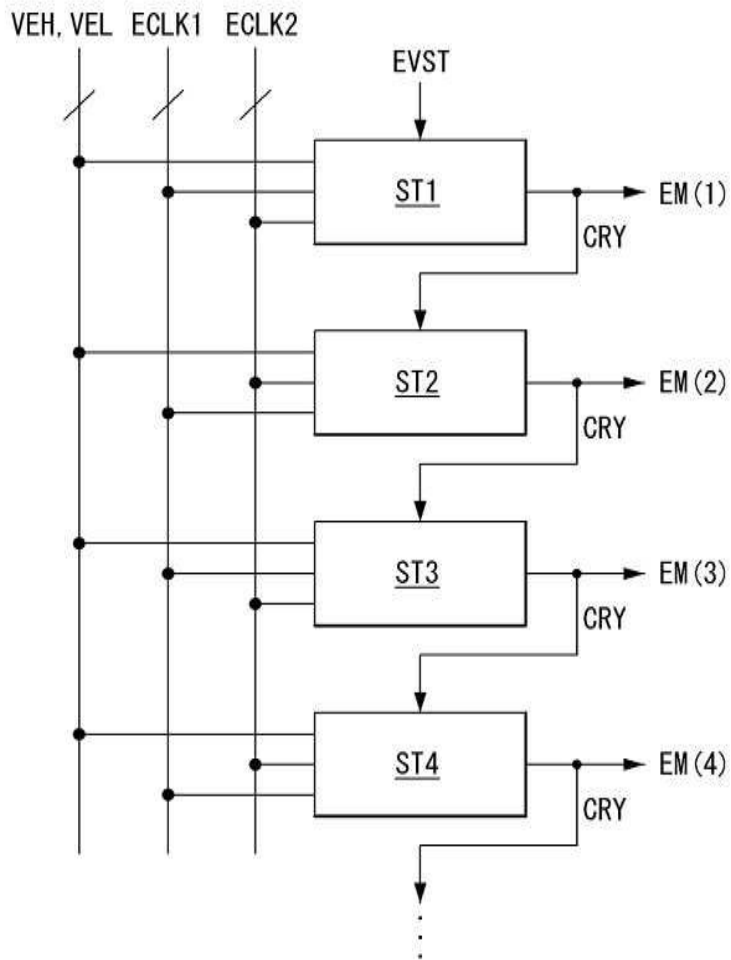


도면13

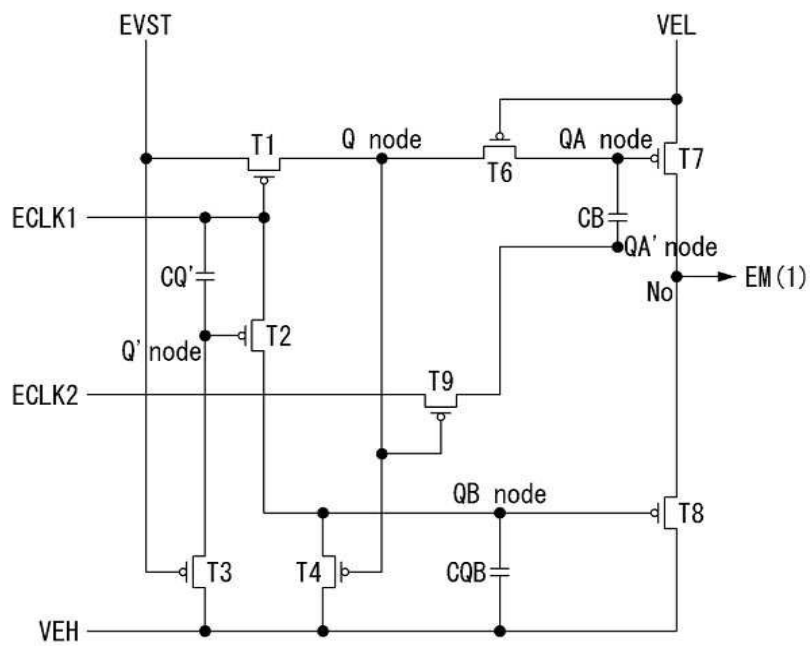


도면14

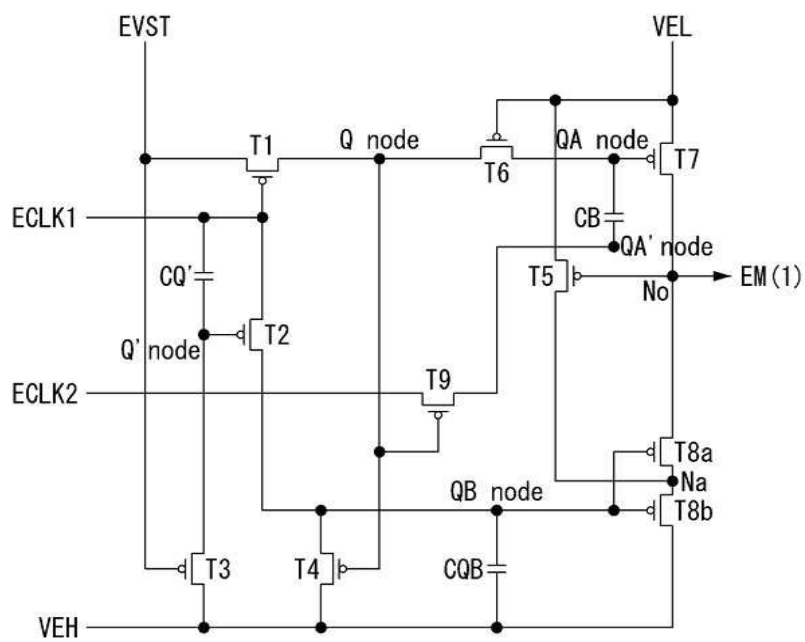
132



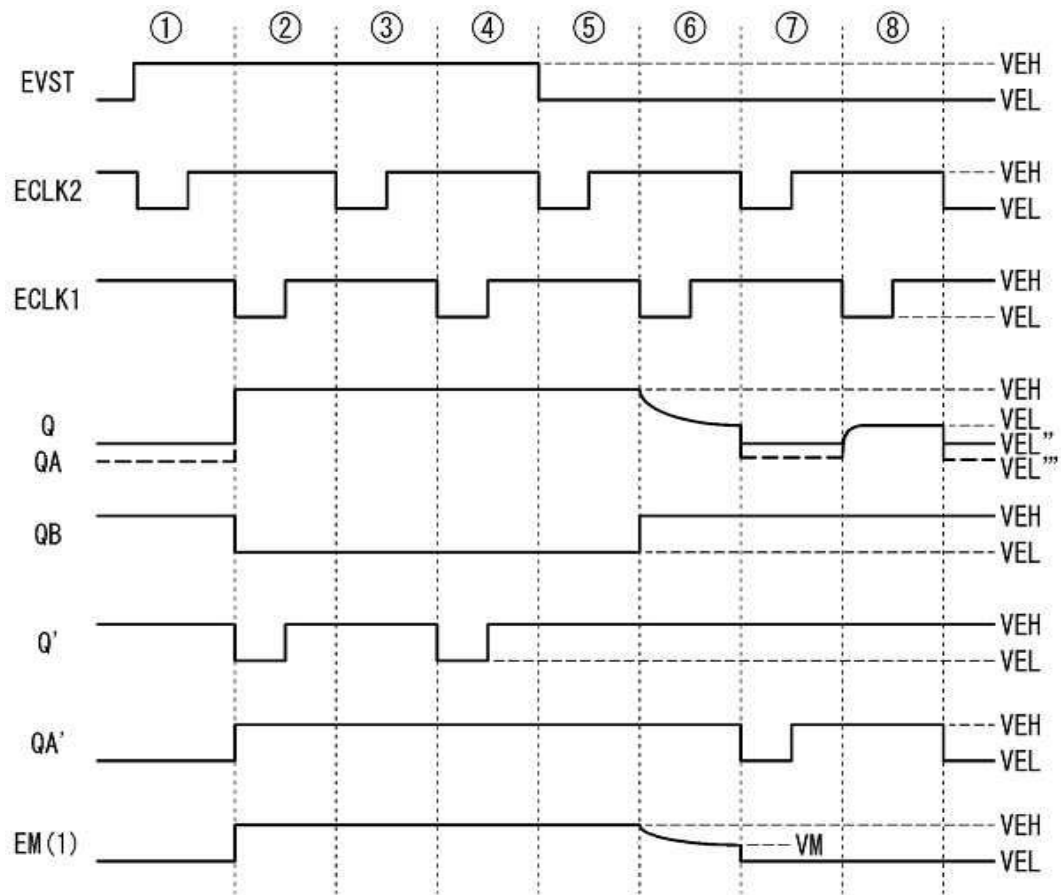
도면15



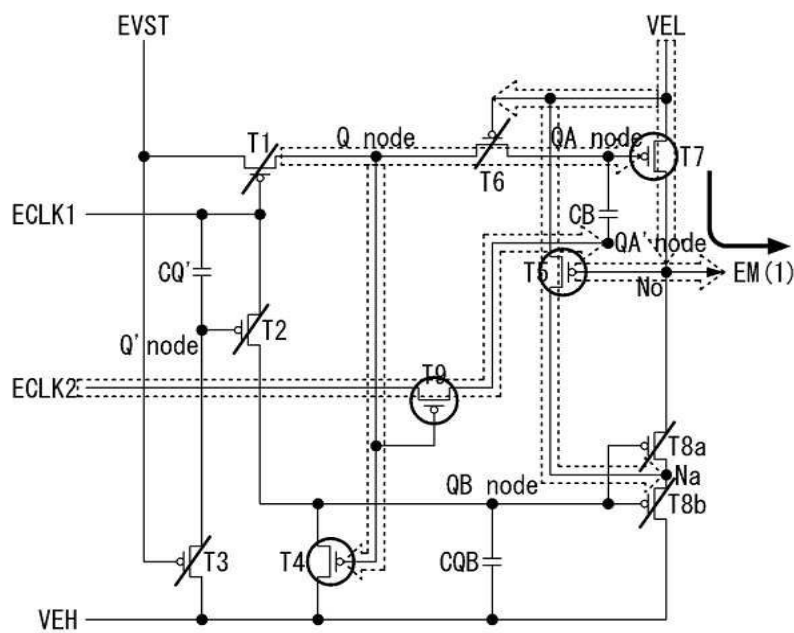
도면16



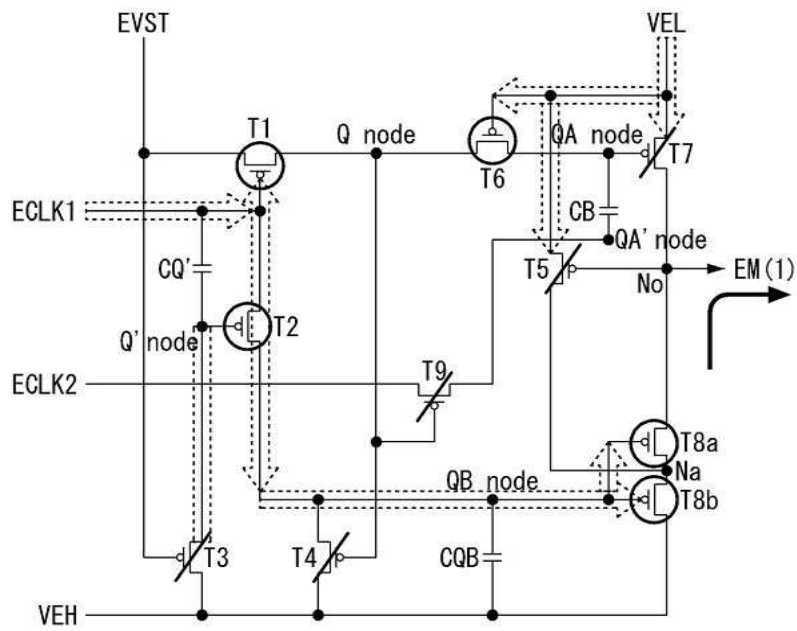
도면17



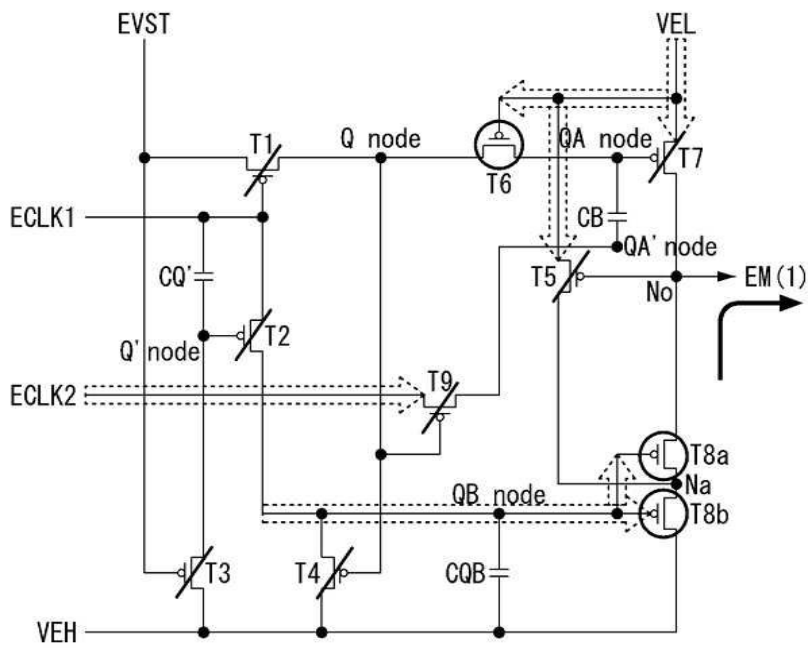
도면18a



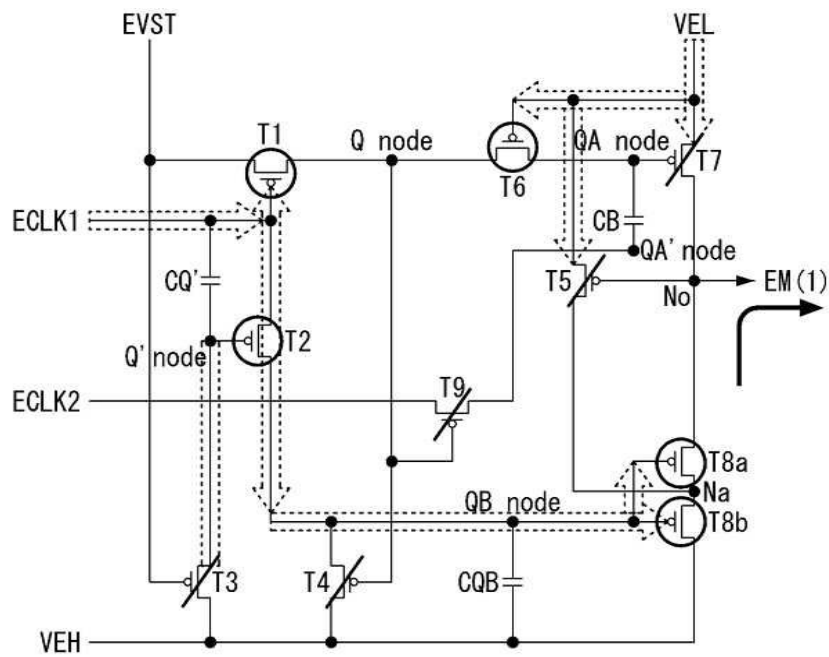
도면18b



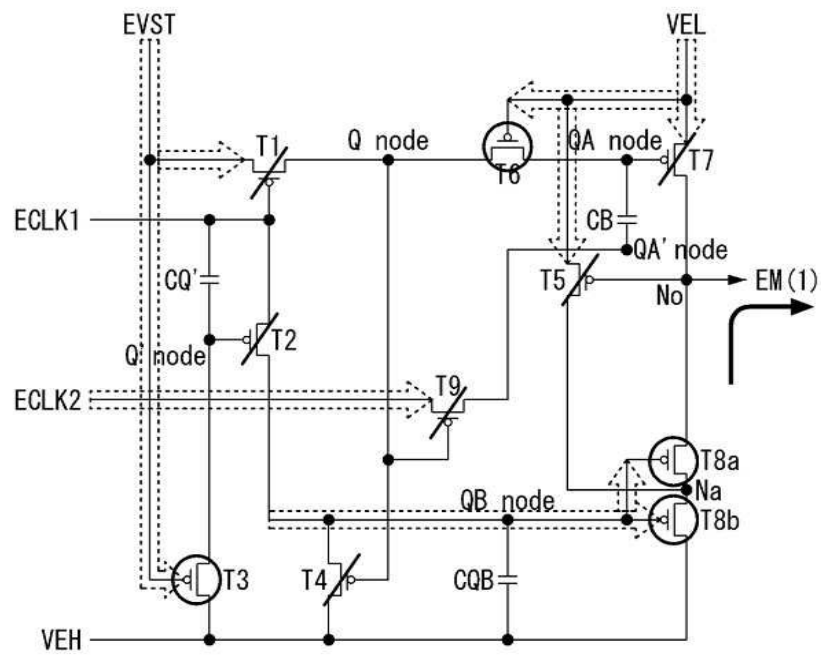
도면18c



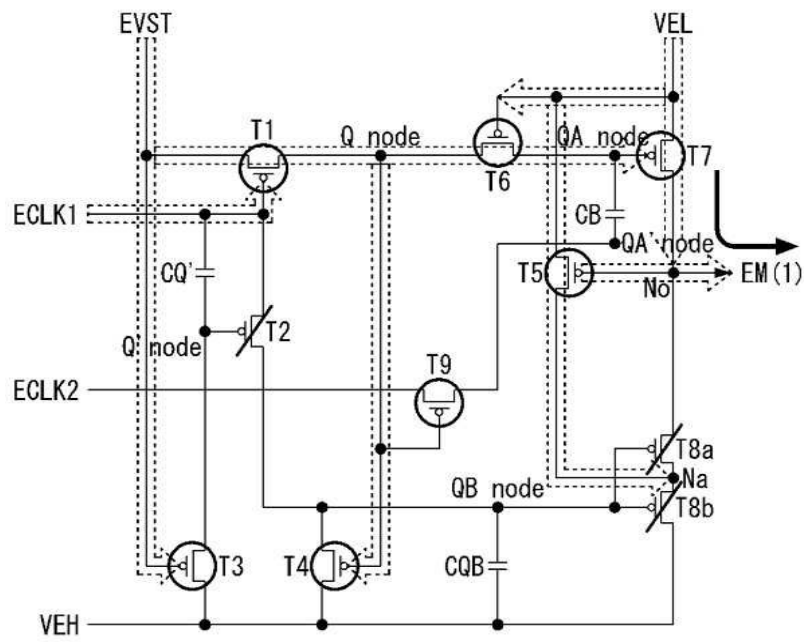
도면18d



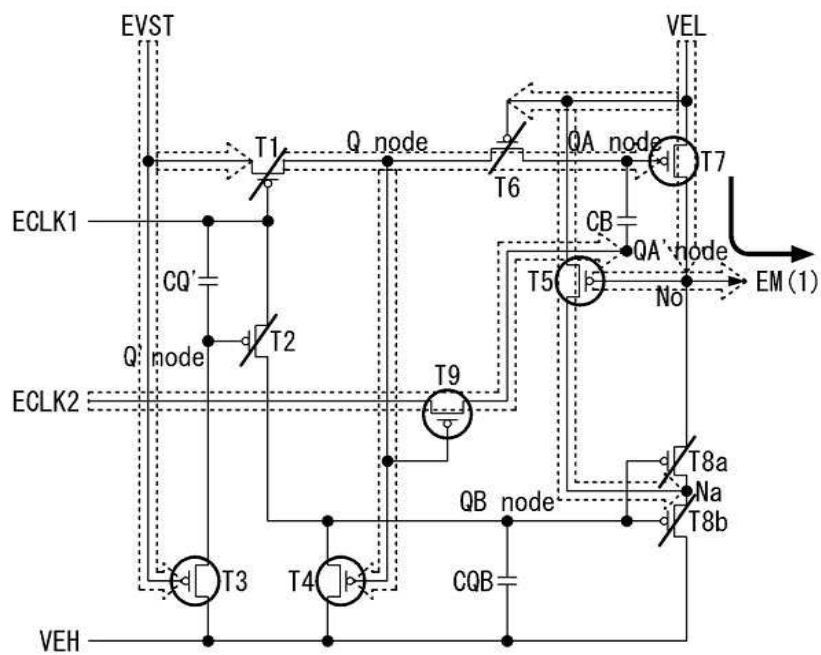
도면18e



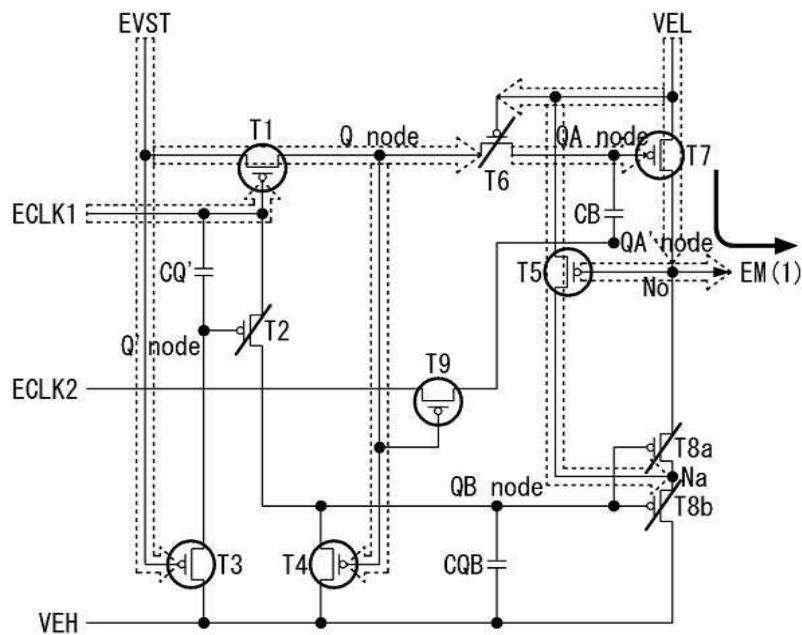
도면18f



도면18g



도면18h



도면19a

구간	①	②	③	④
EVST	EVST High → T3 off	EVST High → T3 off	EVST High → T3 off	EVST High → T3 off
ECLK1	ECLK1 High → T1 off	ECLK1 Low → T1 on	ECLK1 High → T1 off	ECLK1 Low → T1 on
ECLK2	ECLK2 Low	ECLK2 High	ECLK2 Low	ECLK2 High
Q	Q node Very Low	Q node High	Q node High	Q node High
QA	QA node extreme Very Low → T7 on	QA node High → T7 off	QA node High 유지 → T7 off	QA node High → T7 off
QB	QB node High 유지 → T8 off	QB node Low → T8 on	QB node Low 유지 → T8 on	QB node Low → T8 on
Q'	Q' node High 유지 → T2 off	Q' node Low (floating : Coupling) → T2 on	Q' node High (floating : Coupling) → T2 off	Q' node Low (floating : Coupling) → T2 on
QA'	QA' node Low	QA' node High (floating : Bootstrapping)	QA' node High 유지 (floating)	QA' node High 유지 (floating)
EM	EM(1) Low	EM(1) High	EM(1) High 유지	EM(1) High 유지

도면19b

구간	⑤	⑥	⑦	⑧
EVST	EVST Low → T3 on	EVST Low → T3 on	EVST Low → T3 on	EVST Low → T3 on
ECLK1	ECLK1 High → T1 off	ECLK1 Low → T1 on	ECLK1 High → T1 off	ECLK1 Low → T1 on
ECLK2	ECLK2 Low	ECLK2 High	ECLK2 Low	ECLK2 High
Q	Q node High	Q node Low	Q node Very Low	Q node Low
QA	QA node High 유지 → T7 off	QA node Low → T7 on	QA node Extreme Low (Bootstrapping) → T7 on	QA node Low → T7 on
QB	QB node Low 유지 → T8 on	QB node High → T8 off	QB node High 유지 → T8 off	QB node High 유지 → T8 off
Q'	Q' node High → T2 off	Q' node High → T2 off	Q' node High → T2 off	Q' node High → T2 off
QA'	QA' node High 유지 (floating)	QA' node High	QA' node Low	QA' node High
EM	EM(1) High 유지	EM(1) Low	EM(1) Low 유지	EM(1) Low 유지

专利名称(译)	栅极驱动器和包括其的电致发光显示器		
公开(公告)号	KR1020190048396A	公开(公告)日	2019-05-09
申请号	KR1020170143318	申请日	2017-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	엄현철 성은경		
发明人	엄현철 성은경		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2310/0262 G09G2320/0214		
外部链接	Espacenet		

摘要(译)

根据本说明书的实施例的栅极驱动器具有多个级。所述多个级中的每个级可以包括：晶体管T1，用于根据时钟信号向节点Q施加栅极导通电压的开始信号以激活节点Q；晶体管T7，用于从与启动节点Q的定时同步地自引导QA被引导起就向输出节点提供栅极导通电压的发射信号。QB控制单元，用于根据时钟信号，起始信号和节点Q的电位来激活与节点Q相对的节点QB；晶体管T8，在节点QB在节点Q之前被激活的同时，将栅极截止电压的发射信号提供给输出节点。

