



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0042361
(43) 공개일자 2019년04월24일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(52) CPC특허분류

H01L 51/5253 (2013.01)

H01L 51/5203 (2013.01)

(21) 출원번호 10-2017-0134180

(22) 출원일자 2017년10월16일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박건도

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

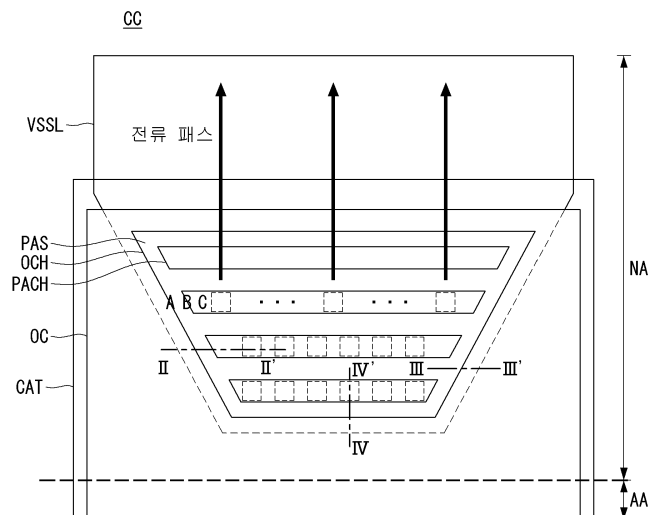
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 전극 컨택부의 손상을 방지할 수 있는 표시장치를 제공한다. 본 발명의 일 실시예에 따른 표시장치는 제1 전극, 유기막층 및 제2 전극을 포함하는 유기발광다이오드가 위치하는 표시부, 및 상기 표시부 외에 위치하며, 적어도 하나의 연결패턴을 통해 상기 제2 전극과 저전위라인이 연결된 전극 컨택부를 포함하는 비표시부를 포함하며, 상기 전극 컨택부는 상기 적어도 하나의 연결패턴을 노출하는 복수의 패시홀들을 포함하는 패시베이션막, 및 상기 패시베이션막을 노출하는 오버홀을 포함하는 오버코트층을 포함한다.

대표도 - 도10



(52) CPC특허분류

H01L 51/5243 (2013.01)

명세서

청구범위

청구항 1

제1 전극, 유기막층 및 제2 전극을 포함하는 유기발광다이오드가 위치하는 표시부; 및
상기 표시부 외에 위치하며, 적어도 하나의 연결패턴을 통해 상기 제2 전극과 저전위라인이 연결된 전극 컨택부를 포함하는 비표시부;를 포함하며,
상기 전극 컨택부는,
상기 적어도 하나의 연결패턴을 노출하는 복수의 패시홀들을 포함하는 패시베이션막; 및
상기 패시베이션막을 노출하는 오버홀을 포함하는 오버코트층을 포함하는 표시장치.

청구항 2

제1 항에 있어서,
상기 복수의 패시홀들의 전체 둘레는 상기 오버홀의 둘레보다 긴 표시장치.

청구항 3

제1 항에 있어서,
상기 복수의 패시홀들의 경사부의 면적은 상기 오버홀의 경사부의 면적보다 큰 표시장치.

청구항 4

제2 항에 있어서,
상기 복수의 패시홀들은 상기 오버홀 내에 배치되는 표시장치.

청구항 5

제1 항에 있어서,
상기 저전위라인 상에서 상기 저전위라인과 컨택하는 제1 연결패턴; 및
상기 제1 연결패턴 상에서 상기 제1 연결패턴과 컨택하는 제2 연결패턴을 더 포함하는 표시장치.

청구항 6

제5 항에 있어서,
상기 제2 연결패턴은 상기 복수의 패시홀들의 경사부를 따라 상기 제1 연결패턴과 컨택하는 표시장치.

청구항 7

제5 항에 있어서,
상기 패시베이션막은 상기 제1 연결패턴과 상기 제2 연결패턴 사이에 위치하며, 상기 복수의 패시홀들은 상기 제1 연결패턴을 노출하는 표시장치.

청구항 8

제7 항에 있어서,
상기 제2 전극은 상기 제2 연결패턴 상에 위치하며, 상기 제2 연결패턴과 컨택하는 표시장치.

청구항 9

제1 항에 있어서,

상기 제1 전극은 애노드이고, 상기 제2 전극은 캐소드인 표시장치.

청구항 10

제1 항에 있어서,

상기 복수의 패시홀의 평면 형상은 스프라이트 또는 도트형인 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 전극 컨택부에서 저항에 의해 발생하는 손상을 방지할 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 유기발광표시장치는 애노드인 제1 전극, 발광하는 유기막층 및 캐소드인 제2 전극을 포함한다. 제1 전극은 고전위전압이 형성되고 제2 전극은 저전위전압이 형성되어, 제1 전극과 제2 전극 사이로 구동전류가 흘러 유기막층에서 빛을 발광한다. 이와 같은 유기발광표시장치를 구동하기 위해, 동종 또는 이종의 복수의 배선들 또는 전극들이 서로 컨택하여 연결된다. 그러나 이종의 배선들 또는 전극들이 컨택하면 컨택부의 저항에 따라 온도가 상승되고, 이 온도가 임계점 이상이 되면 컨택부가 손상되는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전극 컨택부에서 저항에 의해 발생하는 손상을 방지할 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 제1 전극, 유기막층 및 제2 전극을 포함하는 유기발광다이오드가 위치하는 표시부, 및 상기 표시부 외에 위치하며, 적어도 하나의 연결패턴을 통해 상기 제2 전극과 저전위라인이 연결된 전극 컨택부를 포함하는 비표시부를 포함하며, 상기 전극 컨택부는 상기 적어도 하나의 연결패턴을 노출하는 복수의 패시홀들을 포함하는 패시베이션막, 및 상기 패시베이션막을 노출하는 오버홀을 포함하는 오버코트층을 포함한다.

[0007] 상기 복수의 패시홀들의 전체 둘레는 상기 오버홀의 둘레보다 길다.

[0008] 상기 복수의 패시홀들의 경사부의 면적은 상기 오버홀의 경사부의 면적보다 크다.

[0009] 상기 복수의 패시홀들은 상기 오버홀 내에 배치된다.

[0010] 상기 저전위라인 상에서 상기 저전위라인과 컨택하는 제1 연결패턴 및 상기 제1 연결패턴 상에서 상기 제1 연결패턴과 컨택하는 제2 연결패턴을 더 포함한다.

- [0011] 상기 제2 연결패턴은 상기 복수의 패시홀들의 경사부를 따라 상기 제1 연결패턴과 접촉한다.
- [0012] 상기 패시베이션막은 상기 제1 연결패턴과 상기 제2 연결패턴 사이에 위치하며, 상기 복수의 패시홀들은 상기 제1 연결패턴을 노출한다.
- [0013] 상기 제2 전극은 상기 제2 연결패턴 상에 위치하며, 상기 제2 연결패턴과 접촉한다.
- [0014] 상기 제1 전극은 애노드이고, 상기 제2 전극은 캐소드이다.
- [0015] 상기 복수의 패시홀의 평면 형상은 스프라이트 또는 도트형이다.

발명의 효과

- [0016] 본 발명은 전극 컨택부에서 패시베이션막의 패시홀을 복수로 형성하되 오버코트층의 오버홀보다 둘레의 길이를 길게 형성하거나 패시홀의 경사부의 면적을 오버홀의 경사부의 면적보다 크게 형성할 수 있다. 따라서, 제2 전극에서 저전위라인으로 흘러들어가는 전류 패스를 증가시켜, 제2 전극의 전체 저항 및 전류 밀도를 감소시킬 수 있다. 그러므로 본 발명은 전극 컨택부에서 제2 전극의 저항으로 인해 번트가 발생하는 것을 방지할 수 있는 이점이 있다.

도면의 간단한 설명

- [0017] 도 1은 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 서브 픽셀의 상세 회로 구성 예시도.
- 도 4는 표시 패널의 단면 예시도.
- 도 5는 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도.
- 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도.
- 도 7은 도 5의 전극 컨택부를 확대한 도면.
- 도 8은 도 7의 절취선 I-I'에 따른 단면도.
- 도 9는 번트가 발생한 전극 컨택부를 나타낸 이미지.
- 도 10은 본 발명의 실시예에 따른 전극 컨택부를 나타낸 평면도.
- 도 11은 배선과 저항의 관계를 나타낸 모식도.
- 도 12는 도 10의 절취선 II-II'에 따른 단면도.
- 도 13은 도 10의 절취선 III-III'에 따른 단면도.
- 도 14는 도 10의 절취선 IV-IV'에 따른 단면도.
- 도 15 내지 도 17은 패시홀의 다양한 평면 형상을 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0019] 본 발명에 따른 표시장치는 유리 기판 또는 플렉서블 기판 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에

의해 발광하는 자발광 표시장치이다.

- [0020] 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.
- [0021] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 서브 픽셀의 상세 회로 구성 예시도이고, 도 4는 표시 패널의 단면 예시도이다.
- [0022] 도 1에 도시된 바와 같이, 유기발광표시장치는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)을 포함한다.
- [0023] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동 신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0026] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 스캔 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0027] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0028] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기발광다이오드(OLED)가 포함된다.
- [0030] 스위칭 트랜지스터(SW)는 게이트 라인(GL)을 통해 공급된 스캔신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 제1 전원라인(EVDD)(고전위전압)과 제2 전원라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0031] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0032] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스 라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화 전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱노드에 공급하거나 구동 트랜지스터(DR)의 센싱노드 또는 센싱 라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0033] 스위칭 트랜지스터(SW)는 데이터 라인(DL)에 제1 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 제2 전극이 연결된다. 구동 트랜지스터(DR)는 제1 전원라인(EVDD)에 제1 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 제2 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 제1 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 제2 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터

(DR)의 제2 전극에 애노드 전극이 연결되고 제2 전원라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 제1 전극이 연결되고 센싱노드인 유기발광다이오드(OLED)의 애노드 전극 및 구동 트랜지스터(DR)의 제2 전극에 제2 전극이 연결된다.

[0034] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a 게이트 라인(GL1a)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제1b 게이트 라인(GL1b)에 게이트 전극이 연결될 수 있다. 이 경우, 제1a 게이트 라인(GL1a)에는 스캔신호(Scan)가 전달되고 제1b 게이트 라인(GL1b)에는 센싱신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1a 게이트 라인(GL1a)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제1b 게이트 라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.

[0035] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0036] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0037] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이중 금속의 복층)의 금속층으로 선택된다.

[0038] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0039] 도 4에 도시된 바와 같이, 기판(또는 박막 트랜지스터 기판)(SUB)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호부재(ENC)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다.

[0040] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.

[0041] 도 5는 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도이며, 도 7은 도 5의 전극 컨택부를 확대한 도면이고, 도 8은 도 7의 절취선 I-I'에 따른 단면도이며, 도 9는 번트(burnt)가 발생한 전극 컨택부를 나타낸 이미지이다.

[0042] 도 5를 참조하면, 유기발광표시장치는 기판(SUB) 상에 표시부(AA) 및 비표시부(NA)를 포함한다. 비표시부(NA)는 기판(SUB)의 좌우측에 각각 배치된 GIP 구동부(GIP), 및 기판(SUB)의 하측에 배치된 패드부(PD)를 포함한다. 표시부(AA)는 복수의 서브픽셀(SP)이 배치되어, R, G, B 또는 R, G, B, W를 발광하여 풀컬러를 구현한다. GIP 구동부(GIP)는 표시부(AA)에 게이트 구동신호를 인가한다. 패드부(PD)는 표시부(AA)의 일측 예를 들어 하측에 배치되고, 패드부(PD)에 칩온필름(COF)들이 부착된다. 표시부(AA)로부터 연결된 복수의 신호선들(미도시)에 칩온필름(COF)을 통해 인가되는 데이터 신호 및 전원이 인가된다.

[0043] 이하, 본 발명의 도 6을 참조하여, 유기발광표시장치의 서브픽셀(SP) 영역의 단면 구조를 살펴본다.

[0044] 도 6을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 기판(SUB) 상에 제1 버퍼층(BUF1)이 위치한다. 기판(SUB)은 플렉서블 기판 또는 유리 기판일 수 있으며 플렉서블 기판은 유연한 폴리이미드(Polyimide) 등의 수지 기판일 수 있다. 제1 버퍼층(BUF1)은 기판(SUB)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiOx), 실리콘 질

화물(SiNx) 또는 이들의 다중층일 수 있다.

[0045] 제1 버퍼층(BUF1) 상에 광차단층(LS)이 위치한다. 광차단층(LS)은 외부의 광이 입사되는 것을 차단하여 박막트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(LS) 상에 제2 버퍼층(BUF2)이 위치한다. 제2 버퍼층(BUF2)은 절드층(LS)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 제2 버퍼층(BUF2)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0046] 제2 버퍼층(BUF2) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm²/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

[0047] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GA)이 위치한다. 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GA)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0048] 게이트 전극(GA) 상에 게이트 전극(GA)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 및 게이트 절연막(GI)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 콘택홀들(CH)이 위치한다.

[0049] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결되고, 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(ACT), 게이트 전극(GA), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 박막트랜지스터(TFT)가 구성된다.

[0050] 박막트랜지스터(TFT)를 포함하는 기판(SUB) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 패시베이션막(PAS) 상에 컬러필터(CF)가 위치한다. 컬러필터(CF)는 유기발광 다이오드(OLED)에서 발광하는 백색의 광을 적색, 녹색 또는 청색으로 변환하는 역할을 한다. 컬러필터(CF) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부티엔계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.

[0051] 오버코트층(OC)의 일부 영역에는 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 박막트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도 전물질로 이루어질 수 있다. 제1 전극(ANO)이 반사 전극인 경우, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC

(은/팔라듐/구리 합금)으로 이루어질 수 있다.

- [0052] 제1 전극(ANO)을 포함하는 기관(SUB) 상에 화소를 구획하는 बैं크층(BNK)이 위치한다. बैं크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. बैं크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 플렉서블 기관(PI) 전면에는 제1 전극(ANO)에 콘택하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.
- [0053] 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(A/A) 전면에 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어진다. 제2 전극(CAT) 상에 보호막(PRL)이 위치한다. 박막트랜지스터(TFT)와 유기발광 다이오드(OLED)가 형성된 기관(SUB)의 상부 면에는 접착층(ADL)을 통해 보호부재(ENC)가 부착된다. 보호부재(ENC)는 금속 박막일 수 있다.
- [0054] 다시 도 5를 참조하면, 이상과 같이 구성된 유기발광표시장치는 비표시부(NA)에서 제2 전극(CAT)에 저전위를 공급하기 위한 저전위라인과 제2 전극이 연결되는 전극 콘택부(CC)가 배치된다. 하기에서 이를 구체적으로 설명한다.
- [0055] 도 7을 참조하면, 전극 콘택부(CC)는 유기발광표시장치의 비표시부(NA)에 위치한다. 전극 콘택부(CC)는 패드부(미도시)로부터 연장된 저전위라인(VSSL)과 표시부(AA)로부터 연장된 제2 전극(CAT)이 중첩되어 서로 연결된다. 전류 패스는 제2 전극(CAT)으로부터 저전위라인(VSSL)으로 흐르게 된다.
- [0056] 보다 구체적으로 도 8을 참조하면, 저전위라인(VSSL)은 층간 절연막(ILD)의 층간홀(ILCH)을 통해 상부의 제1 연결패턴(SDC)과 콘택한다. 제1 연결패턴(SDC)은 소스/드레인 전극 물질로 이루어진다. 제1 연결패턴(SDC)은 패시베이션막(PAS)의 패시홀(PACH) 및 오버홀(OCH)을 통해 상부의 제2 연결패턴(ITC)과 콘택한다. 제2 연결패턴(ITC)은 제1 전극과 같은 재료 예를 들어 ITO 등의 금속산화물로 이루어진다. 제2 연결패턴(ITC) 상에 제2 전극(CAT)이 제2 연결패턴(ITC)과 직접 콘택하여, 최종적으로 제2 전극(CAT)이 저전위라인(VSSL)과 전기적으로 연결된다.
- [0057] 전극 콘택부(CC)는 제1 영역(A), 제2 영역(B) 및 제3 영역(C)으로 구분될 수 있다. 제1 영역(A)은 오버홀(OCH)이 위치한 영역이고, 제2 영역(B)은 패시홀(PACH)이 시작되는 영역으로 패시홀(PACH)의 경사부(SL)가 위치한 영역이며, 제3 영역(C)은 패시베이션막(PAS)이 존재하지 않는 패시홀(PACH) 내부 영역이다.
- [0058] 상기 제1 내지 제3 영역(A, B, C)에서 전류 패스를 살펴보면, 제1 영역(A)의 제2 전극(CAT)에서부터 전류가 흘러 제2 영역(B)을 통해 제3 영역(C)의 저전위라인(VSSL)으로 흘러나간다. 이때, 제2 전극(CAT)은 패시홀(PACH)의 경사부(SL)에서 그 두께가 얇아지게 된다. 이는 패시베이션막(PAS)의 무기 재료 특성 상 건식 식각하여 패시홀(PACH)을 형성하면, 경사부(SL)의 경사각이 매우 크게 형성된다. 상대적으로 오버홀(OCH)은 유기 재료 특성 상 습식 식각하기 때문에 오버홀(OCH)의 경사각이 작게 형성된다. 따라서, 패시홀(PACH)의 경사부(SL)가 배치된 제2 영역(B)에서 제2 전극(CAT)의 두께가 얇게 형성되기 때문에 저항이 증가된다. 제1 내지 제3 영역(A, B, C) 각각에서 동일 면적 대비 상대 저항을 살펴보면, 제2 영역(B)에서 저항이 가장 크고 제1 영역(A) 및 제3 영역(C) 순으로 저항이 작아진다. 따라서, 도 9에 도시된 바와 같이 패시홀(PACH)의 경사부(SL)가 배치된 제2 영역(B)에서 저항에 따라 발열이 증가하여 번트가 발생된다.
- [0059] 하기에서는 전술한 전극 콘택부에서의 번트 문제를 해소하기 위해, 전극 콘택부의 구조를 변경하는 실시예를 개시한다.
- [0060] <실시예>
- [0061] 도 10은 본 발명의 실시예에 따른 전극 콘택부를 나타낸 평면도이고, 도 11은 배선과 저항의 관계를 나타낸 모식도이며, 도 12는 도 10의 절취선 II-II'에 따른 단면도이며, 도 13은 도 10의 절취선 III-III'에 따른 단면도이고, 도 14는 도 10의 절취선 IV-IV'에 따른 단면도이다. 도 15 내지 도 17은 패시홀의 다양한 평면 형상을 나타낸 도면들이다.
- [0062] 도 10을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 비표시부(NA)에 전극 콘택부(CC)를 포함한다. 전극 콘택부(CC)는 패드부(미도시)로부터 연장된 저전위라인(VSSL)과 표시부(AA)로부터 연장된 제2 전극(CAT)이

중첩되어 서로 연결된다.

- [0063] 기관(미도시) 상에 저전위라인(VSSL)이 배치되고, 저전위라인(VSSL) 상에 패시베이션막(PAS)과 오버코트층(OC)이 배치된다. 오버코트층(OC) 상에 제2 전극(CAT)이 배치된다. 오버코트층(OC)은 패시베이션막(PAS)을 노출하는 오버홀(OCH)이 구비되고, 패시베이션막(PAS)에도 제2 전극(CAT)이 저전위라인(VSSL)과 접촉되도록 복수의 패시홀(PACH)을 구비한다. 따라서, 제2 전극(CAT)은 오버코트층(OC)의 오버홀(OCH)과 패시베이션막(PAS)의 패시홀(PACH)을 통해 저전위라인(VSSL)과 연결된다. 저전위라인(VSSL)과 제2 전극(CAT) 사이의 전류 패스는 제2 전극(CAT)으로부터 저전위라인(VSSL)으로 흐르게 된다.
- [0064] 본 발명은 전술한 도 7에 도시된 것과는 달리, 제2 전극(CAT)과 저전위라인(VSSL)과 연결되기 위한 패시홀(PACH)이 복수 개로 구비된다. 평면상에서 보면, 복수의 패시홀(PACH)은 오버홀(OCH) 내에 배치된다. 여기서, 복수의 패시홀(PACH)들의 전체 둘레는 오버홀(OCH)의 둘레보다 길게 이루어진다.
- [0065] 도 11을 참조하면, 일정 두께(T), 폭(W) 및 길이(L)를 가진 배선이 나타나 있다. 이와 같이 두께가 동일한 배선의 경우, 폭(W)을 증가시키는 것으로 배선의 저항을 줄일 수 있다.
- [0066] 이와 같은 원리를 이용하여, 본 발명은 제2 전극(CAT)의 두께가 얇아져 저항이 늘어나는 영역 즉, 패시홀(PACH)의 경사부(SL)의 면적을 증가시켜 제2 전극(CAT)의 저항을 낮춘다. 이때, 패시홀(PACH)의 경사부(SL)의 면적은 패시홀(PACH)의 둘레의 길이에 비례하며, 도 11의 배선의 폭(W)을 증가시키는 것처럼 패시홀(PACH)의 둘레의 길이를 증가시켜 제2 전극(CAT)의 저항을 낮춘다.
- [0067] 구체적으로, 도 12 내지 도 14를 참조하여, 도 10의 영역 별로 단면 구조를 살펴보기로 한다. 도 12에 도시된 단면은 구조는 전극 콘택부(CC)에서 패시홀(PACH)이 형성되지 않은 영역이다.
- [0068] 도 12를 참조하면, 기관(미도시) 상에 저전위라인(VSSL)이 배치된다. 저전위라인(VSSL)은 박막트랜지스터의 게이트 전극 물질로 이루어진다. 저전위라인(VSSL) 상에 층간 절연막(ILD)이 배치된다. 층간 절연막(ILD) 상에 제1 연결패턴(SDC)이 배치된다. 제1 연결패턴(SDC)은 박막트랜지스터의 소스/드레인 전극 물질로 이루어지며, 전극 콘택부(CC)에서 섬(island) 패턴으로 형성된다. 제1 연결패턴(SDC) 상에 패시베이션막(PAS)이 배치되고 패시베이션막(PAS) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 하부의 패시베이션막(PAS)을 노출하기 위해 오버홀(OCH)을 구비한다. 오버코트층(OC) 및 패시베이션막(PAS) 상에 제2 연결패턴(ITC)이 배치되고, 오버코트층(OC) 및 제2 연결패턴(ITC) 상에 제2 전극(CAT)이 배치된다.
- [0069] 도 12에 도시된 영역은 패시홀(PACH)이 형성되지 않아, 제2 전극(CAT)이 저전위라인(VSSL)에 연결되지 않는다. 따라서, 제2 전극(CAT)의 전류 패스는 제2 전극(CAT)을 따라 흐르게 된다.
- [0070] 한편, 도 13을 참조하여 전극 콘택부(CC)에서 패시홀(PACH)이 형성된 영역의 단면 구조를 살펴보면, 기관(미도시) 상에 저전위라인(VSSL)이 배치된다. 저전위라인(VSSL)은 박막트랜지스터의 게이트 전극 물질로 이루어진다. 저전위라인(VSSL) 상에 층간 절연막(ILD)이 위치하고 층간 절연막(ILD)은 하부의 저전위라인(VSSL)을 노출하는 적어도 하나의 층간홀(ILCH)을 구비한다. 층간 절연막(ILD) 상에 제1 연결패턴(SDC)이 위치한다. 제1 연결패턴(SDC)은 박막트랜지스터의 소스/드레인 전극 물질로 이루어지며, 전극 콘택부(CC)에서 섬(island) 패턴으로 형성된다. 제1 연결패턴(SDC)은 층간홀(ILCH)을 통해 하부의 저전위라인(VSSL)과 접촉한다.
- [0071] 제1 연결패턴(SDC) 상에 패시베이션막(PAS)이 배치된다. 패시베이션막(PAS)은 하부의 제1 연결패턴(SDC)을 노출하기 위해 패시홀(PACH)을 구비한다. 패시홀(PACH)은 패시베이션막(PAS)의 두께가 줄어들어 하부의 제1 연결패턴(SDC)을 노출하는 경사부(SL)를 포함한다.
- [0072] 패시베이션막(PAS) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 하부의 패시베이션막(PAS) 및 제1 연결패턴(SDC)을 노출하기 위해 오버홀(OCH)을 구비한다. 오버홀(OCH)은 오버코트층(OC)의 두께가 줄어들어 하부의 패시베이션막(PAS) 및 제1 연결패턴(SDC)을 노출하는 경사부(SL)를 포함한다. 오버코트층(OC), 패시베이션막(PAS) 및 제1 연결패턴(SDC) 상에 제2 연결패턴(ITC)이 배치된다. 제2 연결패턴(ITC)은 오버코트층(OC) 및 패시베이션막(PAS)의 스텝 커버리지를 따라 형성되어 제1 연결패턴(SDC)과 접촉한다. 제2 연결패턴(ITC)은 제1 전극과 같은 재료 예를 들어 ITO 등의 금속산화물로 이루어진다.
- [0073] 그리고 오버코트층(OC) 및 제2 연결패턴(ITC) 상에 제2 전극(CAT)이 배치된다. 제2 전극(CAT)은 제2 연결패턴(ITC)의 스텝 커버리지를 따라 형성된다. 따라서, 제2 전극(CAT)이 제2 연결패턴(ITC)과 직접 접촉하여, 최종적으로 제2 전극(CAT)이 저전위라인(VSSL)과 전기적으로 연결된다.
- [0074] 도 10 및 도 13을 참조하면, 전극 콘택부(CC)는 제1 영역(A), 제2 영역(B) 및 제3 영역(C)으로 구분될 수 있다.

제1 영역(A)은 평평한 오버홀(OCH)이 시작되는 영역으로 오버홀(OCH)의 경사부(OSL)가 위치한 영역이고, 제2 영역(B)은 패시홀(PACH)이 시작되는 영역으로 패시홀(PACH)의 경사부(SL)가 위치한 영역이며, 제3 영역(C)은 패시 베이전막(PAS)이 존재하지 않는 패시홀(PACH) 내부 영역이다.

[0075] 상기 제1 내지 제3 영역(A, B, C)에서 전류 패스를 살펴보면, 제1 영역(A)의 제2 전극(CAT)에서부터 전류가 흘러 제2 영역(B)을 통해 제3 영역(C)의 저전위라인(VSSL)으로 흘러나간다. 이때, 패시홀(PACH)의 경사부(SL)는 제2 전극(CAT)의 두께가 얇아지는 영역으로 제2 전극(CAT)의 저항을 증가시키는 요인으로 작용한다.

[0076] 도 14를 참조하여 복수의 패시홀(PACH)이 나타난 단면 구조를 살펴보면, 기판(미도시) 상에 저전위라인(VSSL)이 배치된다. 저전위라인(VSSL) 상에 층간 절연막(ILD)이 위치하고 층간 절연막(ILD)은 하부의 저전위라인(VSSL)을 노출하는 적어도 하나의 층간홀(ILCH)을 구비한다. 층간 절연막(ILD) 상에 제1 연결패턴(SDC)이 위치한다. 제1 연결패턴(SDC)은 층간홀(ILCH)을 통해 하부의 저전위라인(VSSL)과 접촉한다.

[0077] 제1 연결패턴(SDC) 상에 패시베이전막(PAS)이 배치된다. 패시베이전막(PAS)은 하부의 제1 연결패턴(SDC)을 노출하기 위해 복수의 패시홀(PACH)을 구비한다. 패시홀(PACH)은 패시베이전막(PAS)의 두께가 줄어들어 하부의 제1 연결패턴(SDC)을 노출하는 경사부(SL)들을 각각 포함한다.

[0078] 패시베이전막(PAS) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 하부의 패시베이전막(PAS) 및 제1 연결패턴(SDC)을 노출하기 위해 오버홀(OCH)을 구비한다. 오버홀(OCH)도 두께가 줄어들어 하부의 패시베이전막(PAS)을 노출하는 경사부(OSL)를 포함한다. 오버코트층(OC), 패시베이전막(PAS) 및 제1 연결패턴(SDC) 상에 제2 연결패턴(ITC)이 배치된다. 제2 연결패턴(ITC)은 오버코트층(OC) 및 패시베이전막(PAS)의 스텝 커버리지를 따라 형성되어 제1 연결패턴(SDC)과 접촉한다. 그리고 오버코트층(OC) 및 제2 연결패턴(ITC) 상에 제2 전극(CAT)이 배치된다. 제2 전극(CAT)은 제2 연결패턴(ITC)의 스텝 커버리지를 따라 형성된다. 따라서, 제2 전극(CAT)이 제2 연결패턴(ITC)과 직접 접촉하여, 최종적으로 제2 전극(CAT)이 저전위라인(VSSL)과 전기적으로 연결된다.

[0079] 도 14에 도시된 전극 컨택부(CC)에서는 오버홀(OCH)의 경사부(OSL)가 위치한 제1 영역(A)과 패시홀(PACH)의 경사부(SL)가 위치한 제2 영역(B)들이 나타난다. 상기 제1 영역(A) 및 제2 영역(B)에서 전류 패스를 살펴보면, 제1 영역(A)의 제2 전극(CAT)에서부터 전류가 흘러 제2 영역(B)들을 통해 저전위라인(VSSL)으로 흘러나간다.

[0080] 본 발명은 제2 전극(CAT)으로부터 저전위라인(VSSL)으로 들어가는 전류 패스를 넓혀주어, 제2 전극(CAT)의 전체 저항 및 전류 밀도를 감소시킨다. 구체적으로 패시홀(PACH)의 경사부(SL)의 면적을 증가시켜 전극 컨택부(CC)에서의 제2 전극(CAT)의 전체 저항 및 전류 밀도를 감소시킨다. 패시홀(PACH)의 경사부(SL)의 면적은 패시홀(PACH)의 둘레의 길이에 비례하기 때문에 패시홀(PACH)의 둘레의 길이를 증가시키는 것도 동일한 효과를 나타낼 수 있다.

[0081] 제2 전극(CAT)으로부터 저전위라인(VSSL)으로 들어가는 전류 패스를 넓혀주기 위해, 패시홀(PACH)의 형상은 다양하게 이루어질 수 있다.

[0082] 도 15 및 도 16에 도시된 바와 같이, 패시홀(PACH)은 가로 스프라이트 또는 세로 스프라이트 구조로 이루어질 수 있고, 도 17에 도시된 바와 같이, 도트 형상으로 이루어질 수도 있다. 그러나 패시홀(PACH)의 경사부(SL)의 면적이 오버홀(OCH)의 경사부(OSL)의 면적보다 크게 이루어지거나, 패시홀(PACH)의 전체 둘레가 오버홀(OCH)의 둘레보다 길게 이루어진다면 패시홀(PACH)의 평면 형상은 어떠한 형상으로 이루어져도 무방하다. 또한, 도 15 내지 도 17에서 패시홀(PACH)의 평면 형상을 복수의 삼각형 또는 사각형으로 도시하였으나, 복수의 원형 또는 랜덤한 형상도 가능하다.

[0083] 전술한 바와 같이, 본 발명은 전극 컨택부에서 패시베이전막의 패시홀을 복수로 형성하되 오버코트층의 오버홀보다 둘레의 길이를 길게 형성하거나 패시홀의 경사부의 면적을 오버홀의 경사부의 면적보다 크게 형성할 수 있다. 따라서, 제2 전극에서 저전위라인으로 흘러들어가는 전류 패스를 증가시켜, 제2 전극의 전체 저항 및 전류 밀도를 감소시킬 수 있다. 그러므로 본 발명은 전극 컨택부에서 제2 전극의 저항으로 인해 번트가 발생하는 것을 방지할 수 있는 이점이 있다.

[0084] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터

터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0085]

VSSL : 저전위라인 ILD : 층간 절연막

SDC : 제1 연결패턴 ITC : 제2 연결패턴

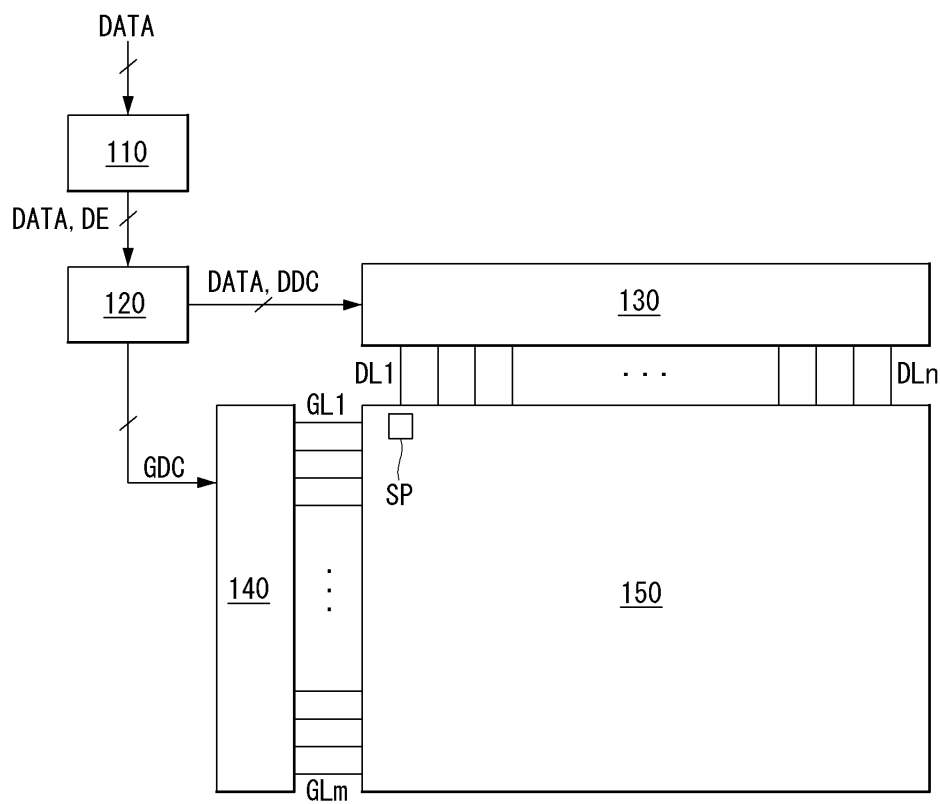
PAS : 패시베이션막 OC : 오버코트층

PACH : 패시홀 OCH : 오버홀

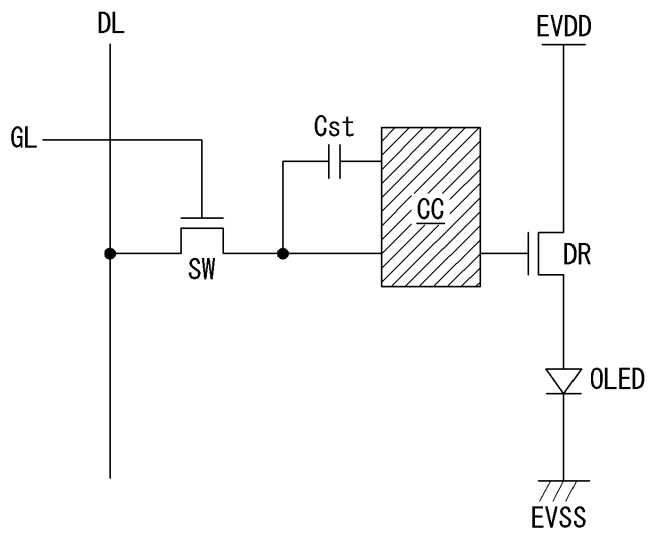
CAT : 제2 전극

도면

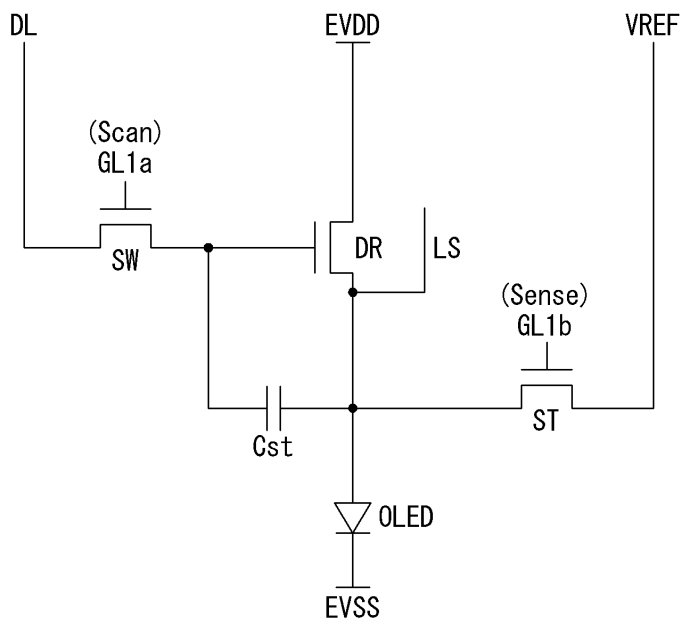
도면1



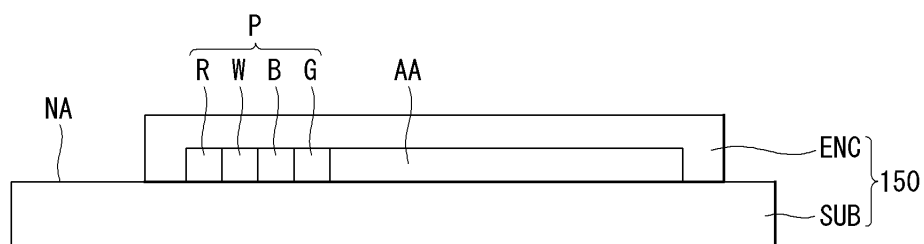
도면2



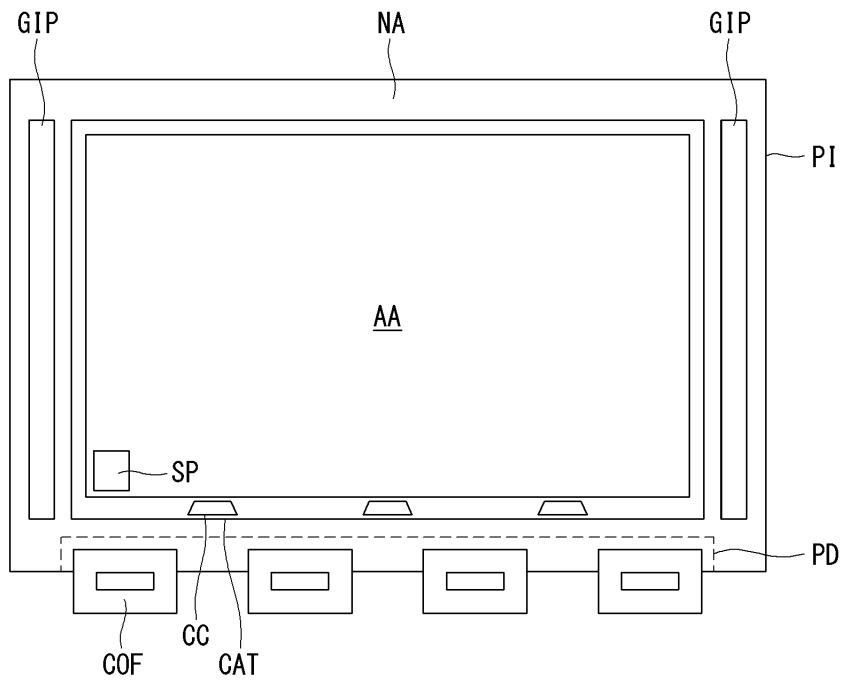
도면3



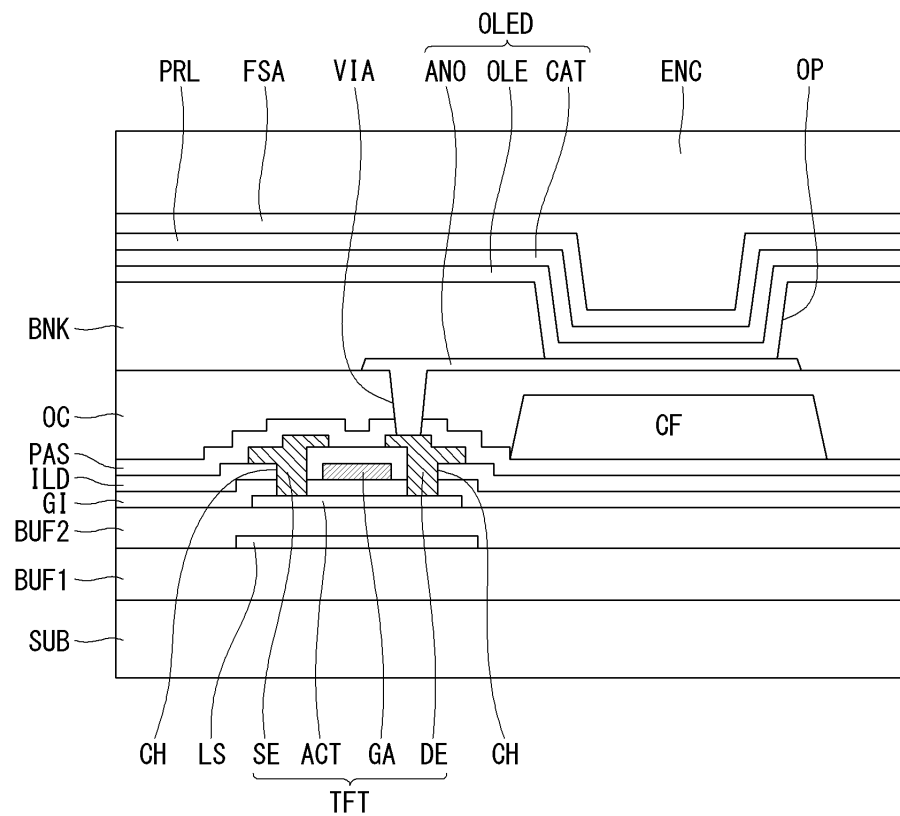
도면4



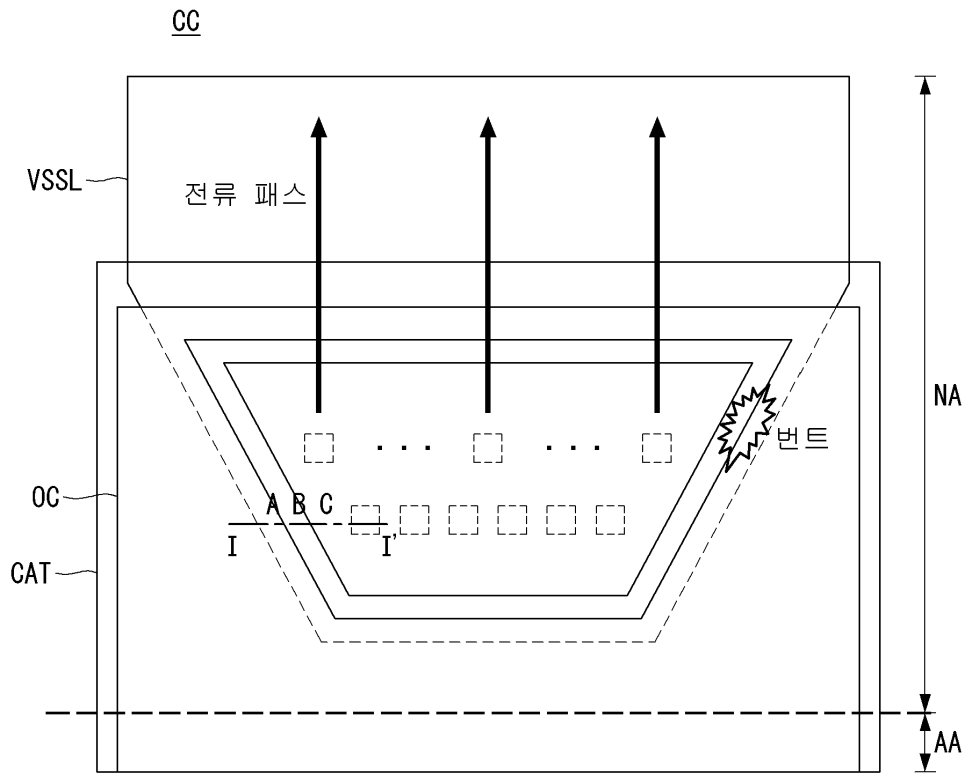
도면5



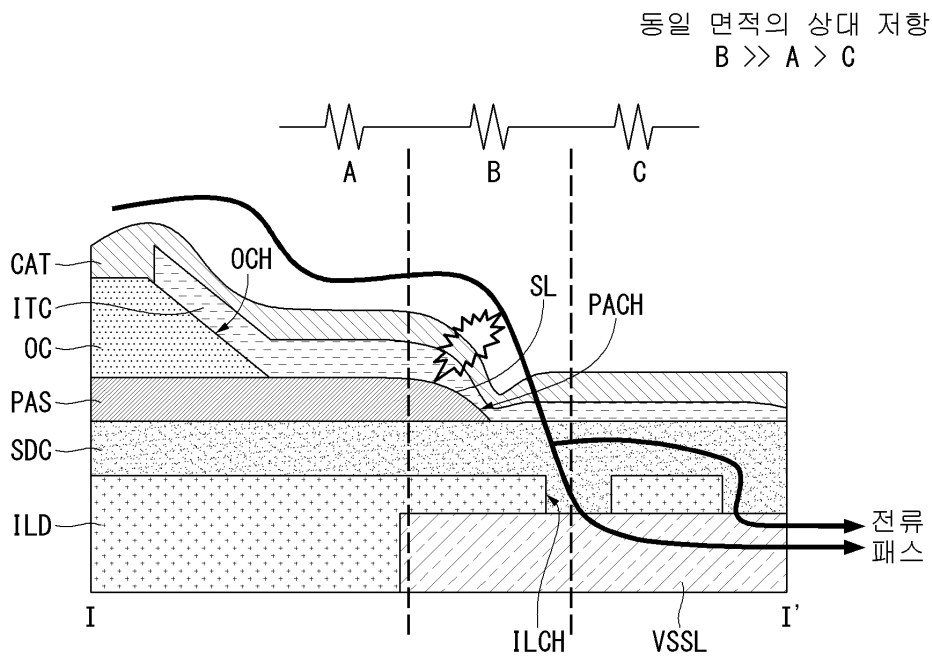
도면6



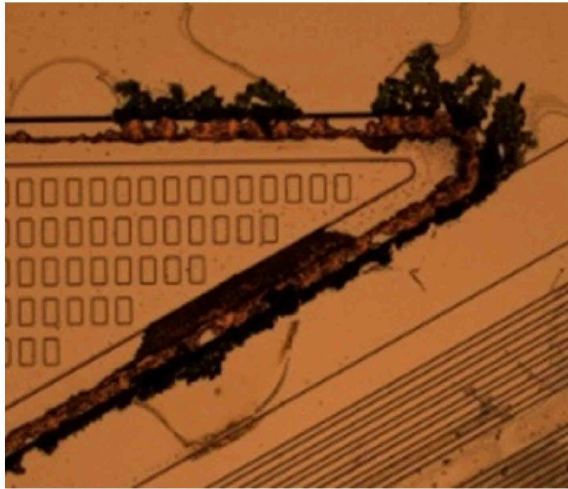
도면7



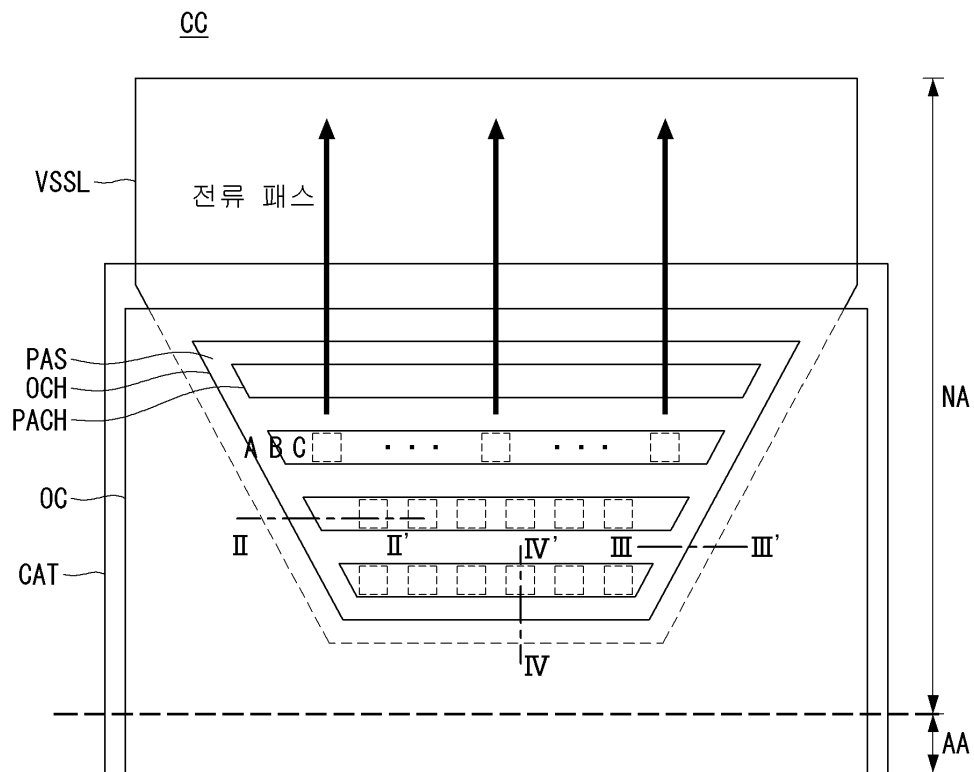
도면8



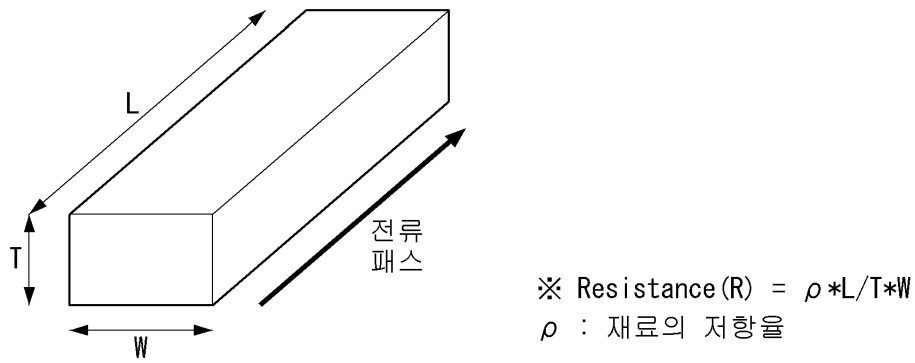
도면9



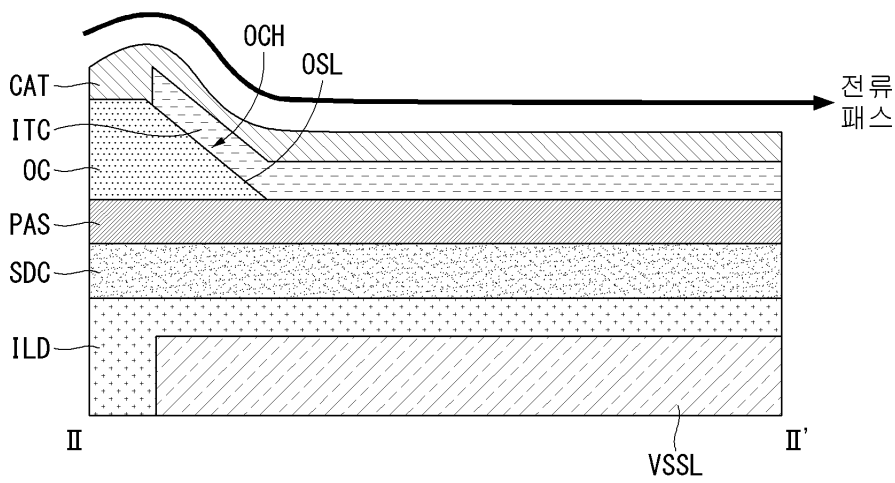
도면10



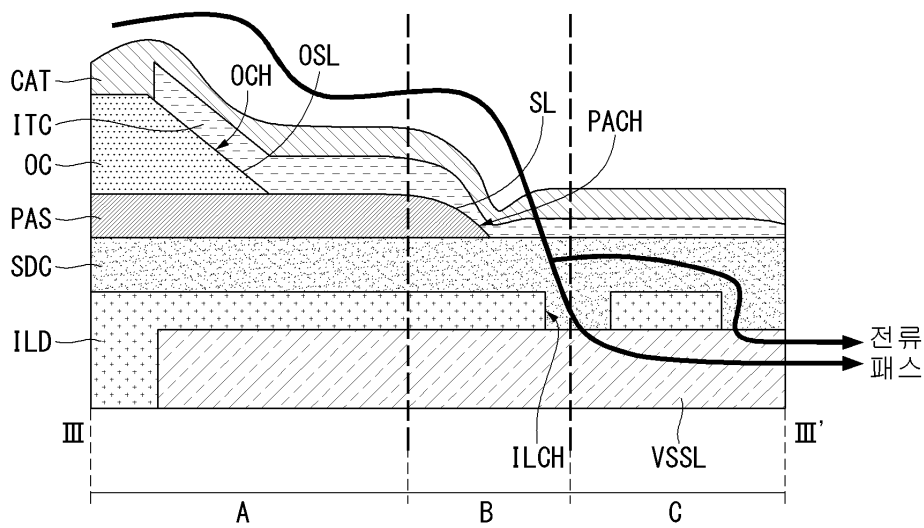
도면11



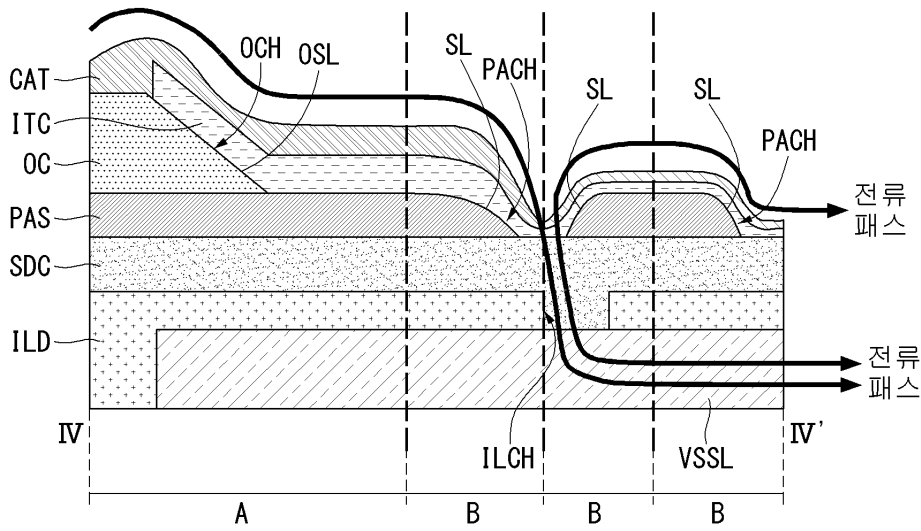
도면12



도면13



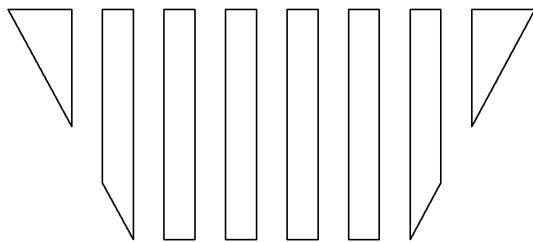
도면14



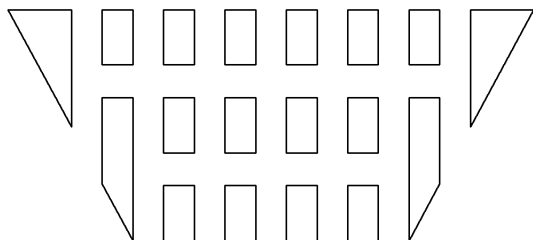
도면15



도면16



도면17



专利名称(译)	显示设备		
公开(公告)号	KR1020190042361A	公开(公告)日	2019-04-24
申请号	KR1020170134180	申请日	2017-10-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박건도		
发明人	박건도		
IPC分类号	H01L51/52		
CPC分类号	H01L51/5253 H01L51/5203 H01L51/5243 G09G3/3233 H01L27/3246 H01L27/3276 H01L51/5228 G09G2310/0264 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明提供了一种能够防止对电极接触部的损坏的显示装置。根据本发明示例性实施例的显示装置包括：显示单元，其中显示有机发光二极管，该有机发光二极管包括第一电极，有机层和第二电极；以及显示单元，该显示单元通过至少一个连接图案位于显示单元外部，第二电极。以及非显示部分，其包括连接至低电位线的电极接触部分，其中所述电极接触部分包括：钝化层，其包括暴露所述至少一个连接图案的多个钝化孔；以及外露孔，其暴露出所述钝化层。外涂层。

