



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0009217
(43) 공개일자 2019년01월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2300/043 (2013.01)
(21) 출원번호 10-2017-0091207
(22) 출원일자 2017년07월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
다카수기신지
경기도 파주시 월롱면 엘지로 245
최우석
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인로얄

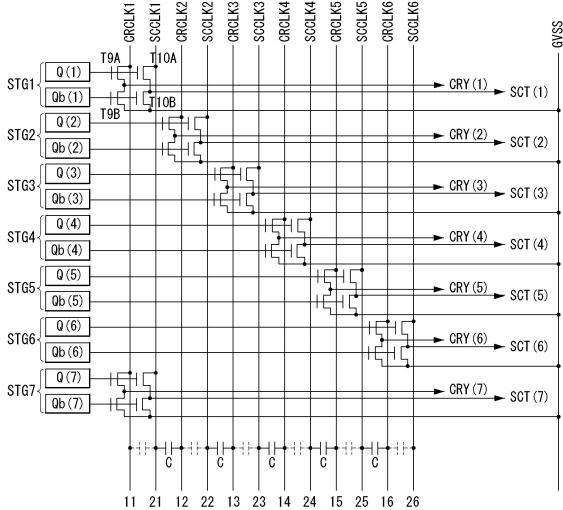
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치**

(57) 요 약

본 발명에 따라 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터는, 상기 스테이지들로 스캔 쉬프트 클럭들을 공급하는 다수의 스캔 클럭 배선들; 및 상기 스테이지들로 캐리 쉬프트 클럭들을 공급하는 다수의 캐리 클럭 배선들을 구비한다. 여기서, 상기 스테이지들 중에서 제1 스테이지에 연결되는 제1 스캔 클럭 배선과 상기 제1 스테이지에 연결되는 제1 캐리 클럭 배선은 서로 이웃하게 배치된다.

대 표 도 - 도11



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2310/0286 (2013.01)

(72) 발명자

장민규

경기도 파주시 월롱면 엘지로 245

최재이

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

다수의 스테이지들을 갖는 게이트 쉬프트 레지스터에 있어서,
 상기 스테이지들로 스캔 쿤터들을 공급하는 다수의 스캔 쿤터 배선들; 및
 상기 스테이지들로 캐리 쉬프트 쿤터들을 공급하는 다수의 캐리 쿤터 배선들을 구비하고,
 상기 스테이지들 중에서 제1 스테이지에 연결되는 제1 스캔 쿤터 배선과 상기 제1 스테이지에 연결되는 제1 캐리 쿤터 배선은 서로 이웃하게 배치되는 게이트 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,
 상기 제1 스캔 쿤터 배선에 인가되는 스캔 쉬프트 쿤터과, 상기 제1 캐리 쿤터 배선에 인가되는 캐리 쉬프트 쿤터은, 동일한 제1 위상을 갖는 게이트 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,
 상기 제1 스테이지에 이웃하도록 제2 스테이지가 배치될 때,
 상기 제2 스테이지에 연결되는 제2 스캔 쿤터 배선과 상기 제2 스테이지에 연결되는 제2 캐리 쿤터 배선은 서로 이웃하게 배치되는 게이트 쉬프트 레지스터.

청구항 4

제 3 항에 있어서,
 상기 제2 스캔 쿤터 배선에 인가되는 스캔 쉬프트 쿤터과, 상기 제2 캐리 쿤터 배선에 인가되는 캐리 쉬프트 쿤터은, 동일한 제2 위상을 가지며,
 상기 제2 위상은 상기 제1 위상보다 늦은 게이트 쉬프트 레지스터.

청구항 5

제 3 항에 있어서,
 상기 제1 스캔 쿤터 배선과 상기 제2 스캔 쿤터 배선 사이에 상기 제1 캐리 쿤터 배선과 상기 제2 캐리 쿤터 배선 중 어느 하나가 배치되는 게이트 쉬프트 레지스터.

청구항 6

제 1 항에 있어서,
 상기 제1 스테이지는, 노드 Q(1)의 전위에 따라 공통으로 제어되어, 상기 제1 위상의 스캔 제어신호를 출력하는 제1 스캔 출력 버퍼와, 상기 제1 위상의 캐리 신호를 출력하는 제1 캐리 출력 버퍼를 포함하고,
 상기 제1 스캔 쿤터 배선은 상기 제1 스캔 출력 버퍼의 일측 전극에 연결되고, 상기 제1 캐리 쿤터 배선은 상기 제1 캐리 출력 버퍼의 일측 전극에 연결되는 게이트 쉬프트 레지스터.

청구항 7

제 4 항에 있어서,
 상기 제2 스테이지는, 노드 Q(2)의 전위에 따라 공통으로 제어되어, 상기 제2 위상의 스캔 제어신호를 출력하는

제2 스캔 출력 버퍼와, 상기 제2 위상의 캐리 신호를 출력하는 제2 캐리 출력 버퍼를 포함하고,

상기 제2 스캔 클럭 배선은 상기 제2 스캔 출력 버퍼의 일측 전극에 연결되고, 상기 제2 캐리 클럭 배선은 상기 제2 캐리 출력 버퍼의 일측 전극에 연결되는 게이트 쉬프트 레지스터.

청구항 8

다수의 스테이지들을 갖는 게이트 쉬프트 레지스터에 있어서,

상기 스테이지들로 스캔 쉬프트 클럭들을 공급하는 다수의 스캔 클럭 배선들;

상기 스테이지들로 캐리 쉬프트 클럭들을 공급하는 다수의 캐리 클럭 배선들; 및

상기 스테이지들로 센싱 쉬프트 클럭들을 공급하는 다수의 센싱 클럭 배선들을 구비하고,

상기 스테이지들 중에서 제1 스테이지에 연결되는 제1 스캔 클럭 배선, 상기 제1 스테이지에 연결되는 제1 캐리 클럭 배선 및 상기 제1 스테이지에 연결되는 제1 센싱 클럭 배선은 서로 이웃하게 배치되는 게이트 쉬프트 레지스터.

청구항 9

제 8 항에 있어서,

상기 제1 스캔 클럭 배선에 인가되는 스캔 쉬프트 클럭과, 상기 제1 캐리 클럭 배선에 인가되는 캐리 쉬프트 클럭과, 상기 제1 센싱 클럭 배선에 인가되는 센싱 쉬프트 클럭은, 동일한 제1 위상을 갖는 게이트 쉬프트 레지스터.

청구항 10

제 9 항에 있어서,

상기 제1 스테이지에 이웃하도록 제2 스테이지가 배치될 때,

상기 제2 스테이지에 연결되는 제2 스캔 클럭 배선, 상기 제2 스테이지에 연결되는 제2 캐리 클럭 배선 및 상기 제2 스테이지에 연결되는 제2 센싱 클럭 배선은 서로 이웃하게 배치되는 게이트 쉬프트 레지스터.

청구항 11

제 10 항에 있어서,

상기 제2 스캔 클럭 배선에 인가되는 스캔 쉬프트 클럭과, 상기 제2 캐리 클럭 배선에 인가되는 캐리 쉬프트 클럭과, 상기 제2 센싱 클럭 배선에 인가되는 센싱 쉬프트 클럭은 동일한 제2 위상을 가지며,

상기 제2 위상은 상기 제1 위상보다 늦은 게이트 쉬프트 레지스터.

청구항 12

제 10 항에 있어서,

상기 제1 스캔 클럭 배선과 상기 제2 스캔 클럭 배선 사이에,

상기 제1 캐리 클럭 배선과 상기 제1 센싱 클럭 배선이 배치되거나, 또는

상기 제2 캐리 클럭 배선과 상기 제2 센싱 클럭 배선이 배치되거나, 또는

상기 제1 캐리 클럭 배선과 상기 제2 센싱 클럭 배선이 배치되거나, 또는

상기 제1 센싱 클럭 배선과 상기 제2 캐리 클럭 배선이 배치되는 게이트 쉬프트 레지스터.

청구항 13

제 12 항에 있어서,

상기 제1 스캔 클럭 배선은 상기 제1 캐리 클럭 배선과 상기 제1 센싱 클럭 배선 사이에 배치되고,

상기 제2 스캔 클럭 배선은 제2 캐리 클럭 배선과 상기 제2 센싱 클럭 배선 사이에 배치되는 게이트 쉬프트 레

지스터.

청구항 14

제 8 항에 있어서,

상기 제1 스테이지는, 노드 Q(1)의 전위에 따라 공통으로 제어되어, 상기 제1 위상의 스캔 제어신호를 출력하는 제1 스캔 출력 버퍼와, 상기 제1 위상의 캐리 신호를 출력하는 제1 캐리 출력 버퍼와, 상기 제1 위상의 센싱 제어신호를 출력하는 제1 센싱 출력 버퍼를 포함하고,

상기 제1 스캔 클럭 배선은 상기 제1 스캔 출력 버퍼의 일측 전극에 연결되고, 상기 제1 캐리 클럭 배선은 상기 제1 캐리 출력 버퍼의 일측 전극에 연결되며, 상기 제1 센싱 클럭 배선은 상기 제1 센싱 출력 버퍼의 일측 전극에 연결되는 게이트 쉬프트 레지스터.

청구항 15

제 11 항에 있어서,

상기 제2 스테이지는, 노드 Q(2)의 전위에 따라 공통으로 제어되어, 상기 제2 위상의 스캔 제어신호를 출력하는 제2 스캔 출력 버퍼와, 상기 제2 위상의 캐리 신호를 출력하는 제2 캐리 출력 버퍼와, 상기 제2 위상의 센싱 제어신호를 출력하는 제2 센싱 출력 버퍼를 포함하고,

상기 제2 스캔 클럭 배선은 상기 제2 스캔 출력 버퍼의 일측 전극에 연결되고, 상기 제2 캐리 클럭 배선은 상기 제2 캐리 출력 버퍼의 일측 전극에 연결되며, 상기 제2 센싱 클럭 배선은 상기 제2 센싱 출력 버퍼의 일측 전극에 연결되는 게이트 쉬프트 레지스터.

청구항 16

게이트라인들이 구비된 표시패널; 및

상기 청구항 제1항 내지 제7항 중 어느 한 항의 게이트 쉬프트 레지스터의 출력을 이용하여 상기 게이트라인들을 구동하는 게이트 드라이버를 포함하는 유기발광 표시장치.

청구항 17

게이트라인들과 센싱 라인들이 구비된 표시패널; 및

상기 청구항 제8항 내지 제15항 중 어느 한 항의 게이트 쉬프트 레지스터의 출력을 이용하여 상기 게이트라인들과 상기 센싱 라인들을 구동하는 게이트 드라이버를 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 화상 데이터의 계조에 따라 픽셀들의 휙도를 조절한다. 픽셀들 각각은 OLED에 흐르는 구동전류를 제어하는 구동 소자(또는, 구동 트랜ジ스터)와, 구동 소자의 게이트-소스 간 전압을 프로그래밍하기 위한 복수의 스위치 소자들과, 적어도 하나 이상의 스

토리지 커페시터를 포함한다.

[0005] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 드라이버를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 게이트 신호(스캔 제어신호)를 생성하여 게이트라인들에 순차적으로 공급한다. 스캔 제어신호는 스위치 소자들을 턴 온 시킬 수 있는 게이트 하이 전압과, 스위치 소자들을 턴 오프 시킬 수 있는 게이트 로우 전압 사이에서 스윙된다. 게이트 드라이버는 다수의 스테이지들로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다.

[0006] 스테이지들이 동작되기 위해서는 복수의 쉬프트 클럭들이 필요하다. 쉬프트 클럭들은 순차적으로 위상이 쉬프트 되며, 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙하는 복수의 필스들이다. 쉬프트 클럭들은 복수의 클럭 배선들을 통해 스테이지들에 공급되어 스테이지들의 출력 노드들을 순차적으로 게이트 하이 전압으로 충전한다. 다시 말해, 쉬프트 클럭들에 동기하여 스캔 제어신호가 게이트 하이 전압으로 출력된다. 게이트 하이 전압의 스캔 제어신호에 따라 픽셀 내의 스위치 소자가 턴 온 되면, 화상 표시를 위한 데이터전압이 그 픽셀에 기입되게 된다.

[0007] 협 베젤(Narrow Bezel) 구현을 위해, 클럭 배선들은 표시패널 상에서 서로 가깝게 배치되는데, 이로 인해 클럭 배선들 간에 생기는 기생 커페시턴스가 크다. 따라서, 이웃한 클럭 배선들로 서로 다른 위상의 쉬프트 클럭들이 인가되는 경우 커플링 영향으로 쉬프트 클럭들이 왜곡될 수 있다. 쉬프트 클럭이 왜곡되면 스캔 제어신호의 파형이 변동될 수 있다. 스캔 제어신호는 픽셀 내로 데이터전압이 충전되는 타이밍을 결정하므로, 스캔 제어신호가 왜곡되면 화상 품위가 떨어진다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 쉬프트 클럭들의 왜곡을 최소화하여 화상 품위를 향상시킬 수 있도록 한 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명에 따라 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터는, 상기 스테이지들로 스캔 쉬프트 클럭들을 공급하는 다수의 스캔 클럭 배선들; 및 상기 스테이지들로 캐리 쉬프트 클럭들을 공급하는 다수의 캐리 클럭 배선들을 구비한다. 여기서, 상기 스테이지들 중에서 제1 스테이지에 연결되는 제1 스캔 클럭 배선과 상기 제1 스테이지에 연결되는 제1 캐리 클럭 배선은 서로 이웃하게 배치된다.

[0010] 또한, 본 발명에 따라 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터는, 상기 스테이지들로 스캔 쉬프트 클럭들을 공급하는 다수의 스캔 클럭 배선들; 상기 스테이지들로 캐리 쉬프트 클럭들을 공급하는 다수의 캐리 클럭 배선들; 및 상기 스테이지들로 센싱 쉬프트 클럭들을 공급하는 다수의 센싱 클럭 배선들을 구비한다. 여기서, 상기 스테이지들 중에서 제1 스테이지에 연결되는 제1 스캔 클럭 배선, 상기 제1 스테이지에 연결되는 제1 캐리 클럭 배선 및 상기 제1 스테이지에 연결되는 제1 센싱 클럭 배선은 서로 이웃하게 배치된다.

발명의 효과

[0011] 본 발명은 동일 위상의 클럭 신호들을 공급하는 클럭 배선들을 서로 이웃하게 배치하여 커플링 영향을 줄이거나 또는 완전히 억제함으로써, 커플링 영향으로 인한 쉬프트 클럭들의 왜곡을 최소화하고 화상 품위를 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.

도 2는 도 1의 게이트 드라이버에 포함된 게이트 쉬프트 레지스터의 스테이지들 간의 연결 구성을 보여준다.

도 3은 본 발명의 일 실시예에 따른 스테이지를 나타내는 회로도이다.

도 4는 도 3의 스테이지에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.

도 5는 본 발명의 다른 실시예에 따른 스테이지를 나타내는 회로도이다.

도 6은 도 5의 스테이지에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.

도 7은 도 3과 같은 스테이지들에 연결되는 클럭 배선들의 일 배치예를 보여주는 도면이다.

도 8은 도 7의 클럭 배선들에 인가되는 쉬프트 클럭들의 파형을 보여주는 도면이다.

도 9는 도 5와 같은 스테이지들에 연결되는 클럭 배선들의 일 배치예를 보여주는 도면이다.

도 10은 도 9의 클럭 배선들에 인가되는 쉬프트 클럭들의 파형을 보여주는 도면이다.

도 11은 도 3과 같은 스테이지들에 연결되는 클럭 배선들의 다른 배치예를 보여주는 도면이다.

도 12는 도 11의 클럭 배선들에 인가되는 쉬프트 클럭들의 파형을 보여주는 도면이다.

도 13은 도 5와 같은 스테이지들에 연결되는 클럭 배선들의 다른 배치예를 보여주는 도면이다.

도 14는 도 13의 클럭 배선들에 인가되는 쉬프트 클럭들의 파형을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013]

이하 참조된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다. 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 쉬프트 레지스터를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에 고전위 전원전압 또는 그에 상당하는 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드의 전위가 저전위 전원전압 또는 그에 상당하는 전압으로 방전된다는 것을 의미한다.

[0014]

도 1은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여준다.

[0015]

도 1을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 게이트 드라이버(130, 150), 및 타이밍 콘트롤러(110) 등을 구비한다.

[0016]

표시패널(100)에는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치되어 픽셀 어레이를 구성할 수 있다. 각 픽셀은 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 및 적어도 하나 이상의 스위치 TFT를 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

[0017]

데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터 화상 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 화상 데이터(RGB)를 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 게이트 신호들에 동기되도록 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.

[0018]

게이트 드라이버(130, 150)는 타이밍 콘트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프터(level shifter)(150), 및 게이트 쉬프트 레지스터(130)를 구비한다.

[0019]

레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 클럭 신호들(CLKs)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 레벨 쉬프터(150)는 레벨 쉬프팅 된 쉬프트 클럭들을 게이트 쉬프트 레지스터(130)에 공급한다.

[0020]

게이트 쉬프트 레지스터(130)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수

있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다. 게이트 쉬프트 레지스터(130)는 레벨 쉬프트(150)로부터 쉬프트 클럭들이 인가되는 클럭 배선들과, 클럭 배선들에 연결되는 다수의 스테이지들을 포함한다. 클럭 배선들의 배치 구성에 대해서는 도 7 내지 도 14를 통해 상세히 후술한다. GIP 방식에서, 레벨 쉬프트(150)는 PCB(140) 상에 실장될 수 있다.

[0021] 타이밍 콘트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 화상 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 전기적 특성 편차가 보상되도록 화상 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.

[0022] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받는다. 타이밍 콘트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 게이트 드라이버의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 생성한다.

[0023] 게이트 타이밍 제어신호는 스타트 신호(VSP) 및 쉬프트 클럭들(CLKs) 등을 포함한다.

[0024] 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 전압의 출력 타이밍을 제어하는 신호이다.

[0025] 도 2는 도 1의 게이트 드라이버에 포함된 게이트 쉬프트 레지스터의 스테이지들 간의 연결 구성을 보여준다.

[0026] 도 2를 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터는 서로 종속적으로 접속된 다수의 스테이지들(STGn~STGn+3)을 구비한다. 스테이지들(STGn~STGn+3)은 GIP(Gate driver In Panel) 방식으로 형성된 GIP 소자들일 수 있다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있다.

[0027] 스테이지들(STGn~STGn+3)은 스캔 제어신호(SCT(n)~SCT(n+3))와 캐리 신호(CRY(n)~CRY(n+3))를 생성한다. 스테이지들(STGn~STGn+3)은 스캔 제어신호(SCT(n)~SCT(n+3))와 독립적으로 캐리 신호(CRY(n)~CRY(n+3))를 생성함으로써, 게이트 로드(load)에 의해 캐리 신호가 왜곡되는 것을 방지할 수 있다. 스테이지들(STGn~STGn+3)은 스캔 제어신호(SCT(n)~SCT(n+3))를 생성하여 표시패널의 게이트라인들에 공급한다. 스테이지들(STGn~STGn+3)은 캐리 신호(CRY(n)~CRY(n+3))를 생성하여 후단 스테이지들 중 어느 하나에 스타트 신호로 공급함과 아울러, 전단 스테이지들 중 어느 하나에 리셋 신호로 공급할 수 있다.

[0028] 한편, 도면에 도시하지 않았지만, 스테이지들(STGn~STGn+3)은 센싱 제어신호를 더 생성한 후, 게이트라인들에 공급할 수 있다. 센싱 제어신호는 픽셀들과 센싱 라인들 간의 전류 흐름을 스위칭하기 위한 게이트 신호이다. 센싱 제어신호는 도 4와 같은 픽셀 구조에서는 생략될 수 있으나, 도 6과 같은 외부 보상용 픽셀 구조에서는 반드시 필요하다.

[0029] 스테이지들(STGn~STGn+3)은 스캔 제어신호(SCT(n)~SCT(n+3))와 캐리 신호(CRY(n)~CRY(n+3))와 센싱 제어신호를 생성하기 위해 외부의 타이밍 콘트롤러(미도시)로부터 글로벌 스타트 신호(VSP), 쉬프트 클럭들(CLKs), 글로벌 리셋 신호(미도시) 등을 공급받을 수 있다.

[0030] 글로벌 스타트 신호(VSP), 쉬프트 클럭들(CLKs), 글로벌 리셋 신호는 스테이지들(STGn~STGn+3)에 공통으로 공급되는 신호들이다. 글로벌 스타트 신호(VSP)는 상단 더미 스테이지의 스타트단자에 더 공급될 수 있고, 글로벌 리셋 신호는 하단 더미 스테이지의 리셋단자에 더 공급될 수 있다.

[0031] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 스타트단자에 인가되는 전단 캐리 신호에 따라 노드 Q의 동작을 활성화한다. 전단 캐리 신호는 전단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 상단 더미 스테이지로부터 캐리 신호를 입력 받을 수 있다. 상단 더미 스테이지는 글로벌 스타트 신호(VSP)에 따라 동작되어 캐리 신호를 상단부 스테이지들 중 일부에 공급할 수 있다.

[0032] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 리셋단자에 인가되는 후단 캐리 신호에 따라 노드 Q의 동작을 비 활성화한다. 후단 캐리 신호는 후단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 하단 더미 스테이지로부터 캐리 신호를 입력 받을 수 있다. 하단 더미 스테이지는 글로벌 리셋 신호에 따라 동작되어 캐리 신호를 하단부 스테이지들 중 일부에 공급할 수 있다.

- [0033] 각 스테이지들(STGn~STGn+3)에는 복수의 쉬프트 클럭들(CLKs)이 공급될 수 있다. 쉬프트 클럭들(CLKs)은 순차적으로 위상이 쉬프트되는 스캔 쉬프트 클럭들, 순차적으로 위상이 쉬프트되는 캐리 쉬프트 클럭들을 포함할 수 있으며, 순차적으로 위상이 쉬프트되는 센싱 쉬프트 클럭들을 더 포함할 수도 있다. 스캔 쉬프트 클럭들은 스캔 제어신호(SCT(n)~SCT(n+3))를 생성하기 위한 클럭 신호이고, 캐리 쉬프트 클럭들은 캐리 신호(CRY(n)~CRY(n+3))를 생성하기 위한 클럭 신호이다. 그리고, 센싱 쉬프트 클럭들은 센싱 신호를 생성하기 위한 클럭 신호이다. 스캔 쉬프트 클럭들은 스캔 제어신호(SCT(n)~SCT(n+3))에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다. 캐리 쉬프트 클럭들은 캐리 신호(CRY(n)~CRY(n+3))에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다. 센싱 쉬프트 클럭들은 센싱 신호에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다.
- [0034] 이러한 쉬프트 클럭들(CLKs)은 고속 구동시 충분한 충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 이웃한 위상의 클럭들은 미리 설정된 일부 게이트 하이 구간 만큼씩 중첩될 수 있다.
- [0035] 각 스테이지들(STGn~STGn+3)은 외부의 전원 공급부(미도시)로부터 전원 전압(PS)을 공급받을 수 있다. 전원 전압(PS)은 고전위 전원전압과 저전위 전원전압을 포함한다. 고전위 전원전압은 게이트 하이 전압, 예컨대 28V로 설정될 수 있다. 저전위 전원전압은 각 스테이지들(STGn~STGn+3)에 속하는 트랜지스터들의 누설 전류를 억제하기 위해 복수의 게이트 로우 전압들, 예컨대 -6V, -12V로 설정될 수 있다. 이 경우, 스캔 쉬프트 클럭들은 -6V와 12V 사이에서 스윙될 수 있고, 캐리 쉬프트 클럭들은 -12V와 12V 사이에서 스윙될 수 있다. 다시 말해, 캐리 쉬프트 클럭들의 스윙 폭은 스캔 쉬프트 클럭들의 스윙 폭에 비해 클 수 있다. 그리고, 캐리 신호(CRY(n)~CRY(n+3))의 스윙 폭은 스캔 제어신호(SCT(n)~SCT(n+3))의 스윙폭보다 더 클 수 있다. 이렇게 하면, 각 스테이지에서 노드 Qb에 게이트전극이 연결된 풀다운 트랜지스터의 열화를 억제하는 데 효과적이다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 스테이지를 나타내는 회로도이다. 그리고, 도 4는 도 3의 스테이지에 연결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.
- [0037] 도 3은 제n 게이트 신호(SCT(n))와 제n 캐리 신호(CRY(n))를 출력하는 제n 스테이지(STGn)를 보여준다. 도 3에서, 고전위 전원전압 GVDD는 게이트 하이 전압 레벨을 갖는다. 저전위 전원 전압 GVSS는 게이트 로우 전압과 실질적으로 동일할 수 있다. 도 3의 스테이지는 도 4와 같은 픽셀에 연결되므로, 센싱 쉬프트 클럭들을 인가받아 센싱 제어신호를 출력할 필요가 없다.
- [0038] 도 3을 참조하면, 스테이지 STGn은 입력부 BK1, 인버터부 BK2, 출력부 BK3, 및 안정화부 BK4를 포함한다.
- [0039] 입력부 BK1은 스타트 단자를 통해 입력되는 전단 캐리 신호 CRY(n-3)에 응답하여 노드 Q(n)의 전위를 고전위 전원 전압 GVDD로 활성화한다. 입력부 BK1은 리셋 단자를 통해 입력되는 후단 캐리 신호 CRY(n+3)에 응답하여 노드 Q(n)의 전위를 저전위 전원 전압 GVSS로 비 활성화한다.
- [0040] 이를 위해, 입력부 BK1은 복수의 트랜지스터들(T1,T2)을 포함한다. 트랜지스터 T1은 전단 캐리 신호 CRY(n-3)가 인가되는 스타트 단자에 접속되는 게이트전극과 드레인전극, 및 노드 Q(n)에 접속되는 소스전극을 포함하여, 전단 캐리 신호 CRY(n-3)를 노드 Q(n)에 인가한다. 트랜지스터 T2는 후단 캐리 신호 CRY(n+3)가 인가되는 리셋 단자에 접속되는 게이트전극, 노드 Q(n)에 접속되는 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T2는 후단 캐리 신호 CRY(n+3)가 입력되는 동안 노드 Q(n)과 저전위 전원 전압 GVSS를 연결하여, 노드 Q(n)을 비 활성화 한다.
- [0041] 인버터부 BK2는 노드 Qb(n)를 노드 Q(n)와 반대로 충전 및 방전한다. 인버터부 BK2는 노드 N1의 전위에 따라 노드 Qb(n)에 고전위 전원 전압 GVDD를 인가하여 노드 Qb(n)를 활성화할 수 있다. 노드 N1의 전위는 노드 Q(n)에 따라 그와 반대로 제어된다. 노드 N1은 노드 Q(n)가 활성화되는 동안 저전위 전원 전압 GVSS으로 비 활성되는 데 반해, 노드 Q(n)가 비 활성화되는 동안 고전위 전원 전압 GVDD로 활성화된다. 다시 말해, 노드 Qb(n)의 전위는 노드 Q(n)에 저전위 전원 전압 GVSS가 인가되는 동안 고전위 전원 전압 GVDD으로 활성화된다.
- [0042] 이를 위해, 인버터부 BK2는 복수의 트랜지스터들(T4,T5,T6)을 포함한다. 트랜지스터 T4는 노드 N1에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 노드 Qb(n)에 접속되는 소스전극을 포함한다. 트랜지스터 T5는 고전위 전원 전압 GVDD가 인가되는 게이트전극과 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T6은 노드 Q(n)에 접속되는 게이트전극, 노드 N1에 접속되는 드레인전극, 및 저전위 전원전압 GVSS이 인가되는 소스전극을 포함한다.
- [0043] 인버터부 BK2는 노드 Q(n)가 활성화되는 동안에 노드 Qb(n)의 전위를 저전위 전원전압 GVSS로 비 활성화한다.

그리고, 인버터부 BK2는 동작의 신뢰성을 높이기 위해 전단 캐리 신호 CRY(n-3)에 따라 노드 Qb(n)의 전위를 추가적으로 저전위 전원전압 GVSS로 비 활성화할 수 있다.

[0044] 이를 위해, 인버터부 BK2는 복수의 트랜지스터들(T7, T8)을 더 포함한다. 트랜지스터 T7은 노드 Q(n)에 접속되는 게이트전극과, 노드 Qb(n)에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다. 그리고, 트랜지스터 T8은 전단 캐리 신호 CRY(n-3)가 인가되는 게이트전극, 노드 Qb(n)에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다.

[0045] 출력버퍼 BK3은 노드 Q(n)의 전위가 부스팅 레벨로 상승될 때 출력 노드 N2에서 스캔 쉬프트 클럭 SCCLK(n)을 스캔 제어신호 SCT(n)로 출력하고, 출력 노드 N3에서 캐리 쉬프트 클럭 CRCLK(n)을 캐리 신호 CRY(n)으로 출력한다.

[0046] 이를 위해, 출력버퍼 BK3은 제1 및 제2 풀업 트랜지스터들(T9A, T10A)과 커패시터 Cx를 포함한다. 제1 풀업 트랜지스터(T9A)는 노드 Q(n)에 접속되는 게이트전극, 스캔 클럭 배선들 중 어느 하나(10)에 접속되는 드레인전극, 및 출력 노드 N2에 접속되는 소스전극을 포함한다. 제2 풀업 트랜지스터(T10A)는 노드 Q(n)에 접속되는 게이트전극, 캐리 클럭 배선들 중 어느 하나(20)에 접속되는 드레인전극, 및 출력 노드 N3에 접속되는 소스전극을 포함한다. 커패시터 Cx는 노드 Q(n)과 출력 노드 N3 사이에 접속된다.

[0047] 안정화부 BK4는 노드 Qb(n)가 활성화되는 동안 노드 Q(n), 및 출력 노드들 N2, N3에 저전위 전원 전압 GVSS를 인가하여 노드 Q(n), 및 출력 노드들 N2, N3의 전위를 안정화시킨다.

[0048] 이를 위해, 안정화부 BK4는 트랜지스터 T3와, 제1 및 제2 풀다운 트랜지스터들(T9B, T10B)을 포함한다. 트랜지스터 T3은 노드 Qb(n)에 접속되는 게이트전극, 노드 Q(n)에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다. 제1 풀다운 트랜지스터(T9B)는 노드 Qb(n)에 접속되는 게이트전극, 출력 노드 N2에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다. 제2 풀다운 트랜지스터(T10B)는 노드 Qb(n)에 접속되는 게이트전극, 출력 노드 N3에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다.

[0049] 이러한 스테이지 STGn에서 출력되는 스캔 제어신호 SCT(n)는 도 4와 같이 게이트 라인 GLn을 통해 픽셀(PIX)에 공급된다. 도 4의 픽셀(PIX)에 대해서는 외부 보상용 센싱 동작이 이뤄지지 않는다. 외부 보상용 센싱은 픽셀의 전기적 특성을 센싱하고, 그 센싱 결과를 기반으로 화상 데이터를 보정하는 기술이다.

[0050] 도 4의 픽셀(PIX)은 화상 표시를 위한 기본 모드로 동작한다. 기본 모드에서, 픽셀(PIX)은 스캔 제어신호 SCT(n)가 활성화되는 프로그래밍 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)을 표시 계조 구현을 위한 구동 전류에 맞게 설정한 후, 스캔 제어신호 SCT(n)가 비 활성화되는 발광 기간 동안 상기 구동 전류에 따라 OLED를 발광시킨다.

[0051] 이를 위해, 픽셀(PIX)은 OLED, 구동 TFT(DT), 스위치 TFT(ST1), 스토리지 커패시터(Cst)를 포함할 수 있다. 프로그래밍 기간 동안 스위치 TFT(ST1)는 턴 온 되어 데이터라인(DL) 상의 데이터전압(Vdata)을 구동 TFT(DT)의 게이트전극 Ng에 공급한다. 프로그래밍 기간 동안 소스 드라이브 IC(120)의 스위치 SW1도 턴 온 되어 구동 TFT(DT)의 소스전극 Ns에 기준전압(Vref)을 공급한다. 따라서, 프로그래밍 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 Vdata-Vref로 결정된다. 발광 기간 동안 스위치 TFT(ST1)와 스위치 SW1은 턴 오프 된다. 발광 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 스토리지 커패시터 Cst에 의해 유지된다. 발광 기간 동안 구동 TFT(DT)에는 Vdata-Vref의 제곱근에 비례하는 구동 전류가 흐르고, 이 구동전류에 의해 OLED가 발광된다. 도 4에서, DAC는 화상 데이터(RGB)를 데이터전압(Vdata)로 변환하기 위한 디지털-아날로그 컨버터를 지시하며, RL은 소스 드라이브 IC(120)에서 생성된 기준전압(Vref)을 픽셀(PIX)에 공급하기 위한 전원 라인이다.

[0052] 프로그래밍 기간 동안 스위치 TFT(ST1)는 스캔 제어신호 SCT(n)에 따라 턴 온 된다. 스캔 쉬프트 클럭 SCCLK(n)의 왜곡에 의해 스캔 제어신호 SCT(n)의 파형이 왜곡되면, 스위치 TFT(ST1)가 정해진 기간만큼 충분히 턴 온되지 못할 수 있다. 데이터전압(Vdata)의 충전 시간은 스위치 TFT(ST1)의 턴 온 기간에 따라 결정되기 때문에, 스위치 TFT(ST1)의 턴 온 기간이 부족하면 미흡 충전으로 인해 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 원하는 값에 미달될 수 있다. 이 경우, 구동 TFT(DT)에 흐르는 구동 전류와 OLED 발광량도 적어져 휘도 편차가 야기되고, 화상 품위가 저하된다. 따라서, 화상 품위를 높이기 위해서는 스캔 쉬프트 클럭 SCCLK(n)의 왜곡을 최소화하는 것이 매우 중요하다.

[0053] 도 5는 본 발명의 다른 실시예에 따른 스테이지를 나타내는 회로도이다. 그리고, 도 6은 도 5의 스테이지에 연

결되는 일 픽셀과 데이터 구동회로를 나타내는 도면이다.

[0054] 도 5의 스테이지는 도 6과 같은 픽셀에 연결되므로, 센싱 제어신호 SET(n)를 출력 하도록 센싱 쉬프트 클럭 SECLK(n)을 인가 받아야 한다. 따라서, 도 5의 스테이지는 도 3과 비교하여 입력부 BK1 및 인버터부 BK2는 실질적으로 동일하고, 출력부 BK3 및 안정화부 BK4의 구성면에서 차이가 난다.

[0055] 도 3과 비교하여 도 5의 출력부 BK3는 센싱 제어신호 SET(n)를 출력하기 위한 구성을 더 포함한다. 이를 위해, 도 5의 출력부 BK3는 제3 풀업 트랜지스터(T11A)를 더 포함한다. 제3 풀업 트랜지스터(T11A)는 노드 Q(n)에 접속되는 게이트전극, 센싱 클럭 배선들 중 어느 하나(30)에 접속되는 드레인전극, 및 출력 노드 N4에 접속되는 소스전극을 포함한다. 제3 풀업 트랜지스터(T11A)는 노드 Q(n)의 전위가 부스팅 레벨로 상승될 때 출력 노드 N4에서 센싱 쉬프트 클럭 SECLK(n)을 센싱 제어신호 SET(n)로 출력한다.

[0056] 도 3과 비교하여 도 5의 안정화부 BK4는 제3 풀다운 트랜지스터(T11B)를는 노더 포함한다. 제3 풀다운 트랜지스터(T11B)는 노드 Qb(n)에 접속되는 게이트전극, 출력 노드 N4에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS이 인가되는 소스전극을 포함한다.

[0057] 이러한 스테이지 STGn에서 출력되는 스캔 제어신호 SCT(n)는 도 6과 같이 게이트 라인 GL1n을 통해 픽셀(PIX)에 공급된다. 스테이지 STGn에서 출력되는 센싱 제어신호 SET(n)는 도 6과 같이 게이트 라인 GL2n을 통해 픽셀(PIX)에 공급된다. 도 6의 픽셀(PIX)에 대해서는 외부 보상용 센싱 동작이 이뤄진다. 외부 보상용 센싱은 픽셀의 전기적 특성을 센싱하고, 그 센싱 결과를 기반으로 화상 데이터를 보정하는 기술이다.

[0058] 도 6의 픽셀(PIX)은 도 4와 비교하여 제2 스위치 TFT(ST2)를 더 포함하고, 도 6의 소스 드라이브 IC(120)는 도 4와 비교하여 센싱 회로를 더 포함한다. 제2 스위치 TFT(ST2)는 센싱 제어신호 SET(n)에 따라 턴 온 되어 구동 TFT(DT)의 소스노드(Ns)과 센싱 라인(SL)을 연결한다. 센싱 회로는 구동 TFT(DT)의 소스노드(Ns)에 걸리는 전압을 샘플링하는 샘플 앤 홀드부(SH)와, 센싱 라인(SL)과 샘플 앤 홀드부(SH)을 연결하는 스위치 SW2, 샘플 앤 홀드부(SH)에서 샘플링된 전압을 디지털 데이터(S-DATA)로 변환하는 아날로그-디지털 컨버터(ADC)를 포함한다. 센싱 회로는 픽셀(PIX)의 전기적 특성을 센싱하기 위한 센싱 모드에서만 동작이 활성화되고, 화상 표시를 위한 기본 모드에서는 동작하지 않는다.

[0059] 도 6의 픽셀(PIX)을 대상으로 한 기본 모드는 프로그래밍 기간과 발광 기간을 포함한다.

[0060] 프로그래밍 기간 동안 제1 스위치 TFT(ST1)는 턴 온 되어 데이터라인(DL) 상의 데이터전압(Vdata)을 구동 TFT(DT)의 게이트전극 Ng에 공급한다. 프로그래밍 기간 동안 제2 스위치 TFT(ST2)와 소스 드라이브 IC(120)의 스위치 SW1도 턴 온 되어 구동 TFT(DT)의 소스전극 Ns에 기준전압(Vref)을 공급한다. 따라서, 프로그래밍 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 Vdata-Vref로 결정된다. 발광 기간 동안 제1 및 제2 스위치 TFT(ST1, ST2)와 스위치 SW1은 턴 오프 된다. 발광 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 스토리지 커패시터 Cst에 의해 유지된다. 발광 기간 동안 구동 TFT(DT)에는 Vdata-Vref의 제곱근에 비례하는 구동 전류가 흐르고, 이 구동전류에 의해 OLED가 발광된다.

[0061] 도 6의 픽셀(PIX)과 센싱 회로를 대상으로 한 센싱 모드는 프로그래밍 기간과 센싱 기간을 포함한다. 센싱 모드에서는 OLED를 발광시키지 않는다.

[0062] 프로그래밍 기간의 동작은 기본 모드와 동일하다. 프로그래밍 기간에서 스위치 SW1은 턴 온 되고, 스위치 SW2는 턴 오프 된다.

[0063] 센싱 기간 동안 제1 스위치 TFT(ST1)와 스위치 SW1은 턴 오프 되고, 제2 스위치 TFT(ST2)와 스위치 SW2는 턴 온 된다. 센싱 기간 동안 구동 TFT(DT)에 흐르는 전류에 의해 구동 TFT(DT)의 소스전극(Ns) 전압이 변한다. 구동 TFT(DT)의 소스전극(Ns) 전압이 변하는 정도는 구동 TFT(DT)의 전기적 특성(문턱전압, 이동도)과 OLED의 전기적 특성(동작점 전압)에 따라 달라진다. 따라서, 센싱 기간 동안 센싱 회로를 동작시켜 구동 TFT(DT)의 소스전극(Ns) 전압을 센싱하면, 픽셀(PIX)의 전기적 특성을 알 수 있다. 그리고, 픽셀(PIX) 센싱 결과를 바탕으로 화상 데이터를 보정하면, 픽셀(PIX)의 전기적 특성 편차로 인한 휘도 편차가 보상될 수 있다.

[0064] 한편, 기본 모드에서, 프로그래밍 기간 동안 스위치 TFT(ST1)는 스캔 제어신호 SCT(n)에 따라 턴 온 된다. 스캔 쉬프트 클럭 SCCLK(n)의 왜곡에 의해 스캔 제어신호 SCT(n)의 파형이 왜곡되면, 스위치 TFT(ST1)가 정해진 기간 만큼 충분히 턴 온 되지 못할 수 있다. 데이터전압(Vdata)의 충전 시간은 스위치 TFT(ST1)의 턴 온 기간에 따라 결정되기 때문에, 스위치 TFT(ST1)의 턴 온 기간이 부족하면 미흡 충전으로 인해 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 원하는 값에 미달될 수 있다. 이 경우, 구동 TFT(DT)에 흐르는 구동 전류와 OLED 발광량이 적어

져 휙도 편차가 야기되고, 화상 품위가 저하된다. 따라서, 화상 품위를 높이기 위해서는 스캔 쉬프트 클럭 SCCLK(n)의 왜곡을 최소화하는 것이 매우 중요하다.

[0065] 도 7은 도 3과 같은 스테이지들에 연결되는 클럭 배선들의 일 배치예를 보여주는 도면이다. 그리고, 도 8은 도 7의 클럭 배선들에 인가되는 쉬프트 클럭들의 과형을 보여주는 도면이다.

[0066] 도 7 및 도 8을 참조하면, 게이트 쉬프트 레지스터는 스테이지들(SGT1~STG7)로 위상이 다른 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)을 공급하는 다수의 캐리 클럭 배선들(11~16)과, 스테이지들(SGT1~STG7)로 위상이 다른 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)을 공급하는 스캔 클럭 배선들(21~26)을 포함할 수 있다.

[0067] 스테이지들(SGT1~STG7)에 연결되는 캐리 클럭 배선들(11~16)은 그들끼리 이웃하게 배치되고, 스테이지들(SGT1~STG7)에 연결되는 스캔 클럭 배선들(21~26)은 그들끼리 이웃하게 배치될 수 있다. 협 베젤(Narrow Bezel) 구현을 위해, 캐리 클럭 배선들(11~16) 간의 간격은 좁고, 스캔 클럭 배선들(21~26) 간의 간격도 좁게 설계된다. 클럭 배선들(11~16, 21~26) 간에는 기생 커패시턴스(C)가 존재한다. 기생 커패시턴스(C)는 클럭 배선들(11~16, 21~26) 간의 간격이 좁을수록 커진다. 기생 커패시턴스(C)가 크면 커플링 영향도 크다. 서로 이웃한 2개의 신호 배선들 간의 간격이 좁을 때, 상기 신호 배선들에 동일 위상이 신호가 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 동일하기 때문에 커플링 영향으로 인한 신호 왜곡이 발생되지 않는다. 하지만, 상기 신호 배선들에 서로 다른 위상의 신호들이 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 달라 커플링 영향 인한 신호 왜곡이 문제될 수 있다.

[0068] 도 7과 같이 캐리 클럭 배선들(11~16)이 서로 이웃하게 배치되고 그들 간의 간격은 좁을 때, 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)은 기생 커패시턴스(C)에 의한 커플링 영향으로 왜곡될 수 있다. 왜냐하면, 도 8과 같이 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)은 서로 다른 위상을 갖기 때문이다.

[0069] 마찬가지로, 도 7과 같이 스캔 클럭 배선들(21~26)이 서로 이웃하게 배치되고 그들 간의 간격이 좁을 때, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)은 기생 커패시턴스(C)에 의한 커플링 영향으로 왜곡될 수 있다. 왜냐하면, 도 8과 같이 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)은 서로 다른 위상을 갖기 때문이다.

[0070] 도 4 및 도 6을 통해 전술한 바와 같이, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)의 왜곡은 스캔 제어신호들(SCT(1)~SCT(7))의 왜곡을 초래하므로, 화상 품질에 직접적으로 영향을 미친다.

[0071] 도 9는 도 5와 같은 스테이지들에 연결되는 클럭 배선들의 일 배치예를 보여주는 도면이다. 그리고, 도 10은 도 9의 클럭 배선들에 인가되는 쉬프트 클럭들의 과형을 보여주는 도면이다.

[0072] 도 9 및 도 10을 참조하면, 게이트 쉬프트 레지스터는 스테이지들(SGT1~STG7)로 위상이 다른 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)을 공급하는 다수의 캐리 클럭 배선들(11~16)과, 스테이지들(SGT1~STG7)로 위상이 다른 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)을 공급하는 스캔 클럭 배선들(21~26)과, 스테이지들(SGT1~STG7)로 위상이 다른 센싱 쉬프트 클럭들(SECLK1~SECLK6)을 공급하는 센싱 클럭 배선들(31~36)을 포함할 수 있다.

[0073] 스테이지들(SGT1~STG7)에 연결되는 캐리 클럭 배선들(11~16)은 그들끼리 이웃하게 배치되고, 스테이지들(SGT1~STG7)에 연결되는 스캔 클럭 배선들(21~26)은 그들끼리 이웃하게 배치되며, 스테이지들(SGT1~STG7)에 연결되는 센싱 클럭 배선들(31~36)은 그들끼지 이웃하게 배치될 수 있다. 협 베젤(Narrow Bezel) 구현을 위해, 캐리 클럭 배선들(11~16) 간의 간격은 좁고, 스캔 클럭 배선들(21~26) 간의 간격도 좁으며, 센싱 클럭 배선들(31~36) 간의 간격도 좁게 설계된다. 클럭 배선들(11~16, 21~26, 31~36) 간에는 기생 커패시턴스(C)가 존재한다. 기생 커패시턴스(C)는 클럭 배선들(11~16, 21~26, 31~36) 간의 간격이 좁을수록 커진다. 기생 커패시턴스(C)가 크면 커플링 영향도 크다. 서로 이웃한 2개의 신호 배선들 간의 간격이 좁을 때, 상기 신호 배선들에 동일 위상이 신호가 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 동일하기 때문에 커플링 영향으로 인한 신호 왜곡이 발생되지 않는다. 하지만, 상기 신호 배선들에 서로 다른 위상의 신호들이 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 달라 커플링 영향 인한 신호 왜곡이 문제될 수 있다.

[0074] 도 9와 같이 캐리 클럭 배선들(11~16)이 서로 이웃하게 배치되고 그들 간의 간격은 좁을 때, 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)은 기생 커패시턴스(C)에 의한 커플링 영향으로 왜곡될 수 있다. 왜냐하면, 도 10과 같이 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)은 서로 다른 위상을 갖기 때문이다.

[0075] 마찬가지로, 도 9와 같이 스캔 클럭 배선들(21~26)이 서로 이웃하게 배치되고 그들 간의 간격이 좁을 때, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)은 기생 커패시턴스(C)에 의한 커플링 영향으로 왜곡될 수 있다. 왜냐하면, 도 10

과 같이 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)은 서로 다른 위상을 갖기 때문이다.

[0076] 마찬가지로, 도 9와 같이 센싱 클럭 배선들(31~36)이 서로 이웃하게 배치되고 그들 간의 간격이 좁을 때, 센싱 쉬프트 클럭들(SECLK1~SECLK6)은 기생 커패시턴스(C)에 의한 커플링 영향으로 왜곡될 수 있다. 왜냐하면, 도 10과 같이 센싱 쉬프트 클럭들(SECLK1~SECLK6)은 서로 다른 위상을 갖기 때문이다.

[0077] 도 4 및 도 6을 통해 전술한 바와 같이, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)의 왜곡은 스캔 제어신호들(SCT(1)~SCT(7))의 왜곡을 초래하므로, 화상 품질에 직접적으로 영향을 미친다.

[0078] 도 11은 도 3과 같은 스테이지들에 연결되는 클럭 배선들의 다른 배치예를 보여주는 도면이다. 그리고, 도 12는 도 11의 클럭 배선들에 인가되는 쉬프트 클럭들의 파형을 보여주는 도면이다.

[0079] 도 11 및 도 12를 참조하면, 게이트 쉬프트 레지스터는 스테이지들(SGT1~STG7)로 위상이 다른 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)을 공급하는 다수의 캐리 클럭 배선들(11~16)과, 스테이지들(SGT1~STG7)로 위상이 다른 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)을 공급하는 스캔 클럭 배선들(21~26)을 포함할 수 있다.

[0080] 커플링으로 인한 신호 왜곡이 최소화되도록, 스테이지들(SGT1~STG7)에 연결되는 캐리 클럭 배선들(11~16)과 스테이지들(SGT1~STG7)에 연결되는 스캔 클럭 배선들(21~26)은 서로 교번되게 배치된다. 다시 말해, 각 스테이지(SGT1~STG7)에 연결되는 캐리 클럭 배선과 스캔 클럭 배선은 서로 이웃하게 배치된다. 구체적으로, 스테이지 STG1에 연결되는 제1 캐리 클럭 배선(11)과 제1 스캔 클럭 배선(21)은 서로 이웃하게 배치되고, 스테이지 STG2에 연결되는 제2 캐리 클럭 배선(12)과 제2 스캔 클럭 배선(22)은 서로 이웃하게 배치되고, 스테이지 STG3에 연결되는 제3 캐리 클럭 배선(13)과 제3 스캔 클럭 배선(23)은 서로 이웃하게 배치될 수 있다. 그리고, 스테이지 STG4에 연결되는 제4 캐리 클럭 배선(14)과 제4 스캔 클럭 배선(24)은 서로 이웃하게 배치되고, 스테이지 STG5에 연결되는 제5 캐리 클럭 배선(15)과 제5 스캔 클럭 배선(25)은 서로 이웃하게 배치되고, 스테이지 STG6에 연결되는 제6 캐리 클럭 배선(16)과 제6 스캔 클럭 배선(26)은 서로 이웃하게 배치될 수 있다.

[0081] 협 베젤(Narrow Bezel) 구현을 위해, 클럭 배선들(11&21~16&26) 간의 간격은 좁게 설계된다. 클럭 배선들(11&21~16&26) 간에는 기생 커패시턴스(C)가 존재한다. 기생 커패시턴스(C)는 클럭 배선들(11&21~16&26) 간의 간격이 좁을수록 커진다. 기생 커패시턴스(C)가 크면 커플링 영향도 크다. 서로 이웃한 2개의 신호 배선들 간의 간격이 좁을 때, 상기 신호 배선들에 동일 위상이 신호가 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 동일하기 때문에 커플링 영향으로 인한 신호 왜곡이 발생되지 않는다. 하지만, 상기 신호 배선들에 서로 다른 위상의 신호들이 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 달라 커플링 영향 인한 신호 왜곡이 문제될 수 있다.

[0082] 도 12와 같이 동일한 스테이지에 연결되는 캐리 클럭 배선 및 스캔 클럭 배선에는 각각 서로 동일한 위상을 갖는 캐리 쉬프트 클럭 및 스캔 쉬프트 클럭이 공급되므로, 동일 스테이지에 연결되는 클럭 배선들(11&21~16&26) 간에는 커플링 영향으로 인한 신호 왜곡이 문제되지 않는다. 도 11에서, 동일 스테이지에 연결되는 클럭 배선들(11&21~16&26) 간의 기생 커패시턴스는 점선으로 표기하였고, 이웃한 스테이지에 연결되는 클럭 배선들 간의 기생 커패시턴스는 실선으로 표기하였다.

[0083] 도 11의 경우, 제1 스캔 클럭 배선(21)을 사이에 두고 제1 캐리 클럭 배선(11)과 제2 캐리 클럭 배선(12)이 배치되고, 제2 스캔 클럭 배선(22)을 사이에 두고 제2 캐리 클럭 배선(12)과 제3 캐리 클럭 배선(13)이 배치되고, 제3 스캔 클럭 배선(23)을 사이에 두고 제3 캐리 클럭 배선(13)과 제4 캐리 클럭 배선(14)이 배치되고, 제4 스캔 클럭 배선(24)을 사이에 두고 제4 캐리 클럭 배선(14)과 제5 캐리 클럭 배선(15)이 배치되고, 제5 스캔 클럭 배선(25)을 사이에 두고 제5 캐리 클럭 배선(15)과 제6 캐리 클럭 배선(16)이 배치되어 있다.

[0084] 이에 따라 도 11의 클럭 배선 배치 방법은 도 7의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향이 절반으로 줄어든다. 따라서, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)과 스캔 제어신호들(SCT(1)~SCT(7))의 왜곡이 반감되므로, 커플링 영향으로 인한 화상 품위 저하 현상을 최소화할 수 있다.

[0085] 한편, 도면으로 표기하지는 않았지만, 캐리 클럭 배선들(11~16)과 스캔 클럭 배선들(21~26)의 배치 순서를 도 11과 반대로 설계할 수 있다.

[0086] 이 경우, 제2 스캔 클럭 배선(22)을 사이에 두고 제1 캐리 클럭 배선(11)과 제2 캐리 클럭 배선(12)이 배치되고, 제3 스캔 클럭 배선(23)을 사이에 두고 제2 캐리 클럭 배선(12)과 제3 캐리 클럭 배선(13)이 배치되고, 제4 스캔 클럭 배선(24)을 사이에 두고 제3 캐리 클럭 배선(13)과 제4 캐리 클럭 배선(14)이 배치되고, 제5

스캔 클럭 배선(25)을 사이에 두고 제4 캐리 클럭 배선(14)과 제5 캐리 클럭 배선(15)이 배치되고, 제6 스캔 클럭 배선(26)을 사이에 두고 제5 캐리 클럭 배선(15)과 제6 캐리 클럭 배선(16)이 배치될 수 있다.

[0087] 이러한 클럭 배선 배치 방법도 마찬가지로 도 7의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향이 절반으로 줄어든다. 따라서, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)과 스캔 제어신호들(SCT(1)~SCT(7))의 왜곡이 반감되므로, 커플링 영향으로 인한 화상 품위 저하 현상을 최소화할 수 있다.

[0088] 이러한 본 발명의 커플링 영향을 최소화하기 위한 클럭 배선 배치 방법을 일반화하면 다음과 같다.

[0089] 제1 스테이지에 연결되는 제1 스캔 클럭 배선과 제1 캐리 클럭 배선이 서로 이웃하고, 제1 스테이지에 이웃한 제2 스테이지에 연결되는 제2 스캔 클럭 배선과 제2 캐리 클럭 배선이 서로 이웃하며, 제1 스캔 클럭 배선과 제1 캐리 클럭 배선에는 각각 제1 위상의 스캔 쉬프트 클럭과 캐리 쉬프트 클럭이 인가되고, 제2 스캔 클럭 배선과 제2 캐리 클럭 배선에는 각각 상기 제1 위상보다 늦은 제2 위상의 스캔 쉬프트 클럭과 캐리 쉬프트 클럭이 인가된다. 이때, 제1 스캔 클럭 배선과 제2 스캔 클럭 배선 사이에 제1 캐리 클럭 배선과 제2 캐리 클럭 배선 중 어느 하나가 배치된다.

[0090] 여기서, 제1 스테이지는, 노드 Q(1)의 전위에 따라 공통으로 제어되어, 제1 위상의 스캔 제어신호를 출력하는 제1 스캔 출력 버퍼와 제1 위상의 캐리 신호를 출력하는 제1 캐리 출력 버퍼를 포함한다. 이때, 제1 스캔 클럭 배선은 제1 스캔 출력 버퍼의 일측 전극에 연결되고, 제1 캐리 클럭 배선은 제1 캐리 출력 버퍼의 일측 전극에 연결된다.

[0091] 그리고, 제2 스테이지는, 노드 Q(2)의 전위에 따라 공통으로 제어되어, 제2 위상의 스캔 제어신호를 출력하는 제2 스캔 출력 버퍼와 제2 위상의 캐리 신호를 출력하는 제2 캐리 출력 버퍼를 포함한다. 이때, 제2 스캔 클럭 배선은 제2 스캔 출력 버퍼의 일측 전극에 연결되고, 제2 캐리 클럭 배선은 제2 캐리 출력 버퍼의 일측 전극에 연결된다.

[0092] 도 13은 도 5와 같은 스테이지들에 연결되는 클럭 배선들의 다른 배치예를 보여주는 도면이다. 그리고, 도 14는 도 13의 클럭 배선들에 인가되는 쉬프트 클럭들의 과형을 보여주는 도면이다.

[0093] 도 13 및 도 14를 참조하면, 게이트 쉬프트 레지스터는 스테이지들(SGT1~STG7)로 위상이 다른 캐리 쉬프트 클럭들(CRCLK1~CRCLK6)을 공급하는 다수의 캐리 클럭 배선들(11~16)과, 스테이지들(SGT1~STG7)로 위상이 다른 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)을 공급하는 스캔 클럭 배선들(21~26)과, 스테이지들(SGT1~STG7)로 위상이 다른 센싱 쉬프트 클럭들(SECLK1~SECLK6)을 공급하는 센싱 클럭 배선들(31~36)을 포함할 수 있다.

[0094] 커플링으로 인한 신호 왜곡이 최소화되도록, 스테이지들(SGT1~STG7)에 연결되는 캐리 클럭 배선들(11~16)과 스테이지들(SGT1~STG7)에 연결되는 스캔 클럭 배선들(21~26)과 스테이지들(SGT1~STG7)에 연결되는 센싱 클럭 배선들(31~36)은 서로 교번되게 배치된다. 다시 말해, 각 스테이지(SGT1~STG7)에 연결되는 캐리 클럭 배선과 스캔 클럭 배선과 센싱 클럭 배선은 서로 이웃하게 배치된다. 구체적으로, 스테이지 STG1에 연결되는 제1 캐리 클럭 배선(11)과 제1 스캔 클럭 배선(21)과 제1 센싱 클럭 배선(31)은 서로 이웃하게 배치되고, 스테이지 STG2에 연결되는 제2 캐리 클럭 배선(12)과 제2 스캔 클럭 배선(22)과 제2 센싱 클럭 배선(32)은 서로 이웃하게 배치되고, 스테이지 STG3에 연결되는 제3 캐리 클럭 배선(13)과 제3 스캔 클럭 배선(23)과 제3 센싱 클럭 배선(33)은 서로 이웃하게 배치될 수 있다. 그리고, 스테이지 STG4에 연결되는 제4 캐리 클럭 배선(14)과 제4 스캔 클럭 배선(24)과 제4 센싱 클럭 배선(34)은 서로 이웃하게 배치되고, 스테이지 STG5에 연결되는 제5 캐리 클럭 배선(15)과 제5 스캔 클럭 배선(25)과 제5 센싱 클럭 배선(35)은 서로 이웃하게 배치되고, 스테이지 STG6에 연결되는 제6 캐리 클럭 배선(16)과 제6 스캔 클럭 배선(26)과 제6 센싱 클럭 배선(36)은 서로 이웃하게 배치될 수 있다.

[0095] 협 베젤(Narrow Bezel) 구현을 위해, 클럭 배선들(11&21&31~16&26&36) 간의 간격은 좁게 설계된다. 클럭 배선들(11&21&31~16&26&36) 간에는 기생 커패시턴스(C)가 존재한다. 기생 커패시턴스(C)는 클럭 배선들(11&21&31~16&26&36) 간의 간격이 좁을수록 커진다. 기생 커패시턴스(C)가 크면 커플링 영향도 크다. 서로 이웃한 2개의 신호 배선들 간의 간격이 좁을 때, 상기 신호 배선들에 동일 위상이 신호가 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 동일하기 때문에 커플링 영향으로 인한 신호 왜곡이 발생되지 않는다. 하지만, 상기 신호 배선들에 서로 다른 위상의 신호들이 인가될 때는 상기 신호들 간에 라이징(Rising) 및 폴링(Falling) 타이밍이 달라 커플링 영향 인한 신호 왜곡이 문제될 수 있다.

[0096] 도 14와 같이 동일한 스테이지에 연결되는 캐리 클럭 배선, 스캔 클럭 배선 및 센싱 클럭 배선에는 각각 서로

동일한 위상을 갖는 캐리 쉬프트 클럭, 스캔 쉬프트 클럭 및 센싱 쉬프트 클럭이 공급되므로, 동일 스테이지에 연결되는 클럭 배선들(11&21&31~16&26&36) 간에는 커플링 영향으로 인한 신호 왜곡이 문제되지 않는다. 도 13에서, 동일 스테이지에 연결되는 클럭 배선들(11&21&31~16&26&36) 간의 기생 커패시턴스는 점선으로 표기하였고, 이웃한 스테이지에 연결되는 클럭 배선들 간의 기생 커패시턴스는 실선으로 표기하였다.

[0097] 도 13의 경우, 제1 스캔 클럭 배선(21)을 사이에 두고 제1 캐리 클럭 배선(11)과 제1 센싱 클럭 배선(31)이 배치되고, 제2 스캔 클럭 배선(22)을 사이에 두고 제2 캐리 클럭 배선(12)과 제2 센싱 클럭 배선(32)이 배치되고, 제3 스캔 클럭 배선(23)을 사이에 두고 제3 캐리 클럭 배선(13)과 제3 센싱 클럭 배선(33)이 배치되고, 제4 스캔 클럭 배선(24)을 사이에 두고 제4 캐리 클럭 배선(14)과 제4 센싱 클럭 배선(34)이 배치되고, 제5 스캔 클럭 배선(25)을 사이에 두고 제5 캐리 클럭 배선(15)과 제5 센싱 클럭 배선(35)이 배치되고, 제6 스캔 클럭 배선(26)을 사이에 두고 제6 캐리 클럭 배선(16)과 제6 센싱 클럭 배선(36)이 배치되어 있다.

[0098] 이에 따라 도 13의 클럭 배선 배치 방법은 도 9의 클럭 배선 배치 방법과 비교하여, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 거의 완전히 줄어든다. 이는 제1 위상의 신호가 인가되는 스캔 클럭 배선을 사이에 두고 제1 위상의 신호가 인가되는 캐리 클럭 배선과 센싱 클럭 배선이 배치되기 때문이다. 따라서, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)과 스캔 제어신호들(SCT(1)~SCT(7))의 왜곡이 없어지므로, 커플링 영향으로 인한 화상 품위 저하 현상을 억제할 수 있다.

[0099] 한편, 도면으로 표기하지는 않았지만, 캐리 클럭 배선들(11~16)과 스캔 클럭 배선들(21~26)과 센싱 클럭 배선들(31~36)의 배치 순서를 도 13의 그것, 즉 11-21-31, 12-22-32, 13-23-33, 14-24-34, 15-25-35, 16-26-36과 다르게 설계할 수 있다.

[0100] 다시 말해, 본 발명은 클럭 배선들 배치 순서를 11-31-21, 12-32-22, 13-33-23, 14-34-24, 15-35-25, 16-36-26과 같이 설계할 수 있다. 이 경우, 도 9의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 절반으로 줄어든다.

[0101] 또한, 본 발명은 클럭 배선들 배치 순서를 21-31-11, 22-32-12, 23-33-13, 24-34-14, 25-35-15, 26-36-16과 같이 설계할 수 있다. 이 경우, 도 9의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 절반으로 줄어든다.

[0102] 또한, 본 발명은 클럭 배선들 배치 순서를 21-11-31, 22-12-32, 23-13-33, 24-14-34, 25-15-35, 26-16-36과 같이 설계할 수 있다. 이 경우, 도 9의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 절반으로 줄어든다.

[0103] 또한, 본 발명은 클럭 배선들 배치 순서를 31-11-21, 32-12-22, 33-13-23, 34-14-24, 35-15-25, 36-16-26과 같이 설계할 수 있다. 이 경우, 도 9의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 절반으로 줄어든다.

[0104] 또한, 본 발명은 클럭 배선들 배치 순서를 31-21-11, 32-22-12, 33-23-13, 34-24-14, 35-25-15, 36-26-16과 같이 설계할 수 있다. 이 경우, 도 9의 클럭 배선 배치 방법에 비해, 스캔 쉬프트 클럭들(SCCLK1~SCCLK6)에 가해지는 커플링 영향은 거의 완전히 줄어든다.

[0105] 정리하면, 제1 위상의 신호가 인가되는 스캔 클럭 배선을 사이에 두고 제1 위상의 신호가 인가되는 캐리 클럭 배선과 센싱 클럭 배선을 배치하면 커플링 영향이 완전히 제거될 수 있고, 제1 위상의 신호가 인가되는 스캔 클럭 배선을 사이에 두고 제1 위상의 신호가 인가되는 캐리 클럭 배선(또는 센싱 클럭 배선)과 제2 위상의 신호가 인가되는 센싱 클럭 배선(또는 캐리 클럭 배선)을 배치하면 커플링 영향이 절반으로 줄어들 수 있다.

[0106] 이러한 본 발명의 커플링 영향을 최소화하기 위한 클럭 배선 배치 방법을 일반화하면 다음과 같다.

[0107] 제1 스테이지에 연결되는 제1 스캔 클럭 배선과 제1 캐리 클럭 배선과 제1 센싱 클럭 배선이 서로 이웃하고, 제1 스테이지에 이웃한 제2 스테이지에 연결되는 제2 스캔 클럭 배선과 제2 캐리 클럭 배선과 제2 센싱 클럭 배선이 서로 이웃하며, 제1 스캔 클럭 배선과 제1 캐리 클럭 배선과 제1 센싱 클럭 배선에는 각각 제1 위상의 스캔 쉬프트 클럭과 캐리 쉬프트 클럭과 센싱 쉬프트 클럭이 인가되고, 제2 스캔 클럭 배선과 제2 캐리 클럭 배선과 제2 센싱 클럭 배선에는 각각 상기 제1 위상보다 늦은 제2 위상의 스캔 쉬프트 클럭과 캐리 쉬프트 클럭과 센싱 쉬프트 클럭이 인가된다. 이때, 제1 스캔 클럭 배선과 제2 스캔 클럭 배선 사이에, 제1 캐리 클럭 배선과 제1 센싱 클럭 배선이 배치되거나, 또는 제2 캐리 클럭 배선과 제2 센싱 클럭 배선이 배치되거나, 또는 제1 캐리 클럭 배선과 제2 센싱 클럭 배선이 배치되거나, 또는 제1 센싱 클럭 배선과 제2 캐리 클럭 배선이 배치된다.

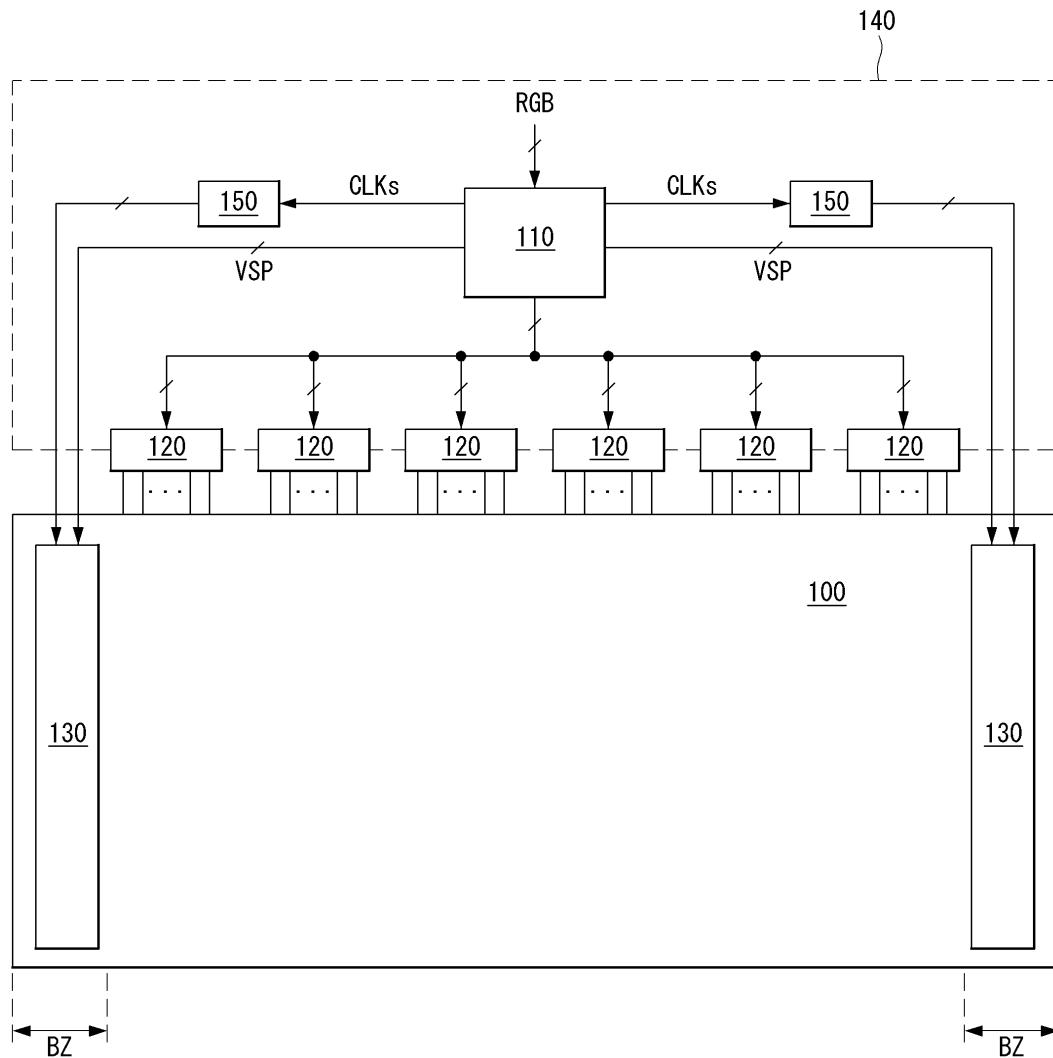
- [0108] 이때, 커플링 영향을 완전히 제거할 수 있는 배치 방법은 제1 스캔 클럭 배선을 제1 캐리 클럭 배선과 제1 센싱 클럭 배선 사이에 배치하고, 제2 스캔 클럭 배선은 제2 캐리 클럭 배선과 제2 센싱 클럭 배선 사이에 배치하는 것이다.
- [0109] 여기서, 제1 스테이지는, 노드 Q(1)의 전위에 따라 공통으로 제어되어, 제1 위상의 스캔 제어신호를 출력하는 제1 스캔 출력 버퍼와, 제1 위상의 캐리 신호를 출력하는 제1 캐리 출력 버퍼와, 제1 위상의 센싱 제어신호를 출력하는 제1 센싱 출력 버퍼를 포함한다. 이때, 제1 스캔 클럭 배선은 제1 스캔 출력 버퍼의 일측 전극에 연결되고, 제1 캐리 클럭 배선은 제1 캐리 출력 버퍼의 일측 전극에 연결되며, 제1 센싱 클럭 배선은 제1 센싱 출력 버퍼의 일측 전극에 연결된다.
- [0110] 그리고, 제2 스테이지는, 노드 Q(2)의 전위에 따라 공통으로 제어되어, 제2 위상의 스캔 제어신호를 출력하는 제2 스캔 출력 버퍼와, 제2 위상의 캐리 신호를 출력하는 제2 캐리 출력 버퍼와, 제2 위상의 센싱 제어신호를 출력하는 제2 캐리 출력 버퍼를 포함한다. 이때, 제2 스캔 클럭 배선은 제2 스캔 출력 버퍼의 일측 전극에 연결되고, 제2 캐리 클럭 배선은 제2 캐리 출력 버퍼의 일측 전극에 연결되며, 제2 센싱 클럭 배선은 제2 센싱 출력 버퍼의 일측 전극에 연결된다.
- [0111] 전술한 바와 같이, 본 발명은 동일 위상의 클럭 신호들을 공급하는 클럭 배선들을 서로 이웃하게 배치하여 커플링 영향을 줄이거나 또는 완전히 억제함으로써, 커플링 영향으로 인한 쉬프트 클럭들의 왜곡을 최소화하고 화상 품위를 향상시킬 수 있다.
- [0112] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

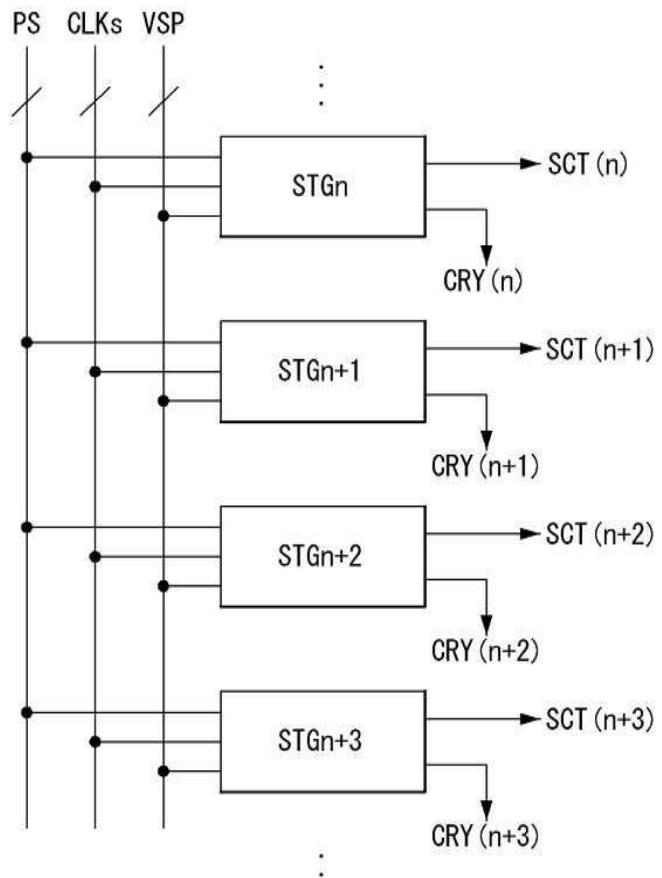
- 100 : 표시패널 110 : 타이밍 콘트롤러
 120 : 소스 드라이브 IC 130 : 게이트 쉬프트 레지스터
 140 : PCB 150 : 레벨 쉬프터

도면

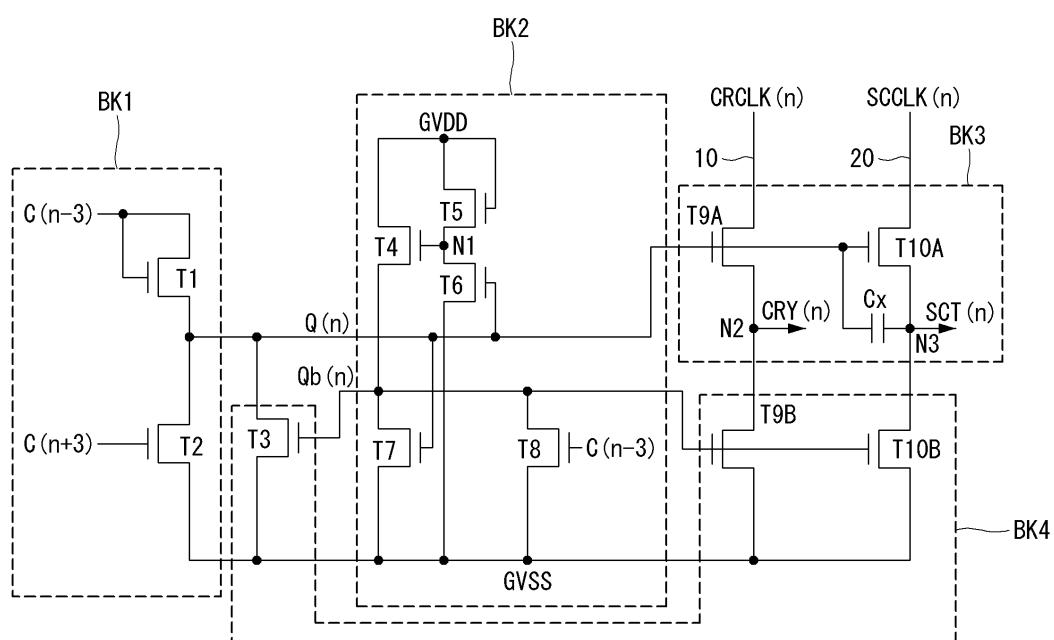
도면1



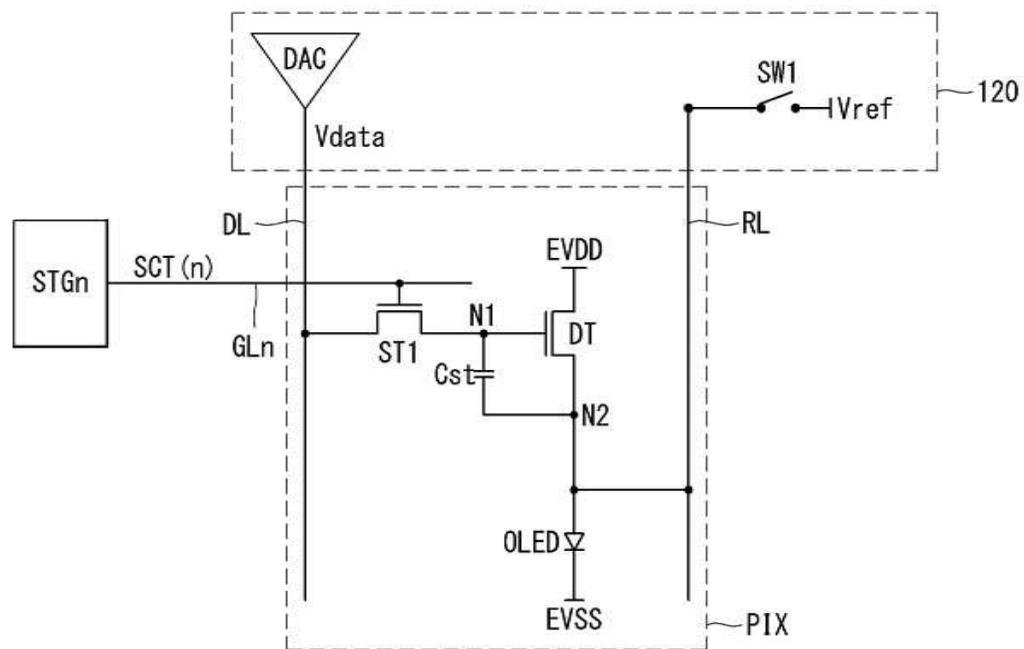
도면2



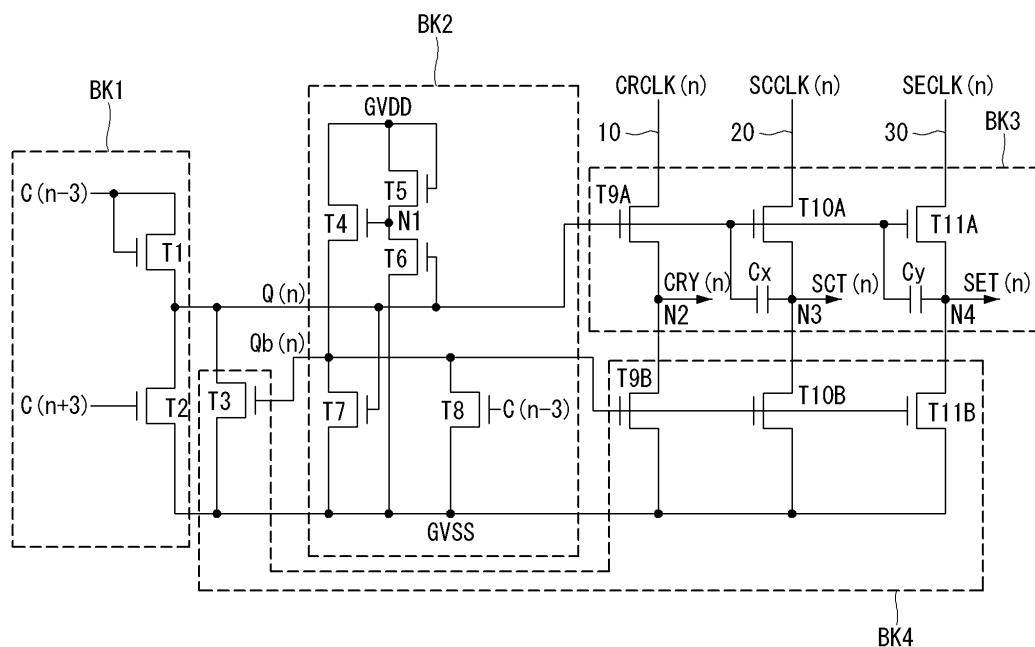
도면3



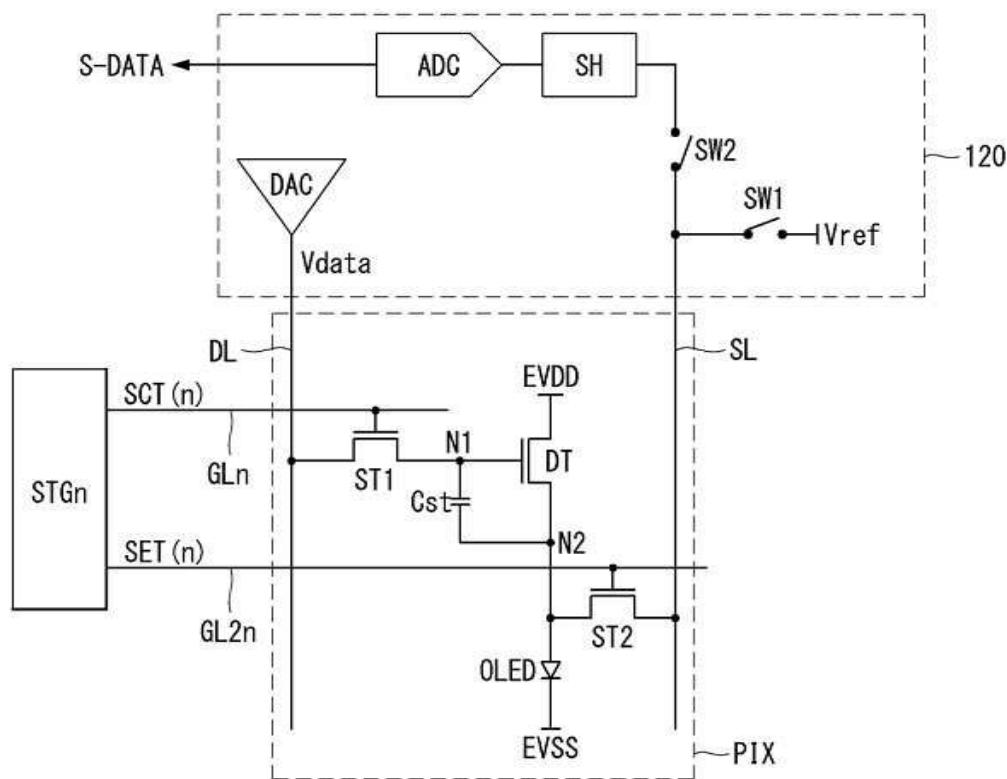
도면4



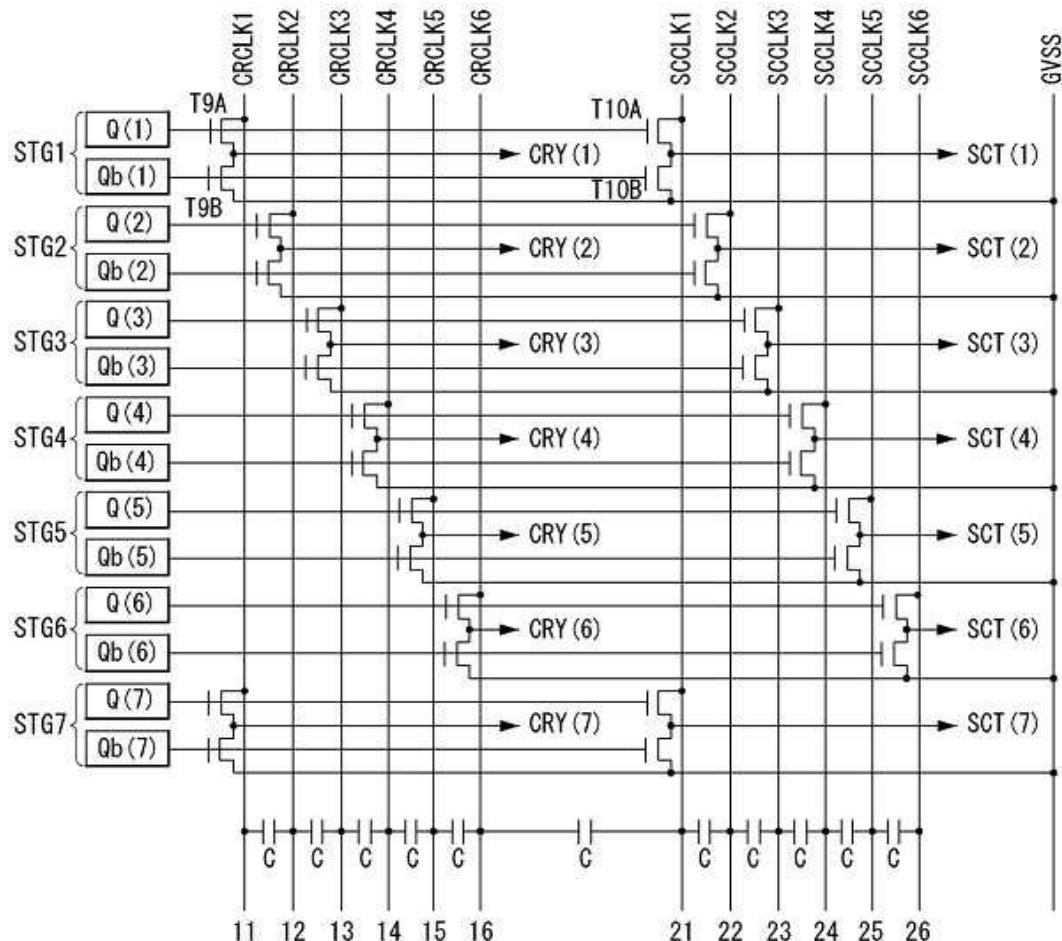
도면5



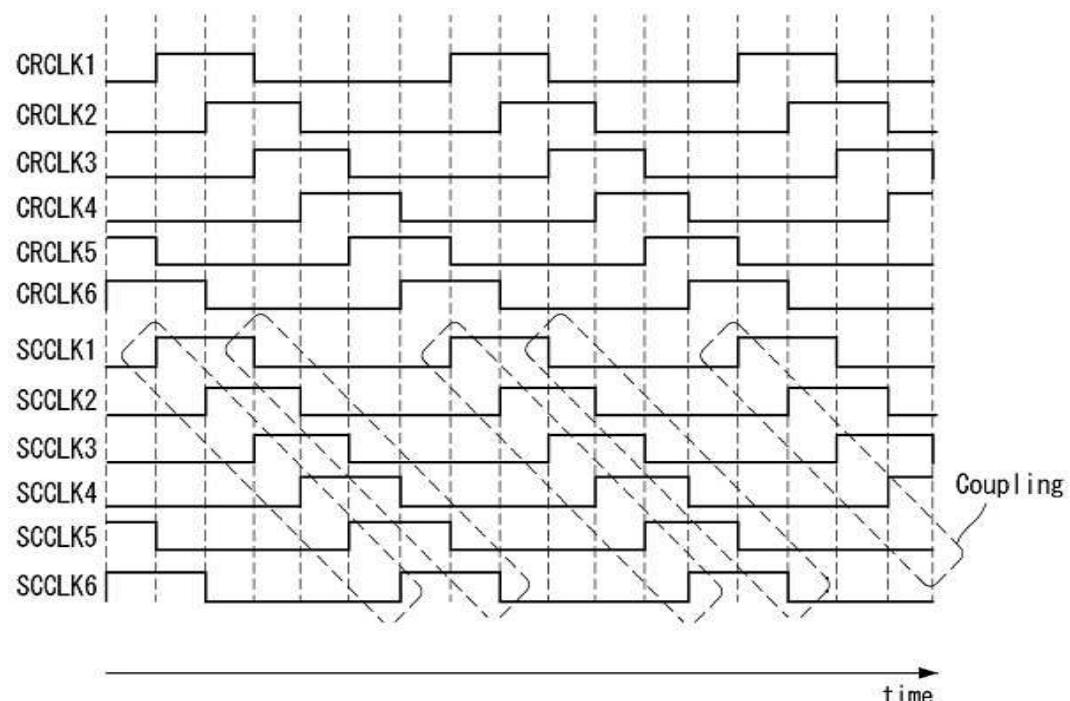
도면6



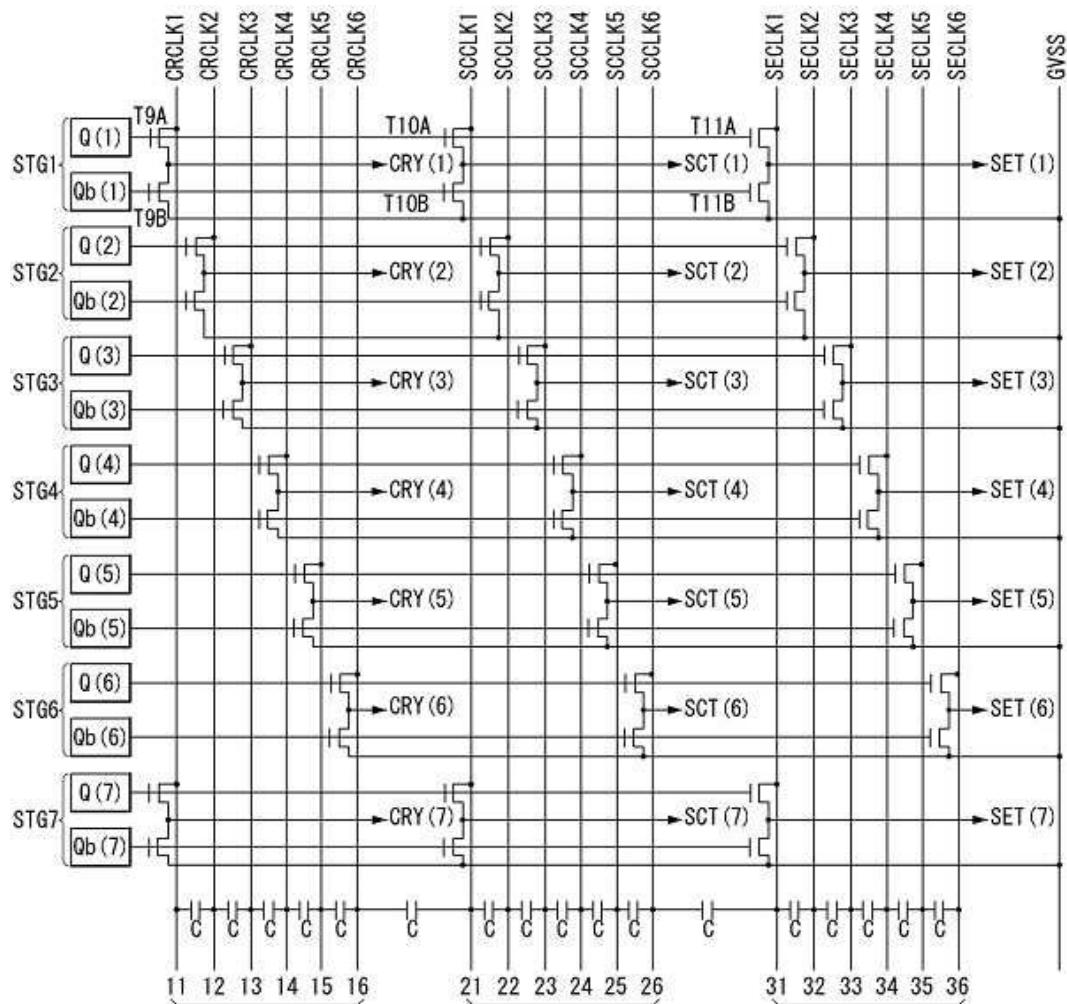
도면7



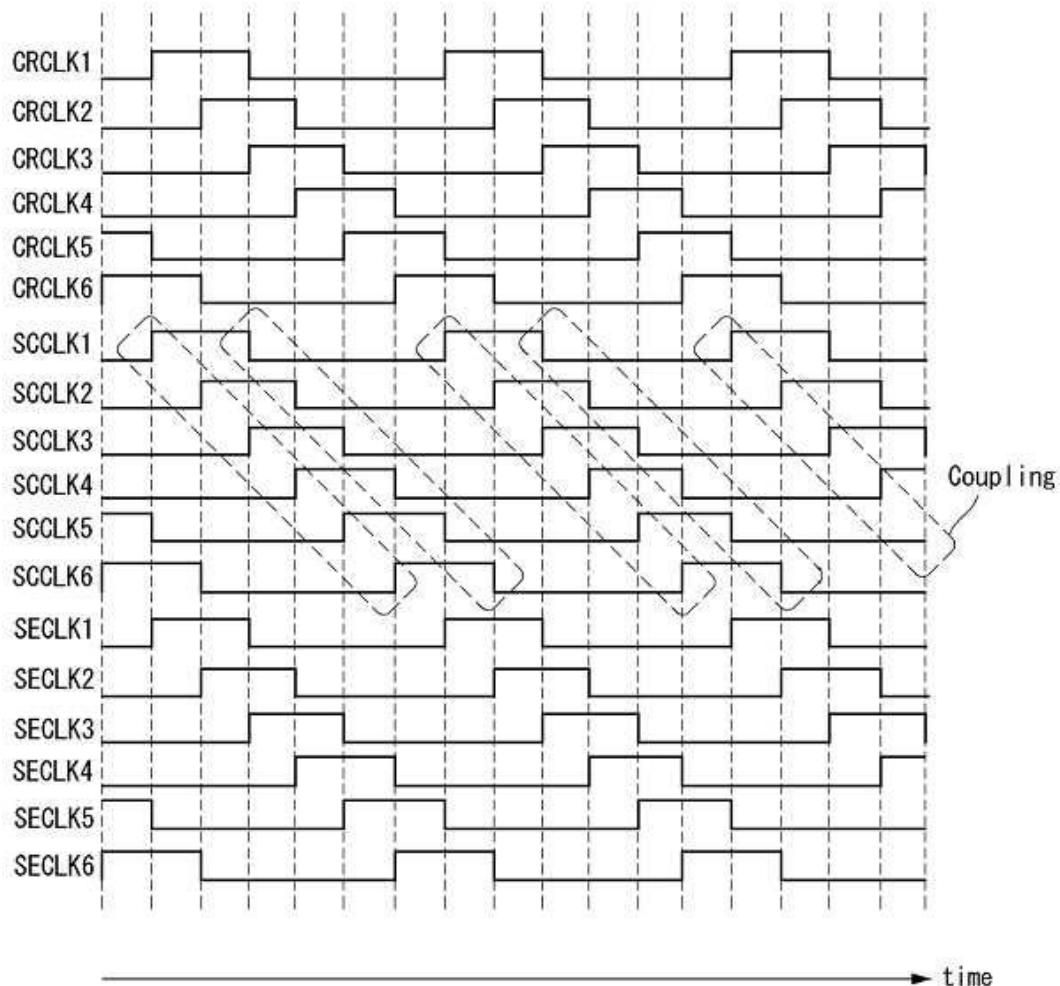
도면8



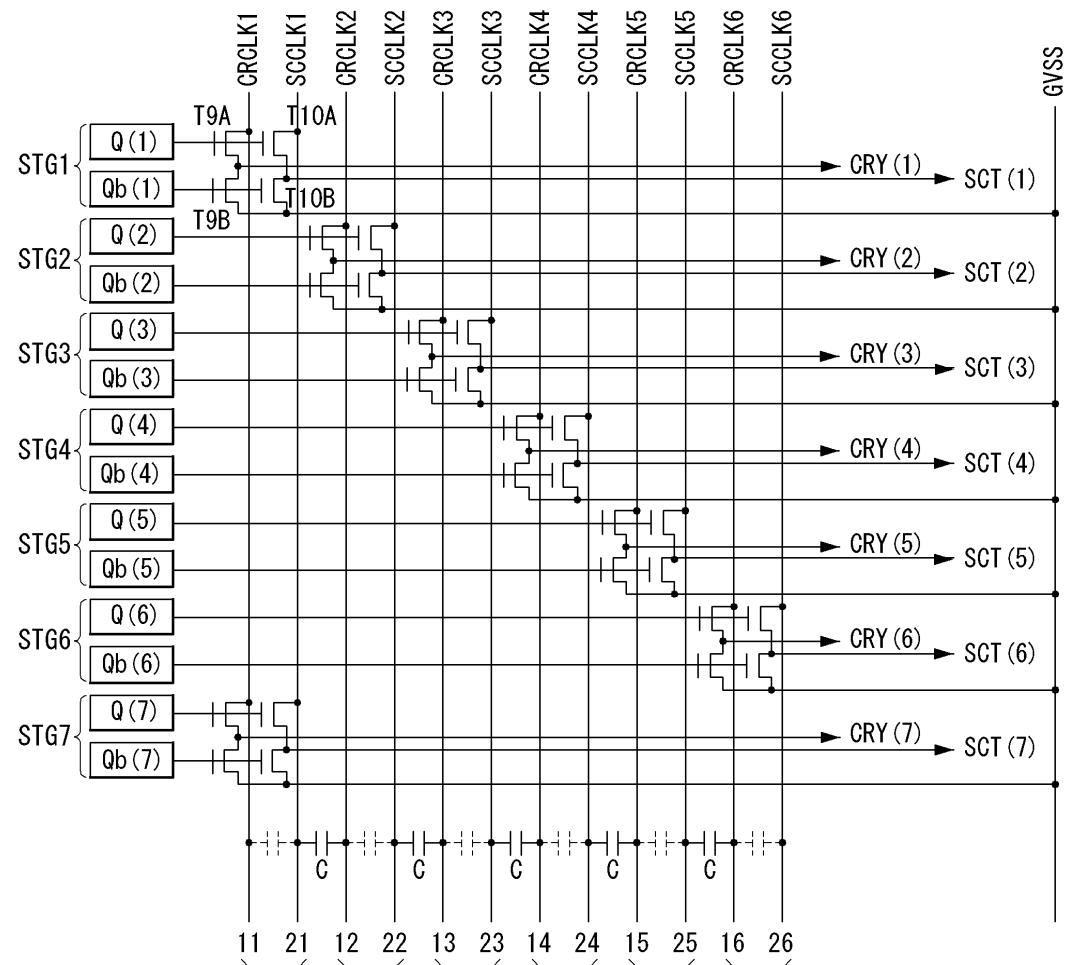
도면9



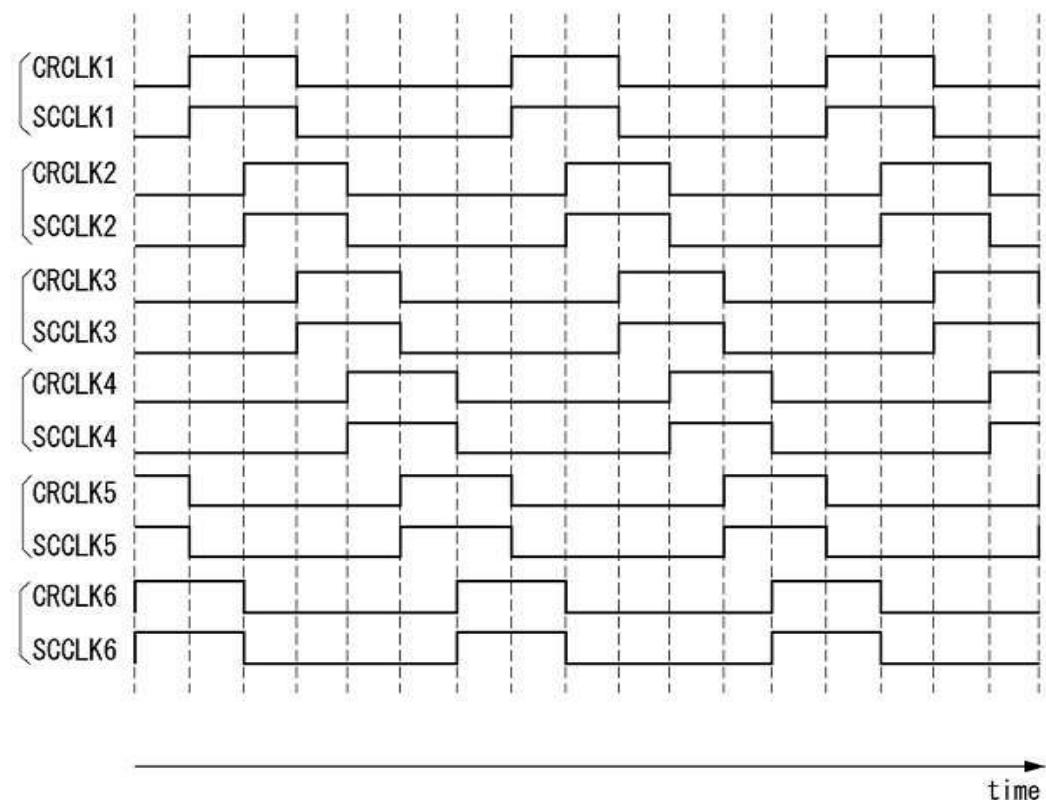
도면10



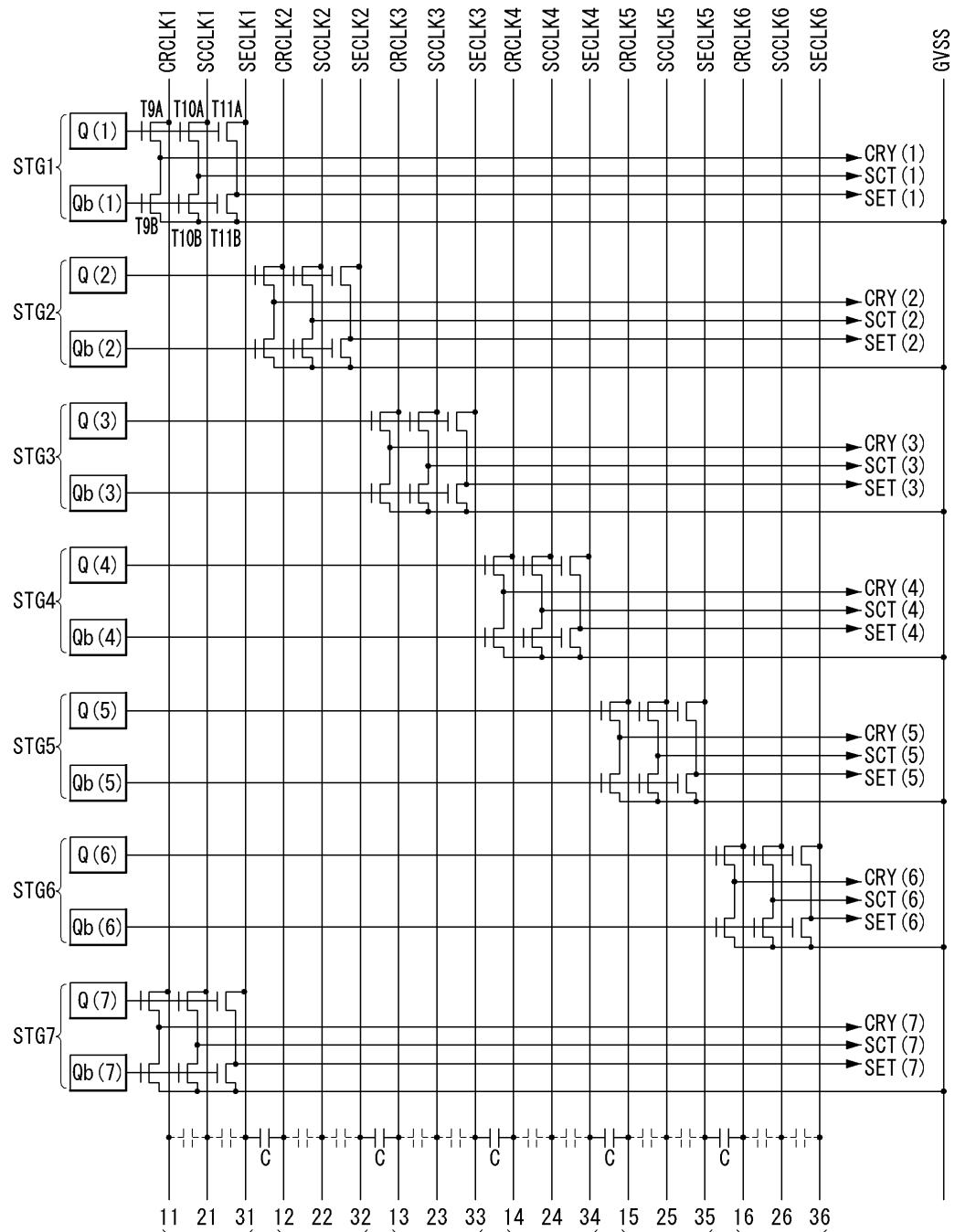
도면11



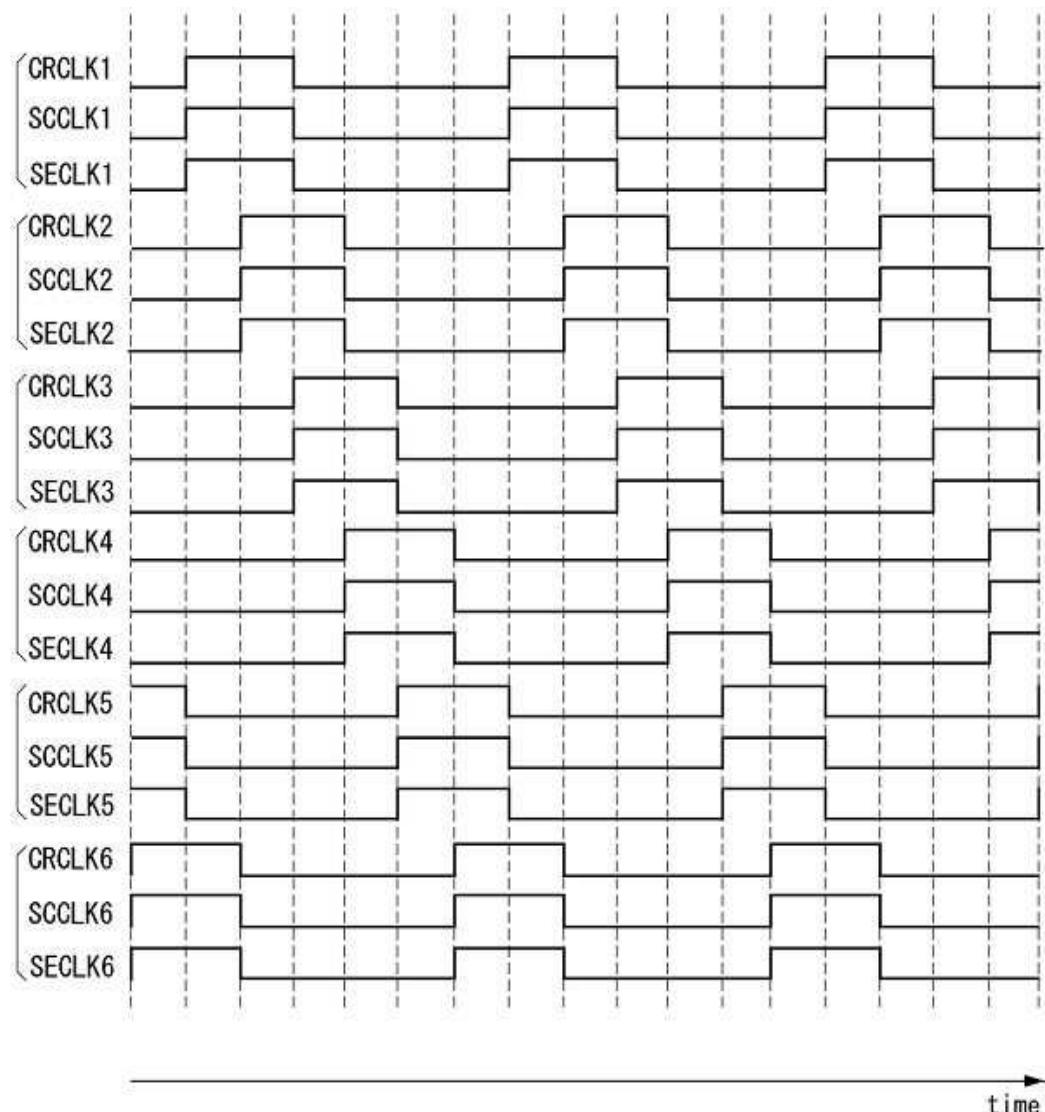
도면12



도면13



도면14



专利名称(译)	速率移位寄存器和包括其的有机发光显示器		
公开(公告)号	KR1020190009217A	公开(公告)日	2019-01-28
申请号	KR1020170091207	申请日	2017-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최우석 장민규		
发明人	다카수기신지 최우석 장민규 최재이		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2300/043 G09G2300/0828 G09G2300/0842 G09G2310/0262 G09G2310/0286		
外部链接	Espacenet		

摘要(译)

根据本发明，具有多级的栅极移位寄存器包括：多条扫描时钟线，用于将扫描移位时钟提供给所述级；以及并且，多个进位时钟线用于向各级提供进位移位时钟。这里，在这些级之间，连接至第一级的第一扫描时钟线和连接至第一级的第一进位时钟线彼此相邻布置。

