



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0070844
(43) 공개일자 2020년06월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0158425

(22) 출원일자 2018년12월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

문수환

경기도 파주시 월롱면 엘지로 245

(74) 대리인

이승찬

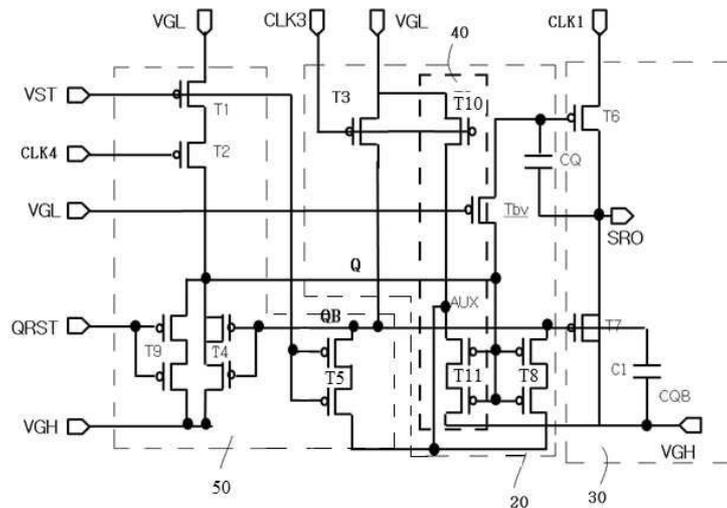
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 OLED 표시 장치의 게이트 구동회로

(57) 요약

본 발명은 OLED 표시에서 열화 특성을 센싱할 때 발생할 수 있는 오동작을 방지하기 위한 OLED 표시 장치의 게이트 구동회로에 관한 것으로, 순차적으로 스캔 펄스를 출력하는 복수개의 스테이지를 구비하고, k번째 스테이지는, 게이트 스타트 신호 또는 전단 스테이지의 스캔 신호, 복수개의 클럭신호 중 제 1 클럭신호 및 후단 스테이지의 스캔 신호에 응답하여 Q 노드 및 QB 노드를 제 1 정전압 또는 제 2 정전압으로 제어하는 노드 제어부와, 복수개의 클럭신호 중 제 2 클럭신호에 의해 제어되고 상기 Q 노드에 따라 상기 QB 노드를 반전시키는 인버터부와, 상기 Q 노드 및 상기 QB 노드의 상태에 따라 복수개의 클럭펄스 중 제 3 클럭펄스를 스캔 펄스(SRO)로 출력하는 출력 버퍼부와, 복수개의 클럭신호 중 상기 제 2 클럭신호에 의해 제어되어 상기 인버터부 및 상기 노드 제어부의 일부에 인가되는 제 2 정전압을 조절하는 조절부를 포함함을 특징으로 한다.

대표도 - 도6



(52) CPC특허분류

G09G 2310/0264 (2013.01)
G09G 2310/0291 (2013.01)
G09G 2320/0214 (2013.01)
G09G 2320/0233 (2013.01)
G09G 2320/029 (2013.01)
G09G 2320/041 (2013.01)
G09G 2320/043 (2013.01)
G09G 2320/045 (2013.01)
G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

순차적으로 스캔 펄스를 출력하는 복수개의 스테이지를 구비하고,

k번째 스테이지는,

게이트 스타트 신호 또는 전단 스테이지의 스캔 신호, 복수개의 클럭신호 중 제 1 클럭신호 및 후단 스테이지의 스캔 신호에 응답하여 Q 노드 및 QB 노드를 제 1 정전압 또는 제 2 정전압으로 제어하는 노드 제어부와,

복수개의 클럭신호 중 제 2 클럭신호에 의해 제어되고 상기 Q 노드에 따라 상기 QB 노드를 방전시키는 인버터부와,

상기 Q 노드 및 상기 QB 노드의 상태에 따라 복수개의 클럭펄스 중 제 3 클럭펄스를 스캔 펄스(SRO)로 출력하는 출력 버퍼부와,

복수개의 클럭신호 중 상기 제 2 클럭신호에 의해 제어되어 상기 인버터부 및 상기 노드 제어부의 일부에 인가되는 제 2 정전압을 조절하는 조절부를 포함하여 구성되는 OLED 표시 장치의 게이트 구동회로.

청구항 2

제 1 항에 있어서,

상기 노드 제어부는, 상기 게이트 스타트 신호에 의해 턴-온/오프되어 턴-온 시 상기 제1 정전압을 공급하는 제 1 PMOS 트랜지스터와,

상기 클럭신호에 의해 턴-온/오프되어 턴-온 시 상기 제 1 PMOS 트랜지스터를 통해 상기 제1 정전압을 상기 Q노드에 공급하는 제2 PMOS 트랜지스터와,

상기 후단 스테이지의 스캔 신호에 의해 턴-온/오프되어 턴-온 시 상기 Q노드를 제2 정전압으로 방전시키는 제 9 PMOS 트랜지스터와,

상기 QB 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 Q노드를 상기 제2 정전압으로 방전시키는 제 4 PMOS 트랜지스터와,

상기 게이트 스타트 신호에 의해 턴-온/오프되어 턴-온 시 상기 QB 노드를 제 1 노드의 전압으로 방전시키는 제 5 PMOS 트랜지스터를 구비하는 OLED 표시 장치의 게이트 구동회로.

청구항 3

제 2 항에 있어서,

상기 인버터부는, 상기 제 2 클럭신호에 의해 턴-온/오프되어 턴-온 시 상기 QB 노드에 상기 제1 정전압을 공급하는 제 3 PMOS 트랜지스터와,

상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 QB노드를 상기 제 1 노드의 전압으로 방전시키는 제 8 PMOS 트랜지스터를 구비하는 OLED 표시 장치의 게이트 구동회로.

청구항 4

제 3 항에 있어서,

상기 조절부는, 상기 제 2 클럭신호에 의해 턴-온/오프되어 턴-온 시 상기 제 1 노드(AUX)에 상기 제1 정전압을 공급하는 제 10 PMOS 트랜지스터와,

상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 제 1 노드를 상기 제 2 정전압으로 방전시키는 제 11 PMOS 트랜지스터를 구비하는 OLED 표시 장치의 게이트 구동회로.

청구항 5

제 1 항에 있어서,

상기 출력 버퍼부는, 상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 제 3 클럭펄스를 스캔 펄스(SOUT)로 출력단에 출력하는 풀업 제 6 PMOS 트랜지스터와,

상기 QB 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 제2 정전압을 상기 출력단으로 출력하는 풀다운 제 7 PMOS 트랜지스터와,

상기 출력단과 상기 Q 노드 사이에 연결되어 Q 노드의 전압을 부트스트랩핑시키는 커패시터를 구비하는 OLED 표시 장치의 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 OLED 표시 장치의 게이트 구동회로에 관한 것으로, 특히 OLED의 열화를 보상하는 OLED 표시 장치의 게이트 구동회로에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.

[0006] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.

[0007] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.

[0008] 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 컨트롤러 등으로 이루어진다.

[0009] 상기와 같은 OLED 표시 장치의 OLED와 구동 TFT는 온도나 열화에 의해 그 전기적 특성이 변한다. OLED 및/또는 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 영상 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0010] 따라서, 상기 OLED와 구동 TFT에 대한 전기적 특성 변화에 따른 휘도 편차를 보상하기 위해 외부 보상 기술이 알려져 있다.

[0011] 상기 외부 보상 기술은 OLED나 구동 TFT의 전기적 특성을 센싱하고, 그 센싱값을 기초로 휘도 편차가 보상되도록 디지털 비디오 데이터를 변조하는 것이다.

[0012] 이와 같이, 상기 OLED와 구동 TFT에 대한 전기적 특성 변화에 따른 휘도 편차를 보상하기 위해서는, 상기 OLED와 구동 TFT의 전기적 특성(구동 TFT의 문턱 전압 또는 이동도, OLED의 열화 등)을 센싱하여야 한다.

[0013] 상기와 같이 상기 OLED와 구동 TFT의 전기적 특성(구동 TFT의 문턱 전압 또는 이동도, OLED의 열화 등)을 센싱하기 위해서는, 상기 게이트 구동 회로가 영상을 표시할 때 게이트 펄스(또는 스캔 펄스) 구동 주파수보다 더

낮은 주파수로 상기 표시 패널의 게이트 라인들을 구동하여야 한다.

- [0014] 상기와 같이, 영상을 표시할 때보다 상기 OLED와 구동 TFT의 전기적 특성을 센싱할 때 게이트 펄스(또는 스캔 펄스)가 더 낮은 주파수로 구동되기 위해서는, 상기 OLED와 구동 TFT의 전기적 특성을 센싱할 때 상기 게이트 구동회로를 구동하는 복수개의 클럭펄스가 더 낮은 주파수로 상기 게이트 구동회로에 공급된다.
- [0015] 이와 같이, 상기 OLED와 구동 TFT의 전기적 특성을 센싱할 때 상기 게이트 구동회로를 구동하는 복수개의 클럭 펄스가 더 낮은 주파수로 상기 게이트 구동회로에 공급되므로, 각 클럭펄스의 비활성화 기간이 영상을 표시할 때보다 길어진다.
- [0016] 이와 같이, 상기 OLED와 구동 TFT의 전기적 특성을 센싱할 때, 각 클럭펄스의 비활성화 기간이 길어지므로, 게이트 구동회로를 구성하는 스위칭 소자의 누설 전류(leakage current)로 인해 게이트 구동회로가 비 정상적으로 구동하게 되는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0017] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, OLED 표시 패널에서 OLED와 구동 TFT에 대한 전기적 특성 변화에 따른 휘도 편차를 보상하기 위해서 상기 OLED와 구동 TFT의 전기적 특성(구동 TFT의 문턱 전압 또는 이동도, OLED의 열화 등)을 센싱할 때 발생할 수 있는 오동작을 방지하기 위한 OLED 표시 장치의 게이트 구동회로를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0018] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치의 게이트 구동회로는, 순차적으로 스캔 펄스를 출력하는 복수개의 스테이지를 구비하고, k번째 스테이지는, 게이트 스타트 신호 또는 전단 스테이지의 스캔 신호, 복수개의 클럭신호 중 제 1 클럭신호 및 후단 스테이지의 스캔 신호에 응답하여 Q 노드 및 QB 노드를 제 1 정전압 또는 제 2 정전압으로 제어하는 노드 제어부와, 복수개의 클럭신호 중 제 2 클럭신호에 의해 제어되고 상기 Q 노드에 따라 상기 QB 노드를 반전시키는 인버터부와, 상기 Q 노드 및 상기 QB 노드의 상태에 따라 복수개의 클럭펄스 중 제 3 클럭펄스를 스캔 펄스(SRO)로 출력하는 출력 버퍼부와, 복수개의 클럭신호 중 상기 제 2 클럭신호에 의해 제어되어 상기 인버터부 및 상기 노드 제어부의 일부에 인가되는 제 2 정전압을 조절하는 조절부를 포함함에 그 특징이 있다.

발명의 효과

- [0019] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 장치의 게이트 구동회로에 있어서는 다음과 같은 효과가 있다.
- [0020] 즉, 클럭신호의 비활성화 기간(3H) 동안, 조절부에 의해 노드 제어부의 PMOS 트랜지스터(T5)의 드레인 단자 및 인버터부의 PMOS 트랜지스터(T8)의 드레인 단자에 제2 정전압(VGH)보다 낮은 제 1 노드(AUX)의 전압(VAUX)이 인가되므로, 상기 노드 제어부의 PMOS 트랜지스터(T5) 및 상기 인버터부의 PMOS 트랜지스터(T8)에는 누설 전류가 적게 발생하게 된다.
- [0021] 이로 인하여 상기 QB 노드의 전압이 상승하게 됨을 방지하여, 상기 비활성화 기간(3H)에 출력버퍼부에서 멀티출력이 방지됨을 방지할 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시예에 따른 OLED 표시 장치를 개략적으로 보여 주는 블록도
- 도 2는 도 3의 OLED 표시 장치에서 하나의 서브 화소의 회로 구성도
- 도 3은 구동 TFT의 문턱 전압 센싱 방법을 보여주는 도면
- 도 4는 구동 TFT의 이동도 센싱 방법을 보여주는 도면
- 도 5는 OLED의 열화 센싱 방법의 원리를 설명한 도면
- 도 6은 본 발명에 따른 OLED 표시 장치의 게이트 구동회로의 k번째 스테이지의 회로 구성도

도 7은 본 발명에 따른 평판 표시 장치의 디스플레이 구동시의 파형도

도 8은 본 발명에 따른 평판 표시 장치의 열화 센싱 구동시의 파형도

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0025] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0028] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0029] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0030] 본 발명에 따른 GIP의 회로와 서브 화소의 회로는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. 이하의 실시예에서 n 타입 TFT를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로 부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 GIP 회로와 화소 회로를 구성하는 트랜지스터들을 n 타입 TFT로 예시되었지만, 이에 한정되지 않는다. 따라서, 이하의 설명에서 TFT의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.
- [0031] GIP 회로로부터 출력되는 게이트 펄스는 게이트 온 전압(Gate High Voltage, VGH)과 게이트 오프 전압(Gate Low Voltage, VGL) 사이에서 스위칭한다. 게이트 온 전압(VGH)은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압(VGL)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0032] 도 1은 도 본 발명의 실시예에 따른 전계 발광 표시장치를 개략적으로 보여 주는 블록도이고, 도 2는 타이밍 콘

트roller, 데이터 구동회로 및 픽셀 간 접속 구조를 상세히 보여주는 회로도이다.

- [0033] 도 1 및 도 2를 참조하면, 본 발명의 OLED 표시 장치는 매트릭스 타입으로 픽셀들이 배치된 OLED 표시 패널(10), 및 상기 OLED 표시 패널(10)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하기 위한 표시패널 구동회로를 구비한다.
- [0034] 상기 OLED 표시 패널(10)에는 다수의 데이터 라인들(14)과, 다수의 게이트 라인들(16)이 교차되고, 픽셀들이 매트릭스형태로 배치된다. 상기 OLED 표시 패널(10)은 센싱 라인들(16), 고전위 픽셀 구동 전원 전압(EVDD)을 공급하는 전원 배선(17), 저전위 전원 전압(EVSS)을 공급하기 위한 전원 배선 등을 더 포함한다. 기준 전압(Vpre)이 센싱 라인들(16)을 통해 픽셀들(P)에 공급된다.
- [0035] 상기 픽셀들(P)은 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B), 서브 픽셀들을 포함할 수 있다. 픽셀들 각각은 RGB 서브 픽셀들 이외에 백색(White, W) 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들 각각은 도 2와 같은 픽셀 회로(20)를 포함할 수 있다. 도 2는 픽셀 회로의 일 예를 도시하였으나, 본 발명의 픽셀 회로(20)는 이에 한정되지 않는다.
- [0036] 상기 서브 픽셀 각각은 전원 회로로부터 픽셀 구동 전원 전압(EVDD)과 저전위 전원 전압(EVSS)을 공급받는다. 상기 서브 픽셀은 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터(storage capacitor, Cst) 등을 포함할 수 있다. 서브 픽셀을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)로 구현될 수 있다. TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리실리콘 또는, 산화물을 포함할 수 있다.
- [0037] 상기 서브 픽셀들 각각은 데이터 라인들(14) 중 어느 하나에, 센싱 라인들(15) 중 어느 하나에 그리고, 제1 스캔 라인들(16A) 및 제2 스캔 라인(16B)에 접속된다.
- [0038] 상기 표시패널 구동 회로는 데이터 라인들(14)에 데이터 신호를 공급하는 데이터 구동회로(12)와, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동회로(13), 및 데이터 구동회로(12)와 게이트 구동회로(13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.
- [0039] 상기 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 화상 표시 구간 동안 화상 표시용 스캔 펄스를 순차적으로 공급하고, 수직 블랭크 기간 동안 센싱 대상 라인의 픽셀들(P)에 연결된 게이트 라인(16)에 센싱용 스캔 펄스를 공급한다.
- [0040] 상기 화상 표시용 스캔 펄스는 제1 게이트 라인(16A)에 순차적으로 공급되는 제1 화상 표시용 스캔 펄스(SCAN), 제2 게이트 라인(16B)에 순차적으로 공급되는 제2 화상 표시용 스캔 펄스(SEN)를 포함한다. 센싱용 스캔 펄스는 센싱 대상 라인의 픽셀들에 연결된 제1 게이트 라인(16A)에 공급되는 제1 센싱용 스캔 펄스(SCAN), 센싱 대상 라인의 픽셀들에 연결된 제2 게이트 라인(16B)에 공급되는 제2 센싱용 스캔 펄스(SEN)를 포함한다. 상기 게이트 구동회로(13)는 OLED 표시 패널(10)의 비표시 영역에 상기 픽셀 어레이 형성 공정으로 형성될 수 있다.
- [0041] 상기 데이터 구동회로(12)는 상기 타이밍 콘트롤러(11)의 제어 하에 데이터 라인들(14)에 데이터 전압(Vdata)을 공급하고, 센싱 라인들(15)에 기준 전압을 공급한다. 또한, 상기 데이터 구동회로(12)는 센싱 라인들(15)을 통해 픽셀들(P)로부터 수신된 센싱 전압을 ADC를 통해 디지털 데이터로 변환하여 센싱 데이터(SD)를 출력하고, 그 센싱 데이터(SD)를 상기 타이밍 콘트롤러(11)로 전송한다. 상기 데이터 전압은 화상 표시용 데이터 전압, 센싱용 데이터 전압 등으로 나뉘어질 수 있으나 이에 한정되지 않는다.
- [0042] 상기 데이터 구동회로(12)는 화상 표시용 스캔 펄스에 동기하여 입력 영상의 화상 표시용 데이터 전압을 데이터 라인들(14)에 공급하고, 센싱용 스캔 펄스에 동기하여 센싱용 데이터 전압을 데이터 라인들(14)에 공급한다. 화상 표시용 데이터 전압은 픽셀의 구동 특성 센싱 결과를 바탕으로 구동 특성 변화를 보상하기 위한 보상값이 반영된다. 보상값은 오프셋값과 게인값을 포함할 수 있으나 이에 한정되지 않는다. 상기 데이터 구동회로(12)는 소스 드라이브 IC(Integrated Circuit)(SIC)에 집적되어 데이터 라인들(14)에 연결될 수 있다. 센싱 회로는 도 2에서 센싱 라인(15), 센싱 커패시터(Cx), 스위치 소자들(SW1, SW2), ADC 등을 포함한다.
- [0043] 상기 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 메인클럭신호([0039] MCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12), 게이트 구동회로(13), 및 상기 센싱 회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호(SDC, GDC)를 발생한다. 상기 타이밍 콘트롤러(11)는 데이터 구동회로(12)로부터 공급되는 센싱 데이터(SD)를 바탕으로 픽셀의 구동 특성 변화를 보상하기 위해 화상 표

시 구간 동안 보상값으로 픽셀들에 공급될 화상 표시용 디지털 데이터를 변조한다. 도 2에서 “MDATA”는 타이밍 컨트롤러(11)에 의해 변조되어 데이터 구동회로(12)로 전송된 화상 표시용 데이터를 나타낸다.

- [0044] 상기 타이밍 컨트롤러(11)는 외부 보상 알고리즘뿐만 아니라 다양한 화상 개선 알고리즘을 이용하여 도출된 보상값으로 입력 영상의 픽셀 데이터를 변조할 수 있다.
- [0045] 도 2의 예에서, 픽셀 회로(20)는 OLED(OLED), 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2스위치 TFT(ST2)를 포함한다.
- [0046] OLED는 애노드와 캐소드 사이에 배치된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED는 애노드와 캐소드 사이에 자신의 문턱 전압 이상의 전압이 인가될 때 발광층(EML)으로 이동하는 정공과 전자에 의해 생성된 여기자로 인하여 발광된다.
- [0047] 상기 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 전원(EVDD)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 상기 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)에 따라 OLED에 흐르는 구동전류(Ioled)를 제어한다. 상기 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)가 문턱전압(Vth)보다 클 때 턴 온 되며, 게이트-소스 간 전위차(Vgs)가 클수록 구동 TFT(DT)의 소스-드레인 사이에 흐르는 전류(Ids)는 증가한다. 상기 구동 TFT(DT)의 소스전위가 OLED의 문턱전압보다 커지면, 상기 구동 TFT(DT)의 소스-드레인 간 전류(Ids)가 구동 전류(Ioled)로서 OLED를 통해 흐르게 된다. 구동 전류(Ioled)가 커질수록 OLED의 발광량이 커지며, 이를 통해 원하는 계조가 구현되게 된다.
- [0048] 상기 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.
- [0049] 상기 제1 스위치 TFT(ST1)는 제1 게이트 라인(16A)에 접속된 게이트전극, 데이터 라인(14)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 상기 제1 스위치 TFT(ST1)는 제1 스캔 펄스(SCAN)에 응답하여 스위칭됨으로써, 데이터 라인(14)에 충전된 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다.
- [0050] 상기 제2 스위치 TFT(ST2)의 게이트전극은 제2 게이트 라인(16B)에 연결된다. 상기 제2 스위치 TFT(ST2)의 드레인전극은 제2 노드(N2)에 연결되고, 상기 제2 스위치 TFT(ST2)의 소스전극은 센싱 라인(15)에 연결된다. 상기 제2 스위치 TFT(ST2)는 제2 스캔 펄스(SEN)에 응답하여 스위칭됨으로써, 제2 노드(N2)와 센싱 라인(15)을 전기적으로 연결시킨다.
- [0051] 상기 데이터 구동회로(12)는 데이터 라인(14) 및 센싱 라인(15)을 통해 픽셀들에 연결된다. 상기 데이터 구동회로(12)는 디지털-아날로그 컨버터(Digital-to-analog Converter, 이하 "DAC"라 함), ADC, 초기화 스위치(SW1), 및 샘플링 스위치(SW2) 등을 포함한다. 센싱 라인(15)에는 제2 노드(N2)의 소스전압을 샘플링하여 저장하는 센싱 커패시터(Cx)가 연결된다.
- [0052] 상기 DAC는 디지털 데이터를 입력 받아 구동에 필요한 데이터 전압(Vdata) 즉, 화상 표시용 데이터 전압과 센싱용 데이터 전압을 생성하여 데이터 라인(14)으로 출력한다.
- [0053] 상기 센싱 커패시터(Cx)는 별도의 커패시터로 생성되거나, 센싱 라인(15)에 연결된 기생 용량(parasitic capacitor)로 구현될 수 있다. 센싱 커패시터(Cx)에 픽셀(P)로부터의 전하들이 저장된다.
- [0054] 상기 초기화 스위치(SW1)는 초기화 제어신호(SPRE)에 응답하여 스위칭됨으로써 기준 전압(Vpre)을 센싱 라인(15)으로 출력한다. 상기 샘플링 스위치(SW2)는 샘플링 제어신호(SSAM)에 응답하여 스위칭됨으로써, 일정 시간 동안 센싱 라인(15)의 센싱 커패시터(Cx)에 저장된 센싱 전압을 ADC에 공급한다. 상기 ADC는 센싱 커패시터(Cx)에 샘플링된 센싱 전압을 디지털 데이터로 변환하여 타이밍 컨트롤러(11)로 전송한다.
- [0055] 도 3은 구동 TFT의 문턱 전압 센싱 방법을 보여주는 도면이고, 도 4는 구동 TFT의 이동도 센싱 방법을 보여주는 도면이며, 도 5는 OLED의 열화 센싱 방법의 원리를 설명한 도면이다.
- [0056] 구동 TFT의 문턱 전압 센싱 방법은, 도 3에 도시한 바와 같이, 구동 TFT(DT)의 게이트에 센싱 데이터 전압(Vdata)을 공급하고, 상기 구동 TFT(DT)를 소스 팔로워(Source Follower) 방법으로 동작시킨 후 상기 구동 TFT(DT)의 소스전압(Vs)을 센싱 전압(Vsen A)으로 입력받고, 이 센싱 전압(Vsen A)을 기초로 구동 TFT(DT)의 문턱 전압(Vth)을 센싱한다. 구동 TFT의 게이트와 소스 사이에는 구동 TFT의 게이트-소스간 전압을 저장하는 커패시터(Cst)가 연결된다. 소스 전압(Vs)은 $Vs = Vdata - Vth = Vsen A$ 이다. 구동 TFT의 문턱 전압은 센싱 전압

(Vsen A) 레벨에 따라 알 수 있으며, 그 구동 TFT의 문턱 전압 변화량을 보상하기 위한 오프셋 값(offset value)이 결정될 수 있다. 입력 영상의 데이터에 오프셋 값이 가산되어 구동 TFT의 문턱 전압 변화량이 보상될 수 있다. 상기 구동 TFT의 문턱 전압 센싱 방법은 소스 팔로워로 동작하는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 포화상태(saturation state)에 도달한 이후에 그 구동 TFT(DT)의 문턱 전압이 센싱되어야 하기 때문에 센싱에 필요한 시간이 비교적 길다. 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 포화상태 일 때, 구동 TFT(DT)의 드레인-소스 간 전류가 제로(zero)이다.

[0057] 구동 TFT의 이동도(μ) 센싱 방법은, 도 4에 도시한 바와 같이, 구동 TFT(DT)의 게이트에 구동 TFT(DT)의 문턱 전압보다 높은 전압 ($V_{data}+X$, X는 오프셋값 보상에 따른 전압)을 인가하여 구동 TFT(DT)를 턴-온(turn-on)시키고, 일정 시간 동안 충전된 구동 TFT(DT)의 소스 전압(V_s)을 센싱 전압(Vsen B)으로 입력받는다. 구동 TFT의 이동도는 센싱 전압(Vsen B)의 크기에 따라 결정되며, 이를 통해 데이터 보상을 위한 게인 값(gain value)이 구해진다. 상기 구동 TFT의 이동도(μ) 센싱 방법은 구동 TFT(DT)이 액티브 구간으로 동작할 때 그 구동 TFT의 이동도를 센싱한다. 구동 TFT(DT)이 액티브 구간 동안, 게이트 전압(V_g)을 따라 소스 전압(V_{gs})이 상승한다. 입력 영상의 데이터에 게인 값이 곱해져 구동 TFT의 이동도 변화량이 보상될 수 있다. 상기 구동 TFT의 이동도(μ) 센싱 방법은 구동 TFT의 액티브 구간에서 이동도가 센싱되기 때문에 센싱에 필요한 시간이 짧다.

[0058] OLED의 열화 센싱 방법은, 도 5에 도시한 바와 같이, 구동 TFT(DT)의 게이트에 센싱 데이터 전압(V_{data})을 공급하여 상기 구동 TFT(DT)를 턴온시키고 정전압(EVDD, 약 12V)을 OLED에 공급한 후, 상기 OLED에 연결된 기생 용량(parasitic capacitor)(COLED)을 센싱한다. 상기 OLED 열화 정도에 따라 상기 OLED에 연결된 기생 용량(parasitic capacitor)(COLED)이 가변되고, 상기 OLED의 열화에 의한 상기 기생 용량(COLED)의 감소에 따라 OLED 열화를 센싱한다.

[0059] 본 발명에 따른 외부 보상 방법은 OLED 표시 장치의 전원이 입력되기 시작하는 파워 온 시퀀스(power on sequence)에서 소정 시간 예를 들어, 수초 이내에 픽셀들 각각의 특성 및 열화 보상을 실시할 수 있다. 또한, 본 발명에 따른 외부 보상 방법은 OLED 표시 장치의 전원이 차단되어 OLED 표시 장치가 턴-오프되는 파워 오프 시퀀스(power off sequence)에서 소정 시간 예를 들어, 수분 이내에 상대적으로 열화가 많이 진행된 픽셀들에 대하여 보상을 실시할 수 있다. 또한, 본 발명에 따른 외부 보상 방법은 1 프레임 기간에서 화상 표시 구간을 제외한 수직 블랭크 기간(Vertical blank period, VB) 동안, 센싱 대상 라인에 배열된 픽셀들의 구동 특성이 실시간 센싱 및 보상될 수 있다.

[0060] 이와 같은 방법으로, 상기 OLED와 구동 TFT의 전기적 특성(구동 TFT의 문턱 전압 또는 이동도, OLED의 열화 등)을 센싱하고, 상기 센싱값을 기초로 휘도 편차가 보상되도록 디지털 비디오 데이터를 변조한다.

[0061] 상기와 같이 상기 OLED와 구동 TFT의 전기적 특성(구동 TFT의 문턱 전압 또는 이동도, OLED의 열화 등)을 센싱하기 위해서는, 상기 게이트 구동 회로가 영상을 표시할 때 게이트 펄스(또는 스캔 펄스) 구동 주파수보다 더 낮은 주파수로 상기 표시 패널의 게이트 라인들을 구동하여야 하므로, 각 클럭펄스의 비활성화 기간이 길어지고, 이로 인하여 게이트 구동회로를 구성하는 스위칭 소자의 누설 전류(leakage current)로 인해 게이트 구동회로가 비 정상적으로 구동될 수 있다.

[0062] 따라서, 상기 게이트 구동회로(13)를 보다 구체적으로 설명하면 다음과 같다.

[0063] 도 6은 본 발명에 따른 OLED 표시 장치의 게이트 구동회로의 k번째 스테이지의 회로 구성도이다. 도 6은 서로 다른 위상을 갖는 4개의 클럭신호(CLK1~CLK4)에 의해 구동되는 스테이지를 도시하였다.

[0064] 본 발명에 따른 OLED 표시 장치의 게이트 구동회로의 k번째 스테이지의 회로 구성은, 도 6에 도시한 바와 같이, PMOS 트랜지스터(T_2 , T_2 , T_4 , T_5 , T_9)들로 구성되어 게이트 스타트 신호(VST) 또는 전단 스테이지의 스캔 신호, 4개의 클럭신호 중 하나의 클럭신호(CLK4), 후단 스테이지의 스캔 신호(QRST) 등에 의해 제어되어 Q 노드 및 QB 노드를 제 1 정전압(VGL) 또는 제 2 정전압(VGH)으로 제어하는 노드 제어부(50)와, PMOS 트랜지스터(T_3 , T_8)들 및 커패시터(C_1)로 구성되어 4개의 클럭신호 중 하나의 클럭신호(CLK3)에 의해 제어되고 상기 Q 노드에 따라 상기 QB 노드를 반전시키는 인버터부(20)와, 풀업 PMOS 트랜지스터(T_6), 풀다운 PMOS 트랜지스터(T_7) 및 부트스트랩핑 커패시터(C_Q) 등으로 구성되어 상기 Q 노드 및 상기 QB 노드의 상태에 따라 4개의 클럭펄스 중 하나의 클럭펄스(CLK1)를 스캔 펄스(SR0)로 출력하는 출력 버퍼부(30)와, PMOS 트랜지스터(T_{3a} , T_{5a})들로 구성되어 4개의 클럭신호 중 하나의 클럭신호(CLK3)에 의해 제어되어 상기 인버터부(20) 및 노드 제어부(50)의 일부에 인가되는 제 2 정전압(VGH)을 조절하는 조절부(40)를 포함하여 구성된다.

- [0065] 상기 노드 제어부(50)는, 상기 게이트 스타트 신호(VST)에 의해 턴-온/오프되어 턴-온 시 상기 제1 정전압(VGL)를 공급하는 제 1 PMOS 트랜지스터(T1)와, 4개의 클럭신호 중 하나의 클럭신호(CLK4)에 의해 턴-온/오프되어 턴-온 시 상기 제 1 PMOS 트랜지스터(T1)를 통해 상기 제1 정전압(VGL)를 Q노드에 공급하는 제2 PMOS 트랜지스터(T2)와, 상기 QRST 신호(QRST)에 의해 턴-온/오프되어 턴-온 시 상기 Q노드를 제2 정전압(VGH)으로 방전시키는 제 9 PMOS 트랜지스터(T9)와, 상기 QB 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 Q노드를 상기 제2 정전압(VGH)으로 방전시키는 제 4 PMOS 트랜지스터(T4)와, 상기 게이트 스타트 신호(VST)에 의해 턴-온/오프되어 턴-온 시 상기 QB 노드를 제 1 노드(AUX) 전압으로 방전시키는 제 5 PMOS 트랜지스터(T5)를 구비하여 구성된다.
- [0066] 상기 인버터부(20)는, 4개의 클럭신호 중 하나의 클럭신호(CLK3)에 의해 턴-온/오프되어 턴-온 시 상기 QB 노드에 상기 제1 정전압(VGL)를 공급하는 제 3 PMOS 트랜지스터(T3)와, 상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 QB노드를 상기 제 1 노드(AUX) 전압으로 방전시키는 제 8 PMOS 트랜지스터(T8)를 구비하여 구성된다.
- [0067] 상기 출력 버퍼부(30)는, 상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 4개의 클럭펄스 중 하나의 클럭펄스(CLK1)를 스캔 펄스(SOUT)로 출력단에 출력하는 풀업 제 6 PMOS 트랜지스터(T6)와, 상기 QB 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 제2 정전압(VGH)을 상기 출력단으로 출력하는 풀다운 제 7 PMOS 트랜지스터(T7)와, 상기 출력단과 상기 Q 노드 사이에 연결되어 Q 노드의 전압을 부트스트랩핑시키는 커패시터(CQ)를 구비하여 구성된다.
- [0068] 상기 조절부(40)는, 4개의 클럭신호 중 하나의 클럭신호(CLK3)에 의해 턴-온/오프되어 턴-온 시 상기 제 1 노드(AUX)에 상기 제1 정전압(VGL)를 공급하는 제 10 PMOS 트랜지스터(T10)와, 상기 Q 노드의 전압에 따라 턴-온/오프되어 턴-온 시 상기 제 1 노드를 상기 제 2 정전압(VGH)으로 방전시키는 제 11 PMOS 트랜지스터(T11)를 구비하여 구성된다.
- [0069] 도 6에서는 각 스테이지가 PMOS 트랜지스터로 구성됨을 도시하였으나, 이에 한정되지 않고, NMOS 트랜지스터로 구성될 수 있다.
- [0070] 상기 각 스테이지가 NMOS 트랜지스터로 구성될 경우, 제1 정전압이 VGH이고, 제2 정전압이 VGL이며, 각 클럭펄스(CLK1~CLK4) 및 게이트 스타트 신호(VST)는 위상이 반전된다.
- [0071] 이와 같이 구성된 본 발명에 따른 게이트 구동회로의 동작을 설명하면 다음과 같다.
- [0072] 도 7은 본 발명에 따른 평판 표시 장치의 디스플레이 구동시의 파형도이고, 도 8은 본 발명에 따른 평판 표시 장치의 열화 센싱 구동시의 파형도이다.
- [0073] 도 6 내지 도 8을 참조하여 평판 표시 장치의 디스플레이 구동시의 파형 동작과 평판 표시 장치의 열화 센싱 구동시의 동작을 설명하면 다음과 같다.
- [0074] 먼저, 상기에서 설명한 바와 같이, 평판 표시 장치에 영상을 표시할 때 구동 주파수보다 평판 표시 장치의 열화를 센싱할 때 구동 주파수가 낮다.
- [0075] 즉, 도 7에 도시한 바와 같이, 평판 표시 장치에 영상을 표시할 때, 각 클럭펄스(CLK1~CLK4)의 구동 주파수의 일 수평 기간(1H)은 약 $10\mu\text{s}$ 보다 짧고($1H \leq 10\mu\text{s}$), 3 수평 기간(3H)은 약 $30\mu\text{s}$ 보다 짧다($3H \leq 30\mu\text{s}$).
- [0076] 반면, 도 8에 도시한 바와 같이, 평판 표시 장치의 열화를 센싱할 때, 각 클럭펄스(CLK1~CLK4)의 구동 주파수의 일 수평 기간(1H)은 약 90ms 보다 길고($1H \geq 90\text{ms}$), 3 수평 기간(3H)은 약 270ms 보다 길다($3H \geq 270\text{ms}$).
- [0077] 따라서, 평판 표시 장치의 열화를 센싱할 때, 복수개의 클럭펄스가 더 낮은 주파수로 상기 게이트 구동회로에 공급되므로, 각 클럭펄스의 비활성화 기간이 영상을 표시할 때보다 매우 길어진다.
- [0078] 즉, 도 7에 도시한 바와 같이, 평판 표시 장치에 영상을 표시할 때, 비활성화 기간(3H)은 약 $30\mu\text{s}$ 보다 짧지만($3H \leq 30\mu\text{s}$), 도 8에 도시한 바와 같이, 평판 표시 장치의 열화를 센싱할 때, 비활성화 기간(3H)은 약 270ms 보다 길다($3H \geq 270\text{ms}$).
- [0079] 이와 같이, 평판 표시 장치의 열화를 센싱할 때 비활성화 기간(3H)이 평판 표시 장치에 영상을 표시할 때 비활성화 기간(3H)보다 매우 길어지므로, 게이트 구동회로를 구성하는 스위칭 소자의 누설 전류(leakage current)로 인해 게이트 구동회로가 비 정상적으로 구동하게 된다.

- [0080] 즉, 모든 트랜지스터들은 제조 공정 중에 매우 작은 누설 전류가 발생되도록 제조될 수 있다. 그러나, 비활성화 기간이 짧을 경우에는 누설 전류에 대한 영향을 받지 않지만, 비활성화 기간이 길어질수록 누설 전류에 대한 영향을 받게 된다.
- [0081] 도 6에서 조절부(40)가 없는 상태를 이용하여, 이를 구체적으로 설명하면 다음과 같다.
- [0082] 즉, 도 6에서, 상기 조절부(40) 없이, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)와 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 드레인 단자에 상기 제 2 정전압(VGH)이 바로 인가되었다고 가정하자.
- [0083] 이와 같은 상태에서, 제 3 클럭신호(CLK3)에 의해 상기 인버터부(20)의 PMOS 트랜지스터(T3)가 턴-온되고, 턴-온 전압(로우) 레벨인 제1 정전압(VGL)이 상기 QB노드에 인가된 후, 상기 제 3 클럭신호(CLK3)가 다시 턴-온 전압(로우) 레벨일 될 때까지 3수평(3H) 기간(비활성화 기간) 동안 상기 QB노드는 로우 레벨인 제1 정전압(VGL)을 유지하여야 한다.
- [0084] 그런데, 상기 제 3 클럭신호(CLK3)의 비활성화 기간(3H) 동안, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 소오스 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 소오스 단자에는, 상술한 바와 같이, 제1 정전압(VGL)이 인가되고, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 드레인 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 드레인 단자에는, 제2 정전압(VGH)이 인가되므로, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5) 및 상기 인버터부(20)의 PMOS 트랜지스터에 누설 전류가 발생할 수 있고, 이로 인하여 상기 QB 노드의 전압이 상승하게 될 수 있다.
- [0085] 이와 같이 비활성화 기간에 상기 QB 노드의 전압이 상승하게 되면, 상기 출력버퍼부(30)의 풀다운 제 7 PMOS 트랜지스터(T7)가 턴 오프되므로, 상기 제 3 클럭신호(CLK3)의 비활성화 기간(3H)에 상기 제 1 클럭펄스가 출력단으로 출력될 수 있으므로, 멀티 출력이 발생할 수 있다.
- [0086] 그러나, 본 발명에서는 상기 조절부(40)가 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 드레인 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 드레인 단자에 인가되는 제 1 노드(AUX)의 전압을 제2 정전압(VGH)보다 낮은 전압으로 조절하므로, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5) 및 상기 인버터부(20)의 PMOS 트랜지스터에 누설 전류로 인한 멀티 출력을 방지할 수 있다.
- [0087] 이를 구체적으로 설명하면 다음과 같다.
- [0088] 도 7 및 도 8에 도시한 바와 같이, 평판 표시 장치에 영상을 표시할 때와 평판 표시 장치의 열화를 센싱할 때, 각 클럭펄스(CLK1~CLK4)의 구동 주파수는 다르지만 각 클럭펄스(CLK1~CLK4)의 위상은 같다.
- [0089] 도 7 및 도 8에 도시한 바와 같이, 상기 게이트 스타트 신호(VST) 및 제4 클럭신호(CLK4)가 동시에 턴-온 전압(로우) 레벨로 입력되면, 상기 제 1 PMOS 트랜지스터(T1) 및 제2 PMOS 트랜지스터(T2)와 상기 제 5 PMOS 트랜지스터(T5)가 동시에 턴-온 된다.
- [0090] 따라서, 상기 Q 노드는 제1 정전압(VGL)로 충전되고, QB 노드는 제2 정전압(VGH)로 방전된다. 그리고, 출력버퍼부(30)의 풀업 제 6 PMOS 트랜지스터(T6)는 턴-온되고, 풀다운 제 7 PMOS 트랜지스터(T7)는 턴-오프된다.
- [0091] 그리고, 상기 게이트 스타트 신호(VST) 및 제4 클럭신호(CLK4)가 동시에 턴-오프 전압(하이) 레벨로 천이되고, 상기 제1 클럭신호(CLK1)가 턴-온 전압(로우) 레벨로 입력되면, 상기 노드 제어부(50)의 제 1 PMOS 트랜지스터(T1)가 턴-오프되어 상기 제1 정전압(VGL)이 상기 Q 노드에 인가됨을 차단하고, 상기 Q 노드는 커패시터(CQ)에 의해 부트스트랩핑되고, 상기 1 클럭신호(CLK1)가 상기 출력버퍼부(30)의 풀업 제 6 PMOS 트랜지스터(T6)를 통해 출력단으로 출력된다 (스캔 신호가 출력됨).
- [0092] 다음, 상기 제1 클럭신호(CLK1)가 턴-오프 전압(하이) 레벨로 천이되고, 제3 클럭신호(CLK3)가 턴-온 전압(로우) 레벨로 입력되면, 상기 인버터부(20)의 제 3 PMOS 트랜지스터(T3) 및 조절부(40)의 제10 PMOS 트랜지스터(T10)가 턴-온되어 상기 QB 노드 및 제1 노드(AUX)를 제1 정전압(VGL)으로 충전한다. 그리고, 상기 노드 제어부(50)의 제4 PMOS 트랜지스터(T4)가 턴-온되어 상기 Q노드를 제2 정전압(VGH)로 방전하므로, 상기 출력버퍼부(30)의 풀업 제 6 PMOS 트랜지스터(T6)는 턴-오프되고, 풀다운 제 7 PMOS 트랜지스터(T7)는 턴-온되며, 상기 인버터부(20)의 제 8 PMOS 트랜지스터(T8) 및 조절부(40)의 제11 PMOS 트랜지스터(T11)가 턴-오프된다.
- [0093] 그리고, 상기 제3 클럭신호(CLK3)가 턴-오프 전압(하이) 레벨로 천이되고, 제4 클럭신호(CLK4)가 턴-온 전압(로우) 레벨로 입력되면, 상기 노드 제어부(50)의 제2 PMOS 트랜지스터(T2)가 턴-오프되어 상기 QB 노드에 인가되는 제1 정전압(VGL)을 차단한다. 이와 같은 상태에서, 상기 조절부(40)의 제10 PMOS 트랜지스터(T10)의 게이트/

소오스 전압($VSG = VGH - V_{th}$)이 되고 제11 PMOS 트랜지스터(T11)의 게이트/소오스 전압($VSG=0$)이므로, 상기 제10 PMOS 트랜지스터(T10) 및 제11 PMOS 트랜지스터(T11)의 누설 전류의 크기에 따라 상기 제1 노드(AUX)의 전압(VAUX)이 결정된다.

[0094] 즉, 상기 제1 노드(AUX)의 전압(VAUX)은 제2 정전압(VGH)보다 낮고, 제1 정전압(VGL)보다 높다.

[0095] 따라서, 상기 제3 클럭신호(CLK3)의 비활성화 기간(3H) 동안, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 소오스 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 소오스 단자에는 제1 정전압(VGL)이 인가되고, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 드레인 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 드레인 단자에는 제2 정전압(VGH)보다 낮은 상기 제1 노드(AUX)의 전압(VAUX)이 인가되므로, 상기 노드 제어부(50)의 PMOS 트랜지스터(T5) 및 상기 인버터부(20)의 PMOS 트랜지스터에는 누설 전류가 적게 발생하게 된다.

[0096] 이로 인하여 상기 QB 노드의 전압이 상승하게 됨을 방지하여, 상기 출력버퍼부(30)의 풀다운 제7 PMOS 트랜지스터(T7)가 턴 오프됨을 방지하므로, 상기 제3 클럭신호(CLK3)의 비활성화 기간(3H)에 상기 제1 클럭펄스가로 레벨로 인가되더라도 멀티 출력을 방지할 수 있다.

[0097] 도 6에서, 상기 조절부(40)를 설치하지 않고, 외부에서 상기 제2 정전압(VGH)보다 낮은 전압을 상기 노드 제어부(50)의 PMOS 트랜지스터(T5)의 드레인 단자 및 상기 인버터부(20)의 PMOS 트랜지스터(T8)의 드레인 단자에 인가하면 동일한 효과를 얻을 수 있으나, 이는 외부에서 상기 제2 정전압(VGH)보다 낮은 전압을 인가하기 위한 라인이 더 필요하게 되는 단점이 있다.

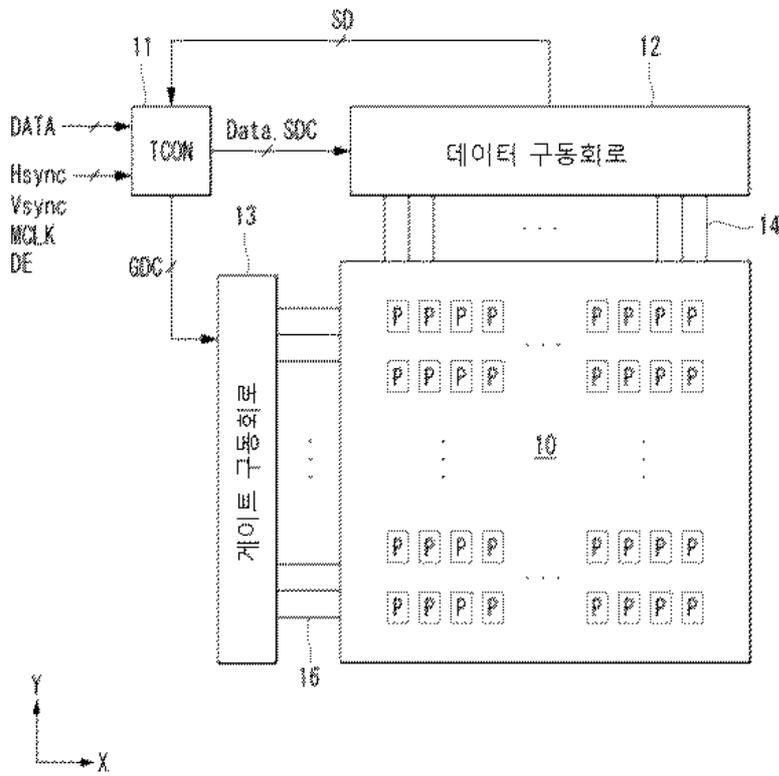
[0098] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

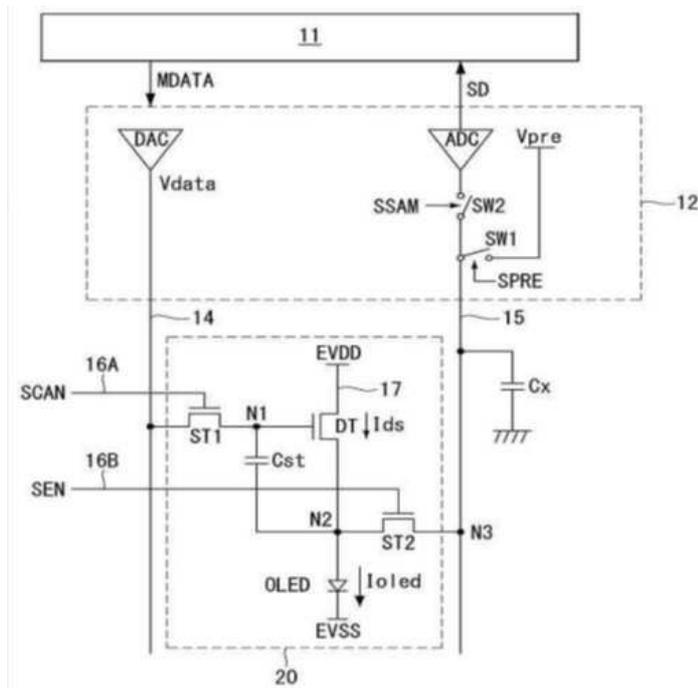
- [0099] 10: 표시 패널 11: 타이밍 콘트롤러
 12: 게이트 구동회로 13: 데이터 구동회로
 14: 데이터 라인 15: 센싱 라인
 16: 게이트 라인 20: 인버터부
 30: 출력 버퍼부 40: 조절부
 50: 노드 제어부

도면

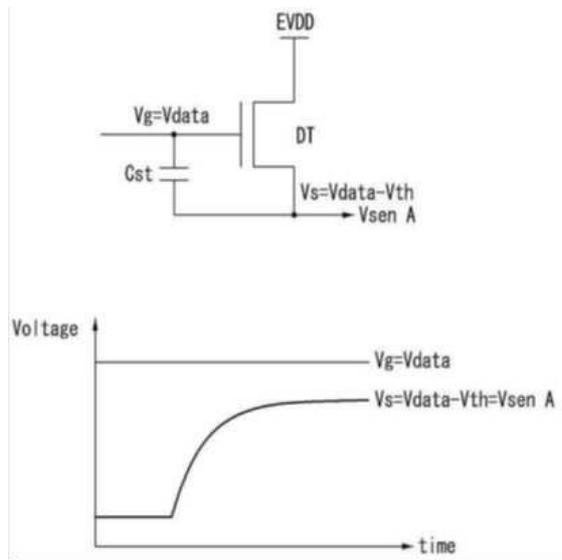
도면1



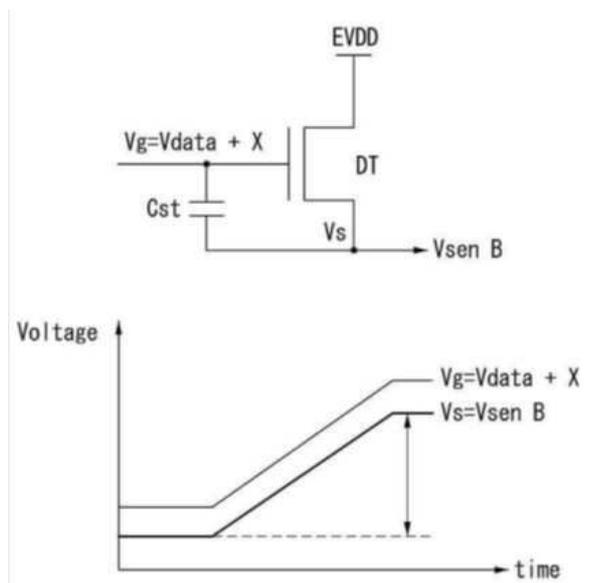
도면2



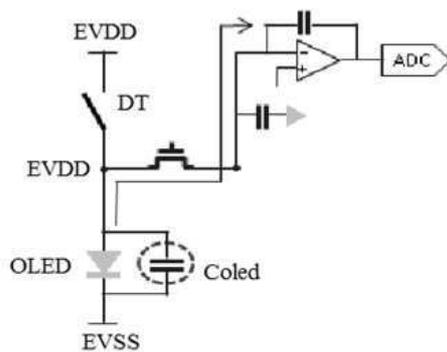
도면3



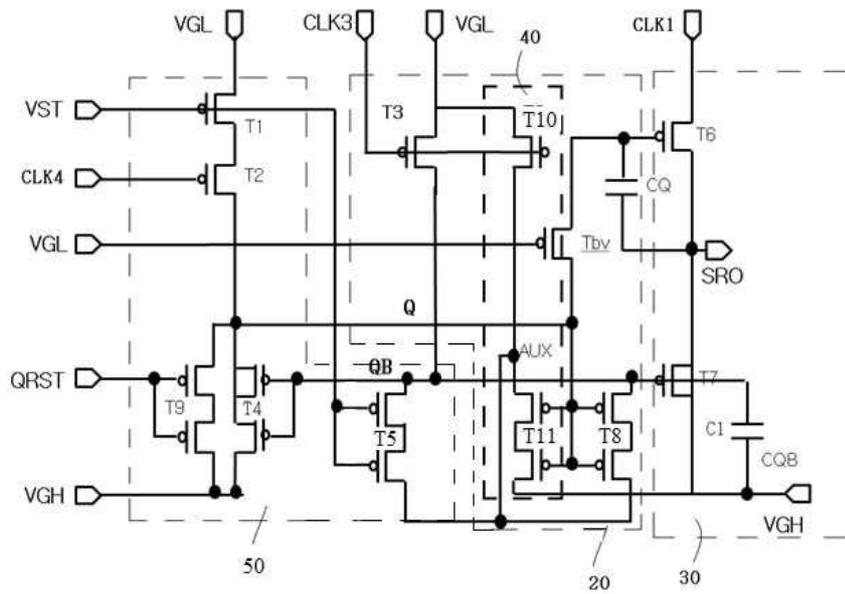
도면4



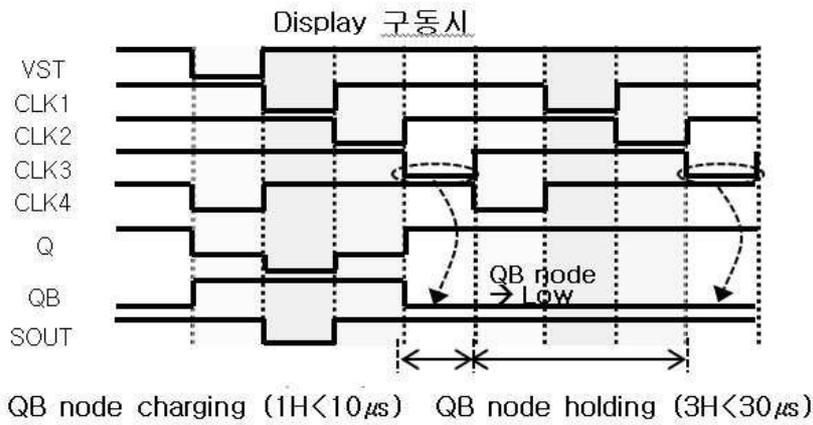
도면5



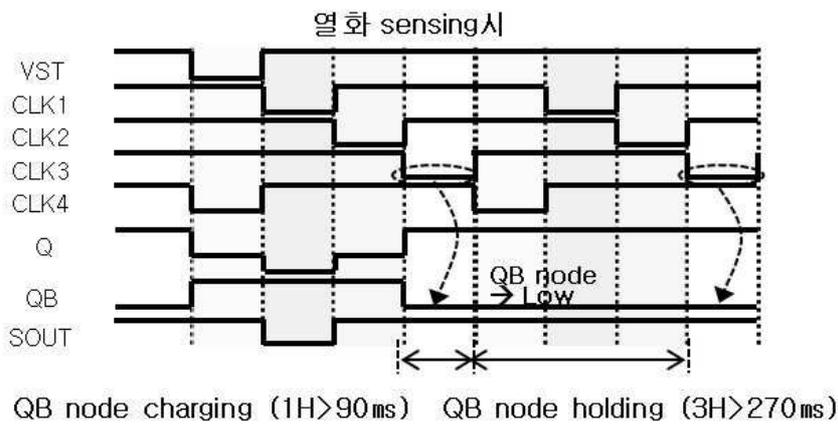
도면6



도면7



도면8



专利名称(译)	OLED显示装置的栅极驱动电路		
公开(公告)号	KR1020200070844A	公开(公告)日	2020-06-18
申请号	KR1020180158425	申请日	2018-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	문수환		
发明人	문수환		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2310/0264 G09G2310/0291 G09G2320/0214 G09G2320/0233 G09G2320/029 G09G2320/041 G09G2320/043 G09G2320/045 G09G2330/028		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

OLED显示装置的栅极驱动电路技术领域本发明涉及一种OLED显示装置的栅极驱动电路，其用于防止在感测OLED显示器的劣化特性时可能发生的故障，并且包括顺序输出扫描脉冲的多个级，并且第k级包括：节点控制单元响应于前级的栅极起始信号或扫描信号，多个时钟信号中的第一时钟信号和后级的扫描信号将Q节点和QB节点控制为第一恒定电压或第二恒定电压；反相器单元由时钟信号中的第二时钟信号控制并根据Q节点对QB节点进行反相，以及根据Q节点和QB节点的状态在多个时钟脉冲中对第三时钟脉冲的扫描脉冲进行控制（SRO）和控制单元，该控制单元用于控制施加到多个时钟信号中的，由第二时钟信号控制的逆变器控制单元和节点控制单元的一部分的第二恒定电压。

