



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0030422
(43) 공개일자 2020년03월20일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2018-0109277
(22) 출원일자 2018년09월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김민수
경기도 파주시 월롱면 엘지로 245
박해준
경기도 파주시 월롱면 엘지로 245
(74) 대리인
이승찬

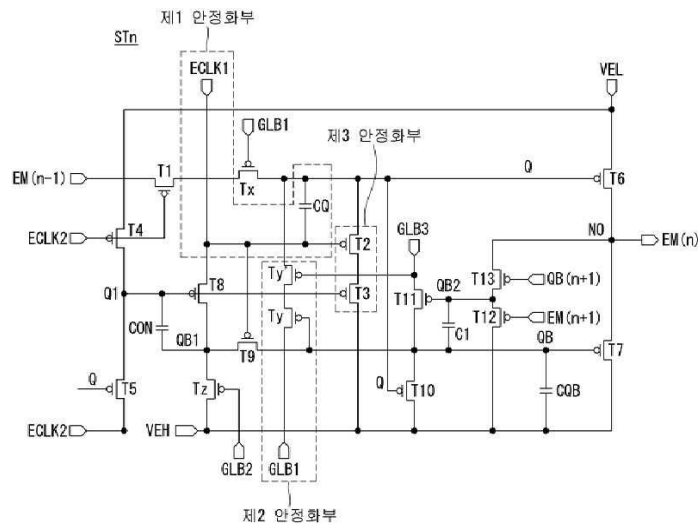
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 외부 보상용 게이트 드라이버와 이를 포함한 유기 발광 표시장치

(57) 요약

본 명세서의 일 실시예에 따른 외부 보상용 게이트 드라이버는 복수의 스테이지들을 갖는다. 상기 복수의 스테이지들 중에서, 제 n 스테이지는 제 n 센싱용 에미션 신호와 제 n 디스플레이용 에미션 신호를 연속해서 출력하고, 제 $n-1$ 스테이지는 상기 제 n 센싱용 에미션 신호보다 위상이 앞선 제 $n-1$ 디스플레이용 에미션 신호를 출력하고, 제 $n+1$ 스테이지는 상기 제 n 센싱용 에미션 신호보다 위상이 뒤진 제 $n+1$ 디스플레이용 에미션 신호를 출력한다.

대표도 - 도11



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0214 (2013.01)

G09G 2320/045 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지들을 갖는 외부 보상용 게이트 드라이버에 있어서,

상기 복수의 스테이지들 중에서, 제 n 스테이지는 제 n 센싱용 에미션 신호와 제 n 디스플레이용 에미션 신호를 연속해서 출력하고, 제 $n-1$ 스테이지는 상기 제 n 센싱용 에미션 신호보다 위상이 앞선 제 $n-1$ 디스플레이용 에미션 신호를 출력하고, 제 $n+1$ 스테이지는 상기 제 n 센싱용 에미션 신호보다 위상이 뒤진 제 $n+1$ 디스플레이용 에미션 신호를 출력하며,

상기 제 n 스테이지는,

노드 Q의 전압에 따라 게이트 온 전압을 노드 N0에 인가하고, 노드 QB의 전압에 따라 게이트 오프 전압을 상기 노드 N0에 인가하여, 상기 제 n 센싱 구동용 에미션 신호에 이어 상기 제 n 디스플레이 구동용 에미션 신호를 연속해서 출력하는 출력부 소자들;

위상 및 파형이 서로 다른 제1 글로벌 신호, 제2 글로벌 신호, 및 제3 글로벌 신호와, 상기 제 $n+1$ 디스플레이용 에미션 신호와, 상기 제 $n+1$ 스테이지의 후단 노드 QB의 전압을 기반으로 상기 노드 Q의 전압과 상기 노드 QB의 전압을 제어하는 센싱 관여 소자들; 및

제1 클럭신호에 따른 부트 스트랩핑으로 상기 노드 Q의 전압을 리프레쉬하는 제1 안정화부를 포함하는 게이트 드라이버.

청구항 2

제 1 항에 있어서,

상기 제1 안정화부는,

상기 제1 클럭신호의 입력단과 상기 노드 Q 사이에 접속된 커패시터 CQ를 포함하는 게이트 드라이버.

청구항 3

제 1 항에 있어서,

상기 제 n 스테이지는,

상기 노드 Q와 상기 제1 글로벌 신호의 입력단 사이에 직렬 접속된 트랜지스터 Ty'와 트랜지스터 Ty를 통해 상기 노드 Q의 전압을 안정화시키는 제2 안정화부를 더 포함하는 게이트 드라이버.

청구항 4

제 3 항에 있어서,

상기 트랜지스터 Ty'의 게이트전극은 상기 제3 글로벌 신호의 입력단에 접속되고, 상기 트랜지스터 Ty'의 제1 전극과 제2 전극은 상기 노드 Q와 상기 트랜지스터 Ty의 일측 전극에 접속되며,

상기 트랜지스터 Ty의 게이트전극은 상기 노드 QB에 접속되고, 상기 트랜지스터 Ty의 제1 전극과 제2 전극은 상기 트랜지스터 Ty'의 일측 전극과 상기 제1 글로벌 신호의 입력단에 접속된 게이트 드라이버.

청구항 5

제 4 항에 있어서,

상기 제 n 디스플레이용 에미션 신호가 상기 게이트 온 전압으로 출력되는 동안, 상기 트랜지스터 Ty와 상기 트랜지스터 Ty'는 턴 오프 되고, 상기 노드 Q와 상기 제1 글로벌 신호의 입력단 간의 전위차는 제로인 게이트 드라이버.

청구항 6

제 1 항에 있어서,

상기 제 n 스테이지는,

상기 노드 Q와 상기 게이트 오프 전압의 입력단 사이에 직렬 접속된 트랜지스터 T2와 트랜지스터 T3를 통해 상기 노드 Q의 전압을 안정화시키는 제3 안정화부를 더 포함하는 게이트 드라이버.

청구항 7

제 6 항에 있어서,

상기 트랜지스터 T2의 게이트전극은 상기 제1 클럭신호의 입력단에 접속되고, 상기 트랜지스터 T2의 제1 전극과 제2 전극은 상기 노드 Q와 상기 트랜지스터 T3의 일측 전극에 접속되며,

상기 트랜지스터 T3의 게이트전극은 노드 Q1에 접속되고, 상기 트랜지스터 T3의 제1 전극과 제2 전극은 상기 트랜지스터 T2의 일측 전극과 상기 게이트 오프 전압의 입력단에 접속된 게이트 드라이버.

청구항 8

제 1 항에 있어서,

상기 출력부 소자들은,

게이트전극이 상기 노드 Q에 접속되고, 제1 전극이 상기 게이트 온 전압의 입력단에 접속되며, 제2 전극이 상기 노드 N0에 접속된 트랜지스터 T6; 및

게이트전극이 상기 노드 QB에 접속되고, 제1 전극이 상기 게이트 오프 전압의 입력단에 접속되며, 제2 전극이 상기 노드 N0에 접속된 트랜지스터 T7을 포함하는 게이트 드라이버.

청구항 9

제 1 항에 있어서,

상기 제 n 스테이지는,

상기 제1 클럭신호, 상기 제1 클럭신호와 위상이 다른 제2 클럭신호, 및 상기 제 $n-1$ 디스플레이용 에미션 신호를 기반으로 상기 노드 Q의 전압과 상기 노드 QB의 전압을 제어하는 입력부 소자들을 더 포함하는 게이트 드라이버.

청구항 10

제 9 항에 있어서,

상기 입력부 소자들은,

게이트전극이 상기 제2 클럭신호의 입력단에 접속되고, 제1 전극이 상기 제 $n-1$ 디스플레이용 에미션 신호의 입력단에 접속된 상기 트랜지스터 T1;

게이트전극이 상기 제2 클럭신호의 입력단에 접속되고, 제1 전극이 상기 게이트 온 전압의 입력단에 접속되며, 제2 전극이 노드 Q1에 접속된 트랜지스터 T4;

게이트전극이 상기 노드 Q에 접속되고, 제1 전극이 상기 제2 클럭신호의 입력단에 접속되며, 제2 전극이 상기 노드 Q1에 접속된 트랜지스터 T5;

게이트전극이 상기 노드 Q1에 접속되고, 제1 전극이 상기 제1 클럭신호의 입력단에 접속되며, 제2 전극이 노드 QB1에 접속된 트랜지스터 T8;

게이트전극이 상기 제1 클럭신호의 입력단에 접속되고, 제1 전극이 상기 노드 QB1에 접속되며, 제2 전극이 상기 노드 QB에 접속된 트랜지스터 T9;

게이트전극이 상기 노드 Q에 접속되고, 제1 전극이 상기 게이트 오프 전압의 입력단에 접속되며, 제2 전극이 상

기 노드 QB에 접속된 트랜지스터 T10; 및

상기 노드 Q1과 상기 노드 QB1 사이에 접속된 커패시터 CON을 포함하는 게이트 드라이버.

청구항 11

제 10 항에 있어서,

상기 센싱 관여 소자들은,

게이트전극이 상기 제1 글로벌 신호의 입력단에 접속되고, 제1 전극이 트랜지스터 T1의 제2 전극에 접속되며, 제2 전극이 상기 노드 Q에 접속된 트랜지스터 Tx;

게이트전극이 상기 제2 글로벌 신호의 입력단에 접속되고, 제1 전극이 상기 게이트 오프 전압의 입력단에 접속되며, 제2 전극이 상기 노드 QB1에 접속된 트랜지스터 Tz;

게이트전극이 노드 QB2에 접속되고, 제1 전극이 상기 제3 글로벌 신호의 입력단에 접속되며, 제2 전극이 상기 노드 QB에 접속된 트랜지스터 T11;

게이트전극이 상기 제n+1 디스플레이용 에미션 신호의 입력단에 접속되고, 제1 전극이 상기 게이트 오프 전압의 입력단에 접속되며, 제2 전극이 상기 노드 QB2에 접속된 트랜지스터 T12; 및

게이트전극이 상기 제n+1 스테이지의 후단 노드 QB 전압의 입력단에 접속되고, 제1 전극이 상기 노드 N0에 접속되며, 제2 전극이 상기 노드 QB2에 접속된 트랜지스터 T13을 포함하는 게이트 드라이버.

청구항 12

제 1 항에 있어서,

상기 제1 글로벌 신호의 첫 번째 폴링 에지에 동기하여 상기 제n 센싱용 에미션 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 반전되고,

상기 제3 글로벌 신호의 폴링 에지에 동기하여 상기 제n 센싱용 에미션 신호가 상기 게이트 온 전압에서 상기 게이트 오프 전압으로 반전되며,

상기 제1 글로벌 신호의 두 번째 폴링 에지에 동기하여 상기 제n 디스플레이용 에미션 신호가 상기 게이트 오프 전압에서 상기 게이트 온 전압으로 반전되고,

상기 제2 글로벌 신호의 라이징 에지에 동기하여 상기 제n 디스플레이용 에미션 신호가 상기 게이트 온 전압에서 상기 게이트 오프 전압으로 반전되는 게이트 드라이버.

청구항 13

제 1 항에 있어서,

상기 제n-1 디스플레이용 에미션 신호와, 상기 제n 디스플레이용 에미션 신호와, 상기 제n+1 디스플레이용 에미션 신호는, 상기 게이트 온 전압을 유지하는 구간이 서로 동일한 게이트 드라이버.

청구항 14

제 1 항에 있어서,

상기 제n+1 디스플레이용 에미션 신호가 게이트 오프 전압을 유지하는 구간은, 상기 제n-1 디스플레이용 에미션 신호가 게이트 오프 전압을 유지하는 구간에 비해 더 긴 게이트 드라이버.

청구항 15

제 9 항에 있어서,

상기 제1 클럭신호의 게이트 온 구간은 상기 제2 클럭신호의 게이트 오프 구간과 중첩되고, 상기 제2 클럭신호의 게이트 온 구간은 상기 제1 클럭신호의 게이트 오프 구간과 중첩되는 게이트 드라이버.

청구항 16

제 1 항 내지 제 15 항 중 어느 한 항의 외부 보상용 게이트 드라이버;

상기 외부 보상용 게이트 드라이버로부터 제 n 센싱용 에미션 신호와 제 n 디스플레이용 에미션 신호가 연속적으로 공급되는 게이트라인;

상기 게이트라인에 연결된 픽셀들;

상기 제 n 센싱용 에미션 신호에 대응하여 동작하는 센싱부들; 및

상기 제 n 디스플레이용 에미션 신호에 대응하여 동작하는 디지털-아날로그 컨버터들을 포함하는 유기발광 표시장치.

청구항 17

제 16 항에 있어서,

상기 센싱부들은 상기 제 n 센싱용 에미션 신호가 상기 게이트 온 전압으로 유지되는 구간 내에서 상기 픽셀들의 구동 특성을 센싱하고,

상기 픽셀들의 발광 소자들은 상기 제 n 디스플레이용 에미션 신호가 상기 게이트 온 전압으로 유지되는 구간 동안 발광하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 외부 보상용 게이트 드라이버와 이를 포함한 유기 발광 표시장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 표시패널에 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)와, 스캔 신호에 따라 구동 TFT의 게이트-소트 간 전압을 프로그래밍하는 스위치 TFT들을 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다. 또한, 픽셀들 각각은 에미션 신호에 따라 온/오프 되어 OLED의 발광 타이밍을 결정하는 에미션 TFT를 더 포함할 수 있다.

발명의 내용

해결하려는 과제

[0003] 한편, 유기발광 표시장치는 화상 품질을 높이기 위해 외부 보상 기술을 사용하고 있다. 외부 보상 기술은 픽셀의 구동 특성(또는 전기적 특성)에 따른 픽셀 전압 또는 전류를 센싱하고, 센싱된 결과를 바탕으로 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 특성 편차를 보상하는 것이다. 이러한 외부 보상 기술을 구현하기 위해서는 그에 맞는 게이트 드라이버가 필요하다. 외부 보상용 게이트 드라이버는 스캔 신호를 생성하는 스캔 드라이버와 에미션 신호를 생성하는 에미션 드라이버를 포함할 수 있다.

[0004] 외부 보상용 게이트 드라이버는 전력 소모가 적은 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)기반의 트랜지스터들로 이루어질 수 있는데, p 타입 MOSFET 기반의 트랜지스터는 누설 전류(Off current)가 크고, 소자 스트레스에 약한 단점이 있다. 누설 전류가 크면 게이트 드라이버 내의 Q 노드 또는 QB 노드의 전압이 불 안정해지고 잘못된 게이트 출력이 발생될 수 있다. 또한, 소자 스트레스가 크면 그 소자의 문턱전압과 이동도 특성이 변동되고 잘못된 게이트 출력이 야기될 수 있다.

[0005] 따라서, 본 명세서는 p 타입 MOSFET 기반의 트랜지스터들로 이루어진 게이트 드라이버에서 누설 전류에 의한 불안정한 홀딩 특성을 개선하고 소자 스트레스에 취약한 회로 구조를 개선하여 구동 신뢰성을 높일 수 있도록 한 외부 보상용 게이트 드라이버와 이를 포함한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0006] 본 명세서의 일 실시예에 따른 외부 보상용 게이트 드라이버는 복수의 스테이지들을 포함한다. 이 중에서, 제 n 스테이지는 제 n 센싱용 에미션 신호와 제 n 디스플레이용 에미션 신호를 연속해서 출력하고, 제 $n-1$ 스테이지는

상기 제 n 센싱용 에미션 신호보다 위상이 앞선 제 $n-1$ 디스플레이용 에미션 신호를 출력하고, 제 $n+1$ 스테이지는 상기 제 n 센싱용 에미션 신호보다 위상이 뒤진 제 $n+1$ 디스플레이용 에미션 신호를 출력한다. 상기 제 n 스테이지는, 노드 Q의 전압에 따라 게이트 온 전압을 노드 N0에 인가하고, 노드 QB의 전압에 따라 게이트 오프 전압을 상기 노드 N0에 인가하여, 상기 제 n 센싱 구동용 에미션 신호에 이어 상기 제 n 디스플레이 구동용 에미션 신호를 연속해서 출력하는 출력부 소자들; 위상 및 파형이 서로 다른 제1 글로벌 신호, 제2 글로벌 신호, 및 제3 글로벌 신호와, 상기 제 $n+1$ 디스플레이용 에미션 신호와, 상기 제 $n+1$ 스테이지의 후단 노드 QB의 전압을 기반으로 상기 노드 Q의 전압과 상기 노드 QB의 전압을 제어하는 센싱 관여 소자들; 및 제1 클럭신호에 따른 부트 스트랩 펄스로 상기 노드 Q의 전압을 리프레쉬하는 제1 안정화부를 포함한다.

발명의 효과

[0007] 본 명세서에 따르면 p 타입 MOSFET 기반의 트랜지스터들로 이루어진 게이트 드라이버에서 누설 전류에 의한 불안정한 홀딩 특성을 개선하고 소자 스트레스에 취약한 회로 구조를 개선하여 구동 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 명세서의 실시예에 따른 유기 발광 표시장치를 보여주는 도면이다.

도 2는 도 1의 표시패널에 형성된 픽셀 어레이를 보여주는 도면이다.

도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 회로를 개략적으로 나타낸 도면이다.

도 4는 도 1의 데이터 드라이버를 설명하기 위한 도면이다.

도 5는 도 1의 게이트 드라이버를 설명하기 위한 도면이다.

도 6은 도 2의 픽셀 어레이에 인가되는 게이트 신호를 보여주는 도면이다.

도 7은 도 5의 에미션 드라이버를 구성하는 게이트 쉬프트 레지스터의 일 예를 보여주는 도면이다.

도 8은 도 7의 게이트 쉬프트 레지스터에 포함된 제 n 스테이지의 일 구성을 보여주는 도면이다.

도 9a 내지 도 9g는 도 8에 도시된 제 n 스테이지의 동작을 설명하기 위한 도면들이다.

도 10은 도 5의 에미션 드라이버를 구성하는 게이트 쉬프트 레지스터의 다른 예를 보여주는 도면이다.

도 11은 도 10의 게이트 쉬프트 레지스터에 포함된 제 n 스테이지의 일 구성을 보여주는 도면이다.

도 12는 도 11의 동작을 설명하기 위한 구동 파형도이다.

도 13a 내지 도 13g는 도 11에 도시된 제 n 스테이지의 동작을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0010] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0011] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0012] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0013] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0014] 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다.
- [0015] 본 명세서에서 표시패널의 기판 상에 형성되는 게이트 드라이버는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0016] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 전계 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0017] 도 1은 본 명세서의 실시예에 따른 유기 발광 표시장치를 보여주는 도면이다. 도 2는 도 1의 표시패널에 형성된 픽셀 어레이를 보여주는 도면이다. 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 회로를 개략적으로 나타낸 도면이다. 도 4는 도 1의 데이터 드라이버를 설명하기 위한 도면이다. 그리고, 도 5는 도 1의 게이트 드라이버를 설명하기 위한 도면이다.
- [0018] 도 1 내지 도 5를 참조하면, 본 명세서의 표시장치는 표시패널(100), 타이밍 컨트롤러(110), 데이터 드라이버(120), 게이트 드라이버(130), 및 레벨 쉬프터(150) 등을 구비할 수 있다.
- [0019] 표시패널(100)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15a, 15b, 15c)이 교차되고, 이 교차영역마다 픽셀들(PXL)이 매트릭스 형태로 배치되어 픽셀 어레이(Pixel array)를 구성할 수 있다. 픽셀들(PXL)은 매트릭스 형태 이외에도 다양하게 배치되어 픽셀 어레이를 구성할 수도 있다.
- [0020] 픽셀 어레이는 표시패널(100)의 액티브 영역(AA)에 위치한다. 픽셀 어레이에는 다수의 수평 픽셀 라인들(L1~L4)이 구비되며, 각 수평 픽셀 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b, 15c)에 공통으로 연결된 다수의 픽셀들(PXL)이 배치된다. 여기서, 수평 픽셀 라인들(L1~L4) 각각은 물리적인 신호 라인이라 아니라, 수평으로 이웃한 픽셀들(PXL)에 의해 구현되는 1라인 분량의 픽셀 집합체를 의미한다. 픽셀 어레이에는 기준 전압(Vref)을 픽셀들(PXL)에 공급하는 제1 전원라인(16)과, 고전위 전원 전압(EVDD)을 픽셀들(PXL)에 공급하는 제2 전원라인(17)이 포함될 수 있다. 또한, 픽셀들(PXL)은 저전위 전원 전압(EVSS)의 입력단에 더 연결될 수 있다.
- [0021] 게이트 라인들(15a, 15b, 15c)의 구성은 픽셀 회로에 따라 달라질 수 있다. 일 예로 게이트 라인들 각각은 도 2와 같이, 제1 스캔 신호(SCAN1)가 공급되는 제1 게이트 라인(15a), 제2 스캔 신호(SCAN2)가 공급되는 제2 게이트 라인(15b), 및 에미션 신호(EM)가 공급되는 제3 게이트 라인(15c)을 포함할 수 있다.
- [0022] 픽셀들(PXL) 각각은 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀 중 어느 하나일 수 있다. 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀은 다양한 컬러 구현을 위하여 하나의 단위 픽셀을 구성할 수 있다. 단위 픽셀에서 구현되는 컬러는 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀의 발광 비율에 따라 결정될 수 있다. 경우에 따라, 각 단위 픽셀에서 백색 픽셀은 생략될 수도 있다. 픽셀들(PXL) 각각에는 데이터 라인(14), 제1 게이트 라인(15a), 제2 게이트 라인(15b), 제3 게이트 라인(15c), 제1 전원 라인(16), 제2 전원라인(17) 등이 연결될 수 있다.
- [0023] 픽셀 회로는 다양하게 구성될 수 있다. 예를 들어, 픽셀들(PXL) 각각은 도 3과 같이 OLED, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)을 프로그래밍하기 위한 스위치 회로, 게이트-소스 간 전압(Vgs)에 따라 상기 OLED에 흐르는 구동전류를 제어하는 구동 TFT(DT), 에미션 신호(EM)에 따라 온/오프 되어 OLED의 발광 타이밍을 결정하는 에미션 TFT(ET)를 포함할 수 있다. 여기서, 스위치 회로는 복수의 스위치 TFT들(ST1, ST2)과 적어도 하나 이상의

스토리지 커패시터(CST) 등을 포함할 수 있으며, 제품 모델 및 스펙에 따라 다양한 변형이 가능하다. 도 3을 참조하여 픽셀 회로를 부연 설명하면 다음과 같다.

- [0024] 각 픽셀(PXL)은, OLED, 구동 TFT(DT), 에미션 TFT(ET), 스토리지 커패시터(CST), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함하며, 에미션 TFT(ET)와 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 서로 다른 게이트 라인들(15a, 15b, 15c)에 연결될 수 있다.
- [0025] OLED는 발광 소자로서, 소스 노드(Ns)에 접속된 애노드전극과, 저전위 전원 전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다.
- [0026] 구동 TFT(DT)는 구동 소자로서, 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압차에 따라 OLED에 흐르는 구동 전류를 제어한다. 구동 TFT(DT)는 게이트 노드(Ng)에 접속된 게이트전극, 에미션 TFT(ET)의 일측 전극에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다. 스토리지 커패시터(CST)는 게이트 노드(Ng)와 소스 노드(Ns) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)을 저장한다.
- [0027] 에미션 TFT(ET)는 에미션 신호(EM)에 따라 온/오프 되어 OLED의 발광 타이밍을 결정한다. 에미션 TFT(ET)는 제3 게이트 라인(15c)에 접속된 게이트전극, 고전위 전원 전압(EVDD)이 인가되는 제2 전원라인(17)에 접속된 제1 전극, 및 구동 TFT(DT)의 제1 전극에 접속된 제2 전극을 구비한다.
- [0028] 제1 스위치 TFT(ST1)는 제1 스캔 신호(SCAN1)에 따라 제1 전원 라인(16)과 게이트 노드(Ng) 사이의 전류 흐름을 온 시켜, 제1 전원 라인(16)에 충전되어 있는 기준전압(Vref)을 게이트 노드(Ng)에 인가한다. 제1 스위치 TFT(ST1)는 제1 게이트 라인(15a)에 접속된 게이트전극, 제1 전원 라인(16)에 접속된 제1 전극, 및 게이트 노드(Ng)에 접속된 제2 전극을 구비한다.
- [0029] 제2 스위치 TFT(ST2)는 제2 스캔 신호(SCAN2)에 따라 데이터라인(14)과 소스 노드(Ns) 사이의 전류 흐름을 온 시켜, 데이터라인(14)에 충전되어 있는 데이터전압(Vdata)을 소스 노드(Ns)에 인가하거나 또는, 픽셀 전류에 따른 소스 노드(Ns)의 전압(Vsen)을 데이터라인(14)으로 전달한다. 제2 스위치 TFT(ST2)는 제2 게이트 라인(15b)에 접속된 게이트전극, 데이터라인(14)에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다.
- [0030] 도 3을 참조하면, 픽셀들(PXL) 각각에 포함된 TFT들은 PMOS형 LTPS TFT 또는 NMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 명세서의 기술적 사상은 이에 한정되지 않는다. 예를 들어, TFT들 중에서 적어도 하나 이상의 TFT(예를 들어, DT, ST1)는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현되고, 나머지 TFT들(ET, ST2)은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.
- [0031] 도 1 내지 도 5를 참조하면, 데이터 드라이버(120)는 미리 설정된 인터페이스 회로를 통해 타이밍 컨트롤러(110)와 통신한다. 데이터 드라이버(120)는 타이밍 컨트롤러(110)로부터 영상 데이터들(DATA)과 소스 타이밍 제어 신호(DDC)를 입력 받아 데이터전압(Vdata)을 생성하고, 그 데이터전압(Vdata)을 데이터라인들(14)에 공급한다. 그리고, 데이터 드라이버(120)는 픽셀들(PXL)의 구동 특성과 관련된 센싱전압(Vsen)을 데이터라인들(14)을 통해 입력 받아 센싱 데이터를 생성하고, 그 센싱 데이터를 타이밍 컨트롤러(110)에 전송한다.
- [0032] 이를 위해, 데이터 드라이버(120)는 각 데이터라인(14)에 연결된 스위칭부(SWU), 스위칭부(SWU)의 동작에 따라 데이터라인(14)에 선택적으로 연결되는 디지털 아날로그 컨버터(Digital Analog Converter, DAC)와 센싱부(SU)를 포함할 수 있다. 스위칭부(SWU)는 디스플레이 구동을 위해 디지털 아날로그 컨버터(DAC)를 데이터라인(14)에 연결하고, 센싱 구동을 위해 센싱부(SU)를 데이터라인(14)에 연결할 수 있다.
- [0033] 디지털 아날로그 컨버터(DAC)는 디스플레이 구동시 데이터전압(Vdata)을 생성하고, 그 데이터전압(Vdata)을 게이트 온 전압의 제2 스캔 신호(SCAN2)에 동기하여 표시패널(100)의 데이터라인(14)에 공급한다.
- [0034] 센싱부(SU)는 센싱 구동시, 픽셀들(PXL)의 구동 특성, 예컨대, 구동 TFT(DT)의 문턱전압과 이동도, 및/또는 OLED의 동작점 전압을 게이트 온 전압의 제2 스캔 신호(SCAN2)에 동기하여 데이터라인(14)을 통해 센싱할 수 있다. 센싱부(SU)는 공지의 전압 센싱형 또는 전류 센싱형으로 구현될 수 있다. 전압 센싱형은 정해진 센싱 조건에 따라 픽셀(PXL)의 소스 노드(Ns)에 충전된 전압(Vsen)을 센싱할 수 있다. 전류 센싱형은 정해진 센싱 조건에 따라 픽셀(PXL)의 소스 노드(Ns)에 흐르는 전류를 직접 센싱하여 센싱 전압(Vsen)을 얻을 수 있다.
- [0035] 데이터 드라이버(120)는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0036] 도 1 내지 도 5를 참조하면, 레벨 쉬프터(150)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 타이밍 제어신호

(GDC)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 픽셀들(PXL)의 TFT들을 구동시킬 수 있는 게이트 오프 전압과 게이트 온 전압으로 부스팅(Boosting)하여 게이트 드라이버(130)에 공급한다. 게이트 타이밍 제어신호(GDC)는 외부 스타트 신호, 클럭 신호, 글로벌 신호 등을 포함할 수 있다.

[0037] 도 1 내지 도 5를 참조하면, 게이트 드라이버(130)는 레벨 쉬프터(150)로부터 입력되는 게이트 타이밍 제어신호(GDC)에 따라 동작되어 게이트 신호를 생성한다. 그리고, 그 게이트 신호를 각 게이트라인(15a, 15b, 15c)에 라인 순차 방식으로 공급한다. 게이트 드라이버(130)는 GIP(Gate driver In Panel) 방식으로 표시패널(100)의 비 표시 영역 상에 직접 형성될 수 있다. 비 표시 영역은 액티브 영역(AA) 바깥에 위치하는 베젤 영역(BZ)을 의미한다. GIP 방식에서, 레벨 쉬프터(150)는 타이밍 콘트롤러(110)와 함께 인쇄 회로 기판(Printed Circuit Board)(140) 상에 실장될 수 있다.

[0038] 게이트 드라이버(130)는 서로 마주보는 표시패널(100)의 양측 베젤 영역들(BZ)에 더블 뱅크(Double Bank) 방식으로 구비되어, 위치별 로드 편차에 따른 신호 왜곡을 최소화할 수 있다. 게이트 드라이버(130)는 제1 스캔 신호(SCAN1)를 생성하는 제1 스캔 드라이버(131)와 제2 스캔 신호(SCAN2)를 생성하는 제2 스캔 드라이버(132)와 에미션 신호(EM)를 생성하는 에미션 드라이버(133)를 포함할 수 있다.

[0039] 제1 스캔 드라이버(131)는 제1 스캔 신호(SCAN1)를 픽셀들(PXL)들에 연결된 제1 게이트라인들(15a(1)~15a(n))에 라인 순차 방식으로 공급할 수 있다. 제2 스캔 드라이버(132)는 제2 스캔 신호(SCAN2)를 픽셀들(PXL)들에 연결된 제2 게이트라인들(15b(1)~15b(n))에 라인 순차 방식으로 공급할 수 있다. 에미션 드라이버(133)는 에미션 신호(EM)를 픽셀들(PXL)들에 연결된 제3 게이트라인들(15c(1)~15c(n))에 라인 순차 방식으로 공급할 수 있다.

[0040] 제1 스캔 드라이버(131), 제2 스캔 드라이버(132), 및 에미션 드라이버(133) 각각은 다수의 스테이지들로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 특히, 에미션 드라이버(133)의 각 스테이지는 전력 소모를 줄이기 위해 p 타입 MOSFET 기반의 트랜지스터들로 이루어질 수 있다. 이때, 에미션 드라이버(133)의 각 스테이지는 누설 전류에 의한 불안정한 홀딩 특성이 개선되고 소자 스트레스에 취약한 회로 구조가 개선될 수 있도록 도 10과 같이 구현됨으로써, 구동 신뢰성을 높일 수 있다.

[0041] 도 1 내지 도 5를 참조하면, 타이밍 콘트롤러(110)는 공지의 다양한 인터페이스 회로를 통해 외부의 호스트 시스템과 연결됨과 아울러 데이터 드라이버(120)와 연결될 수 있다. 타이밍 콘트롤러(110)는 호스트 시스템으로부터 영상 데이터(DATA)를 입력 받고, 데이터 드라이버(120)로부터 센싱 데이터를 입력 받을 수 있다. 타이밍 콘트롤러(110)는 픽셀들(PXL)의 구동 특성 차이로 인한 휘도 편차가 보상되도록 영상 데이터(DATA)를 보정한 후 데이터 드라이버(120)로 전송할 수 있다.

[0042] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE) 등의 타이밍신호를 입력 받고, 이 타이밍신호를 기반으로 게이트 타이밍 제어신호(GDC)와 소스 타이밍 제어신호(DDC)를 생성할 수 있다. 타이밍 콘트롤러(110)는 게이트 타이밍 제어신호(GDC)를 레벨 쉬프터(150)에 공급하고, 소스 타이밍 제어신호(DDC)를 데이터 드라이버(120)에 공급할 수 있다.

[0043] 도 6은 도 2의 픽셀 어레이에 인가되는 게이트 신호를 보여주는 도면이다.

[0044] 도 1 내지 도 6을 참조하면, 게이트 온 전압(Gate On Voltage)은 TFT가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이다. 게이트 오프 전압(Gate Off Voltage)은 TFT가 턴-오프(turn-off)될 수 있는 전압이다. 일 예로, PMOS에서 게이트 온 전압은 게이트 로우 전압(VGL, VEL)이고, 게이트 오프 전압은 게이트 로우 전압(VGL, VEL)보다 높은 게이트 하이 전압(VGH, VEH)이다. 반대로, NMOS에서 게이트 온 전압은 게이트 하이 전압(VGH)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)보다 낮은 게이트 로우 전압(VGL)이다.

[0045] 도 1 내지 도 6을 참조하면, 게이트 신호는 수평 픽셀 라인마다 3개씩 인가될 수 있다. 그에 따라, 제1 수평 픽셀 라인(L1)의 픽셀들(PXL)은 제1 내지 제3 게이트라인들(15a(1), 15b(1), 15c(1))을 SCAN1(1), SCAN2(1), EM(1)을 인가 받고, 제2 수평 픽셀 라인(L2)의 픽셀들(PXL)은 제1 내지 제3 게이트라인들(15a(2), 15b(2), 15c(2))을 SCAN1(2), SCAN2(2), EM(2)을 인가 받고, 제i 수평 픽셀 라인(Li)의 픽셀들(PXL)은 제1 내지 제3 게이트라인들(15a(i), 15b(i), 15c(i))을 SCAN1(i), SCAN2(i), EM(i)을 인가 받고, 제i+1 수평 픽셀 라인(Li+1)의 픽셀들(PXL)은 제1 내지 제3 게이트라인들(15a(i+1), 15b(i+1), 15c(i+1))을 SCAN1(i+1), SCAN2(i+1), EM(i+1)을 인가 받을 수 있다.

[0046] 제1 스캔 신호들(SCAN1(1)~SCAN1(i+2))은 제1 스캔 드라이버(131)에서 출력된다. 제1 스캔 신호들(SCAN1(1)~SCAN1(i+2))은 게이트 온 전압과 게이트 오프 전압을 교번한다. 제1 스캔 신호들(SCAN1(1)~SCAN1(i+2))은 제1 게이트라인들(15a(1)~15a(i+2))을 통해 픽셀들(PXL)의 제1 스위치 TFT들(ST1)의

게이트전극들에 인가된다. 도 3에서와 같이 제1 스위치 TFT들(ST1)이 NMOS로 구현되는 경우, 게이트 온 전압은 게이트 하이 전압(VGH)이고, 게이트 오프 전압은 게이트 로우 전압(VGL)이 된다. 제1 스캔 신호들(SCAN1(1)~SCAN1(i+2))은 수평 픽셀 라인 단위로 순차적으로 위상이 쉬프트(또는 지연)된다.

[0047] 제2 스캔 신호들(SCAN2(1)~SCAN2(i+2))은 제2 스캔 드라이버(132)에서 출력된다. 제2 스캔 신호들(SCAN2(1)~SCAN2(i+2))은 게이트 온 전압과 게이트 오프 전압을 교번한다. 제2 스캔 신호들(SCAN2(1)~SCAN2(i+2))은 제2 게이트라인들(15b(1)~15b(i+2))을 통해 픽셀들(PXL)의 제2 스위치 TFT들(ST2)의 게이트전극들에 인가된다. 도 3에서와 같이 제2 스위치 TFT들(ST2)이 PMOS로 구현되는 경우, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)이 된다. 제2 스캔 신호들(SCAN2(1)~SCAN2(i+2))은 수평 픽셀 라인 단위로 순차적으로 위상이 쉬프트(또는 지연)된다.

[0048] 에미션 신호들(EM(1)~ EM(i+2))은 에미션 드라이버(133)에서 출력된다. 에미션 신호들(EM(1)~ EM(i+2))은 게이트 온 전압과 게이트 오프 전압을 교번한다. 에미션 신호들(EM(1)~ EM(i+2))은 제3 게이트라인들(15c(1)~15c(i+2))을 통해 픽셀들(PXL)의 에미션 TFT들(ET)의 게이트전극들에 인가된다. 도 3에서와 같이 에미션 TFT들(ET)이 PMOS로 구현되는 경우, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)이 된다. 에미션 신호들(EM(1)~ EM(i+2))은 수평 픽셀 라인 단위로 순차적으로 위상이 쉬프트(또는 지연)된다.

[0049] 도 1 내지 도 6을 참조하면, 한 프레임 내에서 디스플레이 구동은 모든 수평 픽셀 라인들을 대상으로 순차적으로 이루어지며, 센싱 구동은 특정 1 수평 픽셀 라인을 대상으로 이루어진다. 센싱 구동이 이루어지는 수평 픽셀 라인의 위치는 매 프레임마다 미리 정해진다. 센싱 구동이 이루어지는 수평 픽셀 라인의 위치는 라인 순차적으로 정해질 수도 있고, 랜덤 하게 불규칙적으로 정해질 수도 있다. 센싱 구동이 이루어지는 수평 픽셀 라인에서, 디스플레이 구동은 동일 프레임 내에서 센싱 구동이 종료된 직후에 이루어질 수 있다.

[0050] 예를 들어, 도 6에서와 같이 특정 프레임에서 센싱 구동이 이루어지는 수평 픽셀 라인의 위치가 제i 수평 픽셀 라인(Li)으로 정해진 경우, 제i 수평 픽셀 라인(Li)을 제외한 나머지 수평 픽셀 라인들(L1~Li-1, Li+1~Li+2)은 디스플레이 구동을 수행하고, 제i 수평 픽셀 라인(Li)은 센싱 구동과 디스플레이 구동을 연속해서 수행한다.

[0051] 한 프레임 내에서 모든 수평 픽셀 라인들(즉, L1~Li+2)을 대상으로 한 디스플레이 구동은 프로그래밍 기간(Tp), 프로그래밍 기간(Tp)에 이은 에미션 기간(Te), 에미션 기간(Te)에 이은 마스크 기간(Tm)을 포함할 수 있다. 픽셀들(PXL)의 OLED는 에미션 기간(Te)에서만 발광하고, 프로그래밍 기간(Tp)과 마스크 기간(Tm)에서 비 발광된다. 마스크 기간(Tm)은 센싱 구동되는 수평 픽셀 라인과 비 센싱 구동되는 수평 픽셀 라인 간의 발광 기간 편차를 없애기 위해 도입된 것이다.

[0052] 프로그래밍 기간(Tp)에서, 게이트 온 전압(VGH,VGL)의 제1 및 제2 스캔 신호(SCAN1,SCAN2)에 따라 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 셋팅 된다. 에미션 기간(Te)에서, 게이트 온 전압(VEL)의 에미션 신호(EM)에 따라 에미션 TFT(ET)가 턴 온 되고, 구동 TFT(DT)는 상기 셋팅 된 게이트-소스 간 전압(Vgs)에 대응되는 전류를 OLED에 인가하여 OLED를 발광시킨다. 마스크 기간(Tm)에서, 게이트 오프 전압(VEH)의 에미션 신호(EM)에 따라 에미션 TFT(ET)가 턴 오프 되므로, 구동 TFT(DT)에는 전류가 흐르지 못하고, OLED는 비 발광된다.

[0053] 한편, 한 프레임 내에서 특정 수평 픽셀 라인(즉, Li)을 대상으로 한 센싱 구동은 초기화 기간(Ti), 초기화 기간(Ti)에 이은 센싱 기간(Ts)을 포함할 수 있다. 픽셀들(PXL)의 OLED는 초기화 기간(Ti) 및 센싱 기간(Ts)에서 비 발광될 수 있다.

[0054] 초기화 기간(Ti)에서, 게이트 온 전압(VGH)의 제1 스캔 신호(SCAN1)에 따라 구동 TFT(DT)의 게이트 노드(Ng)가 기준 전압(Vref)으로 초기화되고, 구동 TFT(DT)는 턴 온 조건으로 셋팅된다. 센싱 기간(Ts)에서, 게이트 온 전압(VEL)의 에미션 신호(EM)에 따라 에미션 TFT(ET)가 턴 온 되고, 구동 TFT(DT)는 상기 셋팅 된 초기화 조건에 대응되는 전류를 소스 노드(Ns)에 충전한다. 이때, 게이트 온 전압(VGL)의 제2 스캔 신호(SCAN2)에 따라 소스 노드(Ns)의 전압(또는 전류)이 데이터라인(14)으로 전달된다. 센싱 기간(Ts)에서 데이터라인(14)으로 전달되는 소스 노드(Ns)의 전압(또는 전류)는 구동 TFT(DT)(또는 OLED)의 구동 특성을 포함할 수 있다.

[0055] 한편, 도 6을 참조하면, 센싱 구동되는 수평 픽셀 라인(Li)에 인가되는 게이트신호들의 파형과, 비 센싱 구동되는 수평 픽셀 라인들에 인가되는 게이트신호들의 파형이 다르지만, 에미션 기간(Te)의 길이는 실질적으로 동일하게 설계되는 특징이 있다. 이를 위해, 에미션 기간(Te) 이후에 마스크 기간(Tm)이 더 구비될 수 있고, 프로그래밍 기간(Tp)이 속한 에미션 신호(EM)의 게이트 오프 구간(VEH 구간)의 길이가 센싱 구동되는 수평 픽셀 라인(Li)을 기준으로 전단 수평 픽셀 라인들과 후단 수평 픽셀 라인들에서 서로 다르다. 다시 말해, 프로그래밍 기

간(Tp)이 속한 에미션 신호(EM)의 게이트 오프 구간(VEH 구간)의 길이는, 전단 수평 픽셀 라인들(L1~Li-1)과 센싱 구동되는 수평 픽셀 라인(Li)에서 상대적으로 짧고, 후단 수평 픽셀 라인들(Li+1,Li+2)에서 상대적으로 길다.

- [0056] 도 7은 도 5의 에미션 드라이버(133)를 구성하는 게이트 쉬프트 레지스터의 일 예를 보여주는 도면이다.
- [0057] 도 7을 참조하면, 본 명세서의 일 실시예에 따른 에미션 드라이버(133)는 다수의 스테이지들(ST1~ST4, 쉼)로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 스테이지들(ST1~ST4, ...)은 GIP 방식으로 형성된 GIP 소자들일 수 있다.
- [0058] 스테이지들(ST1~ST4, ...)은 도 6과 같은 디스플레이 구동 타이밍과 센싱 구동 타이밍에 맞게 에미션 신호(EM(1)~EM(4), 쉼)를 순차적으로 출력한다. 이를 위해, 스테이지들(ST1~ST4, ...)은 레벨 쉬프터(150)로부터 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 제2 클럭신호(ECLK2), 제1 글로벌 신호(GBL1), 제2 글로벌 신호(GBL2), 및 제3 글로벌 신호(GBL3)를 입력 받는다. 외부 스타트 신호(EVST), 클럭신호들(ECLK1,ECLK2), 및 글로벌 신호들(GBL1,GBL2,GBL3)는 모두 게이트 오프 전압(VEH)과 게이트 온 전압(VEL) 사이에서 스윙할 수 있다.
- [0059] 스테이지들(ST1~ST4, ...)은 순차적으로 동작이 활성화되어 게이트 온 전압(VEL)의 에미션 신호(EM(1)~EM(4), 쉼)를 제3 게이트라인들(15c(1)~15c(4), 쉼)에 순차적으로 출력한다. 최상단 스테이지(ST1)는 외부 스타트 신호(EVST)에 따라 동작이 활성화되고, 차상단 스테이지(ST2) 내지 최하단 스테이지는 전단 스테이지의 에미션 신호에 따라 동작이 활성화된다. 전단 스테이지의 에미션 신호는 내부 스타트 신호로서, 캐리 신호(CRY)가 된다. 여기서, "전단 스테이지"란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 앞선 에미션 신호를 생성하는 스테이지를 의미한다.
- [0060] 한편, 스테이지들(ST1~ST4, ...)은 후단 스테이지의 에미션 신호와 QB 노드 전압 등을 입력 받아 동작의 안정성을 확보한다. 여기서, "후단 스테이지"란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 뒤진 에미션 신호를 생성하는 스테이지를 의미한다.
- [0061] 외부 스타트 신호(EVST)는 최상단 스테이지(ST1)에 입력되고, 제1 클럭신호(ECLK1)는 제1 클럭 배선을 통해 기수 스테이지들(ST1,ST3, 쉼)에 입력되고, 제2 클럭신호(ECLK2)는 제2 클럭 배선을 통해 우수 스테이지들(ST2,ST4, 쉼)에 입력된다. 동작의 안정성이 확보되도록, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 각각의 게이트 온 구간이 게이트 오프 구간에 비해 좁을 수 있다. 그리고, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 서로 다른 위상을 가질 수 있다. 구체적으로, 제1 클럭신호(ECLK1)의 게이트 온 구간은 제2 클럭신호(ECLK2)의 게이트 오프 구간과 중첩되고, 반대로 제2 클럭신호(ECLK2)의 게이트 온 구간은 제1 클럭신호(ECLK1)의 게이트 오프 구간과 중첩될 수 있다.
- [0062] 글로벌 신호들(GBL1,GBL2,GBL3)은 센싱 구동에 맞는 에미션 신호를 생성하기 위한 것으로서, 모든 스테이지들에 공통으로 입력된다. 즉, 제1 글로벌 신호(GBL1)는 제1 글로벌 배선을 통해 모든 스테이지들에 공통으로 입력되고, 제2 글로벌 신호(GBL2)는 제2 글로벌 배선을 통해 모든 스테이지들에 공통으로 입력되며, 제3 글로벌 신호(GBL3)는 제3 글로벌 배선을 통해 모든 스테이지들에 공통으로 입력된다.
- [0063] 스테이지들(ST1~ST4, ...) 각각은 한 개의 클럭신호와 세 개의 글로벌 신호들을 기반으로 동작하기 때문에 그 회로 구성이 간소하다. 다시 말해, 스테이지들(ST1~ST4, ...) 각각은 한 개의 클럭신호와 세 개의 글로벌 신호들을 기반으로 노드 Q의 전압과 노드 QB의 전압을 반대로 제어할 수 있기 때문에, 에미션 드라이버가 간소화되고 에미션 드라이버의 실장 면적이 줄어들 수 있다.
- [0064] 스테이지들(ST1~ST4, ...) 각각은 매 프레임마다 스타트단자에 인가되는 외부 스타트 신호(EVST) 또는 캐리 신호(CRY)에 따라 노드 Q와 노드 QB의 동작을 반대로 제어하기 시작한다. 스테이지들(ST1~ST4, ...) 각각은 노드 Q가 활성화되는 동안 노드 QB를 비 활성화시키고, 반대로 노드 Q가 비 활성화되는 동안 노드 QB를 활성화시킨다. 여기서, 노드가 활성화된다는 것은 그 노드에 게이트 온 전압(VEL) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다. 그리고, 노드가 비 활성화된다는 것은 그 노드에 게이트 오프 전압(VEH) 또는 그에 상응하는 전압이 인가된다는 것을 의미한다.
- [0065] 각 스테이지들(ST1~ST4, ...)은 외부의 전원 공급부로부터 게이트 오프 전압(VEH)과 게이트 온 전압(VEL)을 공급받는다. 게이트 오프 전압(VEH)은 예컨대, 20V~30V 사이에서 어느 한 값으로 설정될 수 있고, 게이트 온 전압(VEL)은 (-)10V~0V 사이에서 어느 한 값으로 설정될 수 있으나, 이에 한정되지 않는다.
- [0066] 도 8은 도 7의 게이트 쉬프트 레지스터에 포함된 제n 스테이지(STn)의 일 구성을 보여주는 도면이다.

- [0067] 도 8을 참조하면, 제 n 스테이지(ST n)는 제1 클럭신호(ECLK1)가 입력되는 두 번째 이후의 기수 스테이지들 중 어느 하나일 수 있다. 첫 번째 기수 스테이지의 경우, 전단 캐리 신호(EM($n-1$)) 대신에 외부 스타트 신호(EVST)를 인가받는 것을 제외한 나머지 구성이 도 8과 실질적으로 동일하다. 한편, 우수 스테이지들은 제1 클럭신호(ECLK1) 대신에 제2 클럭신호(ECLK2)를 인가받는 것을 제외한 나머지 구성이 도 8과 실질적으로 동일하다.
- [0068] 도 8을 참조하면, 제 n 스테이지(ST n)는 노드 Q가 게이트 오프 전압(VEH)으로 비 활성화 되고 노드 QB가 게이트 온 전압(VEL)으로 활성화 되는 동안에 게이트 오프 전압(VEH)의 에미션 신호(EM(n))를 출력한다. 그리고, 제 n 스테이지(ST n)는 노드 Q가 게이트 온 전압(VEL)으로 활성화 되고 노드 QB가 게이트 오프 전압(VEH)으로 비 활성화 되는 동안에 게이트 온 전압(VEL)의 에미션 신호(EM(n))를 출력한다.
- [0069] 이를 위해, 제 n 스테이지(ST n)는 입력부 소자들과 센싱 관여 소자들과 출력부 소자들을 포함할 수 있다.
- [0070] 도 8을 참조하면, 입력부 소자들은 복수의 트랜지스터들(T3,T4,T5,T6,TA,Ty)과 커패시터 CON으로 구성될 수 있다.
- [0071] 트랜지스터 T3은 제1 클럭신호(ECLK1)에 따라 턴 온 되어 트랜지스터 Tx의 일측 전극에 전단 캐리 신호(EM($n-1$))를 인가한다. 트랜지스터 T3의 게이트전극은 제1 클럭신호(ECLK1)의 입력단에 접속되고, 트랜지스터 T3의 제1 전극과 제2 전극은 각각 전단 캐리 신호(EM($n-1$))의 입력단과 트랜지스터 Tx의 일측 전극에 접속된다.
- [0072] 트랜지스터 T4는 전단 캐리 신호(EM($n-1$))에 따라 턴 온 되어 노드 Q1에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T4의 게이트전극은 전단 캐리 신호(EM($n-1$))의 입력단에 접속되고, 트랜지스터 T4의 제1 전극과 제2 전극은 각각 노드 Q1과 게이트 오프 전압(VEH)의 입력단에 접속된다.
- [0073] 트랜지스터 T5는 노드 Q1의 전압에 따라 턴 온 되어 노드 QB에 제1 클럭신호(ECLK1)를 인가한다. 트랜지스터 T5의 게이트전극은 노드 Q1에 접속되고, 트랜지스터 T5의 제1 전극과 제2 전극은 각각 제1 클럭신호(ECLK1)의 입력단과 노드 QB에 접속된다.
- [0074] 트랜지스터 T6은 노드 Q2의 전압에 따라 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T6의 게이트전극은 노드 Q2에 접속되고, 트랜지스터 T6의 제1 전극과 제2 전극은 각각 노드 QB와 게이트 오프 전압(VEH)의 입력단에 접속된다.
- [0075] 트랜지스터 TA의 게이트전극은 게이트 온 전압(VEL)의 입력단에 접속되고, 트랜지스터 TA의 제1 전극과 제2 전극은 각각 노드 Q와 노드 Q2에 접속된다. 트랜지스터 TA의 제1 및 제2 전극 간 채널 전류는 노드 Q가 부트 스트랩핑(Boot-strapping) 될 때 제로가 된다. 다시 말해, 트랜지스터 TA는 노드 Q가 부트 스트랩핑될 때 턴 오프 됨으로써, 노드 Q와 노드 Q2 간의 전기적 연결을 차단한다. 한편, 노드 Q가 부트 스트랩핑되지 않는 동안에는 트랜지스터 TA는 턴 온 상태를 유지한다.
- [0076] 트랜지스터 TA는 턴 온 상태를 유지하다가 노드 Q가 부트 스트랩핑 될 때에만 턴 오프 되어 노드 Q와 노드 Q2 사이의 전류 흐름을 차단한다. 따라서, 노드 Q가 부트 스트랩핑 될 때 노드 Q2의 전위는 노드 Q의 전위와 달라진다. 부트 스트랩핑 순간에 노드 Q의 전위가 변하더라도 노드 Q2의 전위는 변하지 않기 때문에, 노드 Q2에 연결된 트랜지스터들 Tx,Ty,T6에는 부트 스트랩핑 순간에 과부하가 걸리지 않게 된다. 만약, 트랜지스터 TA가 없다면, 트랜지스터들 Tx,Ty 각각의 드레인-소스 간 전압(V $_{ds}$), 및 트랜지스터 T6의 게이트-소스 간 전압(V $_{gs}$)은 부트 스트랩핑으로 인해 임계치 이상으로 증가될 수 있고, 이러한 과부하 현상이 지속되면 소자 파괴 현상, 소위 브레이크 다운(Break down) 현상이 생길 수 있다. 트랜지스터 TA는 노드 Q의 부트 스트랩핑 순간에 노드 Q2에 연결된 트랜지스터들이 브레이크 다운되지 않도록 한다.
- [0077] 트랜지스터 Ty는 노드 QB의 전압에 따라 턴 온 되어 노드 Q2에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 Ty의 게이트전극은 노드 QB에 접속되고, 트랜지스터 Ty의 제1 전극 및 제2 전극은 노드 Q2와 게이트 오프 전압(VEH)의 입력단에 접속된다.
- [0078] 커패시터 CON은 제1 클럭신호(ECLK1)의 입력단과 노드 Q1 사이에 접속되는 커플링 커패시터이다.
- [0079] 도 8을 참조하면, 센싱 관여 소자들은 복수의 트랜지스터들(T7,T8,T9,Tx,Tz)로 구성될 수 있다.
- [0080] 트랜지스터 T7은 노드 QB1의 전압에 따라 턴 온 되어 노드 QB에 제3 글로벌 신호(GLB3)를 인가한다. 트랜지스터 T7의 게이트전극은 노드 QB1에 접속되고, 트랜지스터 T7의 제1 전극과 제2 전극은 각각 제3 글로벌 신호(GLB3)의 입력단과 노드 QB에 접속된다.
- [0081] 트랜지스터 T8은 후단 캐리신호(EM($n+1$))에 따라 턴 온 되어 노드 QB1에 게이트 오프 전압(VEH)을 인가한다. 트

랜지스터 T8의 게이트전극은 후단 캐리신호(EM(n+1))의 입력단에 접속되고, 트랜지스터 T8의 제1 전극과 제2 전극은 각각 노드 QB1과 게이트 오프 전압(VEH)의 입력단에 접속된다.

[0082] 트랜지스터 T9는 후단 노드 QB(QB(n+1))에 따라 턴 온 되어 노드 QB1과 노드 NO를 연결한다. 트랜지스터 T9의 게이트전극은 후단 노드 QB(QB(n+1))의 입력단에 접속되고, 트랜지스터 T9의 제1 전극과 제2 전극은 각각 노드 QB1과 노드 NO에 접속된다.

[0083] 트랜지스터 Tx는 제1 글로벌 신호(GLB1)에 따라 턴 온 되어 트랜지스터 T3의 일측 전극을 노드 Q2에 연결한다. 트랜지스터 Tx의 게이트전극은 제1 글로벌 신호(GLB1)의 입력단에 접속되고, 트랜지스터 Tx의 제1 전극과 제2 전극은 각각 트랜지스터 T3의 일측 전극과 노드 Q2에 접속된다.

[0084] 트랜지스터 Tz는 제2 글로벌 신호(GLB2)에 따라 턴 온 되어 노드 Q1에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 Tz의 게이트전극은 제2 글로벌 신호(GLB2)의 입력단에 접속되고, 트랜지스터 Tz의 제1 전극과 제2 전극은 각각 노드 Q1과 게이트 오프 전압(VEH)의 입력단에 접속된다.

[0085] 도 8을 참조하면, 출력부 소자들은 복수의 트랜지스터들(T1,T2)과 복수의 커패시터들(CB,CQB)로 구성될 수 있다.

[0086] 트랜지스터 T1이 턴 온 될 때 제n 에미션 신호(EM(n))가 게이트 온 전압(VEL)으로 출력된다. 트랜지스터 T1은 노드 Q의 전압에 따라 턴 온 되어 게이트 온 전압(VEL)을 노드 NO에 인가한다. 트랜지스터 T1의 게이트전극은 노드 Q에 접속되고, 트랜지스터 T1의 제1 전극과 제2 전극은 각각 게이트 온 전압(VEL)의 입력단과 노드 NO에 접속된다.

[0087] 커패시터 CB는 노드 Q와 노드 NO 사이에 접속된 부트 스트랩핑 커패시터이다. 커패시터 CB의 커플링 효과에 의해 게이트 온 전압(VEL)이 노드 NO에 인가될 때, 노드 Q의 전압이 게이트 온 전압(VEL)보다 낮게 부트 스트랩핑 되고, 트랜지스터 T1의 게이트-소스 간 전압(VEL-노드 Q 전압)은 커진다. 따라서, 커패시터 CB를 노드 Q의 전압을 부트 스트랩핑 시키면, 게이트 온 전압(VEL)이 노드 NO에 빠르게 인가되고, 제n 에미션 신호(EM(n))의 출력 지연이 최소화될 수 있다.

[0088] 트랜지스터 T2가 턴 온 될 때 제n 에미션 신호(EM(n))가 게이트 오프 전압(VEH)으로 출력된다. 트랜지스터 T2는 노드 QB의 전압에 따라 턴 온 되어 게이트 오프 전압(VEH)을 노드 NO에 인가한다. 트랜지스터 T2의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T2의 제1 전극과 제2 전극은 각각 게이트 오프 전압(VEH)의 입력단과 노드 NO에 접속된다.

[0089] 커패시터 CQB는 노드 QB와 게이트 오프 전압(VEH)의 입력단 사이에 접속되어, 노드 QB의 전압을 안정화시킨다.

[0090] 도 9a 내지 도 9g는 도 8에 도시된 제n 스테이지(STn)의 동작을 설명하기 위한 도면들이다. 여기서, 제n 스테이지(STn)에서 출력되는 에미션 신호(EM(n))는 센싱 구동용과 디스플레이 구동용을 모두 포함하는 에미션 신호인데 반해, 다른 스테이지들에서 출력되는 에미션 신호들(EM(n-2),EM(n-1),EM(n+1))은 디스플레이 구동용만을 포함하는 에미션 신호라 가정한다.

[0091] 도 9a를 참조하면, X1 구간에서 제1 클럭신호(ECLK1)와 제1 글로벌 신호(GLB1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 전단 캐리신호(EM(n-1))와 제2 및 제3 글로벌 신호들(GLB2,GLB3)은 게이트 오프 전압(VEH)으로 입력된다.

[0092] X1 구간에서, 트랜지스터들(T3,Tx,TA)이 턴 온 되고 노드 Q는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T1은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 된다. 한편, 트랜지스터 T4는 게이트 오프 전압(VEH)의 전단 캐리신호(EM(n-1))에 따라 턴 오프 된다.

[0093] X1 구간에서, 제1 클럭신호(ECLK1)가 게이트 온 전압(VEL)으로 반전될 때, 커패시터 CON의 커플링 효과에 의해 노드 Q의 전압도 게이트 온 전압(VEL)으로 반전된다. 트랜지스터 T5는 게이트 온 전압(VEL)의 노드 Q1에 따라 턴 온 되고, 노드 QB는 게이트 온 전압(VEL)으로 충전된다. 그 결과, 트랜지스터 T2는 게이트 온 전압(VEL)의 노드 QB에 따라 턴 온 되고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.

[0094] X1 구간에서, 게이트 온 전압(VEL)의 노드 QB에 따라 트랜지스터 Ty가 턴 온 되고, 노드 Q2에 게이트 오프 전압(VEH)이 인가된다. 그리고, 게이트 오프 전압(VEH)의 노드 Q2에 따라 트랜지스터 T6가 턴 오프 된다.

[0095] X1 구간에서, 게이트 오프 전압(VEH)의 제2 글로벌 신호(GLB2)에 따라 트랜지스터 Tz가 턴 오프 되고, 게이트 오프 전압(VEH)의 후단 노드 QB(QB(n+1))에 따라 트랜지스터 T9가 턴 오프 된다. 반면, 트랜지스터 T8은 게이트

온 전압(VEL)의 후단 캐리신호(EM(n+1))에 따라 턴 온 되어, 노드 QB1에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T7은 게이트 오프 전압(VEH)의 노드 QB1에 따라 턴 오프 된다.

- [0096] 도 9b를 참조하면, X2 구간에서 제1 클럭신호(ECLK1)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 후단 캐리신호(EM(n+1))와 제1 내지 제3 글로벌 신호들(GLB1, GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0097] X2 구간에서, 게이트 오프 전압(VEH)의 제1 글로벌 신호(GLB1)에 따라 트랜지스터 Tx가 턴 오프 되고, 게이트 온 전압(VEL)의 전단 캐리신호(EM(n-1))에 따라 트랜지스터 T4가 턴 온 된다. 그러면 노드 Q1이 게이트 오프 전압(VEH)으로 충전되어 트랜지스터 T5가 턴 오프 된다.
- [0098] X2 구간에서, 노드 Q는 게이트 오프 전압(VEH)으로 유지된다. 트랜지스터 T1은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 상태를 유지한다.
- [0099] X2 구간에서, 트랜지스터 T6는 턴 오프 상태를 유지하고, 노드 QB는 플로팅된다. 커패시터 CQB에 의해 노드 QB는 게이트 온 전압을 유지하고, 트랜지스터 T2가 턴 온 되어, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0100] X2 구간에서, 트랜지스터들 Tz, T7은 턴 오프 상태를 유지하고, 트랜지스터 T8이 턴 오프 되는 데 반해, 트랜지스터 T9가 턴 온 된다.
- [0101] 도 9c를 참조하면, X3 구간에서 제1 글로벌 신호(GLB1)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 제1 클럭신호(ECLK1)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 후단 캐리신호(EM(n+1))와 제2 및 제3 글로벌 신호들(GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0102] X3 구간에서, 트랜지스터들(T3, Tx, TA)이 턴 온 되고 노드 Q는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T1은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0103] X3 구간에서, 트랜지스터 T6이 게이트 온 전압(VEL)의 노드 Q2에 따라 턴 온 되고, 노드 QB는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T2는 게이트 오프 전압(VEH)의 QB에 따라 턴 오프 된다.
- [0104] X3 구간에서, 트랜지스터 T8은 턴 오프 되고, 트랜지스터 T9은 턴 온 되며, 노드 QB1은 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T7은 게이트 온 전압(VEL)의 노드 QB1에 따라 턴 온 되고, 게이트 오프 전압(VEH)의 제3 글로벌 신호(GLB3)가 노드 QB에 인가된다.
- [0105] X3 구간에서, 트랜지스터 Ty는 게이트 오프 전압(VEH)의 노드 QB에 따라 턴 오프 된다. 트랜지스터 T4는 게이트 온 전압(VEL)의 전단 캐리신호(EM(n-1))에 따라 턴 온 상태를 유지하고, 트랜지스터들 T5, Tz는 턴 오프 상태를 유지한다.
- [0106] 도 9d를 참조하면, X4 구간에서 제3 글로벌 신호(GLB3)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 제1 클럭신호(ECLK1)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 후단 캐리신호(EM(n+1))와 제1 및 제2 글로벌 신호들(GLB1, GLB2)은 게이트 오프 전압(VEH)으로 입력된다.
- [0107] X4 구간에서, 트랜지스터 Tx는 게이트 오프 전압(VEH)의 제1 글로벌 신호(GLB1)에 따라 턴 오프 되고, 노드 Q는 플로팅되어 게이트 온 전압(VEL)을 유지한다(① 동작). 그러면, 트랜지스터 T1이 턴 온 되어 게이트 온 전압(VEL)이 노드 NO에 인가된다(② 동작).
- [0108] X4 구간에서, 노드 NO의 게이트 온 전압(VEL)이 트랜지스터 T9을 통해 노드 QB1에 인가된다(③ 동작). 그러면, 트랜지스터 T7이 턴 온 되고, 게이트 온 전압(VEL)의 제3 글로벌 신호(GLB3)가 노드 QB에 충전된다(④ 동작).
- [0109] X4 구간에서, 게이트 온 전압(VEL)의 노드 QB에 따라 트랜지스터 Ty가 턴 온 되고, 노드 Q2와 노드 Q가 게이트 오프 전압(VEH)으로 충전된다. 그에 따라 트랜지스터 T1이 턴 오프 된다(⑤ 동작). 그리고, 게이트 오프 전압(VEH)의 노드 Q2에 따라 트랜지스터 T6이 턴 오프 된다(⑥ 동작).
- [0110] X4 구간에서, 게이트 온 전압(VEL)의 노드 QB에 따라 트랜지스터 T2가 턴 온 되고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0111] X4 구간에서, 트랜지스터들 T3, T4는 턴 온 상태를 유지하고, 트랜지스터들 T5, Tz는 턴 오프 상태를 유지한다.
- [0112] 도 9e를 참조하면, X5 구간에서 제1 글로벌 신호(GLB1)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 제1 클럭

신호(ECLK1)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 후단 캐리신호(EM(n+1))와 제2 및 제3 글로벌 신호들(GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.

- [0113] X5 구간에서, 트랜지스터들(T3, Tx, TA)이 턴 온 되고 노드 Q는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T1은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0114] 즉, X5 구간에서, 트랜지스터들(T3, Tx, TA)이 턴 온 되고 노드 Q는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T1은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0115] X5 구간에서, 트랜지스터 T6이 게이트 온 전압(VEL)의 노드 Q2에 따라 턴 온 되고, 노드 QB는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T2는 게이트 오프 전압(VEH)의 QB에 따라 턴 오프 된다.
- [0116] 도 9f를 참조하면, X6 구간에서 제2 글로벌 신호(GLB2)가 게이트 온 전압(VEL)으로 반전된다. 그리고, 제1 글로벌 신호(GLB1)와 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 전단 캐리신호(EM(n-1))와 제3 글로벌 신호(GLB3)는 게이트 오프 전압(VEH)으로 입력된다.
- [0117] X6 구간에서, 트랜지스터들(T3, Tx, TA)이 턴 온 되고 노드 Q는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T1은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 된다. 한편, 트랜지스터 T4는 게이트 오프 전압(VEH)의 전단 캐리신호(EM(n-1))에 따라 턴 오프 된다.
- [0118] X6 구간에서, 게이트 온 전압(VEL)의 제2 글로벌 신호(GLB2)에 의해 트랜지스터 Tz가 턴 온 되고, Q1이 게이트 오프 전압(VEH)으로 충전되어 트랜지스터 T5가 턴 오프 된다. 또한, 트랜지스터 T6은 게이트 오프 전압(VEH)의 노드 Q2에 따라 턴 오프 되고, 트랜지스터 T7은 게이트 오프 전압(VEH)의 노드 QB1에 따라 턴 오프 된다.
- [0119] X6 구간에서, 트랜지스터들 T5, T6, T7의 턴 오프에 의해 노드 QB는 플로팅되고, 커패시터 CQB에 의해 노드 QB는 게이트 오프 전압(VEH)을 유지하여 트랜지스터 T2를 턴 오프 시킨다.
- [0120] X6 구간에서, 트랜지스터들 T1, T2은 턴 오프 되므로, 제n 에미션 신호(EM(n))는 X5 구간에서의 게이트 온 전압(VEL)을 유지한다.
- [0121] 도 9g를 참조하면, X7 구간에서 제2 글로벌 신호(GLB2)가 게이트 오프 전압(VEH)으로 반전된다. 그리고, 제1 글로벌 신호(GLB1)와 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 전단 캐리신호(EM(n-1))와 제3 글로벌 신호(GLB3)는 게이트 오프 전압(VEH)으로 입력된다.
- [0122] X7 구간에서, 트랜지스터들(T3, Tx, TA)이 턴 온 되고 노드 Q는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T1은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 된다. 한편, 트랜지스터 T4는 게이트 오프 전압(VEH)의 전단 캐리신호(EM(n-1))에 따라 턴 오프 된다.
- [0123] X7 구간에서, 게이트 오프 전압(VEH)의 제2 글로벌 신호(GLB2)에 의해 트랜지스터 Tz가 턴 오프 되고, 커패시터 CON의 커플링 효과에 의해 Q1이 게이트 온 전압(VEL)으로 충전되어 트랜지스터 T5가 턴 온 된다. 또한, 트랜지스터 T6은 게이트 오프 전압(VEH)의 노드 Q2에 따라 턴 오프 되고, 트랜지스터 T7은 게이트 오프 전압(VEH)의 노드 QB1에 따라 턴 오프 된다.
- [0124] X7 구간에서, 트랜지스터 T5의 턴 온에 의해 노드 QB는 게이트 온 전압(VEL)으로 충전되고, 게이트 온 전압(VEL)의 노드 QB에 의해 트랜지스터 T2가 턴 온 된다. 그 결과, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0125] 전술한 동작 과정에서 알 수 있듯이, 제n 에미션신호(EM(n))가 게이트 온 전압(VEL)으로 출력되는 동안, 트랜지스터 Ty는 턴 오프 상태를 유지한다. 이때, 트랜지스터 Ty의 제1 및 제2 전극들 간의 전압차(VEH-VEL)가 크기 때문에, 트랜지스터 Ty에는 부하가 크게 걸린다. 한 프레임 중에서, 제n 에미션신호(EM(n))가 게이트 온 전압(VEL)으로 출력되는 기간은 센싱 기간(Ts)과 에미션 기간(Te)을 포함하여 상대적으로 길다. 따라서, 트랜지스터 Ty에 대한 과부하가 누적되면, 트랜지스터 Ty에서 누설 전류가 문제될 수 있고, 트랜지스터 Ty의 스위칭 특성이 떨어질 수 있다. 이와 같이, 트랜지스터 Ty의 동작에 문제가 생기면, 노드 Q의 전압이 안정적으로 확보되지 못하여 제n 에미션신호(EM(n))가 원하는 시간 동안 게이트 온 전압(VEL)으로 출력될 수 없다. 이하의 실시예에서는 이에 대한 보완책을 제시한다.
- [0126] 도 10은 도 5의 에미션 드라이버를 구성하는 게이트 쉬프트 레지스터의 다른 예를 보여주는 도면이다.
- [0127] 도 10을 참조하면, 본 명세서의 다른 실시예에 따른 에미션 드라이버(133)는 다수의 스테이지들(ST1~ST4, 꺾)로

이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 스테이지들(ST1~ST4,...)은 GIP 방식으로 형성된 GIP 소자들일 수 있다.

[0128] 스테이지들(ST1~ST4,...)은 도 6과 같은 디스플레이 구동 타이밍과 센싱 구동 타이밍에 맞게 에미션 신호(EM(1)~EM(4), 썸)를 순차적으로 출력한다. 이를 위해, 스테이지들(ST1~ST4,...)은 레벨 쉬프터(150)로부터 외부 스타트 신호(EVST), 제1 클럭신호(ECLK1), 제2 클럭신호(ECLK2), 제1 글로벌 신호(GBL1), 제2 글로벌 신호(GBL2), 및 제3 글로벌 신호(GBL3)를 입력 받는다. 외부 스타트 신호(EVST), 클럭신호들(ECLK1,ECLK2), 및 글로벌 신호들(GBL1,GBL2,GBL3)는 모두 게이트 오프 전압(VEH)과 게이트 온 전압(VEL) 사이에서 스윙할 수 있다.

[0129] 스테이지들(ST1~ST4,...)은 순차적으로 동작이 활성화되어 게이트 온 전압(VEL)의 에미션 신호(EM(1)~EM(4), 썸)를 제3 게이트라인들(15c(1)~15c(4), 썸)에 순차적으로 출력한다. 최상단 스테이지(ST1)는 외부 스타트 신호(EVST)에 따라 동작이 활성화되고, 차상단 스테이지(ST2) 내지 최하단 스테이지는 전단 스테이지의 에미션 신호에 따라 동작이 활성화된다. 전단 스테이지의 에미션 신호는 내부 스타트 신호로서, 캐리 신호(CRY)가 된다. 여기서, "전단 스테이지"란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 앞선 에미션 신호를 생성하는 스테이지를 의미한다.

[0130] 한편, 스테이지들(ST1~ST4,...)은 후단 스테이지의 에미션 신호와 QB 노드 전압 등을 입력 받아 동작의 안정성을 확보한다. 여기서, "후단 스테이지"란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 에미션 신호에 비해 위상이 뒤진 에미션 신호를 생성하는 스테이지를 의미한다.

[0131] 외부 스타트 신호(EVST)는 최상단 스테이지(ST1)에 입력되고, 제1 클럭신호(ECLK1)는 제1 클럭 배선을 통해 스테이지들(ST1~ST4,...)에 입력되고, 제2 클럭신호(ECLK2)는 제2 클럭 배선을 통해 스테이지들(ST1~ST4,...)에 입력된다. 스테이지들(ST1~ST4,...) 각각은 2개의 클럭 입력단자들을 갖는다. 기수 스테이지들(ST1,ST3, 썸) 각각의 첫 번째 클럭 입력 단자는 제1 클럭 배선에 연결되고, 두 번째 클럭 입력 단자는 제2 클럭 배선에 연결된다. 그 결과, 기수 스테이지들(ST1,ST3, 썸) 각각의 첫 번째 클럭 입력 단자에는 제1 클럭신호(ECLK1)가 입력되고, 두 번째 클럭 입력 단자에는 제2 클럭신호(ECLK2)가 입력된다. 이와 반대로, 우수 스테이지들(ST2,ST4, 썸) 각각의 첫 번째 클럭 입력 단자는 제2 클럭 배선에 연결되고, 두 번째 클럭 입력 단자는 제1 클럭 배선에 연결된다. 그 결과, 우수 스테이지들(ST2,ST4, 썸) 각각의 첫 번째 클럭 입력 단자에는 제2 클럭신호(ECLK2)가 입력되고, 두 번째 클럭 입력 단자에는 제1 클럭신호(ECLK1)가 입력된다. 동작의 안정성이 확보되도록, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 각각의 게이트 온 구간이 게이트 오프 구간에 비해 좁을 수 있다. 그리고, 제1 클럭신호(ECLK1)와 제2 클럭신호(ECLK2)는 서로 다른 위상을 가질 수 있다. 구체적으로, 제1 클럭신호(ECLK1)의 게이트 온 구간은 제2 클럭신호(ECLK2)의 게이트 오프 구간과 중첩되고, 반대로 제2 클럭신호(ECLK2)의 게이트 온 구간은 제1 클럭신호(ECLK1)의 게이트 오프 구간과 중첩될 수 있다.

[0132] 글로벌 신호들(GBL1,GBL2,GBL3)은 센싱 구동에 맞는 에미션 신호를 생성하기 위한 것으로서, 모든 스테이지들 스테이지들(ST1~ST4,...)에 공통으로 입력된다. 즉, 제1 글로벌 신호(GBL1)는 제1 글로벌 배선을 통해 모든 스테이지들 스테이지들(ST1~ST4,...)에 공통으로 입력되고, 제2 글로벌 신호(GBL2)는 제2 글로벌 배선을 통해 모든 스테이지들 스테이지들(ST1~ST4,...)에 공통으로 입력되며, 제3 글로벌 신호(GBL3)는 제3 글로벌 배선을 통해 모든 스테이지들 스테이지들(ST1~ST4,...)에 공통으로 입력된다.

[0133] 스테이지들(ST1~ST4,...) 각각은 두 개의 클럭신호들과 세 개의 글로벌 신호들을 기반으로 동작하기 때문에 그 회로 구성이 간소하다. 다시 말해, 스테이지들(ST1~ST4,...) 각각은 두 개의 클럭신호들과 세 개의 글로벌 신호들을 기반으로 노드 Q의 전압과 노드 QB의 전압을 반대로 제어할 수 있기 때문에, 에미션 드라이버가 간소화되고 에미션 드라이버의 실장 면적이 줄어들 수 있다.

[0134] 스테이지들(ST1~ST4,...) 각각은 매 프레임마다 스타트단자에 인가되는 외부 스타트 신호(EVST) 또는 캐리 신호(CRY)에 따라 노드 Q와 노드 QB의 동작을 반대로 제어하기 시작한다. 스테이지들(ST1~ST4,...) 각각은 노드 Q가 활성화되는 동안 노드 QB를 비 활성화시키고, 반대로 노드 Q가 비 활성화되는 동안 노드 QB를 활성화시킨다. 여기서, 노드가 활성화된다는 것은 그 노드에 게이트 온 전압(VEL) 또는 그에 상당하는 전압이 인가된다는 것을 의미한다. 그리고, 노드가 비 활성화된다는 것은 그 노드에 게이트 오프 전압(VEH) 또는 그에 상당하는 전압이 인가된다는 것을 의미한다.

[0135] 각 스테이지들(ST1~ST4,...)은 외부의 전원 공급부로부터 게이트 오프 전압(VEH)과 게이트 온 전압(VEL)을 공급받는다. 게이트 오프 전압(VEH)은 예컨대, 20V~30V 사이에서 어느 한 값으로 설정될 수 있고, 게이트 온 전압(VEL)은 (-)10V~0V 사이에서 어느 한 값으로 설정될 수 있으나, 이에 한정되지 않는다.

- [0136] 각 스테이지들(ST1~ST4, ...)은 노드 Q에 접속된 소자들의 과부하를 막고 노드 Q의 전압을 안정화시키기 위해 복수의 안정화부들을 포함한다. 이에 대해서는 도 11에서 상세히 설명한다.
- [0137] 도 11은 도 10의 게이트 쉬프트 레지스터에 포함된 제n 스테이지의 일 구성을 보여주는 도면이다. 그리고, 도 12는 도 11의 동작을 설명하기 위한 구동 파형도이다.
- [0138] 도 11을 참조하면, 제n 스테이지(STn)는 두 번째 이후의 스테이지들 중 어느 하나로서, 기수 또는 우수 스테이지일 수 있다. 제n 스테이지(STn)가 두 번째 이후의 기수 스테이지인 경우, 첫 번째 기수 스테이지는 전단 캐리 신호(EM(n-1)) 대신에 외부 스타트 신호(EVST)를 인가 받는 것을 제외한 나머지 구성이 도 11과 실질적으로 동일하고, 우수 스테이지들은 제1 클럭신호(ECLK1) 대신에 제2 클럭신호(ECLK2)가 인가되고 제2 클럭신호(ECLK2) 대신에 제1 클럭신호(ECLK1)가 인가되는 것을 것을 제외한 나머지 구성이 도 11과 실질적으로 동일하다. 한편, 제n 스테이지(STn)가 우수 스테이지인 경우, 기수 스테이지들은 제1 클럭신호(ECLK1) 대신에 제2 클럭신호(ECLK2)가 인가되고 제2 클럭신호(ECLK2) 대신에 제1 클럭신호(ECLK1)가 인가되는 것을 것을 제외한 나머지 구성이 도 11과 실질적으로 동일하다.
- [0139] 도 11을 참조하면, 제n 스테이지(STn)는 노드 Q가 게이트 오프 전압(VEH)으로 비 활성화 되고 노드 QB가 게이트 온 전압(VEL)으로 활성화 되는 동안에 게이트 오프 전압(VEH)의 에미션 신호(EM(n))를 출력한다. 그리고, 제n 스테이지(STn)는 노드 Q가 게이트 온 전압(VEL)으로 활성화 되고 노드 QB가 게이트 오프 전압(VEH)으로 비 활성화 되는 동안에 게이트 온 전압(VEL)의 에미션 신호(EM(n))를 출력한다.
- [0140] 다시 말해, 제n 스테이지(STn)는 도 12에서와 같이 제n 센싱용 에미션 신호와 제n 디스플레이용 에미션 신호를 연속해서 출력한다. 이때, 제n-1 스테이지는 상기 제n 센싱용 에미션 신호보다 위상이 앞선 제n-1 디스플레이용 에미션 신호를 출력하고, 제n+1 스테이지는 상기 제n 센싱용 에미션 신호보다 위상이 뒤진 제n+1 디스플레이용 에미션 신호를 출력한다.
- [0141] 여기서, 상기 제n-1 디스플레이용 에미션 신호와, 상기 제n 디스플레이용 에미션 신호와, 상기 제n+1 디스플레이용 에미션 신호는, 상기 게이트 온 전압(VEL)을 유지하는 구간이 서로 동일하다. 이는 센싱 구동이 이뤄지는 특정 수평 픽셀 라인과 센싱 구동이 이뤄지지 않는 다른 수평 픽셀 라인들 간의 휘도 편차를 없애기 위함이다. 게이트 온 전압(VEL)의 유지 구간을 동일하게 하기 위해, 외부 스타트 신호(EVST)는 상기 게이트 온 전압(VEL)의 유지 구간만큼 게이트 온 전압(VEL)으로 입력되고, 그 외 구간에서는 게이트 오프 전압(VEH)으로 입력된다.
- [0142] 한편, 상기 제n+1 디스플레이용 에미션 신호가 게이트 오프 전압(VEH)을 유지하는 구간은, 상기 제n-1 디스플레이용 에미션 신호가 게이트 오프 전압(VEH)을 유지하는 구간에 비해 더 길다. 이는 상기 제n-1 디스플레이용 에미션 신호와 상기 제n+1 디스플레이용 에미션 신호 사이에 상기 제n 센싱용 에미션 신호와 상기 제n 디스플레이용 에미션 신호가 위치하기 때문이다.
- [0143] 제n 스테이지(STn)의 첫 번째 클럭 입력 단자에 제1 클럭 신호(ECLK1)가 입력되고 두 번째 클럭 입력 단자에 제2 클럭 신호(ECLK2)가 입력되는 경우, 상기 제n-1 스테이지와 상기 n+1 스테이지 각각에서는 첫 번째 클럭 입력 단자에 제2 클럭 신호(ECLK2)가 입력되고 두 번째 클럭 입력 단자에 제1 클럭 신호(ECLK1)가 입력된다. 이때, 제1 클럭신호(ECLK1)의 게이트 온 구간은 제2 클럭신호(ECLK2)의 게이트 오프 구간과 중첩되고, 제2 클럭신호(ECLK2)의 게이트 온 구간은 제1 클럭신호(ECLK1)의 게이트 오프 구간과 중첩될 수 있다. 이를 통해 동작의 안정성이 확보될 수 있다.
- [0144] 구체적으로, 제n 스테이지(STn)는 입력부 소자들과 센싱 관여 소자들과 출력부 소자들을 포함할 수 있다. 그리고, 제n 스테이지(STn)는 Q 노드의 전압을 안정화시키기 위해 제1 내지 제3 안정화부들을 포함한다.
- [0145] 도 11을 참조하면, 입력부 소자들은 전단 캐리 신호(EM(n-1))(즉, 제n-1 디스플레이용 에미션 신호)와 제1 클럭 신호(ECLK1) 및 제2 클럭신호(ECLK2)를 기반으로 노드 Q의 전압과 노드 QB의 전압을 제어한다. 이를 위해, 입력부 소자들은 복수의 트랜지스터들(T1, T4, T5, T8, T9, T10)과 커패시터 CON으로 구성될 수 있다.
- [0146] 트랜지스터 T1은 제2 클럭신호(ECLK2)에 따라 턴 온 되어 트랜지스터 Tx의 일측 전극에 전단 캐리 신호(EM(n-1))를 인가한다. 트랜지스터 T1의 게이트전극은 제2 클럭신호(ECLK2)의 입력단에 접속되고, 트랜지스터 T1의 제1 전극과 제2 전극은 각각 전단 캐리 신호(EM(n-1))의 입력단과 트랜지스터 Tx의 일측 전극에 접속된다.
- [0147] 트랜지스터 T4는 제2 클럭신호(ECLK2)에 따라 턴 온 되어 노드 Q1에 게이트 온 전압(VEL)을 인가한다. 트랜지스터 T4의 게이트전극은 제2 클럭신호(ECLK2)의 입력단에 접속되고, 트랜지스터 T4의 제1 전극과 제2 전극은 각각 게이트 온 전압(VEL)의 입력단과 노드 Q1에 접속된다.

- [0148] 트랜지스터 T5는 노드 Q의 전압에 따라 턴 온 되어 노드 Q1에 제2 클럭신호(ECLK2)를 인가한다. 트랜지스터 T5의 게이트전극은 노드 Q에 접속되고, 트랜지스터 T5의 제1 전극과 제2 전극은 각각 제2 클럭신호(ECLK2)의 입력단과 노드 Q1에 접속된다.
- [0149] 트랜지스터 T8은 노드 Q1의 전압에 따라 턴 온 되어 노드 QB1에 제1 클럭신호(ECLK1)를 인가한다. 트랜지스터 T8의 게이트전극은 노드 Q1에 접속되고, 트랜지스터 T8의 제1 전극과 제2 전극은 각각 제1 클럭신호(ECLK1)의 입력단과 노드 QB1에 접속된다.
- [0150] 트랜지스터 T9는 제1 클럭신호(ECLK1)에 따라 턴 온 되어 노드 QB1과 노드 QB를 연결한다. 트랜지스터 T9의 게이트전극은 제1 클럭신호(ECLK1)의 입력단에 접속되고, 트랜지스터 T9의 제1 전극과 제2 전극은 각각 노드 QB1과 노드 QB에 접속된다.
- [0151] 트랜지스터 T10은 노드 Q의 전압에 따라 턴 온 되어 노드 QB에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T10의 게이트전극은 노드 Q에 접속되고, 트랜지스터 T10의 제1 전극 및 제2 전극은 게이트 오프 전압(VEH)의 입력단과 노드 QB에 접속된다.
- [0152] 커패시터 CON은 노드 Q1과 노드 QB1 사이에 접속되는 커플링 커패시터이다.
- [0153] 도 11을 참조하면, 센싱 관여 소자들은 위상 및 파형이 서로 다른 제1 글로벌 신호(GLB1), 제2 글로벌 신호(GLB2), 및 제3 글로벌 신호(GLB3)와, 후단 캐리 신호(EM(n+1))(즉, 제n+1 디스플레이용 에미션 신호)와, 제n+1 스테이지의 후단 노드 QB의 전압을 기반으로 노드 Q의 전압과 노드 QB의 전압을 제어한다. 이를 위해, 센싱 관여 소자들은 복수의 트랜지스터들(T11, T12, T13, Tx, Tz)과 커패시터 C1으로 구성될 수 있다.
- [0154] 트랜지스터 T11은 노드 QB2의 전압에 따라 턴 온 되어 노드 QB에 제3 글로벌 신호(GLB3)를 인가한다. 트랜지스터 T11의 게이트전극은 노드 QB2에 접속되고, 트랜지스터 T11의 제1 전극과 제2 전극은 각각 제3 글로벌 신호(GLB3)의 입력단과 노드 QB에 접속된다.
- [0155] 트랜지스터 T12는 후단 캐리신호(EM(n+1))에 따라 턴 온 되어 노드 QB2에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T12의 게이트전극은 후단 캐리신호(EM(n+1))의 입력단에 접속되고, 트랜지스터 T12의 제1 전극과 제2 전극은 각각 게이트 오프 전압(VEH)의 입력단과 노드 QB2에 접속된다.
- [0156] 트랜지스터 T13은 후단 노드 QB(QB(n+1))에 따라 턴 온 되어 노드 QB2와 노드 NO를 연결한다. 트랜지스터 T13의 게이트전극은 후단 노드 QB(QB(n+1))의 입력단에 접속되고, 트랜지스터 T13의 제1 전극과 제2 전극은 각각 노드 QB2와 노드 NO에 접속된다.
- [0157] 트랜지스터 Tx는 제1 글로벌 신호(GLB1)에 따라 턴 온 되어 트랜지스터 T1의 일측 전극을 노드 Q에 연결한다. 트랜지스터 Tx의 게이트전극은 제1 글로벌 신호(GLB1)의 입력단에 접속되고, 트랜지스터 Tx의 제1 전극과 제2 전극은 각각 트랜지스터 T1의 일측 전극과 노드 Q에 접속된다.
- [0158] 트랜지스터 Tz는 제2 글로벌 신호(GLB2)에 따라 턴 온 되어 노드 QB1에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 Tz의 게이트전극은 제2 글로벌 신호(GLB2)의 입력단에 접속되고, 트랜지스터 Tz의 제1 전극과 제2 전극은 각각 게이트 오프 전압(VEH)의 입력단과 노드 QB1에 접속된다.
- [0159] 커패시터 C1은 노드 QB2와 노드 QB 사이에 접속되어 노드 QB2의 전압을 안정화시킨다.
- [0160] 도 11을 참조하면, 출력부 소자들은 노드 Q의 전압에 따라 게이트 온 전압(VEL)을 노드 NO에 인가하고, 노드 QB의 전압에 따라 게이트 오프 전압(VEH)을 상기 노드 NO에 인가하여, 제n 센싱 구동용 에미션 신호에 이어 제n 디스플레이 구동용 에미션 신호를 연속해서 출력한다. 이를 위해, 출력부 소자들은 복수의 트랜지스터들(T6, T7)과 커패시터 CQB로 구성될 수 있다.
- [0161] 트랜지스터 T6이 턴 온 될 때 제n 에미션 신호(EM(n))가 게이트 온 전압(VEL)으로 출력된다. 트랜지스터 T6은 노드 Q의 전압에 따라 턴 온 되어 게이트 온 전압(VEL)을 노드 NO에 인가한다. 트랜지스터 T6의 게이트전극은 노드 Q에 접속되고, 트랜지스터 T6의 제1 전극과 제2 전극은 각각 게이트 온 전압(VEL)의 입력단과 노드 NO에 접속된다.
- [0162] 트랜지스터 T7이 턴 온 될 때 제n 에미션 신호(EM(n))가 게이트 오프 전압(VEH)으로 출력된다. 트랜지스터 T7은 노드 QB의 전압에 따라 턴 온 되어 게이트 오프 전압(VEH)을 노드 NO에 인가한다. 트랜지스터 T7의 게이트전극은 노드 QB에 접속되고, 트랜지스터 T7의 제1 전극과 제2 전극은 각각 게이트 오프 전압(VEH)의 입력단과 노드

NO에 접속된다.

- [0163] 커패시터 CQB는 노드 QB와 게이트 오프 전압(VEH)의 입력단 사이에 접속되어, 노드 QB의 전압을 안정화시킨다.
- [0164] 도 11을 참조하면, 제1 안정화부는 제1 클럭신호(ECLK1)에 따른 부트 스트랩핑(Boot-strapping)으로 노드 Q의 전압을 리프레쉬한다. 제1 안정화부는 제1 클럭신호(ECLK1)의 입력단과 노드 Q 사이에 접속된 커패시터 CQ를 포함한다. 노드 Q에 연결된 트랜지스터들이 턴 오프 될 때 노드 Q는 플로팅된다. 이때, 노드 Q에 연결된 트랜지스터들의 열화에 의해 노드 Q의 전압이 변할 수 있다. 커패시터 CQ는 제1 클럭신호(ECLK1)에 동기된 커플링 전압으로 노드 Q의 전압 변동을 최소화한다.
- [0165] 도 11을 참조하면, 제2 안정화부는 노드 Q와 제1 글로벌 신호(GLB1)의 입력단 사이에 직렬 접속된 트랜지스터 Ty'와 트랜지스터 Ty를 포함한다. 트랜지스터 Ty'의 게이트전극은 제3 글로벌 신호(GLB3)의 입력단에 접속되고, 트랜지스터 Ty'의 제1 전극과 제2 전극은 노드 Q와 트랜지스터 Ty의 일측 전극에 접속된다. 그리고, 트랜지스터 Ty의 게이트전극은 노드 QB에 접속되고, 트랜지스터 Ty의 제1 전극과 제2 전극은 트랜지스터 Ty'의 일측 전극과 제1 글로벌 신호(GLB1)의 입력단에 접속된다.
- [0166] 제n 디스플레이용 에미션 신호가 게이트 온 전압(VEL)으로 출력되는 동안, 트랜지스터 Ty와 트랜지스터 Ty'는 턴 오프 되고, 노드 Q와 제1 글로벌 신호(GLB1)의 입력단 간의 전위차는 제로이다. 따라서, 제n 디스플레이용 에미션 신호가 게이트 온 전압(VEL)으로 출력되는 동안, 트랜지스터 Ty와 트랜지스터 Ty'에 걸리는 부하가 거의 없어지고, 과부하로 인한 누설 전류 및 스위칭 특성 왜곡과 같은 문제가 미연에 방지되기 때문에, Q 노드의 전압이 안정화될 수 있다.
- [0167] 도 11을 참조하면, 제3 안정화부는 노드 Q와 게이트 오프 전압(VEH)의 입력단 사이에 직렬 접속된 트랜지스터 T2와 트랜지스터 T3를 포함한다. 트랜지스터 T2와 트랜지스터 T3는 직렬 접속됨으로써, 누설 전류 차단에 보다 효과적이다. 트랜지스터 T2의 게이트전극은 제1 클럭신호(ECLK1)의 입력단에 접속되고, 트랜지스터 T2의 제1 전극과 제2 전극은 노드 Q와 트랜지스터 T3의 일측 전극에 접속된다. 그리고, 트랜지스터 T3의 게이트전극은 게이트 온 전압(VEL)과 제2 클럭 신호(ECLK2)에 따라 전압이 결정되는 노드 Q1에 접속되고, 트랜지스터 T3의 제1 전극과 제2 전극은 트랜지스터 T2의 일측 전극과 게이트 오프 전압(VEH)의 입력단에 접속된다.
- [0168] 한편, 도 12를 참조하여 제1 내지 제3 글로벌 신호(GLB1, GLB2, GLB3)에 대해 부연 설명하면 다음과 같다.
- [0169] 제1 글로벌 신호(GLB1)의 첫 번째 폴링 에지(FE1)에 동기하여 제n 센싱용 에미션 신호가 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 반전 된다.
- [0170] 제3 글로벌 신호(GLB3)의 폴링 에지(FE)에 동기하여 제n 센싱용 에미션 신호가 게이트 온 전압(VEL)에서 게이트 오프 전압(VEH)으로 반전 된다.
- [0171] 제1 글로벌 신호(GLB1)의 두 번째 폴링 에지(FE2)에 동기하여 제n 디스플레이용 에미션 신호가 게이트 오프 전압(VEH)에서 게이트 온 전압(VEL)으로 반전 된다.
- [0172] 그리고, 제2 글로벌 신호(GLB2)의 라이징 에지(RE)에 동기하여 제n 디스플레이용 에미션 신호가 게이트 온 전압(VEL)에서 게이트 오프 전압(VEH)으로 반전 된다.
- [0173] 도 13a 내지 도 13g는 도 11에 도시된 제n 스테이지(STn)의 동작을 설명하기 위한 도면들이다. 여기서, 제n 스테이지(STn)에서 출력되는 에미션 신호(EM(n))는 센싱 구동용과 디스플레이 구동용을 모두 포함하는 에미션 신호인 데 반해, 다른 스테이지들에서 출력되는 에미션 신호들(EM(n-2), EM(n-1), EM(n+1))은 디스플레이 구동용만을 포함하는 에미션 신호이다.
- [0174] 도 13a를 참조하면, Y1 구간에서 제1 클럭신호(ECLK1)와 제1 글로벌 신호(GLB1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 제2 클럭신호(ECLK2)와 전단 캐리신호(EM(n-1))와 제2 및 제3 글로벌 신호들(GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0175] Y1 구간에서, 트랜지스터들(T2, T3)이 턴 온 되고 노드 Q는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터들(T5, T6, T10)은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 된다.
- [0176] Y1 구간에서, 트랜지스터들(T8, T9)이 턴 온 되고 노드 QB는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T7은 게이트 온 전압(VEL)의 노드 QB에 따라 턴 온 되고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.

- [0177] Y1 구간에서, 트랜지스터들(T1,T4)이 게이트 오프 전압(VEH)의 제2 클럭신호(ECLK2)에 따라 턴 오프 된다. 그리고, 트랜지스터 Tz가 게이트 오프 전압(VEH)의 제2 글로벌 신호(GLB2)에 따라 턴 오프 된다.
- [0178] Y1 구간에서, 게이트 온 전압(VEL)의 노드 QB에 따라 트랜지스터 Ty가 턴 온 되고, 게이트 오프 전압(VEH)의 제3 글로벌 신호(GLB3)에 따라 트랜지스터 Ty'가 턴 오프 된다.
- [0179] Y1 구간에서, 게이트 오프 전압(VEH)의 후단 노드 QB(QB(n+1))에 따라 트랜지스터 T13이 턴 오프 된다. 반면, 트랜지스터 T12는 게이트 온 전압(VEL)의 후단 캐리신호(EM(n+1))에 따라 턴 온 되어, 노드 QB2에 게이트 오프 전압(VEH)을 인가한다. 트랜지스터 T11은 게이트 오프 전압(VEH)의 노드 QB2에 따라 턴 오프 된다.
- [0180] 도 13b를 참조하면, Y2 구간에서 제2 클럭신호(ECLK2)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))와 제1 내지 제3 글로벌 신호들(GLB1, GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0181] Y2 구간에서, 노드 Q에 연결된 트랜지스터들(Tx, T2, Ty')가 턴 오프 되기 때문에, 노드 Q는 플로팅되고, Y1 구간에서의 게이트 오프 전압(VEH)을 유지한다. 트랜지스터들(T5, T6, T10)은 게이트 오프 전압(VEH)의 노드 Q에 따라 턴 오프 상태를 유지한다.
- [0182] Y2 구간에서, 커패시터 CQ의 일측 전극에는 게이트 오프 전압(VEH)의 제1 클럭신호(ECLK1)이 인가된다. 노드 Q의 전압은 커패시터 CQ의 커플링 효과에 의해 게이트 오프 전압(VEH)으로 안정된다.
- [0183] Y2 구간에서, 노드 QB에 연결된 트랜지스터 T9이 턴 오프 되기 때문에, 노드 QB는 플로팅되고, Y1 구간에서의 게이트 온 전압(VEL)을 유지한다. 트랜지스터 T2는 게이트 온 전압(VEL)의 노드 QB에 따라 턴 온 상태를 유지하고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0184] Y2 구간에서, 트랜지스터들(Tz, Ty', T11)은 턴 오프 상태를 유지하고, 트랜지스터 Ty는 턴 온 상태를 유지한다. 그리고, 트랜지스터 T12가 턴 오프 되는 데 반해, 트랜지스터 T13이 턴 온 된다.
- [0185] 도 13c를 참조하면, Y3 구간에서 제1 글로벌 신호(GLB1)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 제2 클럭신호(ECLK2)와 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))와 제2 및 제3 글로벌 신호들(GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0186] Y3 구간에서, 트랜지스터들(T1, Tx)이 턴 온 되고 노드 Q는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T6은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0187] Y3 구간에서, 트랜지스터 T10이 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 노드 QB는 게이트 오프 전압(VEH)으로 충전된다. 트랜지스터 T7은 게이트 오프 전압(VEH)의 QB에 따라 턴 오프 된다.
- [0188] Y3 구간에서, 노드 QB2는 트랜지스터 T13을 통해 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T11은 게이트 온 전압(VEL)의 노드 QB2에 따라 턴 온 되고, 게이트 오프 전압(VEH)의 제3 글로벌 신호(GLB3)가 노드 QB에 인가된다.
- [0189] Y3 구간에서, 트랜지스터 Ty'는 턴 오프 상태를 유지하고, 트랜지스터 Ty가 게이트 오프 전압(VEH)의 노드 QB에 따라 턴 오프 된다. 그리고, 트랜지스터 T5가 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 트랜지스터들(T2, Tz)는 턴 오프 상태를 유지한다.
- [0190] 도 13d를 참조하면, Y4 구간에서 제1 클럭신호(ECLK1)와 제3 글로벌 신호(GLB3)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 제2 클럭신호(ECLK2)와 후단 캐리신호(EM(n+1))와 제1 및 제2 글로벌 신호들(GLB1, GLB2)은 게이트 오프 전압(VEH)으로 입력된다.
- [0191] Y4 구간에서 노드 QB2가 Y3 구간의 게이트 온 전압(VEL)을 유지하여, 트랜지스터 T11을 통해 게이트 온 전압(VEL)의 제3 글로벌 신호(GLB3)가 노드 QB에 충전된다(①, ② 동작). 그러면, 게이트 온 전압(VEL)의 노드 QB에 따라 트랜지스터 T7이 턴 온 되고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0192] Y4 구간에서, 트랜지스터 Ty'는 게이트 온 전압(VEL)의 제3 글로벌신호(GLB3)에 따라 턴 온 되고, 트랜지스터 Ty는 게이트 온 전압(VEL)의 노드 QB에 따라 턴 온 되어, 노드 Q에 게이트 오프 전압(VEH)의 제1 글로벌신호(GLB1)이 인가된다. 노드 Q는 트랜지스터들(Ty', Ty)을 통해 게이트 오프 전압(VEH)의 제1 글로벌신호(GLB1)으로

충전되고, 트랜지스터 T6이 턴 오프 된다(③ 동작).

- [0193] Y4 구간에서, 트랜지스터들(T1,T4,T5,Tx)는 턴 오프 되고, 노드 Q1은 플로팅되어 Y3 구간에서의 게이트 온 전압(VEL)을 유지한다. 게이트 온 전압(VEL)의 노드 Q1에 의해 트랜지스터 T3은 턴 온 상태를 유지하고, 트랜지스터 T2가 게이트 온 전압(VEL)의 제1 클럭신호(ECLK1)에 의해 턴 온 된다. 노드 Q는 트랜지스터들(T2,T3)을 통해 게이트 오프 전압(VEH)으로 충전되고, 트랜지스터 T6이 턴 오프 된다(③ 동작).
- [0194] Y4 구간에서, 노드 QB1은 트랜지스터 T8을 통해 게이트 온 전압(VEL)의 제1 클럭신호(ECLK1)로 충전된다. 트랜지스터 T9은 게이트 온 전압(VEL)의 제1 클럭신호(ECLK1)에 따라 턴 온 되어 노드 QB가 게이트 온 전압(VEL)으로 충전된다.
- [0195] Y4 구간에서, 게이트 오프 전압(VEH)의 노드 Q에 의해 트랜지스터들(T5,T10)이 턴 오프 된다.
- [0196] 도 13e를 참조하면, Y5 구간에서 제1 글로벌 신호(GLB1)와 제2 클럭신호(ECLK2)가 게이트 온 전압(VEL)으로 입력된다. 그리고, 전단 캐리신호(EM(n-1))는 게이트 온 전압(VEL)으로 입력되고, 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))와 제2 및 제3 글로벌 신호들(GLB2, GLB3)은 게이트 오프 전압(VEH)으로 입력된다.
- [0197] Y5 구간의 동작은 Y3 구간의 동작과 실질적으로 동일하다.
- [0198] 즉, Y5 구간에서, 트랜지스터들(T1,Tx)이 턴 온 되고 노드 Q는 게이트 온 전압(VEL)으로 충전된다. 트랜지스터 T6은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 되고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다. 그리고, 노드 QB는 트랜지스터 T10의 턴 온에 의해 게이트 오프 전압(VEH)으로 충전되고, 트랜지스터 T7은 턴 오프 된다.
- [0199] Y5 구간에서, 트랜지스터 Ty'가 게이트 오프 전압(VEH)의 제3 글로벌 신호(GLB3)에 따라 턴 오프 되고, 트랜지스터 Ty가 게이트 오프 전압(VEH)의 노드 QB에 따라 턴 오프 된다.
- [0200] 도 13f를 참조하면, Y6 구간에서 제2 글로벌 신호(GLB2)와 제1 클럭신호(ECLK1)가 게이트 온 전압(VEL)으로 반전 된다. 그리고, 제1 글로벌 신호(GLB1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 제2 클럭신호(ECLK2)와 전단 캐리신호(EM(n-1))와 제3 글로벌 신호(GLB3)는 게이트 오프 전압(VEH)으로 입력된다.
- [0201] Y6 구간에서, 트랜지스터들(T1,Ty,Ty',T3)이 턴 오프 되기 때문에, 노드 Q는 플로팅되고, Y5 구간에서의 게이트 온 전압(VEL)을 유지한다. 트랜지스터들(T5,T6,T10)은 게이트 온 전압(VEL)의 노드 Q에 따라 턴 온 상태를 유지한다. 그리고, 게이트 온 전압(VEL)이 제n 에미션 신호(EM(n))로서 트랜지스터 T6을 통해 노드 NO에 출력된다.
- [0202] Y6 구간에서, 커패시터 CQ의 일측 전극에는 게이트 온 전압(VEH)의 제1 클럭신호(ECLK1)가 인가된다. 노드 Q의 전압은 커패시터 CQ의 커플링 효과에 의해 게이트 온 전압(VEL)으로 안정된다.
- [0203] Y6 구간에서, 게이트 온 전압(VEL)의 제2 글로벌 신호(GLB2)에 의해 트랜지스터 Tz가 턴 온 되고, 게이트 온 전압(VEL)의 제1 클럭신호(ECLK1)에 의해 트랜지스터 T9이 턴 온 된다. 따라서, 노드 QB가 게이트 오프 전압으로 충전되고, 트랜지스터 T7이 턴 오프 된다.
- [0204] Y6 구간에서, 트랜지스터들 Ty',Ty은 턴 오프 상태를 유지한다. 이때, 노드 Q와 제1 글로벌 신호(GLB1)는 모두 게이트 온 전압(VEL)이므로, 트랜지스터들 Ty',Ty의 양단 전압 즉, 노드 Q와 제1 글로벌 신호(GLB1)의 입력단 간의 전압차는 제로이다. 따라서, 턴 오프 된 트랜지스터들 Ty',Ty에 가해지는 부하가 최소화된다.
- [0205] 도 13g를 참조하면, Y7 구간에서 제2 글로벌 신호(GLB2)가 게이트 오프 전압(VEH)으로 반전된다. 그리고, 제1 글로벌 신호(GLB1)와 제1 클럭신호(ECLK1)와 후단 캐리신호(EM(n+1))는 게이트 온 전압(VEL)으로 입력되고, 제2 클럭신호(ECLK2)와 전단 캐리신호(EM(n-1))와 제3 글로벌 신호(GLB3)는 게이트 오프 전압(VEH)으로 입력된다.
- [0206] Y7 구간의 동작은 Y1 구간의 동작과 실질적으로 동일하다.
- [0207] Y7 구간에서, 트랜지스터 T7은 게이트 온 전압(VEL)의 노드 QB에 따라 턴 온 되고, 게이트 오프 전압(VEH)이 제n 에미션 신호(EM(n))로서 노드 NO를 통해 출력된다.
- [0208] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

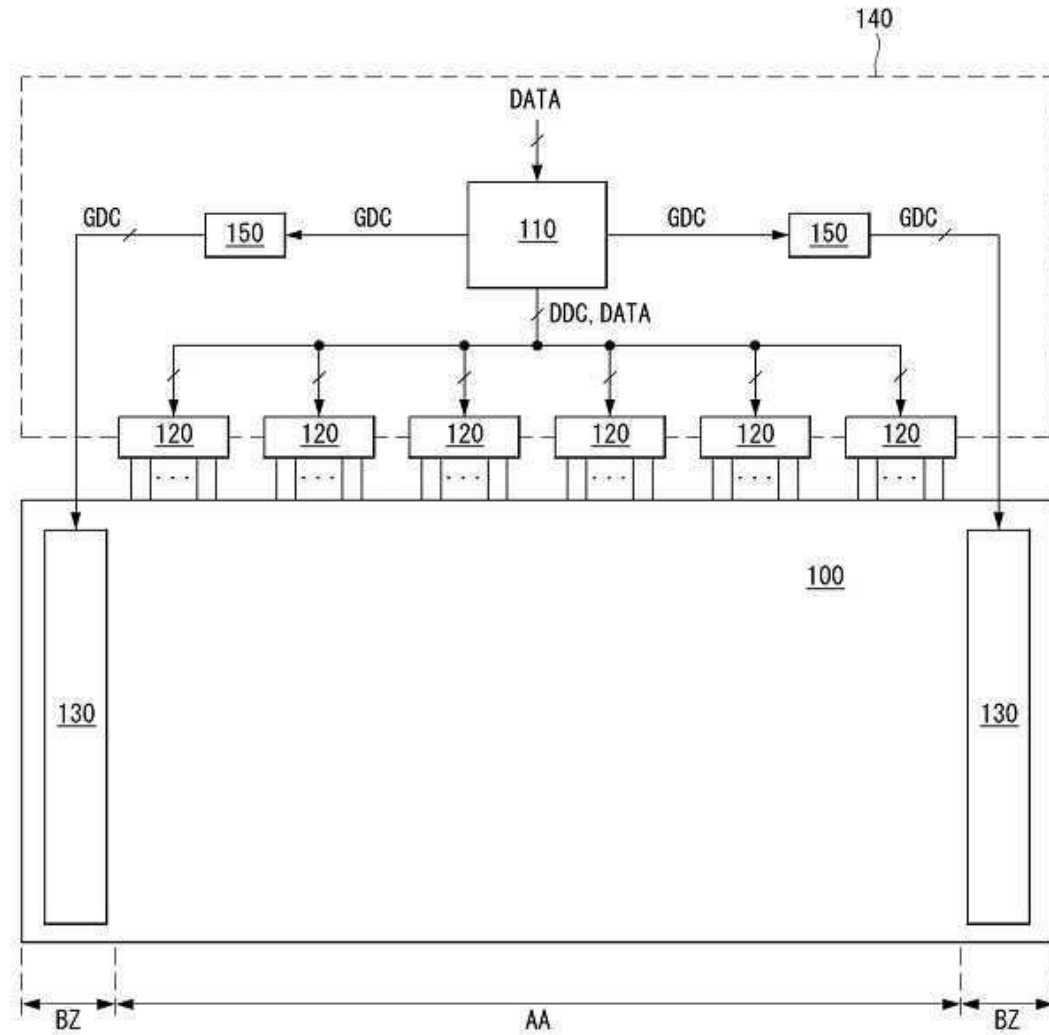
[0209]

100 : 표시패널 110 : 타이밍 컨트롤러

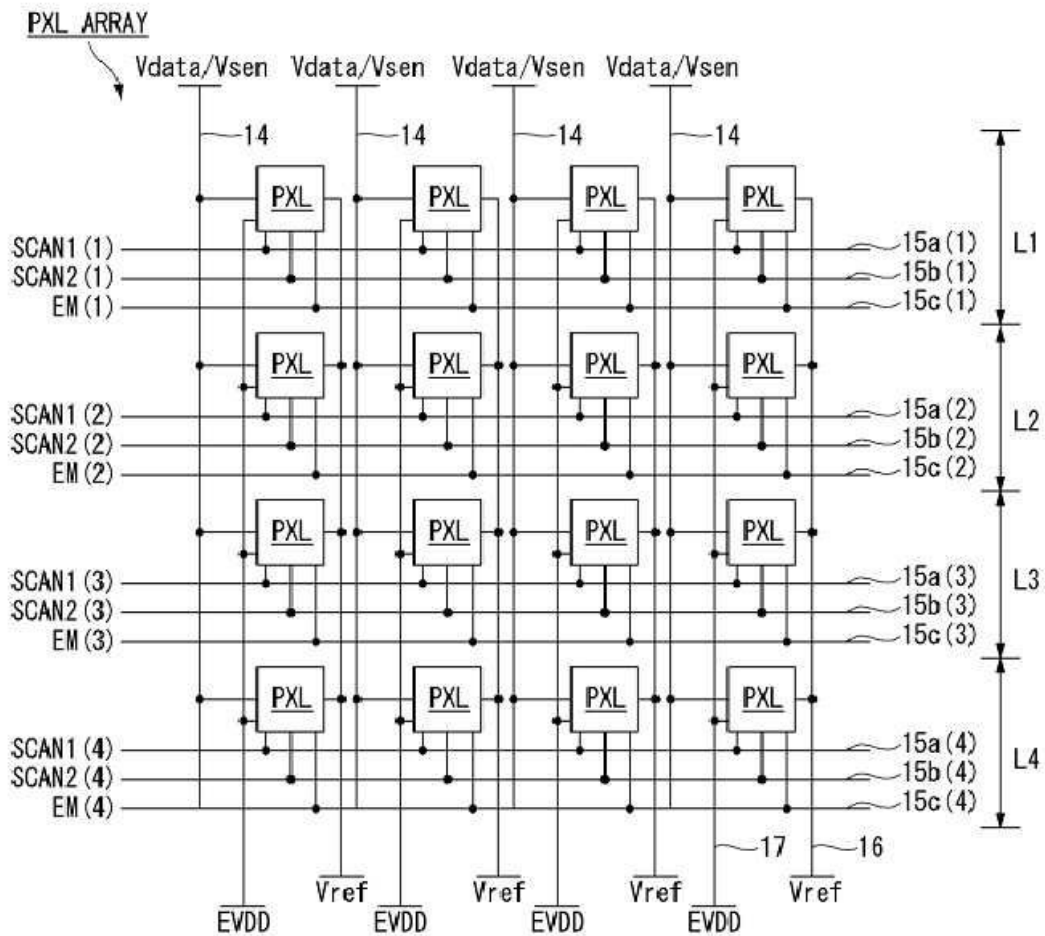
120 : 데이터 드라이버 130 : 게이트 드라이버

도면

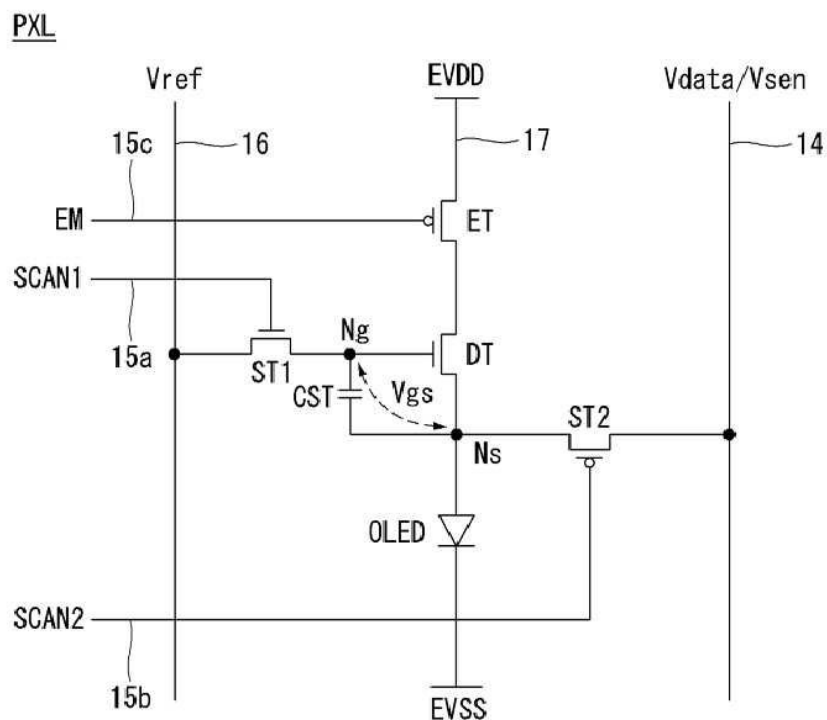
도면1



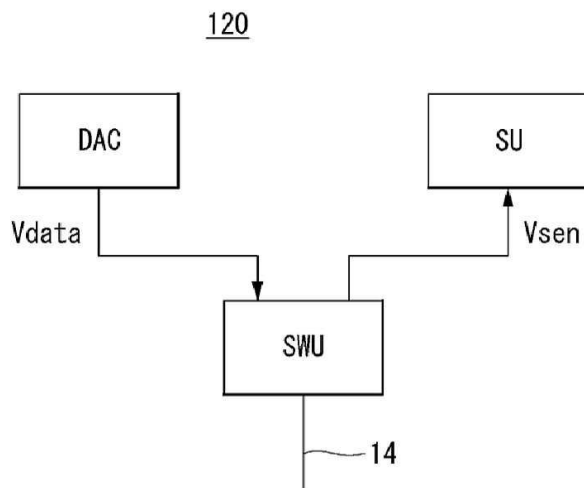
도면2



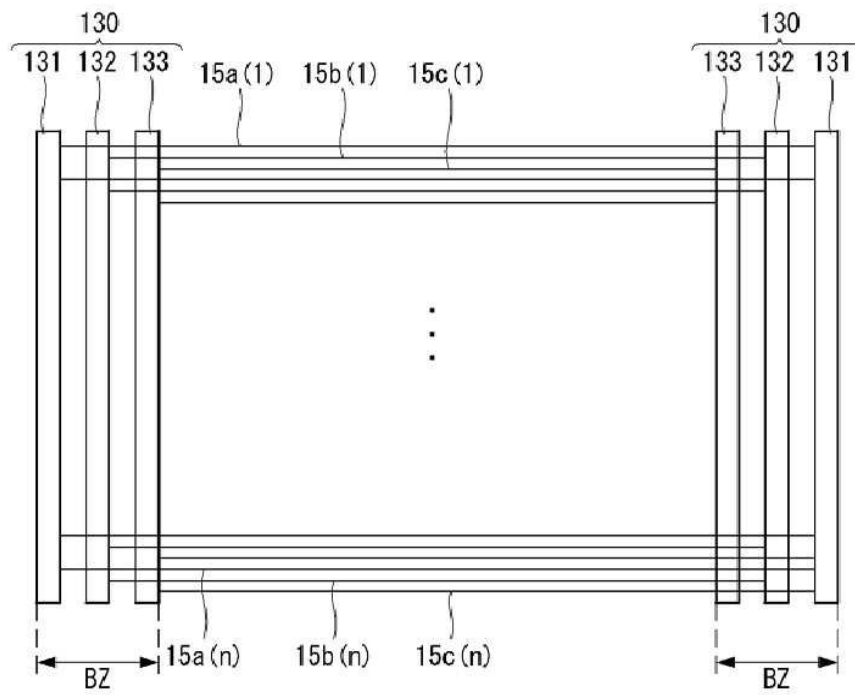
도면3



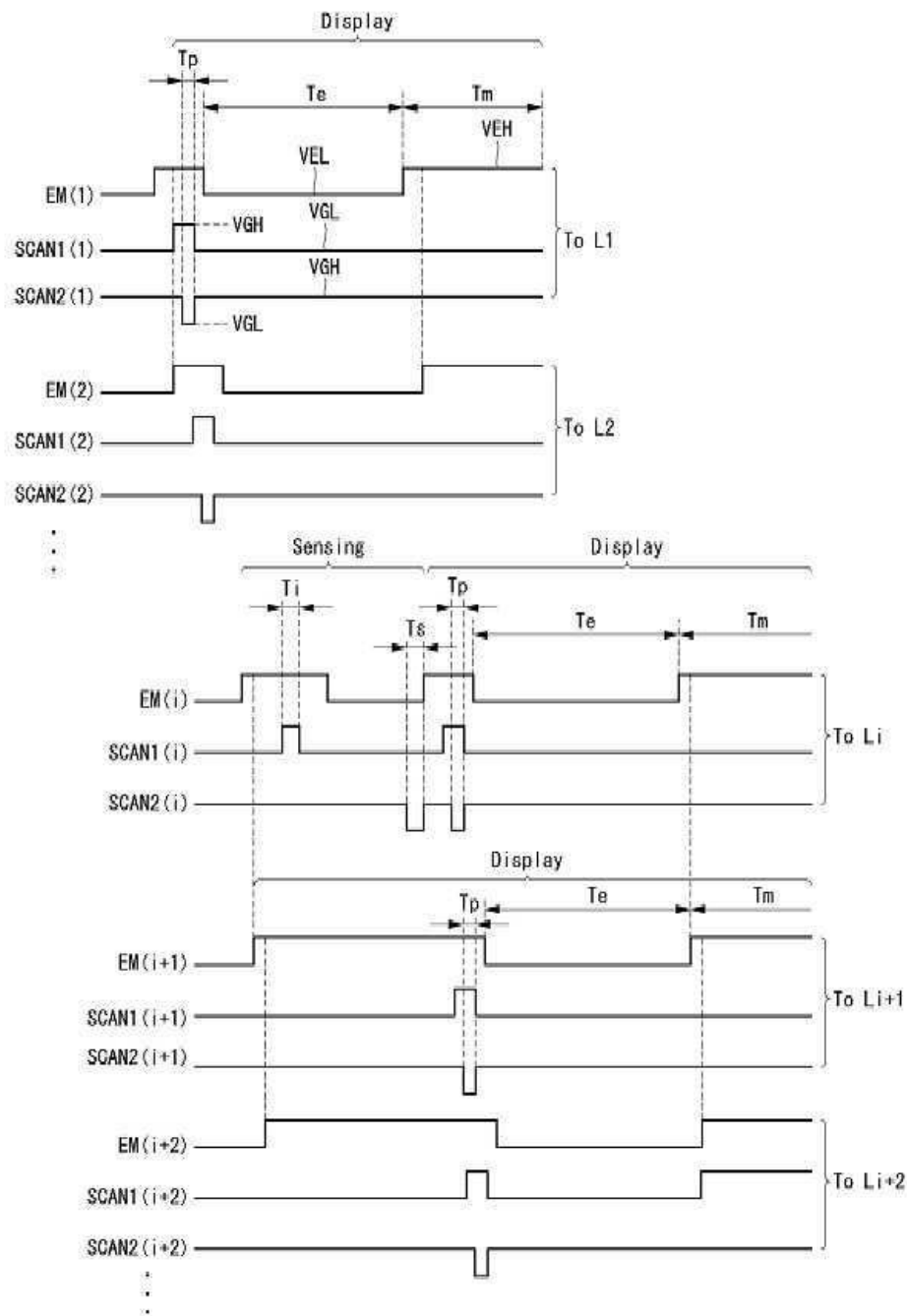
도면4



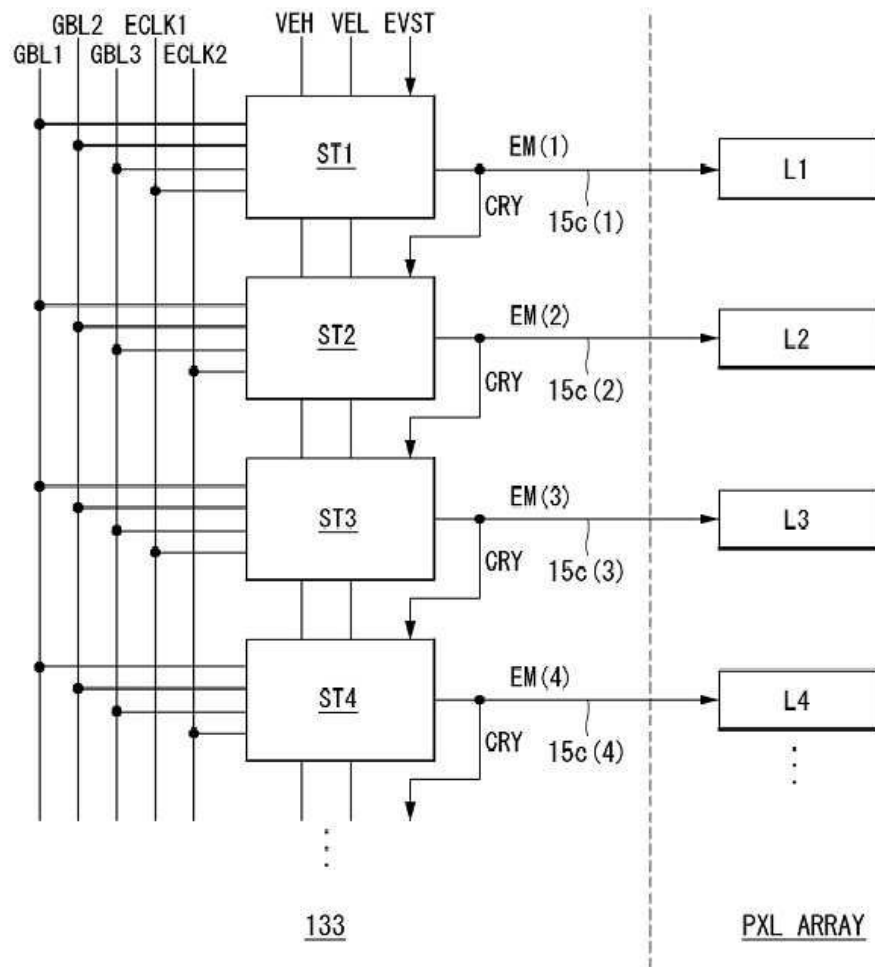
도면5



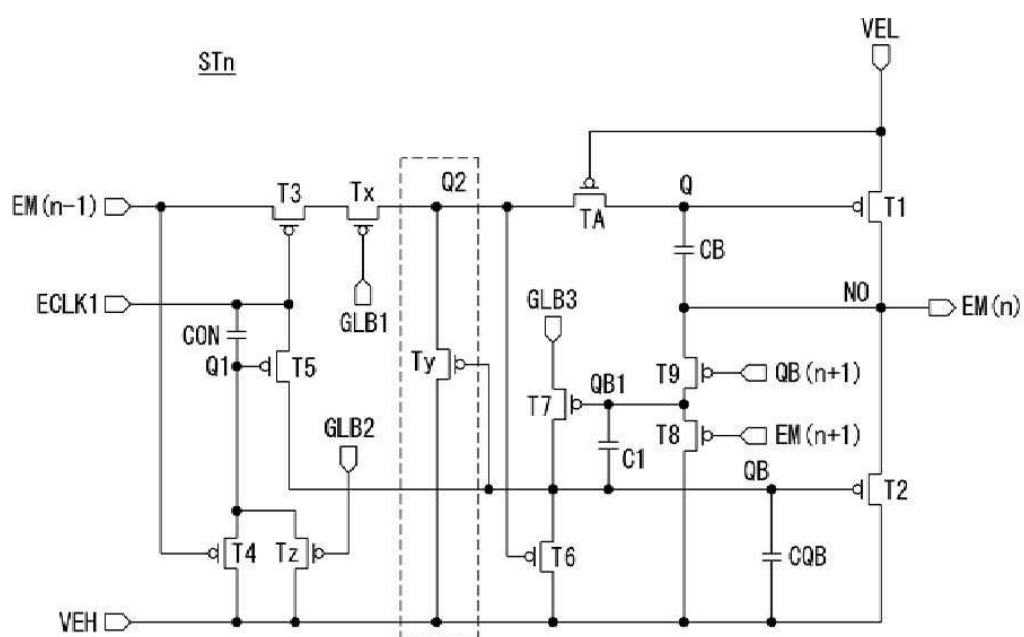
도면6



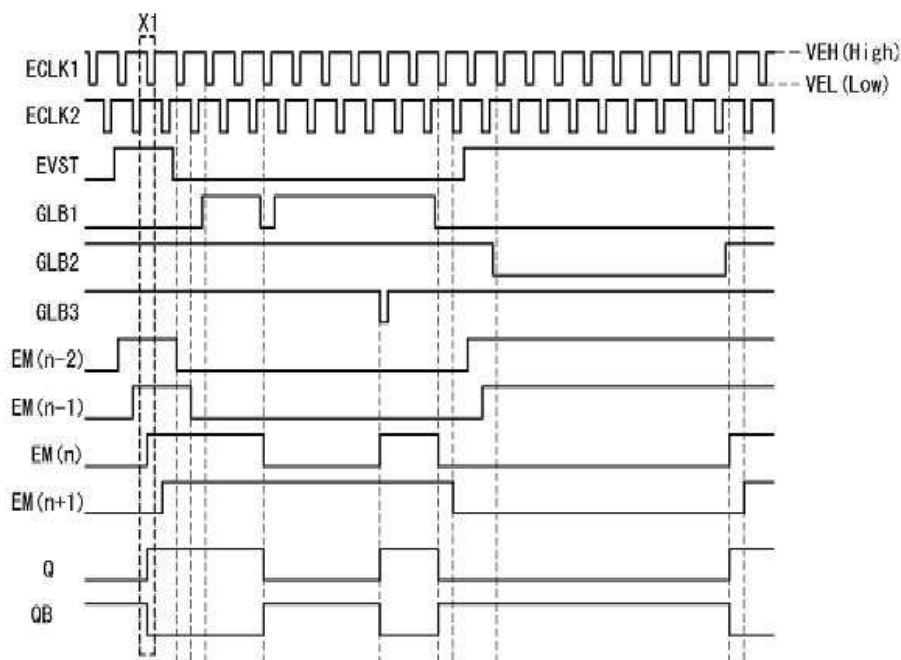
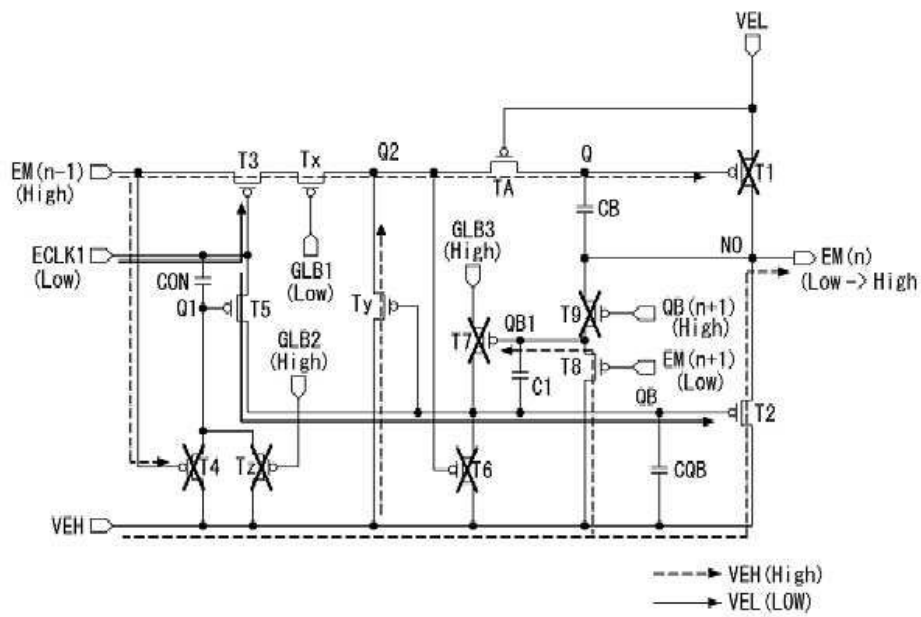
도면7



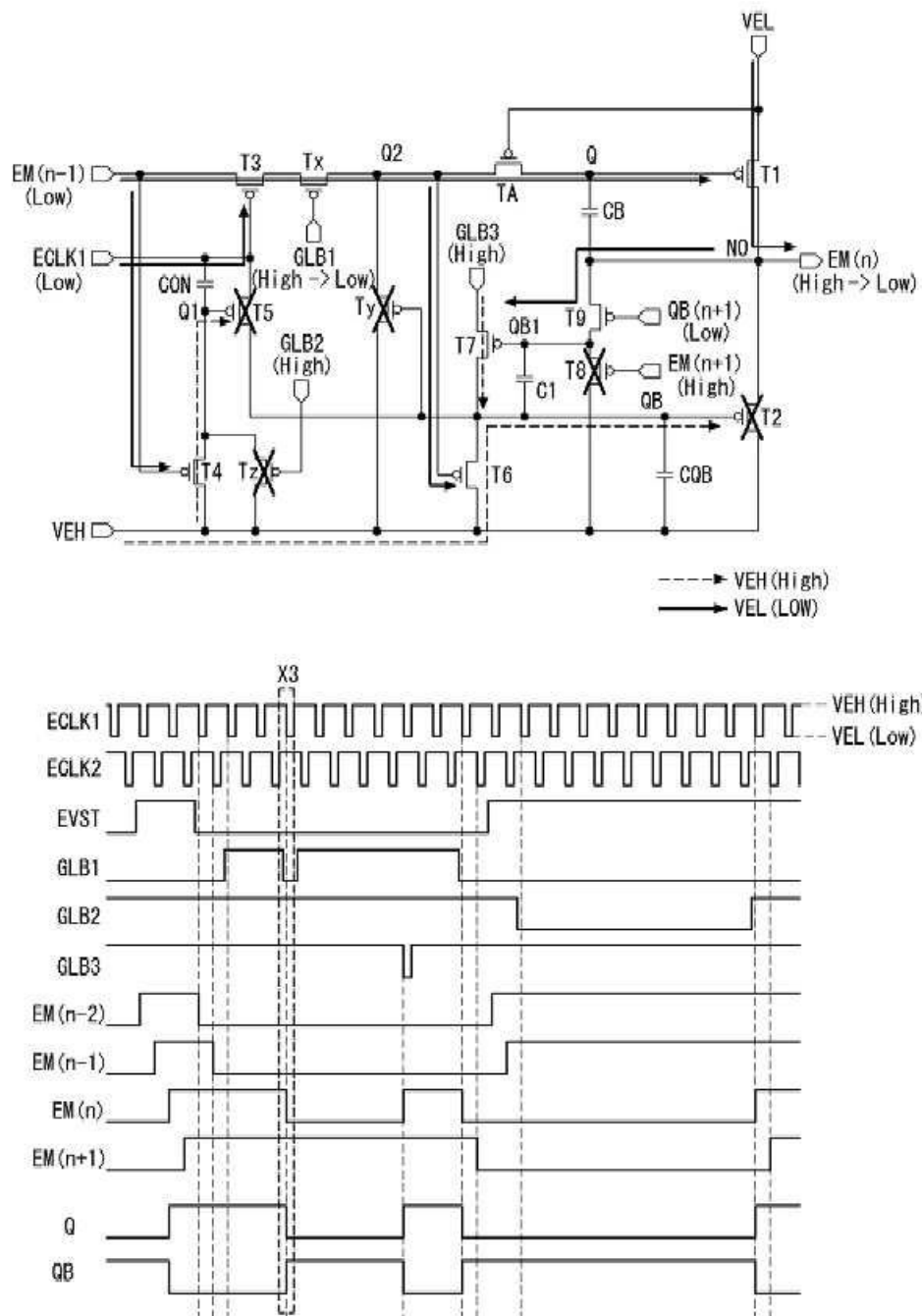
도면8



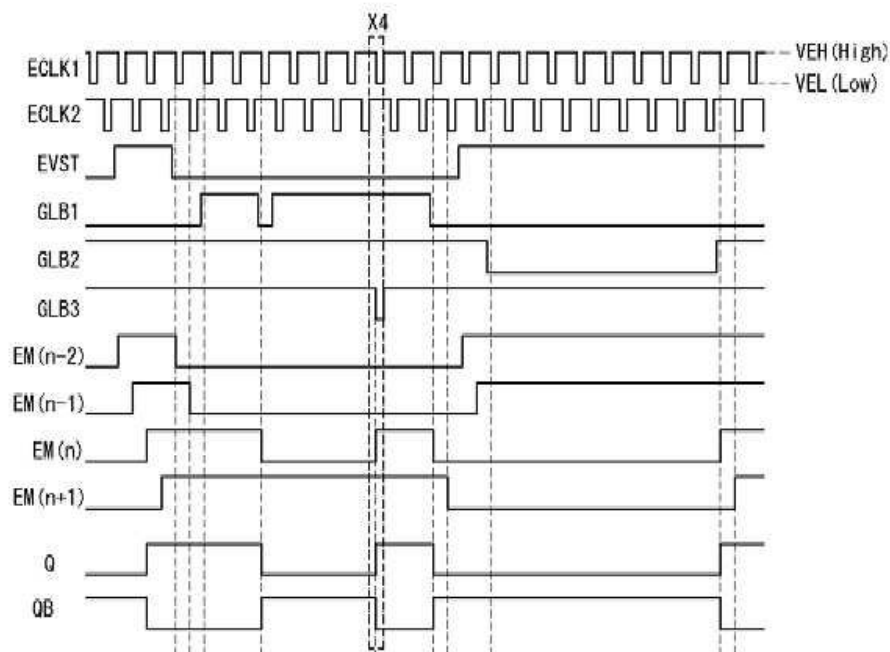
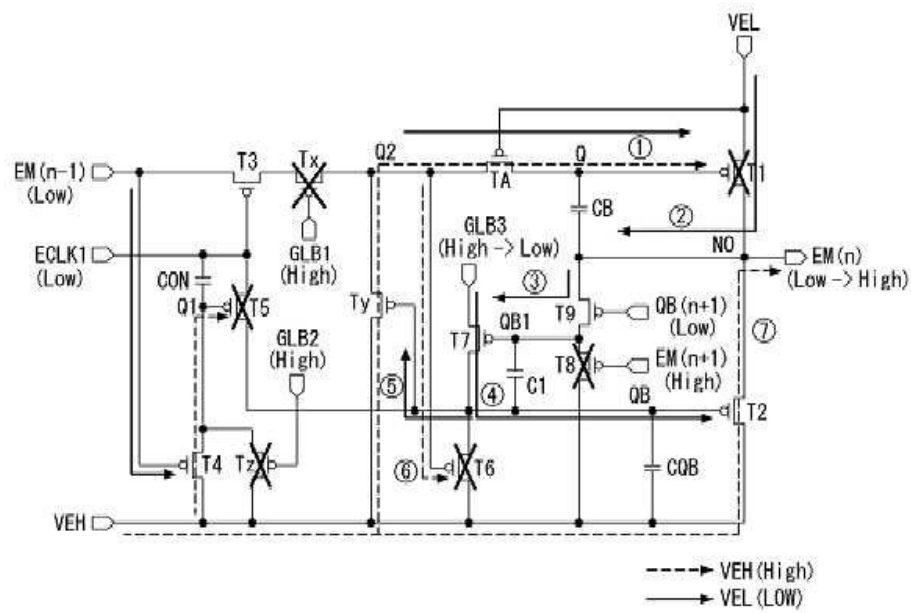
도면9a



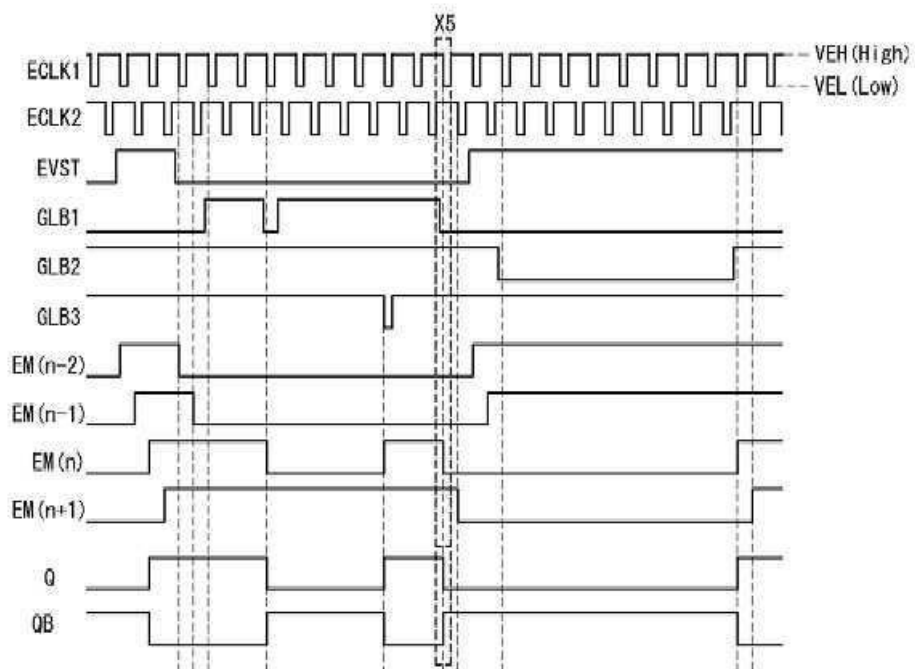
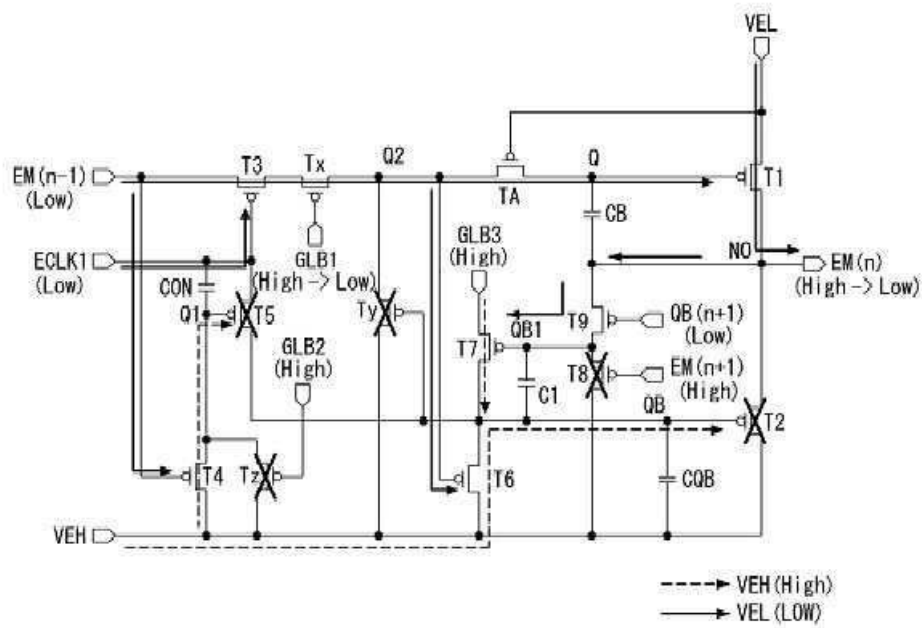
도면9c



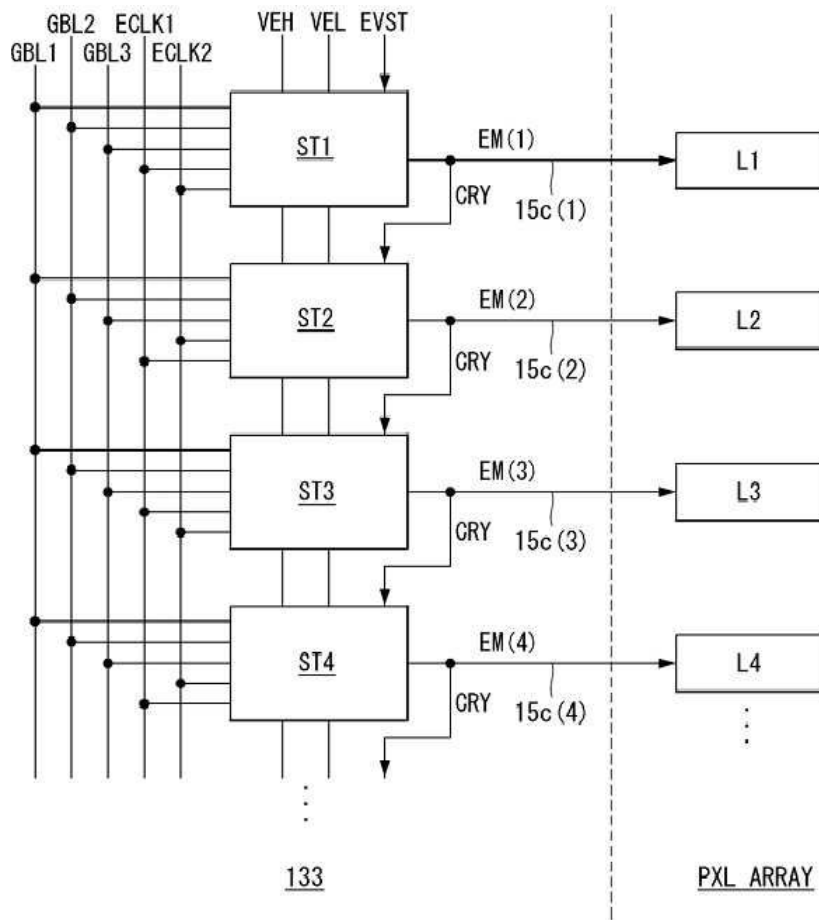
도면9d



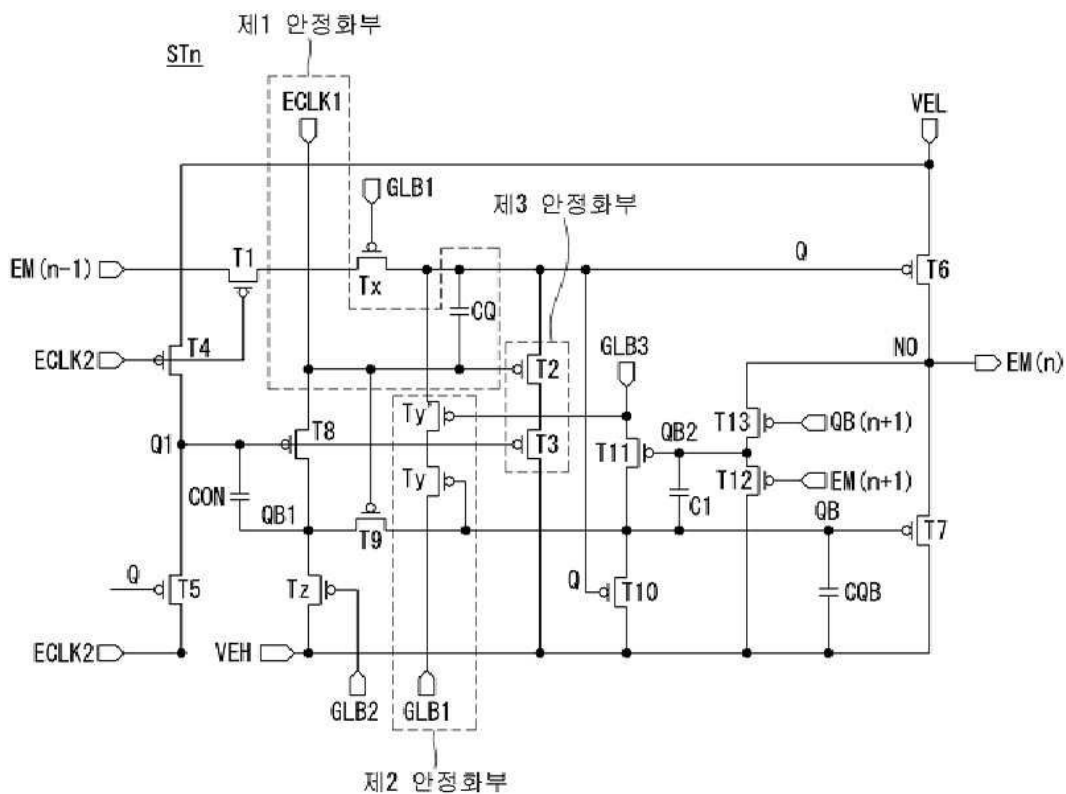
도면9e



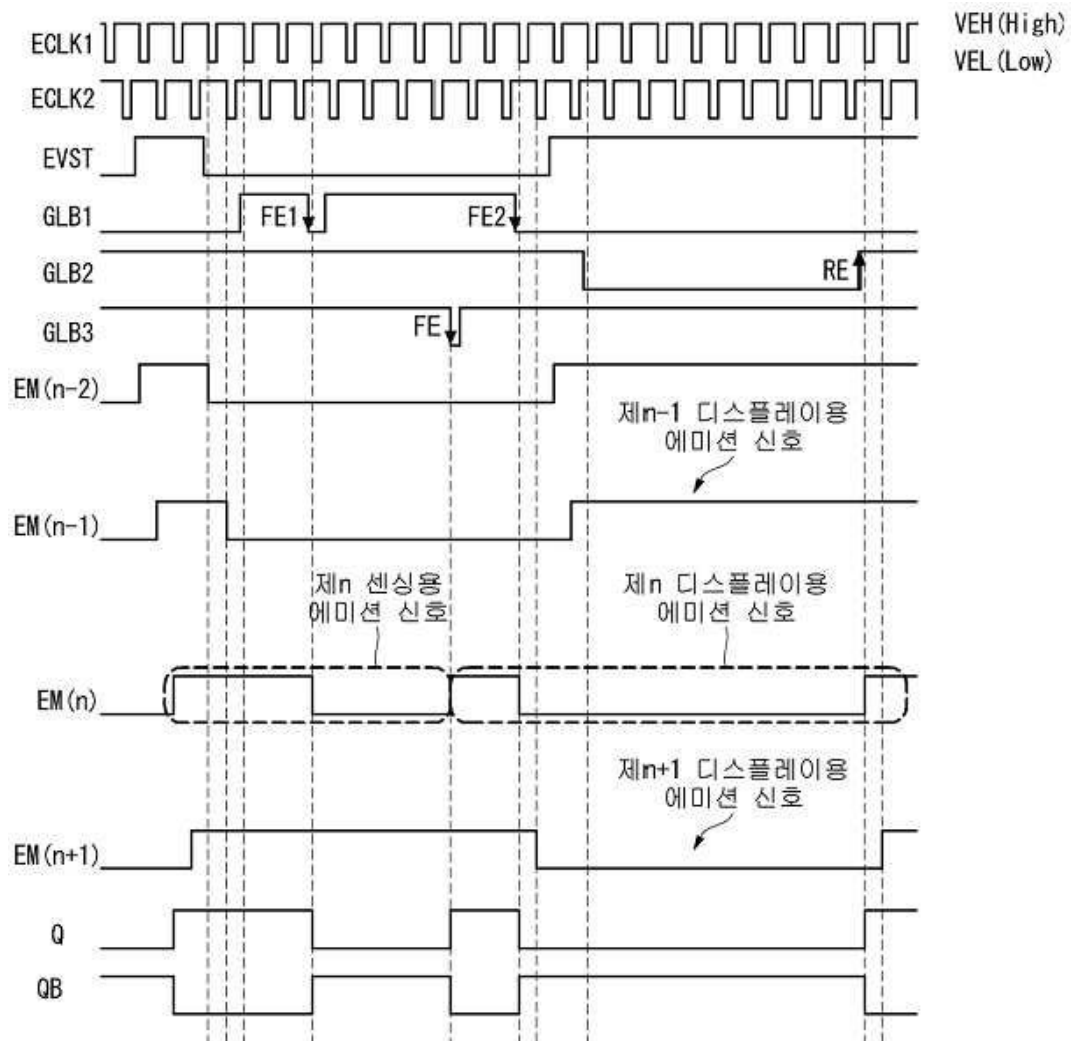
도면10



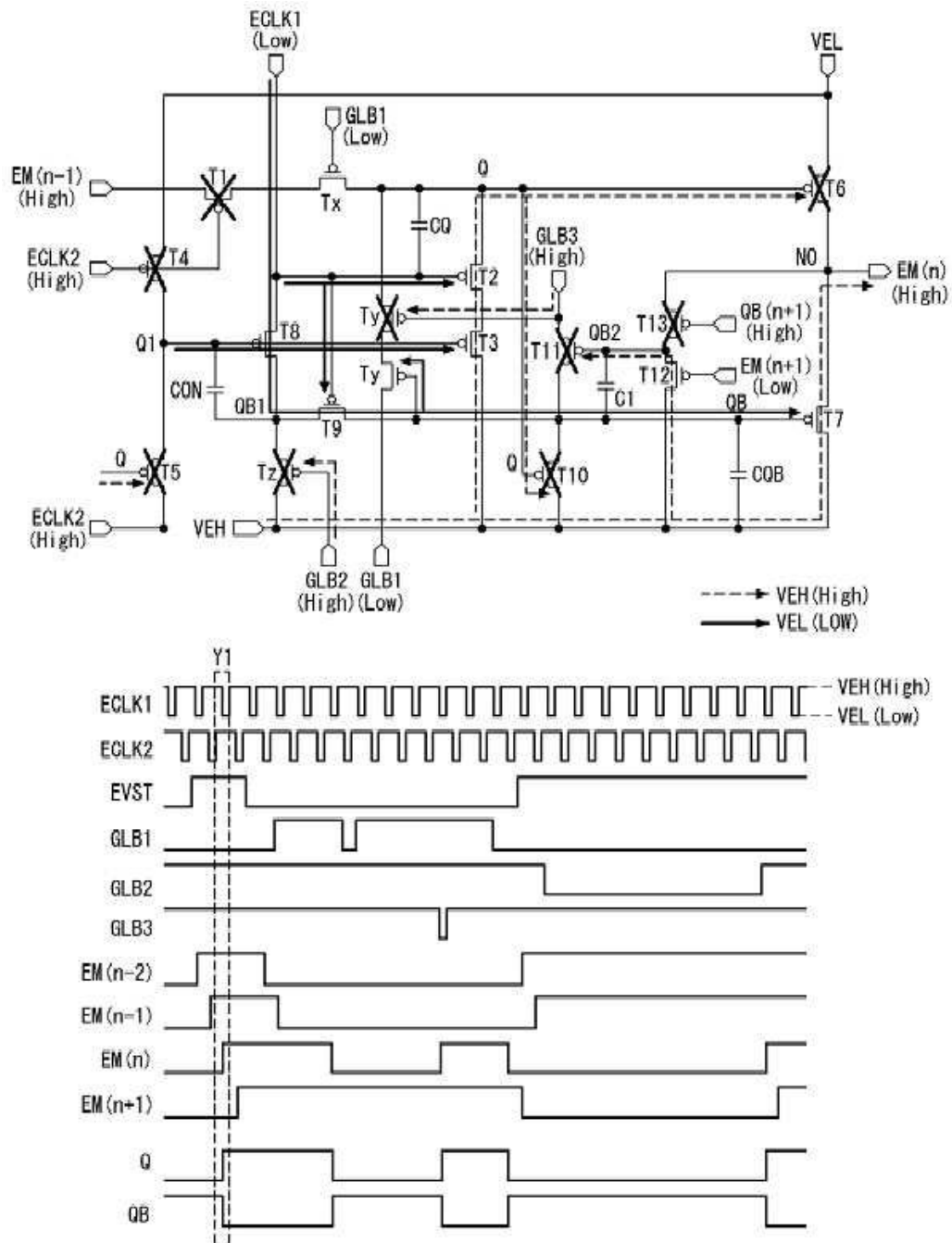
도면11



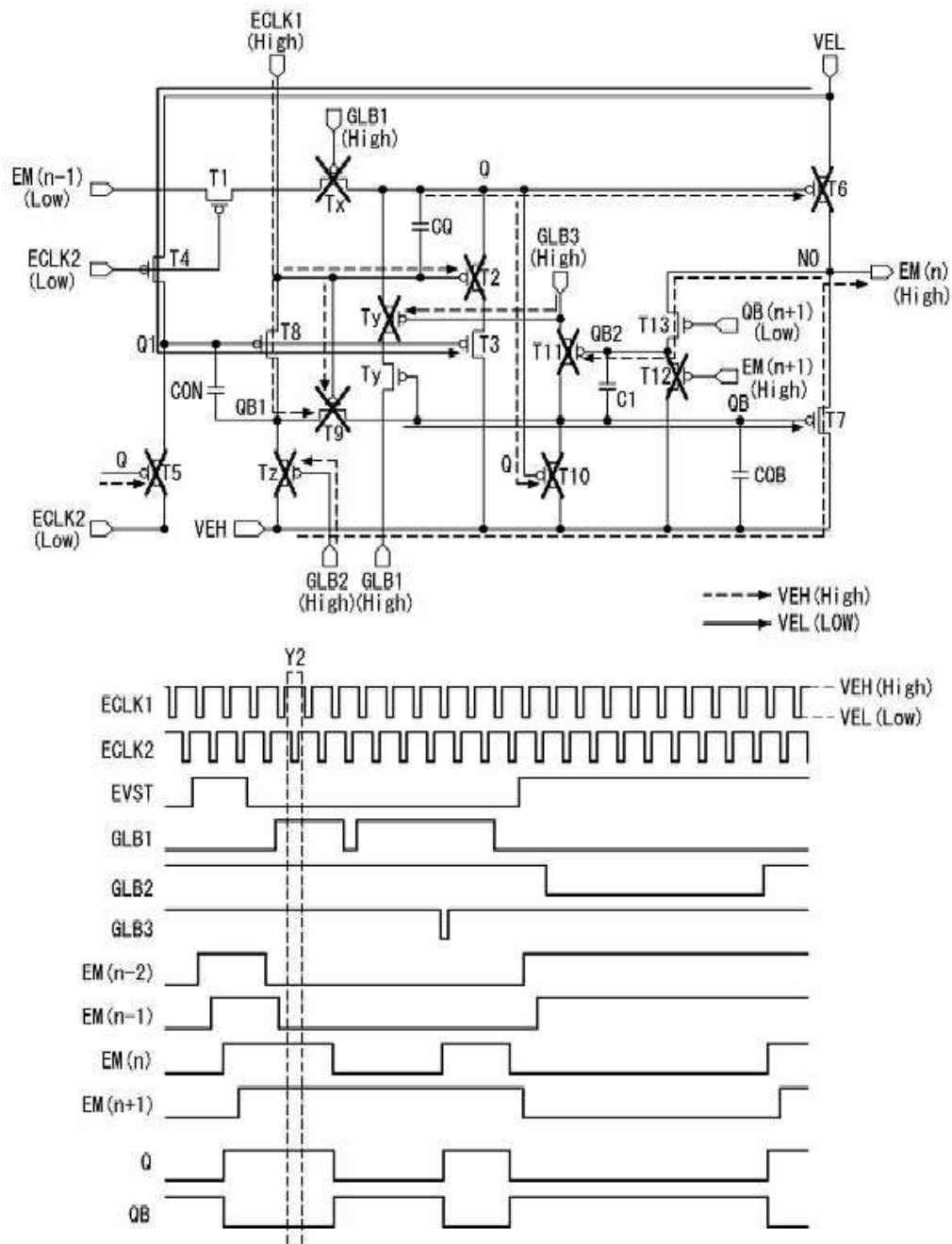
도면12



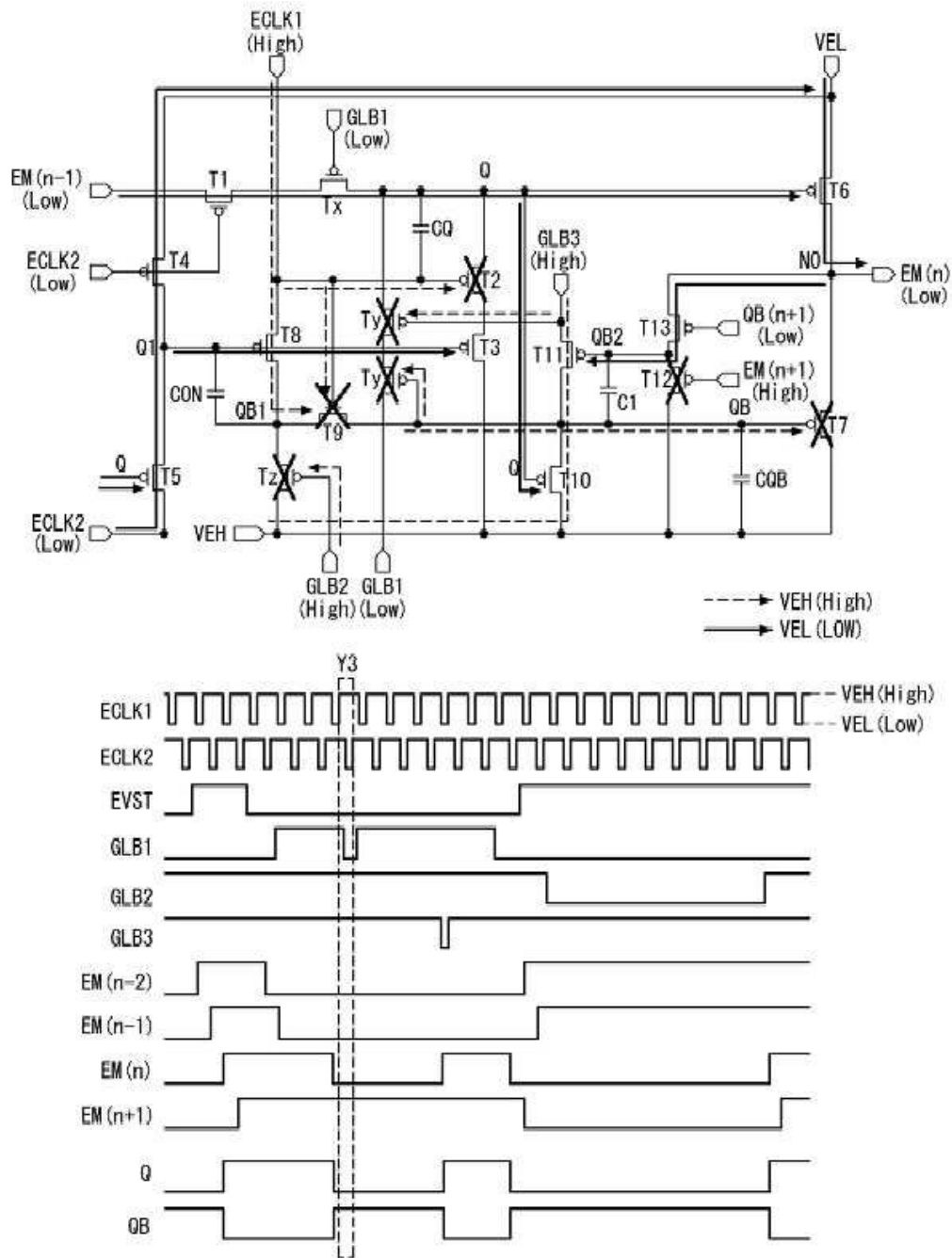
도면13a



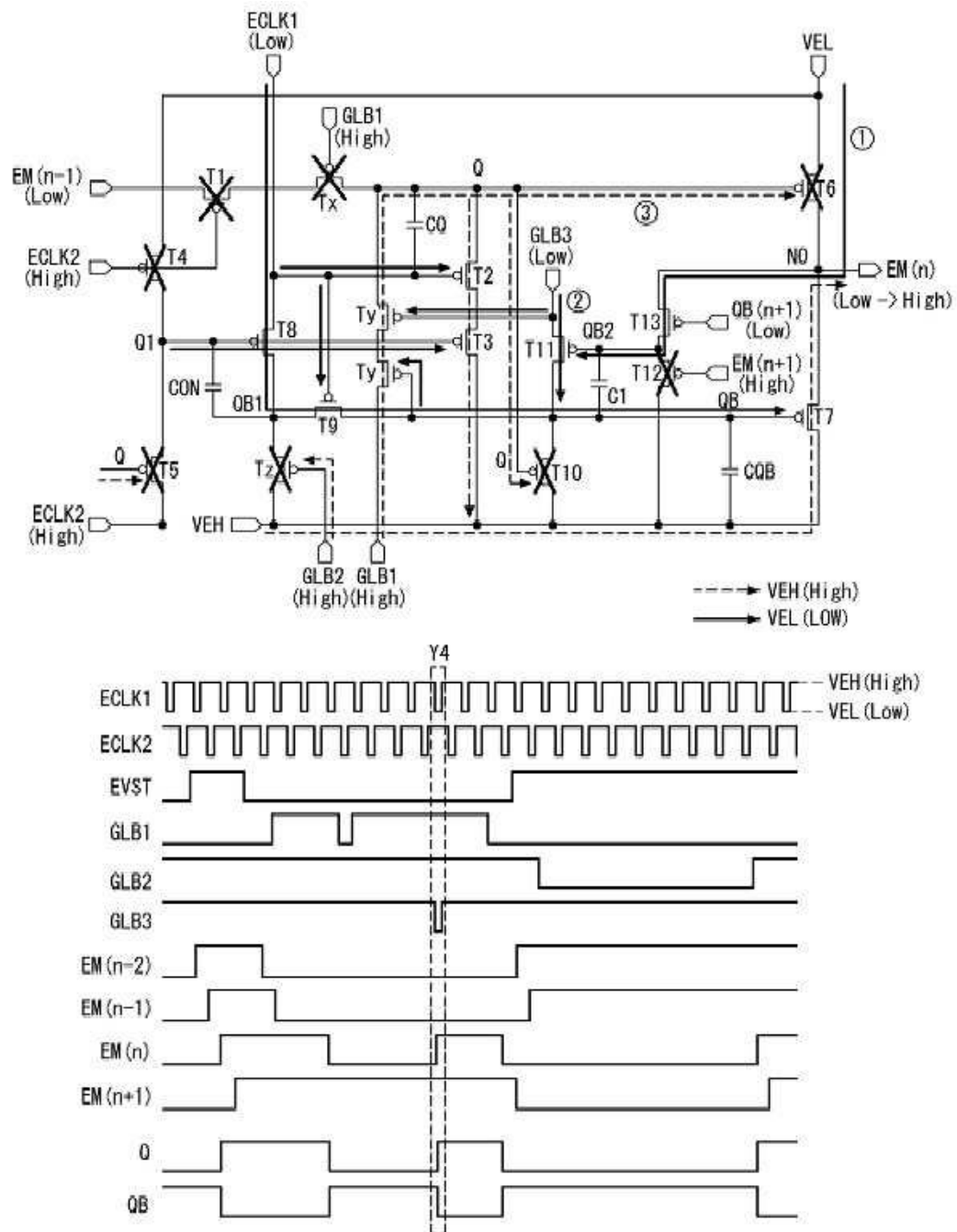
도면13b



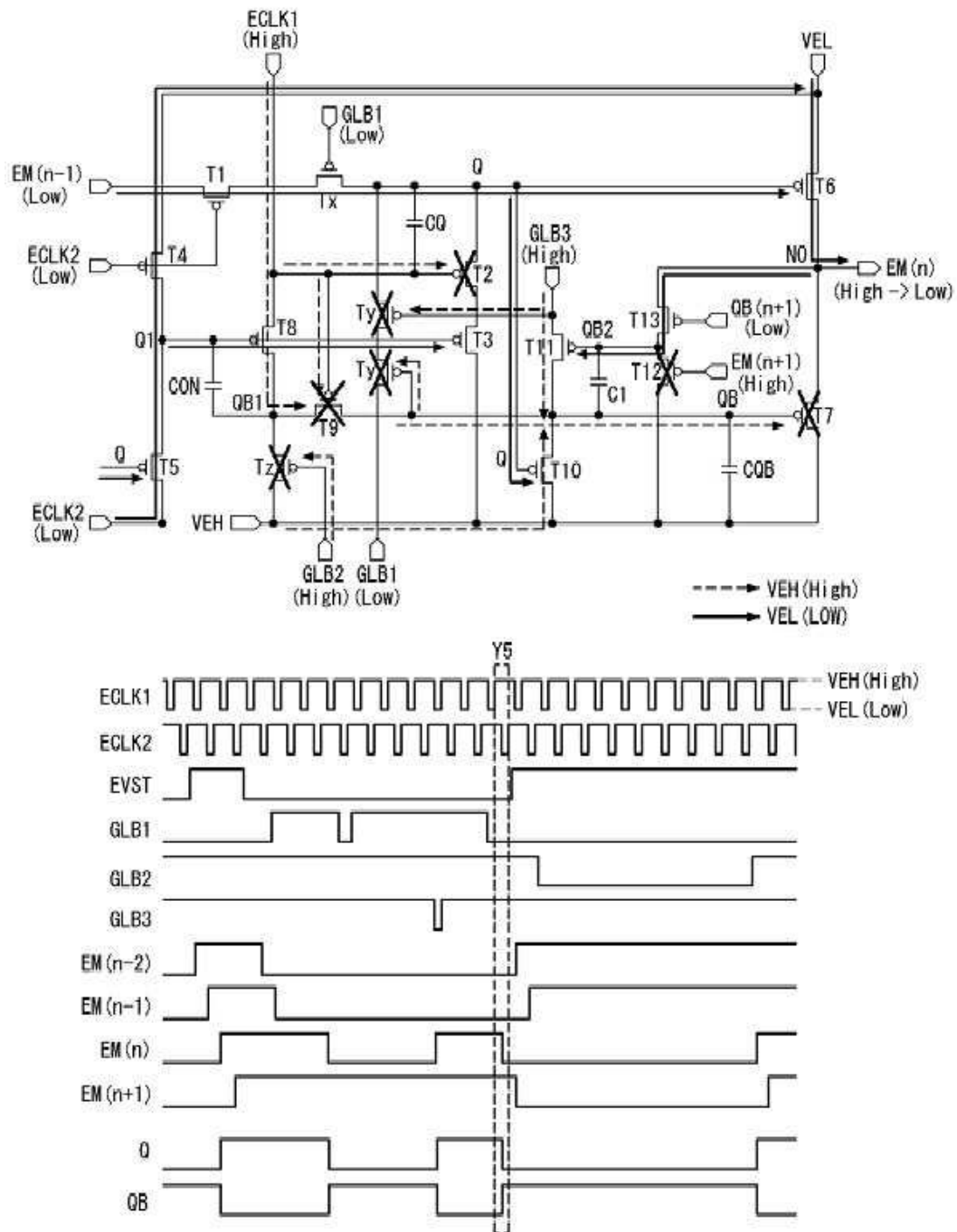
도면13c



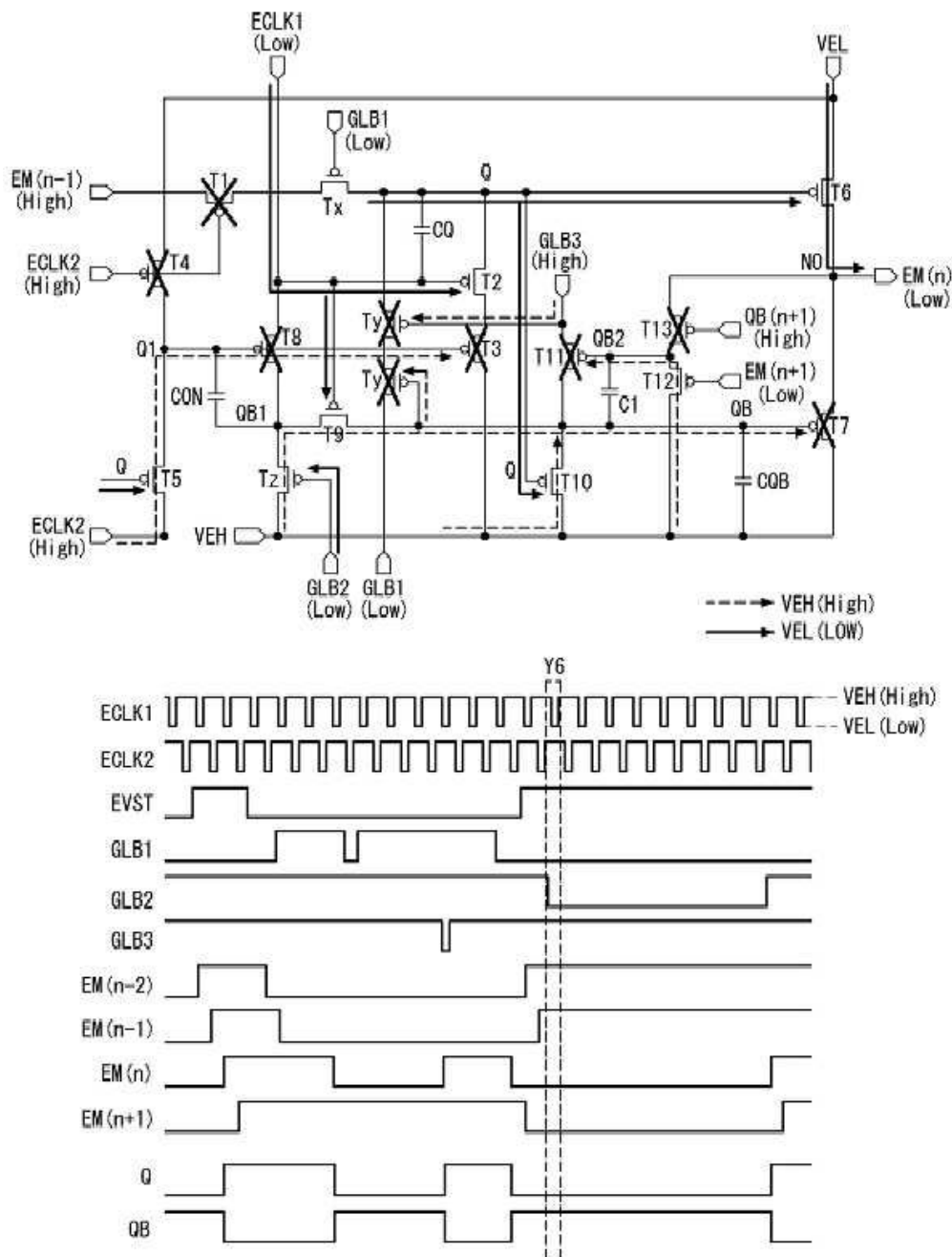
도면13d



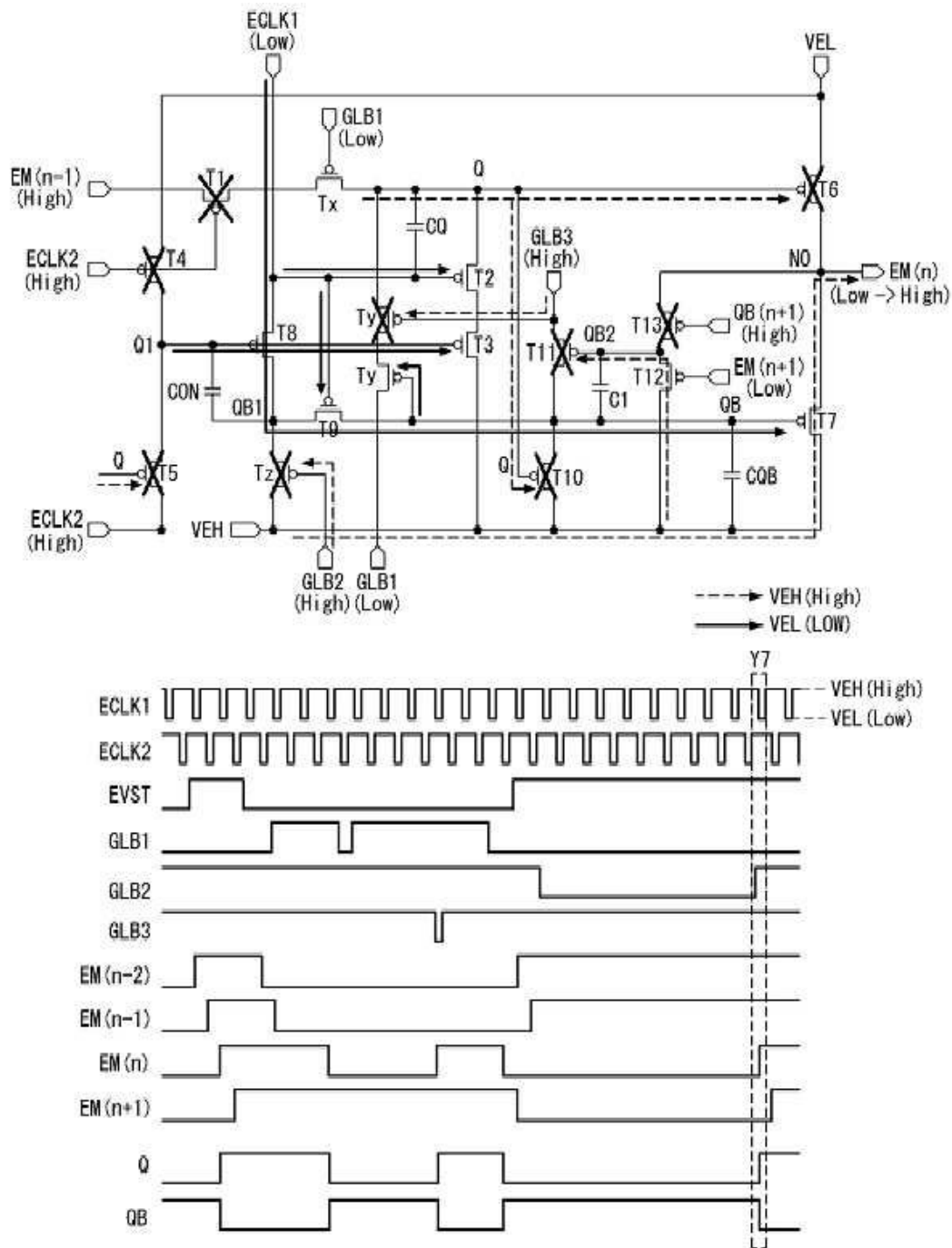
도면13e



도면13f



도면13g



专利名称(译)	用于外部补偿的栅极驱动器及包括该栅极驱动器的有机发光显示装置		
公开(公告)号	KR1020200030422A	公开(公告)日	2020-03-20
申请号	KR1020180109277	申请日	2018-09-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김민수 박해준		
发明人	김민수 박해준		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0828 G09G2310/08 G09G2320/0214 G09G2320/045 G09G2330/028		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

根据本说明书的一个实施例,能够改善驱动可靠性的用于外部补偿的栅极驱动器具有多个阶段。在这些级中,第n级连续输出用于感测的第n个发射信号和用于显示的第n个发射信号,第(n-1)级则为第一个级输出第(n-1)^个发射信号。具有比用于感测的第n个发射信号的相位提前的相位的显示器,并且第(n+1)个级输出用于具有比该相位的相位晚的相位的显示器的第(n+1)个发射信号。用于感测的第n个发射信号。

