



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0082691
(43) 공개일자 2019년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/22 (2010.01) H01L 33/44 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2019-0074020
(22) 출원일자 2019년06월21일
심사청구일자 없음

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
최환준
서울특별시 서초구 양재대로11길 19 LG전자 특허
센터
(74) 대리인
김용인, 방해철

전체 청구항 수 : 총 16 항

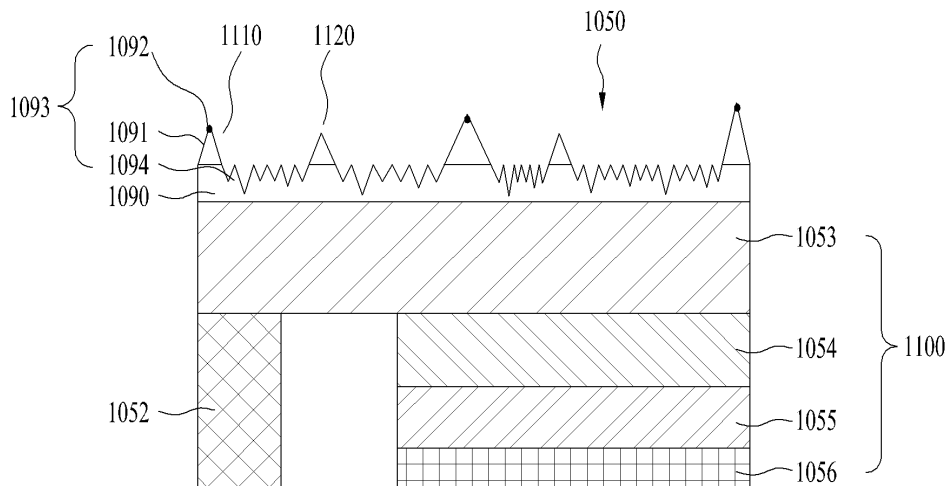
(54) 발명의 명칭 마이크로 LED를 이용한 디스플레이 장치 및 이의 제조 방법

(57) 요약

본 발명은 간단한 공정으로 제조 가능하고, 우수한 광 추출 효율을 갖는 마이크로 LED 를 이용한 디스플레이 장치 및 이의 제조 방법에 관한 것이다. 본 발명에 따른 디스플레이 장치는, 복수의 반도체 발광 소자들을 구비하는 디스플레이 장치를 제공한다. 구체적으로, 본 발명에 구비되는 반도체 발광 소자들 중 적어도 하나는, 제 1도

(뒷면에 계속)

대표도 - 도11



전형 반도체층, 활성층 및 제 2 도전형 반도체층을 포함하는 반도체 발광 구조; 및 상기 반도체 발광 구조의 제 2도전형 반도체층의 상부에 구비되는 광 추출 구조;를 포함하고, 상기 광 추출 구조는, 상기 제 2도전형 반도체층의 수직 방향으로 돌출되는 복수의 유기 돌기 및 상기 제 2도전형 반도체층의 상면의 일정 영역에 형성되는 요철 패턴을 포함하고, 상기 복수의 유기 돌기 중 적어도 하나는, 돌기의 단부에 위치하는 나노 파티클 및 상기 나노 파티클을 지지하는 유기물을 포함하고, 상기 제 2도전형 반도체층의 상면은, 상기 복수의 유기 돌기 중 제 1 유기 돌기가 위치하는 제 1계면, 상기 복수의 유기 돌기 중 제 2유기 돌기가 위치하는 제 2계면 및 상기 제 1계면과 상기 제 2계면 사이에 유기 돌기가 위치하지 않은 제 3계면이 존재하고, 상기 요철 패턴은 상기 제 3계면에 형성되는 것을 특징으로 한다.

(52) CPC특허분류

H01L 33/0075 (2013.01)

H01L 33/22 (2013.01)

H01L 33/44 (2013.01)

명세서

청구범위

청구항 1

반도체 발광 소자를 이용하는 디스플레이 장치에 있어서,

상기 반도체 발광 소자는,

제 1도전형 반도체층, 활성층 및 제 2 도전형 반도체층을 포함하는 반도체 발광 구조; 및

상기 반도체 발광 구조의 제 2도전형 반도체층의 상부에 구비되는 광 추출 구조;를 포함하고,

상기 광 추출 구조는,

상기 제 2도전형 반도체층의 수직 방향으로 돌출되는 복수의 유기 돌기 및 상기 제 2도전형 반도체층의 상면의 일정 영역에 형성되는 요철 패턴을 포함하고,

상기 복수의 유기 돌기 중 적어도 하나는,

돌기의 단부에 위치하는 나노 파티클 및 상기 나노 파티클을 지지하는 유기물을 포함하고,

상기 제 2도전형 반도체층의 상면은,

상기 복수의 유기 돌기 중 제 1유기 돌기가 위치하는 제 1계면, 상기 복수의 유기 돌기 중 제 2유기 돌기가 위치하는 제 2계면 및 상기 제 1계면과 상기 제 2계면 사이에 유기 돌기가 위치하지 않은 제 3계면이 존재하고,

상기 요철 패턴은 상기 제 3계면에 형성되는 것을 특징으로 하는 디스플레이 장치.

청구항 2

제 1항에 있어서,

상기 나노 파티클과 상기 제 2도전형 반도체층은 서로 다른 식각비를 가지며, 상기 나노 파티클의 제 1식각비(Etching Ratio)는 상기 제 2도전형 반도체층의 제 2식각비보다 낮은 것을 특징으로 하는 디스플레이 장치.

청구항 3

제 1항에 있어서,

상기 복수의 유기 돌기의 제 1굴절률은 상기 상기 제 2도전형 반도체층의 제 2굴절률보다 낮은 것을 특징으로 하는 디스플레이 장치.

청구항 4

제 1항에 있어서,

상기 나노 파티클은 TiO_2 , ZnO , ZrO_2 , SiO_2 , Al_2O_3 , SiN_x 중 적어도 하나를 포함하는 것을 특징으로 하는 디스플레이 장치.

청구항 5

제 1항에 있어서,

상기 반도체 발광 소자는 마이크로미터 단위 크기를 가진 LED(Micro-LED)인 것을 특징으로 하는 반도체 발광 소자의 제조 방법.

청구항 6

제 1항에 있어서,

상기 제 1도전형 반도체층 및 상기 제 2도전형 반도체층 중 하나는 P형 GaN층이고, 다른 하나는 N형 GaN층인 것

을 특징으로 하는 디스플레이 장치.

청구항 7

제 1항에 있어서,

상기 유기물은 감광성 유기물인 것을 특징으로 하는 디스플레이 장치.

청구항 8

제 7항에 있어서,

상기 감광성 유기물은 감광성 아크릴레이트, PAC(Photo Active Compounds) 중 적어도 하나를 포함하는 디스플레이 장치.

청구항 9

반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법에 있어서,

제 1기판에 제 1도전형 반도체층, 활성층 및 제 2도전형 반도체층을 포함하는 반도체 발광 구조를 형성하는 단계;

상기 반도체 발광 구조의 상부에 나노 파티클들이 분산된 유기층을 코팅하는 단계;

상기 나노 파티클들의 적어도 일부가 상기 유기층의 표면에 드러나도록 애싱(ashing)하는 단계;

상기 애싱 후 잔존하는 유기층을 식각 마스크로 사용하여 식각 공정을 통해, 상기 반도체 발광 구조의 상부에 광 추출 구조를 형성하는 단계를 포함하는 디스플레이 장치의 제조 방법.

청구항 10

제 9항에 있어서,

상기 광 추출 구조는 상기 식각 공정에 의해, 상기 반도체 발광 구조의 상면에 형성되는 불규칙한 요철 패턴을 포함하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

청구항 11

제 10항에 있어서,

상기 광 추출 구조는 상기 식각 공정에 의해 형성되는 복수의 유기 돌기를 포함하고,

상기 복수의 유기 돌기 중 적어도 하나는, 돌기의 단부에 나노 파티클이 위치하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

청구항 12

제 9항에 있어서,

상기 반도체 발광 구조를 형성하는 단계와 상기 유기층을 코팅하는 단계 사이에, 상기 반도체 발광 구조를 제 2 기판에 전사하는 단계를 포함하는 디스플레이 장치의 제조 방법.

청구항 13

제 9항에 있어서,

상기 유기층을 코팅하는 단계는, 유기 용액을 상기 반도체 발광 구조의 상부에 도포하고, 이후 열에 의해 소프트 베이킹(Baking)하는 단계를 포함하는 디스플레이 장치의 제조 방법.

청구항 14

제 10항에 있어서,

상기 유기층은 감광성 유기층이며,

포토리소그래피(Photo-Lithography) 공정을 통해 상기 반도체 발광 구조의 상기 활성층에 오버랩되는 영역에만 상기 광 추출 구조를 형성하는 단계를 포함하는 디스플레이 장치의 제조 방법.

청구항 15

제 9항에 있어서,

상기 반도체 발광 구조는 버퍼 반도체층을 포함하고,

상기 유기층은 상기 반도체 발광 소자의 상기 버퍼 반도체층 상부에 코팅되는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

청구항 16

제 9항에 있어서,

상기 애싱하는 단계는, O_2 플라즈마를 사용하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 장치 관련 기술 분야에 적용 가능하며, 예를 들어 마이크로 LED(Light Emitting Diode)를 이용한 디스플레이 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근에는 디스플레이 기술분야에서 박형, 플렉서블 등의 우수한 특성을 가지는 디스플레이 장치가 개발되고 있다. 이에 반해, 현재 상용화된 주요 디스플레이는 LCD(Liquid Crystal Display)와 OLED(Organic Light Emitting Diodes)로 대표되고 있다.

[0003] 그러나, LCD의 경우에 빠르지 않은 반응 시간과, 플렉서블의 구현이 어렵다는 문제점이 있고, OLED의 경우에 수명이 짧고, 양산 수율이 좋지 않다는 문제점이 있다.

[0004] 한편, 발광 다이오드(Light Emitting Diode: LED)는 전류를 빛으로 변환시키는 것으로 잘 알려진 반도체 발광 소자로서, 1962년 GaAsP 화합물 반도체를 이용한 적색 LED가 상품화된 것을 시작으로 GaP:N 계열의 녹색 LED와 함께 정보 통신기기를 비롯한 전자장치의 표시 화상용 광원으로 이용되어 왔다. 따라서, 상기 반도체 발광 소자를 이용하여 디스플레이를 구현하여, 전술한 문제점을 해결하는 방안이 제시될 수 있다. 상기 반도체 발광 소자는 필라멘트 기반의 발광 소자에 비해 긴 수명, 낮은 전력 소모, 우수한 초기 구동 특성, 및 높은 진동 저항 등의 다양한 장점을 갖는다.

[0005] 이러한 반도체 발광소자는 점차 고출력, 고효율 제품 중심으로 연구되고 있으며, 특히 질화갈륨(GaN)계 반도체 발광 소자가 중점적으로 연구되고 있다.

[0006] GaN계 반도체 발광 소자의 경우 내부양자효율이 비교적 우수하여 광 발생 측면에서 높은 효율을 갖는다. 그러나 주변 물질에 비해 높은 굴절률(2.3 내지 2.8)로 인해 광 추출 효율이 낮다. 따라서 일반적인 구조의 GaN계 반도체 발광 소자는 활성층에서 발생된 빛의 상당 부분이 소자 외부로 추출되지 못하고 내부에서 소멸된다. 더구나, 반도체 발광 소자를 빠져나가지 못한 빛은 반도체 발광 소자 내부를 이동하다가 열로 바뀌어, 결과적으로 발광 효율은 낮추고, 열 발생량은 늘려 반도체 발광 소자의 수명을 단축시키게 된다.

[0007] 따라서 반도체 발광 소자를 이용하여 디스플레이 장치를 구현하기 위해서는 우수한 광 추출 효율을 가지는 반도체 발광 소자의 개발이 요구된다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 실시예의 목적은, 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공하는 것이다.

- [0009] 본 발명의 일 실시예의 다른 목적은, 간단한 공정으로 제조 가능하고, 우수한 광 추출 효율을 갖는 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공하는 것이다.
- [0010] 나아가, 본 발명의 일 실시예의 또 다른 목적은, 여기에서 언급하지 않은 다양한 문제점들도 해결하고자 한다. 당업자는 명세서 및 도면의 전 취지를 통해 이해할 수 있다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위한 디스플레이 장치는, 복수의 반도체 발광 소자들을 구비하는 디스플레이 장치를 제공한다. 구체적으로, 본 발명에 구비되는 반도체 발광 소자들 중 적어도 하나는, 제 1도전형 반도체층, 활성층 및 제 2 도전형 반도체층을 포함하는 반도체 발광 구조; 및 상기 반도체 발광 구조의 제 2도전형 반도체층의 상부에 구비되는 광 추출 구조;를 포함하고, 상기 광 추출 구조는, 상기 제 2도전형 반도체층의 수직 방향으로 돌출되는 복수의 유기 돌기 및 상기 제 2도전형 반도체층의 상면의 일정 영역에 형성되는 요철 패턴을 포함하고, 상기 복수의 유기 돌기 중 적어도 하나는, 돌기의 단부에 위치하는 나노 파티클 및 상기 나노 파티클을 지지하는 유기물을 포함하고, 상기 제 2도전형 반도체층의 상면은, 상기 복수의 유기 돌기 중 제 1유기 돌기가 위치하는 제 1계면, 상기 복수의 유기 돌기 중 제 2유기 돌기가 위치하는 제 2계면 및 상기 제 1계면과 상기 제 2계면 사이에 유기 돌기가 위치하지 않은 제 3계면이 존재하고, 상기 요철 패턴은 상기 제 3계면에 형성되는 것을 특징으로 한다.
- [0012] 실시예로서, 상기 나노 파티클과 상기 제 2도전형 반도체층은 서로 다른 식각비를 가지며, 상기 나노 파티클의 제 1식각비(Etching Ratio)는 상기 제 2도전형 반도체층의 제 2식각비보다 낮은 것을 특징으로 한다.
- [0013] 실시예로서, 상기 복수의 유기 돌기의 제 1굴절률은 상기 제 2도전형 반도체층의 제 2굴절률보다 낮은 것을 특징으로 한다.
- [0014] 실시예로서, 상기 나노 파티클은 TiO_2 , ZnO , ZrO_2 , SiO_2 , Al_2O_3 , SiNx 중 적어도 하나를 포함하는 것을 특징으로 한다.
- [0015] 실시예로서, 상기 반도체 발광 소자는 마이크로미터 단위 크기를 가진 LED(Micro-LED)인 것을 특징으로 한다.
- [0016] 실시예로서, 상기 제 1도전형 반도체층 및 상기 제 2도전형 반도체층 중 하나는 P형 GaN층이고, 다른 하나는 N형 GaN층인 것을 특징으로 한다.
- [0017] 실시예로서, 상기 유기물은 감광성 유기물인 것을 특징으로 한다.
- [0018] 실시예로서, 상기 감광성 유기물은 감광성 아크릴레이트, PAC(Photo Active Compounds) 중 적어도 하나를 포함한다.
- [0019] 본 발명의 다른 실시예에 따른 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법은, 제 1기판에 제 1도전형 반도체층, 활성층 및 제 2도전형 반도체층을 포함하는 반도체 발광 구조를 형성하는 단계; 상기 반도체 발광 구조의 상부에 나노 파티클들이 분산된 유기층을 코팅하는 단계; 상기 나노 파티클들의 적어도 일부가 상기 유기층의 표면에 드러나도록 애싱(ashing)하는 단계; 상기 애싱 후 잔존하는 유기층을 식각 마스크로 사용하여 식각 공정을 통해, 상기 반도체 발광 구조의 상부에 광 추출 구조를 형성하는 단계를 포함한다.
- [0020] 실시예로서, 상기 광 추출 구조는 상기 식각 공정에 의해, 상기 반도체 발광 구조의 상면에 형성되는 불규칙한 요철 패턴을 포함하는 것을 특징으로 한다.
- [0021] 실시예로서, 상기 광 추출 구조는 상기 식각 공정에 의해 형성되는 복수의 유기 돌기를 포함하고, 상기 복수의 유기 돌기 중 적어도 하나는, 돌기의 단부에 나노 파티클이 위치하는 것을 특징으로 한다.
- [0022] 실시예로서, 상기 반도체 발광 구조를 형성하는 단계와 상기 유기층을 코팅하는 단계 사이에, 상기 반도체 발광 구조를 제 2기판에 전사하는 단계를 포함한다.
- [0023] 실시예로서, 상기 유기층을 코팅하는 단계는, 유기 용액을 상기 반도체 발광 구조의 상부에 도포하고, 이후 열에 의해 소프트 베이킹(Baking)하는 단계를 포함한다.
- [0024] 실시예로서, 상기 유기층은 감광성 유기층이며, 포토리소그래피(Photo-Lithography) 공정을 통해 상기 반도체 발광 구조의 상기 활성층에 오버랩되는 영역에만 상기 광 추출 구조를 형성하는 단계를 포함한다.
- [0025] 실시예로서, 상기 반도체 발광 구조는 버퍼 반도체층을 포함하고, 상기 유기층은 상기 반도체 발광 소자의 상기

버퍼 반도체층 상부에 코팅되는 것을 특징으로 한다.

[0026] 실시예로서, 상기 애싱하는 단계는, O_2 플라즈마를 사용하는 것을 특징으로 한다.

발명의 효과

[0027] 본 발명의 일 실시예에 따르면, 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공할 수 있다.

[0028] 또한 간단한 공정으로 제조 가능하고, 우수한 광 추출 효율을 갖는 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공할 수 있다.

[0029] 구체적으로, 복수의 나노 파티클이 함유된 유기층을 반도체 발광 구조에 코팅 후, 상기 나노 파티클이 유기층의 표면에 드러나도록 상기 유기층을 애싱하고, 상기 애싱된 유기층을 식각 마스크로 사용함으로써, 반도체 발광 소자의 표면에 불규칙한 요철 패턴을 갖게 하여, 광 추출 효율을 향상시킬 수 있다.

[0030] 따라서, 반도체 발광 소자 내부에서 발생한 빛이 주변에서 손실되지 않고, 효과적으로 외부로 방출되도록 함으로써 디스플레이 장치의 휘도를 향상 시키며, 소자의 열화를 감소시켜 고온 신뢰성 측면에서 긍정적인 효과가 있다.

[0031] 나아가, 본 발명의 또 다른 일 실시예에 따르면, 여기에서 언급하지 않은 추가적인 기술적 효과들도 있다. 당업자는 명세서 및 도면의 전취지를 통해 이해할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이다.

도 2는 도 1의 A부분의 부분 확대도 이다.

도 3a 및 도 3b는 도 2의 라인 B-B 및 C-C를 따라 절단된 단면도들이다.

도 4는 도 3의 플립 칩 타입 반도체 발광 소자를 나타내는 개념도이다.

도 5a 내지 도 5c는 플립 칩 타입 반도체 발광 소자와 관련하여 컬러를 구현하는 여러 가지 형태를 나타내는 개념도들이다.

도 6은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 제조방법을 나타낸 단면도들이다.

도 7은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 다른 일 실시예를 나타내는 사시도이다.

도 8은 도 7의 라인 D-D를 따라 절단된 단면도이다.

도 9는 도 8의 수직형 반도체 발광 소자를 나타내는 개념도이다.

도 10은 본 발명의 다른 실시예에 따른 광 추출 구조를 구비한 반도체 발광 소자를 이용한 디스플레이 장치를 설명하기 위한, 도 1의 A 부분의 확대도이다.

도 11은 도 10의 광 추출 구조를 구비한 반도체 발광 소자를 상세히 나타내는 단면도이다.

도 12는 다양한 위치에 광 추출 구조를 구비한 반도체 발광 소자를 나타내는 단면도들이다.

도 13은 도 11의 반도체 발광 소자를 제작하는 과정을 나타내는 순서도이다.

도 14는 도 11의 반도체 발광 구조를 제 1기판에서 형성하는 과정을 나타내는 단면도들이다.

도 15는 도 14의 반도체 발광 구조를 제 2기판으로 전사하는 방법을 나타내는 단면도들이다.

도 16은 도 15의 반도체 발광 구조의 상부에 나노 파티클을 함유한 유기층이 코팅된 단면도이다.

도 17은 도 16의 반도체 발광 구조의 상면에 유기 돌기 및 불규칙한 계면을 형성하기 위한 각 공정 단계 별 단면도들이다.

도 18은 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 평면SEM 이미지들이다.

도 19는 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 단면 SEM 이미지이다.

도 20은 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 대한, 애싱 공정 이후 측면 SEM 이미지이다.

다.

도 21은 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 대한, 애싱 및 식각 공정 이후 FIB-SEM 이미지이다.

도 22는 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 평면 AFM이미지들이다.

도 23은 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 표면 거칠기 및 측면 AFM이미지들이다.

도 24는 본 발명의 광 추출 구조를 구비한 반도체 발광 소자 및 종래 기술에 따른 반도체 발광 소자들의 파장별 광 세기를 나타내는 그래프이다.

도 25는 감광성 유기층을 사용하여 반도체 발광 구조의 일부 영역에만 광 추출 구조를 형성하는 과정을 나타내는 단면도들이다.

도 26은 도 25의 일부 영역만 광 추출 구조가 형성된 반도체 발광 소자들의 평면도이다.

도 27은 도25의 반도체 발광 소자들의 상부에 형광체층이 구비된 후의 단면도이다.

도 28은 도 25의 일부 영역만 광 추출 구조가 형성된 반도체 발광 소자의 광 추출 효과를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어서 관련된 공지기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되는 것으로 해석되어서는 아니 됨을 유의해야 한다.
- [0034] 나아가, 설명의 편의를 위해 각각의 도면에 대해 설명하고 있으나, 당업자가 적어도 2개 이상의 도면을 결합하여 다른 실시예를 구현하는 것도 본 발명의 권리범위에 속한다.
- [0035] 또한, 층, 영역 또는 기관과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다.
- [0036] 본 명세서에서 설명하는 디스플레이 장치는 단위 화소 또는 단위 화소의 집합으로 발광하는 모든 발광 장치 및 디스플레이 장치를 포함하는 개념이다. 따라서 완제품에 한정하지 않고 부품에도 적용될 수 있다. 예를 들어 디지털 TV의 일 부품에 해당하는 패널도 독자적으로 본 명세서 상의 디스플레이 장치에 해당한다. 완제품으로는 휴대폰, 스마트 폰(smart phone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistants), PMP(portable multimedia player), 네비게이션, 슬레이트 피씨(Slate PC), Tablet PC, Ultra Book, 디지털 TV, 데스크 탑 컴퓨터 등이 포함될 수 있다.
- [0037] 그러나, 본 명세서에 기재된 실시예에 따른 구성은 추후 개발되는 새로운 제품 형태이더라도, 디스플레이가 가능한 장치에는 적용될 수도 있음을 본 기술 분야의 당업자라면 쉽게 알 수 있을 것이다.
- [0038] 또한, 당해 명세서에서 언급된 반도체 발광 소자는 LED, 마이크로 LED 등을 포함하는 개념이며, 혼용되어 사용될 수 있다.
- [0039] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일실시예를 나타내는 개념도이다.
- [0040] 도 1에 도시된 바와 같이, 디스플레이 장치(100)의 제어부(미도시)에서 처리되는 정보는 플렉서블 디스플레이(flexible display)를 이용하여 표시될 수 있다.
- [0041] 플렉서블 디스플레이는, 예를 들어 외력에 의하여 휘어질 수 있는, 또는 구부러질 수 있는, 또는 비틀어질 수 있는, 또는 접힐 수 있는, 또는 말려질 수 있는 디스플레이를 포함한다.
- [0042] 나아가, 플렉서블 디스플레이는, 예를 들어 기존의 평판 디스플레이의 디스플레이 특성을 유지하면서, 종이와

같이 휘어지거나, 또는 구부리거나, 또는 접을 수 있거나 또는 말 수 있는 얇고 유연한 기관 위에 제작되는 디스플레이가 될 수 있다.

- [0043] 상기 플렉서블 디스플레이가 휘어지지 않는 상태(예를 들어, 무한대의 곡률반경을 가지는 상태, 이하 제1상태라 한다)에서는 상기 플렉서블 디스플레이의 디스플레이 영역이 평면이 된다. 상기 제1상태에서 외력에 의하여 휘어진 상태(예를 들어, 유한의 곡률 반경을 가지는 상태, 이하, 제2상태라 한다)에서는 상기 디스플레이 영역이 곡면이 될 수 있다. 도 1에 도시된 바와 같이, 상기 제2상태에서 표시되는 정보는 곡면상에 출력되는 시각 정보가 될 수 있다. 이러한 시각 정보는 매트릭스 형태로 배치되는 단위 화소(sub-pixel)의 발광이 독자적으로 제어됨에 의하여 구현된다. 상기 단위 화소는, 예를 들어 하나의 색을 구현하기 위한 최소 단위를 의미한다.
- [0044] 상기 플렉서블 디스플레이의 단위 화소는 반도체 발광 소자에 의하여 구현될 수 있다. 본 발명에서는 전류를 빛으로 변환시키는 반도체 발광 소자의 일 종류로서 발광 다이오드(Light Emitting Diode: LED)를 예시한다. 상기 발광 다이오드는 작은 크기로 형성되며, 이를 통하여 상기 제2상태에서도 단위 화소의 역할을 할 수 있게 된다.
- [0045] 상기 발광 다이오드를 이용하여 구현된 플렉서블 디스플레이에 대하여, 이하 도면들을 참조하여 보다 상세히 설명한다.
- [0046] 도 2는 도 1의 A부분의 부분 확대도 이다.
- [0047] 도 3a 및 도 3b는 도 2의 라인 B-B 및 C-C를 따라 절단된 단면도들이다.
- [0048] 도 4는 도 3의 플립 칩 타입 반도체 발광 소자를 나타내는 개념도이다.
- [0049] 도 5a 내지 도 5c는 플립 칩 타입 반도체 발광 소자와 관련하여 컬러를 구현하는 여러 가지 형태를 나타내는 개념도들이다.
- [0050] 도 2, 도 3a 및 도 3b에 도시된 바와 같이, 반도체 발광 소자를 이용한 디스플레이 장치(100)로서 패시브 매트릭스(Passive Matrix, PM) 방식의 반도체 발광 소자를 이용한 디스플레이 장치(100)를 예시한다. 다만, 이하 설명되는 예시는 액티브 매트릭스(Active Matrix, AM) 방식의 반도체 발광 소자에도 적용 가능하다.
- [0051] 도 1에 도시된 디스플레이 장치(100)는, 도 2에 도시된 바와 같이 기관(110), 제1전극(120), 전도성 접착층(130), 제2전극(140) 및 적어도 하나의 반도체 발광 소자(150)를 포함한다.
- [0052] 기관(110)은 플렉서블 기관일 수 있다. 예를 들어, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 기관(110)은 유리나 폴리이미드(PI, Polyimide)를 포함할 수 있다. 이외에도 절연성이 있고, 유연성 있는 재질이면, 예를 들어 PEN(Polyethylene Naphthalate), PET(Polyethylene Terephthalate) 등 어느 것이라도 사용될 수 있다. 또한, 상기 기관(110)은 투명한 재질 또는 불투명한 재질 어느 것이나 될 수 있다.
- [0053] 상기 기관(110)은 제1전극(120)이 배치되는 배선기관이 될 수 있으며, 따라서 상기 제1전극(120)은 기관(110)상에 위치할 수 있다.
- [0054] 도 3a에 도시된 바와 같이 절연층(160)은 제1전극(120)이 위치한 기관(110)상에 배치될 수 있으며, 상기 절연층(160)에는 보조전극(170)이 위치할 수 있다. 이 경우에, 상기 기관(110)에 절연층(160)이 적층된 상태가 하나의 배선기관이 될 수 있다. 보다 구체적으로, 절연층(160)은 폴리이미드(PI, Polyimide), PET, PEN 등과 같이 절연성이 있고, 유연성 있는 재질로, 상기 기관(110)과 일체로 이루어져 하나의 기관을 형성할 수 있다.
- [0055] 보조전극(170)은 제1전극(120)과 반도체 발광 소자(150)를 전기적으로 연결하는 전극으로서, 절연층(160)상에 위치하고, 제1전극(120)의 위치에 대응하여 배치된다. 예를 들어, 보조전극(170)은 닷(dot) 형태이며, 절연층(160)을 관통하는 전극홀(171)에 의하여 제1전극(120)과 전기적으로 연결될 수 있다. 상기 전극홀(171)은 비아홀에 도전물질이 채워짐에 의하여 형성될 수 있다.
- [0056] 도 2 또는 도 3a에 도시된 바와 같이, 절연층(160)의 일면에는 전도성 접착층(130)이 형성되나, 본 발명은 반드시 이에 한정되는 것은 아니다. 예를 들어, 절연층(160)과 전도성 접착층(130)의 사이에 특정 기능을 수행하는 레이어가 형성되거나, 절연층(160)이 없이 전도성 접착층(130)이 기관(110)상에 배치되는 구조도 가능하다. 전도성 접착층(130)이 기관(110)상에 배치되는 구조에서는 전도성 접착층(130)이 절연층의 역할을 할 수 있다.
- [0057] 상기 전도성 접착층(130)은 접착성과 전도성을 가지는 층이 될 수 있으며, 이를 위하여 상기 전도성 접착층(130)에서는 전도성을 가지는 물질과 접착성을 가지는 물질이 혼합될 수 있다. 또한 전도성 접착층(130)은 연성을 가지며, 이를 통하여 디스플레이 장치에서 플렉서블 기능을 가능하게 한다.

- [0058] 이러한 예로서, 전도성 접착층(130)은 이방성 전도성 필름(anisotropy conductive film, ACF), 이방성 전도 페이스트(paste), 전도성 입자를 함유한 솔루션(solution) 등이 될 수 있다. 상기 전도성 접착층(130)은 두께를 관통하는 Z 방향으로 전기적 상호 연결을 허용하나, 수평적인 X-Y 방향으로 전기 절연성을 가지는 레이아웃으로 구성될 수 있다. 따라서 상기 전도성 접착층(130)은 Z축 전도층으로 명명될 수 있다(다만, 이하 '전도성 접착층'이라 한다).
- [0059] 상기 이방성 전도성 필름은 이방성 전도매질(anisotropic conductive medium)이 절연성 베이스부재에 혼합된 형태의 필름으로서, 열 및 압력이 가해지면 특정 부분만 이방성 전도매질에 의하여 전도성을 가지게 된다. 이하, 상기 이방성 전도성 필름에는 열 및 압력이 가해지는 것으로 설명하나, 상기 이방성 전도성 필름이 부분적으로 전도성을 가지기 위하여 다른 방법이 적용될 수도 있다. 진술한 다른 방법은, 예를 들어 상기 열 및 압력 중 어느 하나만이 가해지거나 UV 경화 등이 될 수 있다.
- [0060] 또한, 상기 이방성 전도매질은 예를 들어, 도전볼이나 전도성 입자가 될 수 있다. 예를 들어, 상기 이방성 전도성 필름은 도전볼이 절연성 베이스 부재에 혼합된 형태의 필름으로서, 열 및 압력이 가해지면 특정 부분만 도전볼에 의하여 전도성을 가지게 된다. 이방성 전도성 필름은 전도성 물질의 코어가 폴리머 재질의 절연막에 의하여 피복된 복수의 입자가 함유된 상태가 될 수 있으며, 이 경우에 열 및 압력이 가해진 부분이 절연막이 파괴되면서 코어에 의하여 도전성을 가지게 된다. 이때, 코어의 형태는 변형되어 필름의 두께방향으로 서로 접촉하는 층을 이룰 수 있다. 보다 구체적인 예로서, 열 및 압력은 이방성 전도성 필름에 전체적으로 가해지며, 이방성 전도성 필름에 의하여 접착되는 상대물의 높이 차에 의하여 Z축 방향의 전기적 연결이 부분적으로 형성된다.
- [0061] 다른 예로서, 이방성 전도성 필름은 절연 코어에 전도성 물질이 피복된 복수의 입자가 함유된 상태가 될 수 있다. 이 경우에는 열 및 압력이 가해진 부분이 전도성 물질이 변형되어(눌러 붙어서) 필름의 두께방향으로 전도성을 가지게 된다. 또 다른 예로서, 전도성 물질이 Z축 방향으로 절연성 베이스 부재를 관통하여 필름의 두께방향으로 전도성을 가지는 형태도 가능하다. 이 경우에, 전도성 물질은 뾰족한 단부를 가질 수 있다.
- [0062] 상기 이방성 전도성 필름은 도전볼이 절연성 베이스 부재의 일면에 삽입된 형태로 구성되는 고정배열 이방성 전도성 필름(fixed array ACF)이 될 수 있다. 보다 구체적으로, 절연성 베이스 부재는 접착성을 가지는 물질로 형성되며, 도전볼은 상기 절연성 베이스 부재의 바닥 부분에 집중적으로 배치되며, 상기 베이스 부재에서 열 및 압력이 가해지면 상기 도전볼과 함께 변형됨에 따라 수직 방향으로 전도성을 가지게 된다.
- [0063] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 상기 이방성 전도성 필름은 절연성 베이스 부재에 도전볼이 랜덤하게 혼입된 형태나, 복수의 층으로 구성되며 어느 한 층에 도전볼이 배치되는 형태(double-ACF) 등이 모두 가능하다.
- [0064] 이방성 전도 페이스트는 페이스트와 도전볼의 결합 형태로서, 절연성 및 접착성의 베이스 물질에 도전볼이 혼합된 페이스트가 될 수 있다. 또한, 전도성 입자를 함유한 솔루션은 전도성 파티클 혹은 나노 입자를 함유한 형태의 솔루션이 될 수 있다.
- [0065] 다시 도3a를 참조하면, 제2전극(140)은 보조전극(170)과 이격하여 절연층(160)에 위치한다. 즉, 상기 전도성 접착층(130)은 보조전극(170) 및 제2전극(140)이 위치하는 절연층(160) 상에 배치된다.
- [0066] 절연층(160)에 보조전극(170)과 제2전극(140)이 위치한 상태에서 전도성 접착층(130)을 형성한 후에, 반도체 발광 소자(150)를 열 및 압력을 가하여 플립 칩 형태로 접속시키면, 상기 반도체 발광 소자(150)는 제1전극(120) 및 제2전극(140)과 전기적으로 연결된다.
- [0067] 도 4를 참조하면, 상기 반도체 발광 소자는 플립 칩 타입(flip chip type)의 발광 소자가 될 수 있다.
- [0068] 예를 들어, 상기 반도체 발광 소자는 p형 전극(156), p형 전극(156)이 형성되는 p형 반도체층(155), p형 반도체층(155) 상에 형성된 활성층(154), 활성층(154) 상에 형성된 n형 반도체층(153) 및 n형 반도체층(153) 상에서 p형 전극(156)과 수평방향으로 이격 배치되는 n형 전극(152)을 포함한다. 이 경우, p형 전극(156)은 도3에 도시된, 보조전극(170)과 전도성 접착층(130)에 의하여 전기적으로 연결될 수 있고, n형 전극(152)은 제2전극(140)과 전기적으로 연결될 수 있다.
- [0069] 다시 도 2, 도 3a 및 도 3b를 참조하면, 보조전극(170)은 일방향으로 길게 형성되어, 하나의 보조전극이 복수의 반도체 발광 소자(150)에 전기적으로 연결될 수 있다. 예를 들어, 보조전극을 중심으로 좌우의 반도체 발광 소자들의 p형 전극들이 하나의 보조전극에 전기적으로 연결될 수 있다.
- [0070] 보다 구체적으로, 열 및 압력에 의하여 전도성 접착층(130)의 내부로 반도체 발광 소자(150)가 압입되며 이를

통하여 반도체 발광 소자(150)의 p형 전극(156)과 보조전극(170) 사이의 부분과, 반도체 발광 소자(150)의 n형 전극(152)과 제2전극(140) 사이의 부분에서만 전도성을 가지게 되고, 나머지 부분에서는 반도체 발광 소자의 압입이 없어 전도성을 가지지 않게 된다. 이와 같이, 전도성 접촉층(130)은 반도체 발광 소자(150)와 보조전극(170) 사이 및 반도체 발광 소자(150)와 제2전극(140) 사이를 상호 결합시켜줄 뿐만 아니라 전기적 연결까지 형성시킨다.

[0071] 또한, 복수의 반도체 발광 소자(150)는 발광 소자 어레이(array)를 구성하며, 발광 소자 어레이에는 형광체층(180)이 형성된다.

[0072] 발광 소자 어레이는 자체 휘도 값이 상이한 복수의 반도체 발광 소자들을 포함할 수 있다. 각각의 반도체 발광 소자(150)는 단위 화소를 구성하며, 제1전극(120)에 전기적으로 연결된다. 예를 들어, 제1전극(120)은 복수 개일 수 있고, 반도체 발광 소자들은 예컨대 수 열로 배치되며, 각 열의 반도체 발광 소자들은 상기 복수 개의 제1전극 중 어느 하나에 전기적으로 연결될 수 있다.

[0073] 또한, 반도체 발광 소자들이 플립 칩 형태로 접속되므로, 투명 유전체 기판에 성장시킨 반도체 발광 소자들을 이용할 수 있다. 또한, 상기 반도체 발광 소자들은 예컨대 질화물 반도체 발광 소자일 수 있다. 반도체 발광 소자(150)는 휘도가 우수하므로, 작은 크기로도 개별 단위 화소를 구성할 수 있다.

[0074] 도3에 도시된 바와 같이, 반도체 발광 소자(150)의 사이에 격벽(190)이 형성될 수 있다. 이 경우, 격벽(190)은 개별 단위 화소를 서로 분리하는 역할을 할 수 있으며, 전도성 접촉층(130)과 일체로 형성될 수 있다. 예를 들어, 이방성 전도성 필름에 반도체 발광 소자(150)가 삽입됨에 의하여 이방성 전도성 필름의 베이스 부재가 상기 격벽을 형성할 수 있다.

[0075] 또한, 상기 이방성 전도성 필름의 베이스 부재가 블랙이면, 별도의 블랙 절연체가 없어도 상기 격벽(190)이 반사 특성을 가지는 동시에 대비비(contrast)가 증가될 수 있다.

[0076] 다른 예로서, 상기 격벽(190)으로 반사성 격벽이 별도로 구비될 수 있다. 이 경우에, 상기 격벽(190)은 디스플레이 장치의 목적에 따라 블랙(Black) 또는 화이트(White) 절연체를 포함할 수 있다. 화이트 절연체의 격벽을 이용할 경우 반사성을 높이는 효과가 있을 수 있고, 블랙 절연체의 격벽을 이용할 경우, 반사 특성을 가지는 동시에 대비비(contrast)를 증가시킬 수 있다.

[0077] 형광체층(180)은 반도체 발광 소자(150)의 외면에 위치할 수 있다. 예를 들어, 반도체 발광 소자(150)는 청색(B) 광을 발광하는 청색 반도체 발광 소자고, 형광체층(180)은 상기 청색(B) 광을 단위 화소의 색상으로 변환시키는 기능을 수행한다. 상기 형광체층(180)은 개별 화소를 구성하는 적색 형광체(181) 또는 녹색 형광체(182)가 될 수 있다.

[0078] 즉, 적색의 단위 화소를 이루는 위치에서, 청색 반도체 발광 소자 상에는 청색 광을 적색(R) 광으로 변환시킬 수 있는 적색 형광체(181)가 적층될 수 있고, 녹색의 단위 화소를 이루는 위치에서는, 청색 반도체 발광 소자 상에 청색광을 녹색(G) 광으로 변환시킬 수 있는 녹색 형광체(182)가 적층될 수 있다. 또한, 청색의 단위 화소를 이루는 부분에는 청색 반도체 발광 소자만 단독으로 이용될 수 있다. 이 경우, 적색(R), 녹색(G), 및 청색(B)의 단위 화소들이 하나의 화소를 이룰 수 있다. 보다 구체적으로, 제1전극(120)의 각 라인을 따라 하나의 색상의 형광체가 적층될 수 있다. 따라서, 제1전극(120)에서 하나의 라인은 하나의 색상을 제어하는 전극이 될 수 있다. 즉, 제2전극(140)을 따라서, 적색(R), 녹색(G) 및 청색(B)이 차례로 배치될 수 있으며, 이를 통하여 단위 화소가 구현될 수 있다.

[0079] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 형광체 대신에 반도체 발광 소자(150)와 퀀텀닷(QD)이 조합되어 적색(R), 녹색(G) 및 청색(B)의 단위 화소들을 구현할 수 있다.

[0080] 또한, 대비비(contrast) 향상을 위하여 각각의 형광체층들의 사이에는 블랙 매트릭스(191)가 배치될 수 있다. 즉, 이러한 블랙 매트릭스(191)는 명암의 대조를 향상시킬 수 있다.

[0081] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 청색, 적색, 녹색을 구현하기 위한 다른 구조가 적용될 수 있다.

[0082] 도 5a를 참조하면, 각각의 반도체 발광 소자(150)는 질화 갈륨(GaN)을 주재료로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 청색을 비롯한 다양한 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다.

[0083] 이 경우, 반도체 발광 소자는 각각 단위 화소(sub-pixel)를 이루기 위하여 적색, 녹색 및 청색 반도체 발광 소

자일 수 있다. 예컨대, 적색, 녹색 및 청색 반도체 발광 소자(R, G, B)가 교대로 배치되고, 적색, 녹색 및 청색 반도체 발광 소자에 의하여 적색(Red), 녹색(Green) 및 청색(Blue)의 단위 화소들이 하나의 화소(pixel)를 이루며, 이를 통하여 풀 칼라 디스플레이가 구현될 수 있다.

- [0084] 도 5b를 참조하면, 반도체 발광 소자는 황색 형광체층이 개별 소자 마다 구비된 백색 발광 소자(W)를 구비할 수 있다. 이 경우에는, 단위 화소를 이루기 위하여, 백색 발광 소자(W) 상에 적색 형광체층(181), 녹색 형광체층(182), 및 청색 형광체층(183)이 구비될 수 있다. 또한, 이러한 백색 발광 소자(W) 상에 적색, 녹색, 및 청색이 반복되는 컬러 필터를 이용하여 단위 화소를 이룰 수 있다.
- [0085] 도 5c를 참조하면, 자외선 발광 소자(UV) 상에 적색 형광체층(181), 녹색 형광체층(182), 및 청색 형광체층(183)이 구비되는 구조도 가능하다. 이와 같이, 반도체 발광 소자는 가시광선뿐만 아니라 자외선(UV)까지 전 영역에 사용 가능하며, 자외선(UV)이 상부 형광체의 여기원(excitation source)으로 사용 가능한 반도체 발광 소자의 형태로 확장될 수 있다.
- [0086] 본 예시를 다시 살펴보면, 반도체 발광 소자는 전도성 접착층 상에 위치되어, 디스플레이 장치에서 단위 화소를 구성한다. 반도체 발광 소자는 휘도가 우수하므로, 작은 크기로도 개별 단위 화소를 구성할 수 있다.
- [0087] 이와 같은 개별 반도체 발광 소자(150)의 크기는 예를 들어, 한 변의 길이가 $80\mu\text{m}$ 이하일 수 있고, 직사각형 또는 정사각형 소자일 수 있다. 직사각형인 경우에는 $20 \times 80\mu\text{m}$ 이하의 크기가 될 수 있다.
- [0088] 또한, 한 변의 길이가 $10\mu\text{m}$ 인 정사각형의 반도체 발광 소자(150)를 단위 화소로 이용하여도 디스플레이 장치를 이루기 위한 충분한 밝기가 나타난다.
- [0089] 따라서, 단위 화소의 크기가 한 변이 $600\mu\text{m}$, 나머지 한 변이 $300\mu\text{m}$ 인 직사각형 화소인 경우를 예로 들면, 반도체 발광 소자의 거리가 상대적으로 충분히 크게 된다.
- [0090] 따라서, 이러한 경우, HD화질 이상의 고화질을 가지는 플렉서블 디스플레이 장치를 구현할 수 있게 된다.
- [0091] 상기에서 설명된 반도체 발광 소자를 이용한 디스플레이 장치는 새로운 형태의 제조방법에 의하여 제조될 수 있다. 이하, 도 6을 참조하여 상기 제조 방법에 대하여 설명한다.
- [0092] 도 6은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법을 나타낸 단면도들이다.
- [0093] 도 6에 도시된 바와 같이, 먼저, 보조전극(170) 및 제2전극(140)이 위치한 절연층(160) 상에 전도성 접착층(130)을 형성한다. 배선기판(110)에 절연층(160)이 적층되며, 상기 배선기판(110)에는 제1전극(120), 보조전극(170) 및 제2전극(140)이 배치된다. 이 경우에, 제1전극(120)과 제2전극(140)은 상호 직교 방향으로 배치될 수 있다. 또한, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 배선기판(110) 및 절연층(160)은 각각 유리 또는 폴리이미드(PI)를 포함할 수 있다.
- [0094] 상기 전도성 접착층(130)은 예를 들어, 이방성 전도성 필름에 의하여 구현될 수 있으며, 이를 위하여 절연층(160)이 위치한 기판에 이방성 전도성 필름이 도포될 수 있다.
- [0095] 다음에, 보조전극(170) 및 제2전극(140)들의 위치에 대응하고, 개별 화소를 구성하는 복수의 반도체 발광 소자(150)가 위치한 임시기판(112)을, 상기 반도체 발광 소자(150)가 보조전극(170) 및 제2전극(140)와 마주하도록 배치한다.
- [0096] 이 경우에, 임시기판(112)은 반도체 발광 소자(150)를 성장시키는 성장 기판으로서, 사파이어(spire) 기판 또는 실리콘(silicon) 기판이 될 수 있다.
- [0097] 상기 반도체 발광 소자는 웨이퍼(wafer) 단위로 형성될 때, 디스플레이 장치를 이룰 수 있는 간격 및 크기를 가지도록 함으로써, 디스플레이 장치에 효과적으로 이용될 수 있다.
- [0098] 그 다음에, 배선기판과 임시기판(112)을 열 압착한다. 예를 들어, 배선기판과 임시기판(112)은 ACF 프레스 헤드를 적용하여 열 압착할 수 있다. 상기 열 압착에 의하여 배선기판과 임시기판(112)은 본딩(bonding)된다. 열 압착에 의하여 전도성을 갖는 이방성 전도성 필름의 특성에 의해 반도체 발광 소자(150)와 보조전극(170) 및 제2전극(140)의 사이의 부분만 전도성을 가지게 되며, 이를 통하여 전극들과 반도체 발광 소자(150)는 전기적으로 연결될 수 있다. 이 때에, 반도체 발광 소자(150)가 상기 이방성 전도성 필름의 내부로 삽입되며, 이를 통하여 반도체 발광 소자(150) 사이에 격벽이 형성될 수 있다.
- [0099] 그 다음에, 상기 임시기판(112)을 제거한다. 예를 들어, 임시기판(112)은 레이저 리프트 오프법(Laser Lift-

off, LLO) 또는 화학적 리프트 오프법(Chemical Lift-off, CLO)을 이용하여 제거할 수 있다.

- [0100] 마지막으로, 상기 임시기관(112)을 제거하여 반도체 발광 소자들(150)을 외부로 노출시킨다. 필요에 따라, 반도체 발광 소자(150)가 결합된 배선기관 상을 실리콘 옥사이드(SiO_x) 등을 코팅하여 투명 절연층(미도시)을 형성할 수 있다.
- [0101] 또한, 상기 반도체 발광 소자(150)의 일 면에 형광체층을 형성하는 단계를 더 포함할 수 있다. 예를 들어, 반도체 발광 소자(150)는 청색(B) 광을 발광하는 청색 반도체 발광 소자고, 이러한 청색(B) 광을 단위 화소의 색상으로 변환시키기 위한 적색 형광체 또는 녹색 형광체가 상기 청색 반도체 발광 소자의 일면에 레이어를 형성할 수 있다.
- [0102] 이상에서 설명된 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법이나 구조는 여러 가지 형태로 변형될 수 있다. 그 예로서, 상기에서 설명된 디스플레이 장치에는 수직형 반도체 발광 소자도 적용될 수 있다.
- [0103] 또한, 이하 설명되는 변형예 또는 실시예에서는 앞선 예와 동일 또는 유사한 구성에 대해서는 동일, 유사한 참조번호가 부여되고, 그 설명은 처음 설명으로 갈음된다.
- [0104] 도 7은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 다른 일 실시예를 나타내는 사시도이고, 도 8은 도 7의 라인 D-D를 따라 취한 단면도이며, 도 9는 도 8의 수직형 반도체 발광 소자를 나타내는 개념도이다.
- [0105] 본 도면들을 참조하면, 디스플레이 장치는 패시브 매트릭스(Passive Matrix, PM) 방식의 수직형 반도체 발광 소자를 이용한 디스플레이 장치가 될 수 있다.
- [0106] 상기 디스플레이 장치는 기관(210), 제1전극(220), 전도성 접촉층(230), 제2전극(240) 및 적어도 하나의 반도체 발광 소자(250)를 포함한다.
- [0107] 기관(210)은 제1전극(220)이 배치되는 배선기관으로서, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 폴리이미드(PI)를 포함할 수 있다. 이외에도 절연성이 있고, 유연성 있는 재질이면 어느 것이라도 사용 가능할 것이다.
- [0108] 제1전극(220)은 기관(210) 상에 위치하며, 일 방향으로 긴 바(bar) 형태의 전극으로 형성될 수 있다. 상기 제1전극(220)은 데이터 전극의 역할을 하도록 이루어질 수 있다.
- [0109] 전도성 접촉층(230)은 제1전극(220)이 위치하는 기관(210)상에 형성된다. 플립 칩 타입(flip chip type)의 발광 소자가 적용된 디스플레이 장치와 같이, 전도성 접촉층(230)은 이방성 전도성 필름(Anisotropy Conductive Film, ACF), 이방성 전도 페이스트(paste), 전도성 입자를 함유한 솔루션(solution) 등이 될 수 있다. 다만, 본 실시 예에서도 이방성 전도성 필름에 의하여 전도성 접촉층(230)이 구현되는 경우를 예시한다.
- [0110] 기관(210) 상에 제1전극(220)이 위치하는 상태에서 이방성 전도성 필름을 위치시킨 후에, 반도체 발광 소자(250)를 열 및 압력을 가하여 접속시키면, 상기 반도체 발광 소자(250)가 제1전극(220)과 전기적으로 연결된다. 이 때, 상기 반도체 발광 소자(250)는 제1전극(220) 상에 위치되도록 배치되는 것이 바람직하다.
- [0111] 상기 전기적 연결은 전술한 바와 같이, 이방성 전도성 필름에서 열 및 압력이 가해지면 부분적으로 두께방향으로 전도성을 가지기 때문에 생성된다. 따라서, 이방성 전도성 필름에서는 두께 방향으로 전도성을 가지는 부분과 전도성을 가지지 않는 부분으로 구획된다.
- [0112] 또한, 이방성 전도성 필름은 접착 성분을 함유하기 때문에, 전도성 접촉층(230)은 반도체 발광 소자(250)와 제1전극(220) 사이에서 전기적 연결뿐만 아니라 기계적 결합까지 구현한다.
- [0113] 이와 같이, 반도체 발광 소자(250)는 전도성 접촉층(230) 상에 위치되며, 이를 통하여 디스플레이 장치에서 개별 화소를 구성한다. 반도체 발광 소자(250)는 휘도가 우수하므로, 작은 크기로도 개별 단위 픽셀을 구성할 수 있다. 이와 같은 개별 반도체 발광 소자(250)의 크기는 예를 들어, 한 변의 길이가 80 μ m 이하일 수 있고, 직사각형 또는 정사각형 소자일 수 있다. 직사각형인 경우에는 예를 들어, 20 X 80 μ m 이하의 크기가 될 수 있다.
- [0114] 상기 반도체 발광 소자(250)는 수직형 구조가 될 수 있다.
- [0115] 수직형 반도체 발광 소자들의 사이에는, 제1전극(220)의 길이 방향과 교차하는 방향으로 배치되고, 수직형 반도체 발광 소자(250)와 전기적으로 연결된 복수의 제2전극(240)이 위치한다.
- [0116] 도 9를 참조하면, 이러한 수직형 반도체 발광 소자는 p형 전극(256), p형 전극(256) 상에 형성된 p형 반도체층(255), p형 반도체층(255) 상에 형성된 활성층(254), 활성층(254)상에 형성된 n형 반도체층(253) 및 n형 반도체

층(253) 상에 형성된 n형 전극(252)을 포함한다. 이 경우, 하부에 위치한 p형 전극(256)은 제1전극(220)과 전도성 접촉층(230)에 의하여 전기적으로 연결될 수 있고, 상부에 위치한 n형 전극(252)은 후술하는 제2전극(240)과 전기적으로 연결될 수 있다. 이러한 수직형 반도체 발광 소자(250)는 전극을 상/하로 배치할 수 있으므로, 칩 사이즈를 줄일 수 있다는 큰 장점을 가지고 있다.

- [0117] 다시 도 8을 참조하면, 상기 반도체 발광 소자(250)의 일면에는 형광체층(280)이 형성될 수 있다. 예를 들어, 반도체 발광 소자(250)는 청색(B) 광을 발광하는 청색 반도체 발광 소자(251)이고, 이러한 청색(B) 광을 단위 화소의 색상으로 변환시키기 위한 형광체층(280)이 구비될 수 있다. 이 경우에, 형광체층(280)은 개별 화소를 구성하는 적색 형광체(281) 및 녹색 형광체(282) 일 수 있다.
- [0118] 즉, 적색의 단위 화소를 이루는 위치에서, 청색 반도체 발광 소자 상에는 청색 광을 적색(R) 광으로 변환시킬 수 있는 적색 형광체(281)가 적층될 수 있고, 녹색의 단위 화소를 이루는 위치에서는, 청색 반도체 발광 소자 상에 청색광을 녹색(G) 광으로 변환시킬 수 있는 녹색 형광체(282)가 적층될 수 있다. 또한, 청색의 단위 화소를 이루는 부분에는 청색 반도체 발광 소자만 단독으로 이용될 수 있다. 이 경우, 적색(R), 녹색(G), 및 청색(B)의 단위 화소들이 하나의 화소를 이룰 수 있다.
- [0119] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 플립 칩 타입(flip chip type)의 발광 소자가 적용된 디스플레이 장치에서 전술한 바와 같이, 청색, 적색, 녹색을 구현하기 위한 다른 구조가 적용될 수 있다.
- [0120] 다시 본 실시예를 살펴보면, 제2전극(240)은 반도체 발광 소자들(250) 사이에 위치하고, 반도체 발광 소자들(250)과 전기적으로 연결된다. 예를 들어, 반도체 발광 소자들(250)은 복수의 열로 배치되고, 제2전극(240)은 반도체 발광 소자들(250)의 열들 사이에 위치할 수 있다.
- [0121] 개별 화소를 이루는 반도체 발광 소자(250) 사이의 거리가 충분히 크기 때문에 제2전극(240)은 반도체 발광 소자들(250) 사이에 위치될 수 있다.
- [0122] 제2전극(240)은 일 방향으로 긴 바(bar) 형태의 전극으로 형성될 수 있으며, 제1전극과 상호 수직한 방향으로 배치될 수 있다.
- [0123] 또한, 제2전극(240)과 반도체 발광 소자(250)는 제2전극(240)에서 돌출된 연결 전극에 의해 전기적으로 연결될 수 있다. 보다 구체적으로, 상기 연결 전극이 반도체 발광 소자(250)의 n형 전극이 될 수 있다. 예를 들어, n형 전극은 오믹(ohmic) 접촉을 위한 오믹 전극으로 형성되며, 상기 제2전극은 인쇄 또는 증착에 의하여 오믹 전극의 적어도 일부를 덮게 된다. 이를 통하여 제2전극(240)과 반도체 발광 소자(250)의 n형 전극이 전기적으로 연결될 수 있다.
- [0124] 다시 도 8을 참조하면, 상기 제2전극(240)은 전도성 접촉층(230) 상에 위치될 수 있다. 경우에 따라, 반도체 발광 소자(250)가 형성된 기판(210) 상에 실리콘 옥사이드(SiO_x) 등을 포함하는 투명 절연층(미도시)이 형성될 수 있다. 투명 절연층이 형성된 후에 제2전극(240)을 위치시킬 경우, 상기 제2전극(240)은 투명 절연층 상에 위치하게 된다. 또한, 제2전극(240)은 전도성 접촉층(230) 또는 투명 절연층에 이격되어 형성될 수도 있다.
- [0125] 만약 반도체 발광 소자(250) 상에 제2전극(240)을 위치시키기 위하여는 ITO(Indium Tin Oxide)와 같은 투명 전극을 사용한다면, ITO 물질은 n형 반도체층과는 접착성이 좋지 않은 문제가 있다. 따라서, 본 발명은 반도체 발광 소자(250) 사이에 제2전극(240)을 위치시킴으로써, ITO와 같은 투명 전극을 사용하지 않아도 되는 이점이 있다. 따라서, 투명한 재료 선택에 구속되지 않고, n형 반도체층과 접착성이 좋은 전도성 물질을 수평 전극으로 사용하여 광추출 효율을 향상시킬 수 있다.
- [0126] 다시 도 8을 참조하면, 반도체 발광 소자(250) 사이에는 격벽(290)이 위치할 수 있다. 즉, 개별 화소를 이루는 반도체 발광 소자(250)를 격리시키기 위하여 수직형 반도체 발광 소자(250) 사이에는 격벽(290)이 배치될 수 있다. 이 경우, 격벽(290)은 개별 단위 화소를 서로 분리하는 역할을 할 수 있으며, 상기 전도성 접촉층(230)과 일체로 형성될 수 있다. 예를 들어, 이방성 전도성 필름에 반도체 발광 소자(250)가 삽입됨에 의하여 이방성 전도성 필름의 베이스부재가 상기 격벽을 형성할 수 있다.
- [0127] 또한, 상기 이방성 전도성 필름의 베이스 부재가 블랙이면, 별도의 블랙 절연체가 없어도 상기 격벽(290)이 반사 특성을 가지는 동시에 대비비(contrast)가 증가될 수 있다.
- [0128] 다른 예로서, 상기 격벽(190)으로서, 반사성 격벽이 별도로 구비될 수 있다. 격벽(290)은 디스플레이 장치의 목적에 따라 블랙(Black) 또는 화이트(White) 절연체를 포함할 수 있다.

- [0129] 만일 제2전극(240)이 반도체 발광 소자(250) 사이의 전도성 접촉층(230) 상에 바로 위치된 경우, 격벽(290)은 수직형 반도체 발광 소자(250) 및 제2전극(240)의 사이 사이에 위치될 수 있다. 따라서, 반도체 발광 소자(250)를 이용하여 작은 크기로도 개별 단위 픽셀을 구성할 수 있고, 반도체 발광 소자(250)의 거리가 상대적으로 충분히 크게 되어 제2전극(240)을 반도체 발광 소자(250) 사이에 위치시킬 수 있고, HD 화질을 가지는 플렉서블 디스플레이 장치를 구현할 수 있는 효과가 있게 된다.
- [0130] 또한, 도8에 도시된 바와 같이, 대비비(contrast) 향상을 위하여 각각의 형광체 사이에는 블랙 매트릭스(291)가 배치될 수 있다. 즉, 이러한 블랙 매트릭스(291)는 명암의 대조를 향상시킬 수 있다.
- [0131] 한편, 상기 반도체 발광 소자의 경우, 고휘도 및 일정한 수명 신뢰성을 확보하기 위해서는 우수한 광 추출 효율이 요구된다.
- [0132] 따라서 소자의 표면에 텍스처링(texturing)을 수행하거나, 주기적 요철(patterning)을 형성하는 등의 광 추출 구조를 구비하는 방법이 도입되고 있다. 하지만 상기 광 추출 구조를 형성하기 위한 방법으로 사용되는 습식 식각은 식각 속도의 제어가 어렵고 재현성의 문제가 있다. 또한, 미세 패턴의 마스크를 사용한 건식 식각의 경우, 제조 비용이 증가하고 플라즈마에 의한 데미지(damage) 문제가 있다.
- [0133] 상기 문제점들을 해결하고, 간단하고 저비용으로 반도체 발광 소자에 광 추출 구조를 형성하는 방법에 대해, 이하 도 10 내지 도 28에서 상세히 후술하도록 하겠다.
- [0134] 도 10은 본 발명의 다른 실시예에 따른 광 추출 구조를 구비한 반도체 발광 소자를 이용한 디스플레이 장치를 설명하기 위한, 도 1의 A 부분의 확대도이다.
- [0135] 도 10에 도시된 바와 같이, 반도체 발광 소자를 이용한 디스플레이 장치(1000)로서, 패시브 매트릭스(Passive Matrix, PM) 방식의 플립 칩 반도체 발광 소자(1050)를 이용한 디스플레이 장치(1000)를 예시한다. 다만, 이하 설명되는 예시는 액티브 매트릭스(Active Matrix, AM) 방식의 반도체 발광 소자에도 적용 가능하다. 또한 상기 반도체 발광 소자(1050)의 기술적 특징은 소자 상부에 형성되는 광 추출 구조에 있는 바, 상기 플립 칩 구조는 예시적인 사항일 뿐, 본 발명이 이에 한정되는 것은 아니다.
- [0136] 디스플레이 장치(1000)는 기판(1010), 제1전극(1020), 전도성 접촉층(1030), 제2전극(1040) 및 복수의 반도체 발광 소자(1050)를 포함한다. 여기에서, 제1 전극(1020) 및 제2 전극(1040)은 각각 복수의 전극 라인을 포함할 수 있다.
- [0137] 또한, 기판(1010)은 제1전극(1020)이 배치되는 배선기판으로서, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 폴리이미드(PI)를 포함할 수 있다. 이외에도 절연성이 있고, 유연성 있는 재질이면 어느 것이라도 사용 가능할 것이다.
- [0138] 상기 제1전극(1020)은 기판(1010) 상에 위치하며, 일 방향으로 긴 바(bar) 형태의 전극으로 형성될 수 있다. 상기 제1전극(1020)은 데이터 전극의 역할을 하도록 이루어질 수 있다.
- [0139] 상기 전도성 접촉층(1030)은 제1전극(1020)이 위치하는 기판(1010)상에 형성된다. 전술한 플립 칩 타입(flip chip type)의 발광 소자가 적용된 디스플레이 장치와 같이, 전도성 접촉층(1030)은 이방성 전도성 필름(anisotropy conductive film, ACF), 이방성 전도 페이스트(paste), 전도성 입자를 함유한 솔루션(solution) 등이 될 수 있다.
- [0140] 상기 반도체 발광 소자(1050)들의 사이에는, 제1전극(1020)의 길이 방향과 교차하는 방향으로 배치되고, 상기 반도체 발광 소자(1050)와 전기적으로 연결된 복수의 제2전극(1040)이 위치한다.
- [0141] 도 10에 도시된 바와 같이, 상기 제2전극(1040)은 전도성 접촉층(1030) 상에 위치될 수 있다. 즉, 전도성 접촉층(1030)은 배선기판과 제2전극(1040)의 사이에 배치된다. 상기 제2전극(1040)은 상기 반도체 발광 소자(1050)와 접촉에 의하여 전기적으로 연결될 수 있다.
- [0142] 상기에서 설명된 구조에 의하여, 복수의 반도체 발광 소자(1050)는 상기 전도성 접촉층(1030)에 결합되며, 제1 전극(1020) 및 제2전극(1040)과 전기적으로 연결된다.
- [0143] 도 10에 도시된 바와 같이, 복수의 반도체 발광소자(1050)는 제1전극(1020)에 구비되는 복수의 전극 라인들과 나란한 방향으로 복수의 열들을 형성할 수 있다. 다만, 본 발명은 반드시 이에 한정되는 것은 아니다. 예를 들어, 복수의 반도체 발광소자(1050)는 제2전극(1040)을 따라 복수의 열들을 형성할 수 있다.

- [0144] 나아가, 디스플레이 장치는, 복수의 반도체 발광소자(1050)의 일면에 형성되는 형광체층(1080)을 더 구비할 수 있다.
- [0145] 또한, 이러한 형광체층(1080)의 대비비(Contrast) 향상을 위하여 디스플레이 장치는 각각의 형광체들의 사이에 배치되는 블랙 매트릭스를 더 포함할 수 있다. 상기 블랙 매트릭스는 형광체 도트 사이에 갭을 만들고, 흑색 물질이 상기 갭을 채우는 형태로 형성될 수 있다. 이를 통하여 블랙 매트릭스는 외광반사를 흡수함과 동시에 명암의 대조를 향상시킬 수 있다. 이러한 블랙 매트릭스는, 형광체층(1080)이 적층된 방향인 제1전극(1020)을 따라 각각의 형광체층들의 사이에 위치한다. 이 경우에, 청색 반도체 발광 소자에 해당하는 위치에는 형광체층이 형성되지 않으나, 블랙 매트릭스는 상기 형광체층이 없는 공간을 사이에 두고 사이에 두고 양측에 각각 형성될 수 있다.
- [0146] 도 11은 도 10의 광 추출 구조를 구비한 반도체 발광 소자를 상세히 나타내는 단면도이다.
- [0147] 상기 반도체 발광 소자(1050)는 제 1도전형 반도체층(1055), 활성층(1054), 제 2도전형 반도체층(1053)을 포함하는 반도체 발광 구조(1100) 및 광 추출 구조(1093)를 포함할 수 있다.
- [0148] 또한, 상기 제 1도전형 반도체층(1055)와 전기적으로 연결되는 제 1도전형 전극(1056) 및 상기 제 2도전형 반도체층과 전기적으로 연결되는 제 2도전형 전극(1052)를 더 포함할 수 있다.
- [0149] 전술하였듯이, 도 11에 도시된 플립 칩 구조는 예시적인 사항일 뿐, 본 발명이 이에 한정되는 것은 아니다, 예를 들어, 상기 광 추출 구조(1093)를 가지는 다양한 형태의 반도체 발광 소자는 본 발명의 권리 범위에 포함될 수 있다.
- [0150] 또한 상기 반도체 발광 소자(1050)는 버퍼 반도체층(1090)을 포함할 수 있다. 상기 버퍼 반도체층(1090)은 반도체 발광 구조(1100)에 광 추출 구조(1093)를 형성하는 경우, 반도체 발광 소자(1050)에 가해지는 데미지(damage)를 감소시키는 역할을 한다. 하지만 상기 버퍼 반도체층(1090)의 형성은 예시 사항일 뿐, 본 발명이 이에 한정되는 것은 아니다. 따라서 상기 광 추출 구조(1093)은 제 1도전형 반도체층(1055) 또는 제 2도전형 반도체층(1053)에 직접적으로 형성될 수도 있다.
- [0151] 다만, 본 발명의 원활한 설명을 위해, 예를 들어, 광 추출 구조(1093)를 구비하는 반도체 발광 소자(1050)는 버퍼 반도체층(1090)을 포함하는 것으로 하고, 반도체 발광 소자의 주성분은 GaN인 것으로 한다.
- [0152] 도 11에 도시된 바와 같이, 광 추출 구조(1093)는 반도체층 상에 형성된 요철 패턴을 포함한다.
- [0153] 상기 요철 패턴은, 예를 들어, 버퍼 반도체층(1090)의 상면의 일정 영역에 형성된다. 상기 버퍼 반도체층(1090)의 상면은 복수의 유기 돌기 중 제 1 유기 돌기가 위치하는 제 1계면, 제 2 유기 돌기가 위치하는 제 2계면 및 상기 제 1계면과 상기 제 2계면 사이에 유기 돌기가 위치하지 않은 제 3계면으로 이루어지며, 상기 요철 패턴은 상기 제 3계면에 형성된다.
- [0154] 도 11에 도시된 바와 같이, 예를 들어, 상기 버퍼 반도체층(1090) 상면에서 하나의 유기 돌기(1110)와 다른 유기 돌기(1120)가 위치하는 계면은 비교적 평평하다. 하지만, 상기 유기 돌기들(1110, 1120)이 위치하는 계면 사이에 유기 돌기가 위치하지 않은 계면은 불규칙적인 요철 패턴(1094)이 형성된 것을 확인할 수 있다.
- [0155] 도 11에서 도시된 바에 따르면, 상기 반도체 발광 소자(1050)의 경우, 5개의 유기 돌기가 형성되어 있고, 각 돌기들 사이의 4군데의 표면에서 불규칙한 요철 패턴을 형성하고 있다. 상기 표면은 계면으로 달리 표현할 수도 있는데, 이는 상기 반도체 발광 소자(1050)가 디스플레이 장치로 구성되는 후속공정에서, 상기 표면은 다시 다른 유기물과 접촉하는 계면이 될 것이기 때문이다. 또한, 상기 요철의 개수 및 계면 형상은 예시 사항에 불과하며, 본 발명은 이에 한정되지 않는다.
- [0156] 상기 요철 구조는 광 추출 효율을 높이는 역할을 한다. GaN 반도체 발광 소자의 경우, 주변 물질에 비해 높은 굴절률(2.3 내지 2.8)로 인해 평평한 표면 또는 계면에서 광 탈출각(또는 임계각)이 작다. 따라서 상기 반도체 발광 소자(1050)의 활성층(1054)에서 생성된 광이 외부로 추출되는 효율을 높이기 위해서는 상기 광의 진행 경로에 위치하는 반도체층의 표면 또는 계면이 거칠수록 유리하다.
- [0157] 도 11에 도시된 바와 같이, 광 추출 구조(1093)은 복수의 유기 돌기를 더 포함할 수 있다. 상기 복수의 유기 돌기는 반도체층의 수직 방향으로 돌출된다. 또한 상기 유기돌기 중 예를 들어, 하나의 유기 돌기(1110)는 그 단부에 나노 파티클(1092)을 구비하며, 상기 나노 파티클을 지지하는 유기물(1091)로 구성된다. 또한 다른 유기 돌기(1120)는 나노 파티클을 구비하지 않고, 유기물로만 돌기를 형성한다.

- [0158] 이러한 차이는 후술하겠지만, 상기 광 추출 구조(1093)를 형성하기 위한 제조 과정에서 자연스럽게 발생하게 된다. 상기 광 추출 구조(1093)를 위해 나노 파티클을 분산시킨 유기층을 형성하고, 상기 유기층을 애싱하고, 식각하는 과정을 수행한다. 이때, 상기 나노 파티클이 유기층 내 위치하는 높낮이 및 분산 정도에 따라, 상기 식각 과정에서 불규칙적으로 돌출되는 유기 돌기가 형성될 수 있다.
- [0159] 또한, 상기 식각 과정은 반도체층을 식각하여 요철 패턴을 갖게 함이 주 목적이거나, 상기 식각 과정에서 나노 파티클 또한 제거될 수 있는 바, 예를 들어, 상기 유기 돌기 중에는 나노 파티클을 포함하지 않은 유기 돌기가 존재할 수 있다.
- [0160] 한편, 상기 유기 돌기의 굴절률은 반도체층보다 낮게 구성한다. GaN의 굴절률을 고려하여, 예를 들어, 1.5 내지 2 사이인 굴절률을 가지는 것이 바람직하다. 광이 진행할 때, 두 매질의 굴절률 차이가 클수록 임계각이 작아져서 광 추출 효율이 감소하는 바, 상기 유기 돌기의 굴절률은 반도체층의 굴절률보다 낮게 구성하되, 그 차이가 크지 않도록 적절한 범위로 조절하여 형성한다. 이는 상기 유기층의 유기 성분의 종류 및 상기 유기층에 분산되는 나노 파티클의 종류를 선택함에 따라 조절 가능하다.
- [0161] 도 12는 다양한 위치에 광 추출 구조를 구비한 반도체 발광 소자를 나타내는 단면도들이다.
- [0162] 도 12(a)에서 도시된 바와 같이, 광 추출 구조(1193)는 버퍼 반도체층(1190)의 상부에서 형성될 수 있다.
- [0163] 또한, 도 12(b)에서 도시된 바와 같이, 광 추출 구조(1293)는 별도의 버퍼 반도체층 없이, 제 2도전형 반도체층(1153)의 상부에 형성될 수 있다.
- [0164] 또한, 도 12(c)에 도시된 바와 같이, 광 추출 구조(1393, 1493)는 버퍼 반도체층(1290)의 상부 및 제 2도전형 반도체층(1253)의 하부에 형성될 수 있다.
- [0165] 다만, 상기 광 추출 구조의 형성 위치는 예시일 뿐, 본 발명이 이에 한정되는 것은 아니다.
- [0166] 도 13은 도 11의 반도체 발광 소자를 제작하는 과정을 나타내는 순서도이다.
- [0167] 먼저 제 1기판에서 반도체 발광 구조를 형성한다(S1310). 상기 반도체 발광 구조는 제 1도전형 반도체층, 활성층 및 제 2도전형 반도체층을 포함하고, 경우에 따라 버퍼 반도체층을 더 포함할 수 있다. 플립 칩 구조의 반도체 발광 소자의 경우, 상기 제 1기판에서 각 반도체층을 전기적으로 연결하기 위한 전극 형성이 진행된다.
- [0168] 이후, 상기 반도체 발광 구조를 제 2기판으로 전사한다(S1320). 상기 전사 단계는 반도체 발광 소자 내에, 광 추출 구조를 형성하고자 하는 위치에 따라 선택적으로 수행된다. 예를 들어, 제 1기판에서 적층되는 반도체 발광 구조의 최상단에 광 추출 구조를 형성하기 위해서는 별도의 전사단계를 수행할 필요가 없다. 하지만, 제 1기판에서 처음 성장되는 반도체층(예를 들어 버퍼 반도체층)에 광 추출 구조를 형성하기 위해서는, 제 2기판으로 플립 칩 방식으로 전사하여 상기 버퍼 반도체층의 표면이 드러나도록 해야 한다. 한편, 상기 제2기판은 2차 전사를 위한 임시기판일 수 있고, 배선이 연결되어 있는 최종 기판일 수도 있다.
- [0169] 이후, 광 추출 구조를 형성하려는 반도체층의 상부에 나노 파티클이 분산된 유기층을 코팅한다(S1330). 상기 코팅을 위해, 예를 들어, 스핀 코팅 방법을 사용한다. 스핀 속도 및 시간 조절을 통해, 상기 나노 파티클이 분산된 유기 용액을 상기 반도체층의 상부에 얇게 도포한다.
- [0170] 상기 코팅 과정(S1330)은 열에 의해 소프트 베이킹(Baking)하는 단계를 포함한다. 상기 소프트 베이킹은 유기 용액의 유동성을 제거하기 위해 휘발성 있는 용제(Solvent)를 제거하는 과정이다.
- [0171] 상기 나노 파티클은 무기 파티클 또는 금속 파티클을 포함하고, 예를 들어, TiO_2 , ZnO , ZrO_2 , SiO_2 , Al_2O_3 , $SiNx$ 중 하나 이상을 포함하는 것으로 한다. 또한 상기 나노 파티클의 식각비는 반도체 발광 소자를 구성하는 반도체층의 식각비보다 작은 것으로 한다. 후술하겠으나, 상기 나노 파티클을 포함한 유기층을 식각 마스크로 사용하기 위함이다.
- [0172] 또한, 상기 유기층은 감광성 유기 성분을 포함한다. 감광성 유기 성분이 유기층을 구성하는 경우, 포토리소그래피 공정을 통해 특정 영역만을 패터닝(patterning)하여 잔존시킬 수 있다. 즉, 유기층을 반도체 발광 소자의 특정 영역에만 잔존시키고, 이후, 상기 특정 영역에만 광 추출 구조를 형성할 수 있다.
- [0173] 이후, 애싱(ashing) 공정을 통해 상기 유기층의 표면처리를 수행한다(S1340). 상기 코팅된 유기층의 경우 일정한 두께를 가지며, 표면은 평평하게 형성되어 있는 바, 애싱 공정을 통해 상기 유기층의 표면을 거칠게 만들어 준다.

- [0174] 애싱 공정(S1340)은 주로 O₂ 플라즈마를 사용하여 짧은 시간에 수행된다. 나노 파티클이 분산된 유기층에서, 나노 파티클을 제외한 유기물 영역은 O₂ 플라즈마에 의해 쉽게 제거될 수 있다. 즉, 플라즈마 처리 시간이 경과함에 따라 유기층의 표면에서 유기물 성분은 제거되고, 나노 파티클은 잔존하게 되어, 상기 유기층의 표면은 나노 파티클이 돌출되어 굴곡진 형상을 지니게 된다.
- [0175] 이후, 상기 돌출된 나노 파티클을 포함한 유기층을 식각 마스크로 하여 식각 공정을 수행하고, 광 추출 구조를 형성한다(S1350). 상기 식각은 플라즈마(Plasma)나 반응성 이온가스(Reactive Ion Gas)를 이용하여 이방성 식각하는 건식 식각(dry etching) 또는 화학약품을 이용하여 등방성으로 식각하는 습식 식각(wet etching)방법이 사용될 수 있다. 다만, 습식 식각의 경우, 등방성 식각으로 유기층 전체가 소실될 우려가 있어, 상기 식각 공정은 플라즈마를 이용한 건식 식각이 바람직하다.
- [0176] 건식 식각을 통해, 상기 유기층의 전체 영역이 일정한 방향성을 가지고 식각된다. 상기 방향성은 일반적으로 반도체층에 수직 방향이 될 것이나, 식각 장치의 구성을 통해 그 방향이 조절될 수 있다.
- [0177] 한편, 유기층 내 유기물과 나노 파티클은 동일 시간 내 식각되는 비율인 식각비가 다르다. 본 발명에서 나노 파티클은 금속이나 무기물로 구성되어있어, 유기물에 비해 식각비가 낮다. 따라서 식각 공정에서 일정 시간이 경과하더라도, 나노 파티클은 잘 식각되지 않아 상기 유기층 또는 반도체층의 표면 상에 남아 있을 확률이 크다. 또한 전처리 단계인 애싱 공정(S1340)을 통해 이미 유기층의 표면에 일정량의 나노 파티클이 돌출된 형상을 형성하였으므로, 식각 공정을 통해 상기 돌출된 형상은 더욱 두드러지게 된다. 즉, 반도체층의 표면에는 나노 파티클을 포함한 유기 돌기를 형성할 수 있다. 상기 유기 돌기는 나노 파티클이 상기 돌기의 단부에 위치하고, 상기 나노 파티클을 지지하는 유기물로 구성된다. 다만, 애싱 공정(S1340)에서 형성된 돌출된 나노 파티클도, 상기 건식 식각 공정이 장시간 진행되는 경우, 식각되어, 상기 유기 돌기의 단부에는 나노 파티클이 존재하지 않을 수도 있다.
- [0178] 한편, 애싱 공정(S1340)을 통해 나노 파티클이 존재하지 않은, 오목한 영역의 유기층은 상기 식각 공정을 통해 더욱 식각될 것이며, 더 나아가 유기층 아래에 존재하는 반도체층 역시 식각될 것이다.
- [0179] 따라서 상기 식각 공정 이후, 상기 반도체층의 표면 상에는 복수의 유기 돌기가 형성될 것이고, 상기 유기 돌기가 형성되지 않은 영역은 반도체층이 식각되어 불규칙한 요철 패턴을 형성할 것이다. 상기 요철 패턴이 본 발명의 광 추출 구조를 구성하는 주요한 요소가 된다.
- [0180] 도 14는 도 11의 반도체 발광 구조를 제 1기판에서 형성하는 과정을 나타내는 단면도들이다.
- [0181] 도 14(a)에 도시된 바와 같이, 제 1기판(1011)에 버퍼 반도체층(1090), 제2도전형 반도체층(1053), 활성층(1054), 제1 도전형 반도체층(1055)을 차례대로 성장시킨다.
- [0182] 상기 버퍼 반도체층(1090)은 도 14(a)에서 도시된 바와 같이, 제 2도전형 반도체층(1053)의 하부에 형성된다. 상기 버퍼 반도체층(1090)은 상기 제 1기판에서 성장한 반도체 발광 구조를 분리하는 과정에서 발생할 수 있는 제 2도전형 반도체층(1053)의 파손을 미연에 방지할 수 있다. 또한, 광 추출 구조를 형성하기 위한 식각 공정시 발생하는 플라즈마에 의한 데미지를 완화시켜주는 역할을 한다.
- [0183] 한편, 상기 버퍼 반도체층(1090)의 두께는 예를 들어, 0.5 μ m 내지 3 μ m 범위 내로 성장시킨다. 버퍼 반도체층(1090)의 두께가 0.5 μ m 미만인 경우, 반도체 발광 구조를 성장기판에서 분리시킬 때 가해지는 충격을 상기 버퍼 반도체층(1090)이 온전히 흡수하기 어렵기 때문이다. 또한, 상기 버퍼 반도체층(1090)의 두께가 3 μ m를 초과하는 경우, 예를 들어, 상기 버퍼 반도체층이 광 진행 경로에 위치한다면, 그 두께에 의해 광 추출 효율이 감소할 수 있기 때문이다.
- [0184] 한편, 도 14에서는 상기 버퍼 반도체층(1090)을 구분하여 표현하였지만, 전술하였듯이, 상기 버퍼 반도체층(1090)은 선택사항이다. 예를 들어, 상기 제 2도전형 반도체층(1053)이 비교적 두껍게 성장된다면, 상기 제 2도전형 반도체층(1053)이 버퍼 반도체층(1090) 역할까지 수행한다.
- [0185] 한편, 제 1기판(1011)은 광 투과적 성질을 가지는 재질, 예를 들어 사파이어(Al₂O₃), GaN, ZnO, AlO 중 어느 하나를 포함하여 형성될 수 있다. 또한, 제 1기판(1011)은 반도체 물질 성장에 적합한 물질, 캐리어 웨이퍼로 형성될 수 있다. 제 1기판(1011)은 열 전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판을 포함하여 예를 들어, 사파이어(Al₂O₃) 기판에 비해 열전도성이 큰 SiC 기판 또는 Si, GaAs, GaP, InP, Ga₂O₃ 중 적어도 하나를 사용할 수 있으나, 이에 한정하지 않는다.
- [0186] 나아가, 제2도전형 반도체층(1053)은 n형 반도체층으로서, n-GaN 과 같은 질화물 반도체층이 될 수 있으며, 제1

도전형 반도체층(1055)은 p형 반도체층이 될 수 있다. 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 제1도전형이 n형이 되고 제2도전형이 p형이 되는 예시도 가능하다.

[0187] 또한, 본 발명의 다른 실시예에 따르면, 진성 또는 도핑된 반도체기판에 불순물을 주입하여, 상기 제1도전형 반도체층(1055) 및 제2도전형 반도체층(1053)을 형성할 수 있다. 또한, 상기 불순물 주입에 의하여 p-n 접합이 형성된 영역이 상기 활성층(1053)과 같은 역할을 할 수도 있다. 상기 제1도전형 반도체층(1055), 제2도전형 반도체층(1053) 및 활성층(11054)에 대한 열거 사항은 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

[0188] 도 14(b)에 도시된 바와 같이, 제 1기판상에서 성장한 반도체층은 식각 공정을 통해 서로 고립(isolation)된 복수의 반도체 발광 구조를 형성한다.

[0189] 예를 들어, 상기 제1도전형 반도체층, 활성층, 제2도전형 반도체층 및 버퍼 반도체층의 적어도 일부를 식각하여, 상기 기판상에서 서로 고립(isolation)된 복수의 반도체 발광 구조를 형성한다. 이 경우에, 상기 식각은 제 1기판 드러날 때까지 진행될 수 있다.

[0190] 다른 예로서, 반도체 발광 소자의 사이에서 상기 제2도전형 반도체층의 일부를 남겨놓은 상태까지 식각이 진행될 수도 있다.

[0191] 도 14(c)에 도시된 바와 같이, 복수의 반도체 발광 구조(1400)에는 제 1도전형 전극(1056) 및 제 2도전형 전극(1052)이 형성될 수 있다. 상기 전극들을 형성하기 위해서는 포토공정, 식각공정 및 메탈증착공정이 각 전극 별로 수행될 수 있다. 따라서 최종적으로 상기 제 1기판(1011) 위에는 제1도전형 전극(1056), 제 2도전형 전극(1052), 제 1도전형 반도체층(1055), 활성층(1054), 제 2도전형 반도체층(1053), 버퍼 반도체층(1090)이 형성된 복수의 반도체 발광 구조(1400)가 형성될 수 있다. 상기 반도체 발광 소자(1050)는 예를 들어, 반도체 발광 구조(1400)의 측면을 감싸도록 형성되는 패시베이션층을 더 포함할 수 있다.

[0192] 도 15는 도 14의 반도체 발광 구조를 제 2기판으로 전사하는 방법을 나타내는 단면도들이다. 전술하였지만, 전사되는 기판은 예를 들어, 제 2차 전사를 위한 임시 기판일 수 있고, 배선전극을 포함한 최종 기판일 수도 있다.

[0193] 도 15(a)에서 도시하는 바와 같이, 제 2기판(1010)상에 형성된 접착 필름(1030)을 통해 제 1기판(1011)의 반도체 발광 구조(1400)가 제 2 기판(1010)으로 전사될 수 있다.

[0194] 상기 전사 과정에는 제 1기판(1011)의 반도체 발광 구조(1400)를 선택적으로 분리하기 위해 레이저 리프트 오프(laser lift off; LLO) 과정이 수행될 수 있다. 즉, 제 1기판(1011) 측에서 분리하고자 하는 반도체 발광 구조(1400)에 레이저를 조사하면 제 1기판(1011)과 해당 반도체 발광 소자(1400)는 분리될 수 있다.

[0195] 제 2기판(1010)의 접착 필름은 선택적 전사에 적합한 유연 필름일 수 있다. 도 15(b)에 도시된 바와 같이, 제 1기판(1011)에서 분리된 반도체 발광 구조(1400)의 경우, 제 2기판(1010)의 접착 필름(1030)에 모두 접착될 수 있다. 상기 접착 필름(1030)은 유연성이 있어, 상기 반도체 발광 구조(1400)은 안정적으로 상기 접착 필름(1030) 상에 고정되게 된다.

[0196] 상기 접착 필름(1030)에 의해 전사된 반도체 발광 구조(1400)는 후속 공정을 통해 광 추출 구조를 구비하게 되고, 제 3기판으로 전사될 수 있다. 만약, 상기 제 2기판(1010)이 배선기판 또는 최종기판일 경우, 상기 접착 필름(1030)은 상기 반도체 발광 구조(1400)와 전기적 연결을 위한 전도성 접착 필름이 사용될 수 있다.

[0197] 도 16은 도 15의 반도체 발광 구조의 상부에 나노 파티클을 함유한 유기층이 코팅된 단면도이다.

[0198] 도 16에 도시된 바와 같이, 제 2기판(1010) 상에 위치한 접착 필름(1030) 및 전사된 반도체 발광 구조(1400)는 평평한 표면을 형성할 수 있다. 따라서 상기 표면 위에 스핀 코팅과 같은 방법으로 나노 파티클(1692)이 분산된 유기층(1691)을 코팅할 수 있다. 스핀 코팅의 경우, 회전 속도와 시간의 조절을 통해 비교적 간단하게 코팅 두께를 조절할 수 있으며, 대면적의 유기층 코팅에 유리하다. 다만, 상기 코팅 방법은 예시적인 사항일 뿐, 본 발명의 이에 한정되는 것은 아니다.

[0199] 보다 구체적으로, 무수히 많은 나노 파티클들이 분산된 유기 용액이 상기 스핀 코팅 방법을 통해 상기 반도체 발광 구조(1400) 상부에 도포된다.

[0200] 이후 소프트 베이킹(Baking) 공정을 통해 상기 유기 용액의 휘발성분(solvent)이 제거되고, 비교적 고체화된 유기층(1691)이 상기 반도체 발광 구조(1400)의 상부에 형성된다.

- [0201] 또한, 상기 유기층의 성분은 예를 들어, 감광성 유기 성분을 포함한다. 상기 감광성 유기 성분은 감광성 아크릴레이트, PAC(Photo Active Compounds)일 수 있다.
- [0202] 또한, 상기 나노 파티클은 예를 들어, 10nm 내지 300nm의 무기물 또는 금속 성분일 수 있다.
- [0203] 도 17은 도 16의 반도체 발광 구조의 상면에 유기 돌기 및 불규칙한 계면을 형성하기 위한 각 공정 단계 별 단면도들이다.
- [0204] 도 17(a)는 도 16에 도시된 기판(1010) 상에 위치하는, 유기층(1791)이 코팅된 반도체 발광 구조(1400)에 대한 단면도이다.
- [0205] 상기 유기층(1791)에는 무수히 많은 나노 파티클(1792)들이 분산되어 있다.
- [0206] 도 17(b)는 도 17(a)의 유기층이 코팅된 반도체 발광 구조에 대해 애싱 공정 이후 형상을 나타낸 단면도이다. 애싱 공정을 통해, 예를 들어, O2 플라즈마에 상기 유기층의 표면을 수 초간 노출시킴으로써 상기 유기층의 표면의 형상을 변형시키게 된다. O2 플라즈마는 나노 파티클보다는 유기층을 제거하는데 효과적인 바, 플라즈마 처리가 지속될수록 나노 파티클은 유기층의 표면에 드러나게 된다.
- [0207] 구체적으로, 도 17(b)에 도시된 바와 같이, 애싱 공정 이후, 복수의 나노 파티클(1792)들이 유기층(1791)의 표면에 노출되어 있고, 상기 나노 파티클 하부에는 이를 지지하는 유기물이 형성되어, 유기층(1791)은 나노 파티클들을 중심으로 불규칙한 표면 형상을 가지게 된다.
- [0208] 도 17(c)는 도 17(b)의 애싱 공정 이후의 반도체 발광 구조에 대해 식각 이후 형상을 나타낸 단면도이다.
- [0209] 도 17(c)의 반도체 발광 구조의 경우, 버퍼 반도체층(1790)을 포함하고 있는데, 상기 버퍼 반도체층의 일부분이, 예를 들어, E-E라인과 같은 형상으로 식각된다.
- [0210] 도 17(c)에 도시된 바와 같이, E-E라인을 참조하면, 애싱 단계에서 형성된 나노 파티클이 포함된 돌출 구조도 식각이 이루어진다. 다만, 상기 나노 파티클의 식각비는 유기물이나 버퍼 반도체층(1790)의 식각비보다 낮아, 상기 돌출 구조는 더욱 두드러질 수 있다.
- [0211] 결국, 식각 공정 이후, 일부 나노 파티클을 포함한 유기 돌기, 나노 파티클을 포함하지 않은 유기 돌기가 상기 버퍼 반도체층(1790)의 상면에 형성될 수 있다.
- [0212] 또한 상기 유기 돌기가 형성되지 않은 버퍼 반도체층(1790)의 표면은 상기 버퍼 반도체층 자체가 식각되어 불규칙한 요철 패턴을 형성할 수 있다. 상기 요철 패턴 및 유기 돌기가 반도체 발광 소자의 광 추출 구조를 형성하여 광 추출 효율을 향상시킬 수 있다.
- [0213] 상기 요철 패턴의 단차는 수십 nm 내지 수백 nm가 바람직하다. 즉, 가시광 영역대의 파장에 상응하는 단차를 형성하여, 광 추출 효율을 높일 수 있다.
- [0214] 도 18은 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 평면SEM 이미지들이다.
- [0215] 도 18(a)는 나노 파티클을 함유한 유기층이 코팅된 표면의 SEM (Scanning Electron Microscope) 이미지이다. 상기 SEM 이미지에서 알 수 있듯이, 나노 파티클은 뭉쳐 있지 않고 잘 분산되어 있다. 또한 상기 코팅된 표면의 하부에도 무수히 많은 나노 파티클들이 분산되어 존재할 것임을 예상할 수 있다.
- [0216] 도 18(b)는 도 18(a)의 유기층이 코팅된 표면을 O2 플라즈마에 의해 애싱(ashing) 처리한 이후 SEM 이미지이다.
- [0217] 일부 응집되어 있는 덩어리가 관찰되나, 상기 덩어리는 상기 O2 플라즈마에 의해 유기물이 제거되는 과정에서, 잔존하는 유기물이 뭉쳐서 형성된 것이다. 또한 후속공정인 식각 공정에서 상기 유기물 덩어리는 쉽게 제거될 수 있다. 따라서 상기 유기물 덩어리를 제외하면, 무수히 많은 나노 파티클들이 표면 상에 드러나 있는 것을 관찰할 수 있다. 상기 나노 파티클들은 O2 플라즈마에 의해 제거되지 않은 나노 파티클들이 유기층의 표면 상에 드러난 것이다.
- [0218] 도 18(c)는 도 18(b)의 표면에 대해 식각 공정을 수행한 이후의 SEM 이미지이다.
- [0219] 무수히 많은 유기돌기 구조가 상기 표면에 형성되어 있는 것을 확인할 수 있다. 상기 유기 돌기는 돌기의 단부에 나노 파티클을 포함할 수 있고, 나노 파티클이 존재하지 않는 유기물로만 구성될 수도 있다.
- [0220] 도 19는 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 단면 SEM 이미지이다.

- [0221] 상기 단면 SEM 이미지 획득하기 위해, FIB(Focused Ion Beam) 장비를 통해 반도체 발광 구조를 단면 방향으로 절단하였다. 또한 도 19에서 도시된 바와 같이, 상기 절단 과정에서 반도체 발광 구조가 손상되지 않기 위해, 별도의 금속 버퍼층(1920)을 도포했으며, 정밀한 SEM 이미지를 위해 얇은 전도성층(1910)을 코팅하였다. 상기 금속 버퍼층(1920) 및 전도성층(1910)은 반도체 발광 구조와 무관한 것으로, 상기 금속 버퍼층 아래로 관찰되는 나노 파티클(1992), 유기층(1991) 및 반도체층(1990)으로 통해 도 18(a)의 단면 이미지를 확인할 수 있다.
- [0222] 구체적으로, 나노 파티클(1992)들은 수십nm 내지 300nm의 범위 내로 존재하는 것으로 관찰되며, 상기 유기층(1991)의 두께는 약 780nm이다.
- [0223] 또한 상기 유기층(1991)의 표면은 돌출된 부분이 없이 평평하게 이루어져 있으며, 상기 유기층(1991)과 상기 반도체층(1990) 사이의 계면 역시 돌출된 부분이 없이 평평한 계면 형상이 관찰된다.
- [0224] 도 20은 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 대한, 애싱 공정 이후 측면 SEM 이미지이다.
- [0225] 도 20에 도시된 바와 같이, 많은 나노 파티클들이 유기층의 표면에 돌출되어 있으며, 상기 나노 파티클들을 지지하는 유기물의 형상이 관찰된다. 상기 나노 파티클의 크기는 수십 nm 수준으로 관찰되며, 상기 나노 파티클을 지지하는 유기물을 제외한 유기층 부분은 애싱 과정에서 제거되어, 유기층의 바닥부분이 거의 드러나 있다. 한편 O2 플라즈마와 같은 애싱 처리로는 반도체층의 식각이 이루어지지 않은 바, 상기 SEM 이미지에서 보이는 바닥 면은 유기물이 얇은 두께로 남아 있거나, 일부 반도체층의 표면이 드러난 형상이다.
- [0226] 도 21은 나노 파티클이 함유된 유기층이 코팅된, 반도체 발광 구조에 대한, 애싱 및 식각 공정 이후 FIB-SEM 이미지이다.
- [0227] 도 21(a)에 도시된 바와 같이, 반도체층(2190)의 상부에는 수많은 돌출된 영역이 존재한다. 상기 영역은 애싱 및 식각 공정 이후 형성된 유기 돌기들 및 상기 유기 돌기들 상부에 추가적으로 전도성 고분자층(2110)을 코팅 처리한 것이다. 실제 반도체 발광 소자로 활용하기 위해서도 예를 들어, 반도체 발광 소자의 상부에 형광체층을 형성하는 것이 일반적이며, 도 21(a) 이미지 경우, 유기 돌기(2120) 및 반도체층(2190)의 계면의 형상을 보다 뚜렷이 관찰하기 위해 상기와 같이 전도성 고분자층(2110)이 더 코팅되었다.
- [0228] 구체적으로, 도 21(a)는 식각 공정 이후의 반도체 발광 소자를 FIB 장비에 로딩하여 단면 처리하고, 52도의 경사각도에서 관찰한 SEM이미지이다. 상기 반도체층(2190)의 계면은 유기 돌기들이 위치하는 계면과, 상기 유기 돌기들이 위치하지 않고, 전도성 고분자층(2110)과 직접적으로 접촉하는 계면으로 나누어진다.
- [0229] 도 21(b)는 도 21(a)의 F영역을 확대한 단면도이다. 도 21(b)의 이미지에서 어둡게 돌출되어 있는 영역이 식각 공정에 의해 형성된 유기 돌기(2120, 2121)들이다. 일반적으로 SEM 장비는 가속전자를 물체에 충돌시킨 후, 발생하는 2차 전자의 양을 검출하여 이미지를 구현하는 바, 유기물의 경우 2차 전자의 발생량이 작아 어둡게 표현된다.
- [0230] 상기 유기 돌기(2120, 2121)들과 반도체층(2190)의 계면은 평평한 반면, 상기 유기 돌기들이 존재하지 않은 반도체층(2190)의 계면은 불규칙적으로 요철 패턴이 형성되어 있다.
- [0231] 보다 구체적으로, 상기 제 1유기 돌기(2121)와 상기 제 2유기 돌기(2120) 사이에, 유기 돌기가 존재하지 않는 반도체층(2190)의 계면의 최대 높이 지점(2196)과 최소 높이 지점(2195)의 차이는 약 560nm이다. 즉, 식각 공정을 통해, 상기 영역에서 반도체층(2190)의 표면은 최대 560nm 정도 식각되었고, 이에 따라 불규칙한 요철 패턴을 형성하였음을 확인할 수 있다.
- [0232] 상기 요철 패턴은, 단차가 수백 nm이고, 이에 따라 반도체층의 표면과 수직 방향으로 다양한 경사각을 형성하고 있어, 예를 들어, 반도체 발광 소자의 활성층에서 생성된 광이 상기 불규칙한 반도체층의 표면으로 진행되는 경우, 다양한 광 탈출 각도를 제공할 수 있다.
- [0233] 도 22는 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 평면 AFM이미지들이다.
- [0234] 도 22(a)는 반도체 발광 구조의 표면에 유기층을 코팅한 후의 표면 거칠기를 AFM(Atomic Force Microscope)으로 측정한 이미지이고, 도 22(b)는 애싱 후, 도 22(c)는 애싱 및 식각 이후의 표면 거칠기에 대한 평면 AFM 이미지이다.
- [0235] 도 22(a)에서 도시된 바와 같이, 코팅만으로는 표면의 거칠기가 크지 않으나, 도 22(b)에서 도시된 바와 같이, 애싱 공정 이후 표면은 도22(a)에 비해 거칠어졌음을 확인할 수 있다. 더 나아가, 도 22(c)에서 도시된 바와 같

이, 식각 공정 이후에는 더욱 선명하게 표면의 돌출된 영역을 확인할 수 있다.

- [0236] 도 23는 광 추출 구조를 구비하는 반도체 발광 소자를 제작하기 위한, 각 공정 단계 별 표면 거칠기 및 측면 AFM이미지들이다.
- [0237] 각 공정 별 측면 AFM 이미지를 나타내는 도 23 (a) 내지 (c)에 의해서도 각 공정 단계에 따라 표면 거칠기가 변화함을 확인할 수 있다. 상기 확인 결과를 정량적으로 살펴보면, 코팅 공정만을 수행한 경우, 도 23(a)에 도시된 바와 같이, 유기층 표면의 최대 높이와 최소 높이의 차이(Rpv)는 약 23 nm이며, 평균적인 거칠기를 나타내는 제곱평균 거칠기(Rq)는 약 3nm로 표면의 형상은 매우 평평함을 알 수 있다.
- [0238] 반면, 도 23(b)에 도시된 바와 같이, 애싱 공정 이후에는 표면의 최대 높이와 최소 높이 차이는 약 1290nm이며, 제곱평균 거칠기는 약 160nm로 애싱 공정 전인 도 23(a)과 비교하여, 약 60배 가량 표면이 거칠어졌음을 확인할 수 있다. 즉, 나노 파티클이 분산된 평평한 유기층이 애싱 공정을 통해, 나노 파티클을 중심으로 돌출된 구조를 지니게 됨으로써 거칠기가 증가했다고 볼 수 있다. 단, 전술했듯이, 애싱 공정은 일반적으로 유기층의 표면 형상을 변화시킬 뿐, 반도체층의 계면 형상을 변화시키지는 않는다.
- [0239] 또한, 도 23(c)에서 도시된 바와 같이, 식각 공정 이후에는 표면의 최대 높이와 최소 높이 차이는 약 1490nm이며, 제곱평균 거칠기는 약 226nm이다. 즉, 애싱 공정 이후, 다시 식각 공정을 통해 거칠기가 증가하였는데, 이러한 거칠기의 증가는 유기층의 표면 형상의 변화보다는 반도체층의 계면이 불규칙하게 식각되었기 때문이다.
- [0240] 도 24는 본 발명의 광 추출 구조를 구비한 반도체 발광 소자 및 종래 기술에 따른 반도체 발광 소자들의 파장 별 광 세기를 나타내는 그래프이다.
- [0241] GaN 반도체 발광 소자의 경우, 주변 물질 대비 굴절률이 커서 상기 소자에서 발생한 빛이 소자 내부에서 전반사되어 광 추출 효율이 낮다. 따라서 일반적으로 식각 공정을 통해 반도체 발광 소자의 표면에 광 추출 구조를 형성하게 된다.
- [0242] 도 24는 크게 3종류의 반도체 발광 소자의 파장 별 광 세기를 비교한 것으로 상기 광 세기는 상대적인 비교를 위한 정규화한 값이다.
- [0243] 또한 상기 3종류의 반도체 발광 소자는 각각, 식각 공정을 하지 않은 소자(No etching), 종래 방식과 같이 마스크를 이용한 건식 식각 공정을 수행한 소자(Conventional Mask + Dry Etching) 및 본 발명과 같이 나노 파티클이 함유된 유기물을 식각 마스크로 하여 건식 식각한 소자(Nano Particle/Organic Mask + Dry Etching)이다.
- [0244] 구체적으로, 식각하지 않은 소자의 광 세기는, 중심 피크 기준으로 약 0.35이며, 식각한 두 개의 소자의 광 세기는 중심 피크 기준으로 약 0.55이다. 즉, 식각을 통해 형성된 광 추출 구조로 인해 약 50%의 광 세기가 증가하였음을 알 수 있다.
- [0245] 또한, 도 24에 도시된 바와 같이, 본 발명의 나노 파티클이 함유된 유기물을 식각 마스크로 사용하여 건식 식각한 소자와 고가의 마스크를 제작하여 건식 식각한 소자의 광 세기가 유사함을 확인할 수 있다.
- [0246] 반도체 발광 소자를 대면적 디스플레이 장치로 이용하기 위해서는, 예를 들어, 상기 반도체 발광 소자의 크기는 수십 μm 크기로 제작되어야 하며, 개별 반도체 발광 소자에 형성되는 광 추출 구조는 수십 nm 내지 수백 nm 수준으로 제작되어야 한다. 따라서 종래 기술의 경우, 수십 nm 수준의 미세 패턴을 형성하기 위한 마스크의 제작 비용 및 상기 마스크를 이용한 정밀한 후속 공정의 난이도를 고려했을 때, 대면적 디스플레이 장치에는 적합하지 않다.
- [0247] 반면, 본 발명의 경우, 나노 파티클이 함유된 유기층을 코팅하고, 애싱 공정으로 제작된 식각 마스크를 사용하는 바, 간단하고 저비용의 방법으로 광 추출 구조를 형성하며, 그 효과는 종래 기술과 유사하다.
- [0248] 도 25는 감광성 유기층을 사용하여 반도체 발광 구조의 일부 영역에만 광 추출 구조를 형성하는 과정을 나타내는 단면도들이다.
- [0249] 도 25(a)에 도시된 바와 같이, 기판(2510) 위 접착 필름(2530)에 의해 고정된 반도체 발광 구조(2500)의 상부에 나노 파티클(2591)이 함유된 유기층(2592)을 코팅한다.
- [0250] 상기 유기층은 감광성 물질로 이루어져 있어, 포토리소그래피를 통한 패터닝이 가능하다. 따라서 도 25(b)에 도시된 바와 같이, 상기 반도체 발광 구조의 상부 일부 영역에만 유기층을 형성할 수 있다.
- [0251] 상기 코팅된 유기층에 대해 애싱 및 식각 처리를 수행하면, 도 25(c)에 도시된 바와 같이, 상기 반도체 발광 구

조(2500)의 일부 영역에만 광 추출 구조(2593)를 형성할 수 있다.

- [0252] 도 26은 도 25의 일부 영역만 광 추출 구조가 형성된 반도체 발광 소자들의 평면도이다.
- [0253] 예를 들어, 별도의 패터닝 공정이 없다면, 접착 필름 및 반도체 발광 소자의 모든 영역에 광 추출 구조가 형성될 수 있으나, 도 26에 도시된 바와 같이 패터닝 공정을 통해, 개별 반도체 발광 소자(2550)의 일부 영역에만 광 추출 구조(2593)를 형성할 수 있다.
- [0254] 상기 일부 영역은 반도체 발광 소자의 활성층과 오버랩되는 영역일 수 있다. 반도체 발광 소자의 특정 영역에만 광 추출 구조를 형성하는 이유는 광 추출 구조의 상부에 형성될 수 있는 형광체층에 의한 광의 재흡수를 최대한 방지하기 위함이며, 구체적 내용은 도 27 및 도 28에서 자세히 후술한다.
- [0255] 도 27은 도25의 반도체 발광 소자들의 상부에 형광체층이 구비된 후의 단면도이다.
- [0256] 도 27에 도시된 바와 같이, 접착 필름(2630)에 고정된 반도체 발광 소자(2650)의 특정 영역에는 광 추출 구조(2593)가 형성된다.
- [0257] 또한, 설명의 편의를 위해 일부 반도체 발광 소자의 상부에만 형광체층(2680)이 형성되었다. 형광체층(2680)은 반도체 발광 소자가 발생하는 빛을 단위 화소의 색상으로 변환시키는 기능을 수행한다.
- [0258] 예를 들어, 상기 반도체 발광 소자가 청색광을 발생시킨다면, 녹색 형광체(2681)를 구비하여 상기 청색광을 녹색광으로 변환시켜준다. 적색 형광체(2682)는 청색광을 적색광으로 변환시켜주며, 상기 형광체층(2680)의 구별을 위해 격벽(2520)이 형성될 수 있다.
- [0259] 상기 형광체층(2680)은 퀀텀닷(QD)나 무기 형광체와 같은 형광 물질을 포함하고, 반도체 발광 소자에서 생성된 광이 상기 형광 물질에 충돌하면, 상기 광은 반사되어 다시 반도체 발광 소자의 내부로 재흡수될 수 있다.
- [0260] 도 28은 도 25의 일부 영역만 광 추출 구조가 형성된 반도체 발광 소자의 광 추출 효과를 나타내는 단면도이다.
- [0261] 도 28에 도시된 바와 같이, 상기 반도체 발광 소자는 제 1도전형 전극(2656), 제 2도전형 전극(2652), 제 1도전형 반도체층(2655), 활성층(2654), 제 2도전형 반도체층(2653), 버퍼 반도체층(2690) 및 광 추출 구조(2693)를 포함한다.
- [0262] 또한 상기 반도체 발광 소자의 상부에는 형광체층(2680)이 구비되며, 상기 형광체층(2680)의 내부에는 수많은 형광체(2681)가 분산되어 있다.
- [0263] 또한 활성층(2654)에서 생성된 광(G1, G2, G3)은 다양한 방향으로 진행하나, 예를 들어, 상기 반도체 발광 소자의 측면에 반사막이 구비된다면, 대부분의 광(또는 빛)은 활성층(2654)과 오버랩되는 방향으로 진행할 것이다.
- [0264] 또한 상기 활성층(2654)의 상부에 형성된 광 추출 구조(2693)에 의해 상기 생성 광은 외부로 방출되며, 상기 외부로 방출된 광은 다시 형광체층(2680)의 형광체(2681)에 의해 반사 및 굴절이 될 것이다.
- [0265] 형광체(2681)에 의해 반사된 광 중 일부는 예를 들어, 다시 반도체 발광 소자를 향해 진행할 수 있으며, 소자 내부로 일정량 재흡수 될 수 있다.
- [0266] 또한, 상기 재흡수광(R1, R2)은 광 추출 구조가 형성되지 않은 영역보다 광 추출 구조(2693)가 형성된 영역에서 재흡수되기 쉽다. 반도체 발광 소자 자체의 고 굴절률에 의해 상기 소자의 표면이 평평한 영역은, 광의 추출 및 흡수 모두 어려울 것이나, 별도의 광 추출 구조를 구비한 영역은, 다양한 광 탈출각을 가져 광의 추출 및 흡수가 원활할 것이기 때문이다.
- [0267] 따라서 광의 추출 관점에서는 광 추출 구조가 넓게 형성된 것이 유리하나, 광의 재흡수 관점에서는 광 추출 구조가 없는 것이 소자의 외부 발광 효율을 높이는데 유리하다.
- [0268] 즉, 형광체층을 구비하는 디스플레이 장치에서, 반도체 발광 소자의 광 추출 구조는 활성층과 오버랩되는 영역에 형성하여 외부로 방출되는 광량을 증가시켜야 한다. 이와 동시에, 반도체 발광 소자의 나머지 영역에는 상기 광 추출 구조를 형성하지 않는 것이, 이후 재흡수광을 감소시키는데 유리하다.
- [0269] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.
- [0270] 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이

고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

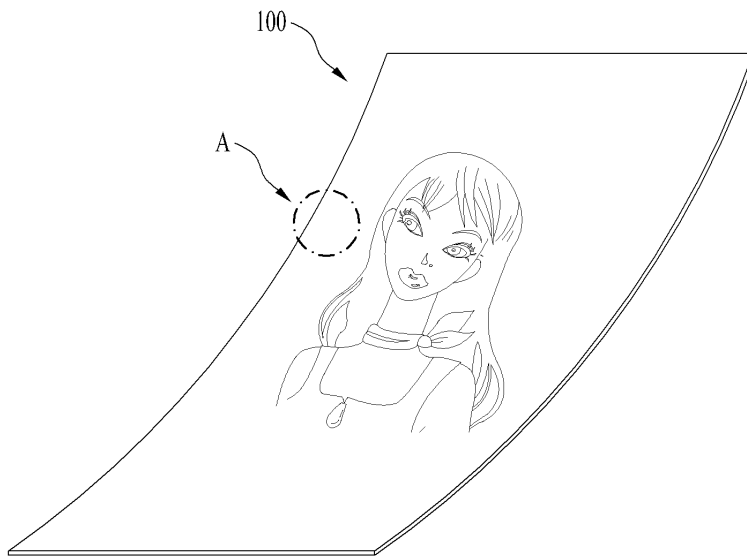
[0271] 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

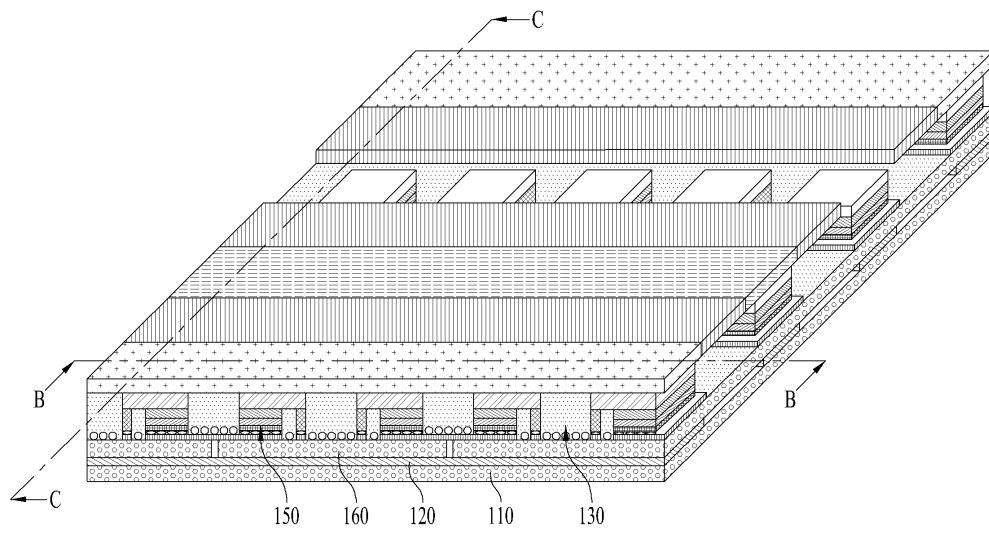
[0272] 1050 : 반도체 발광 소자 1092 : 나노 파터클
1093 : 광 추출 구조

도면

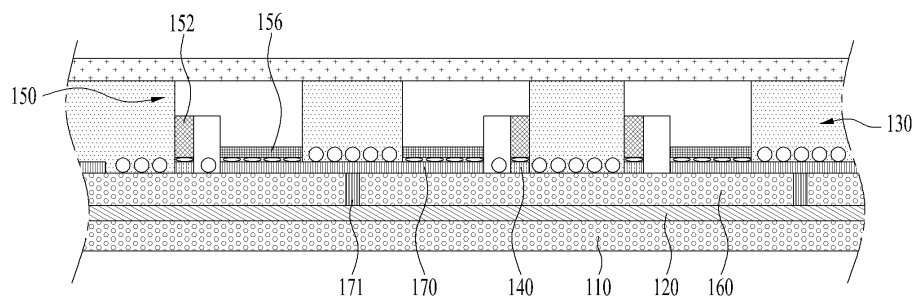
도면1



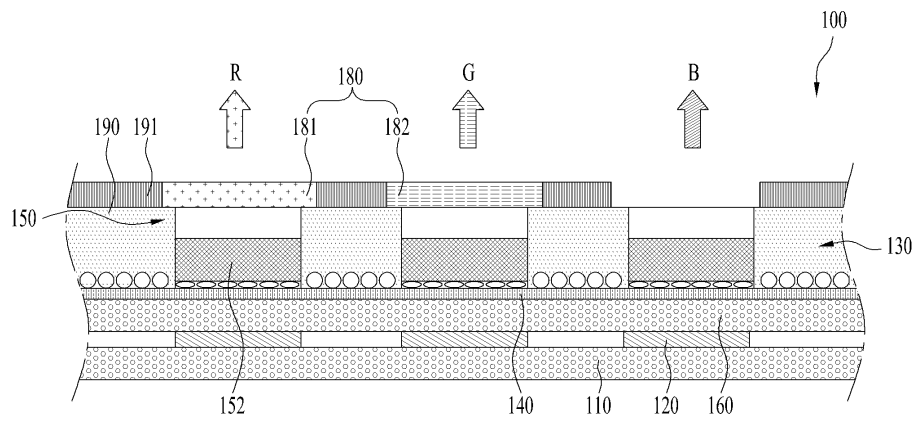
도면2



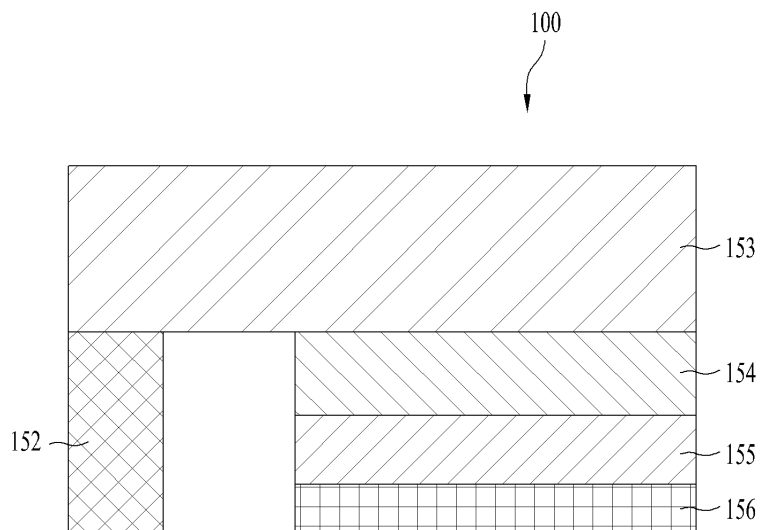
도면3a



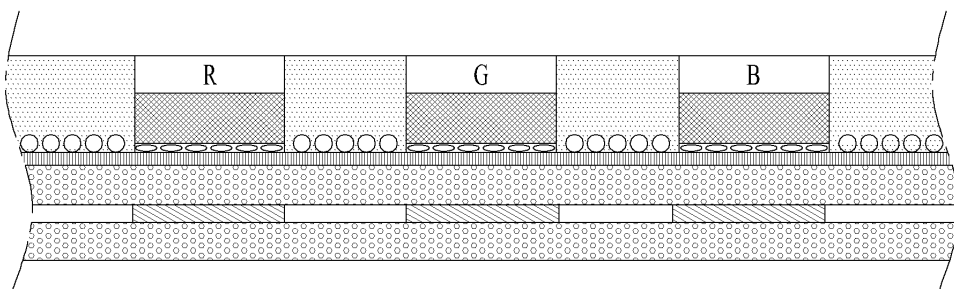
도면3b



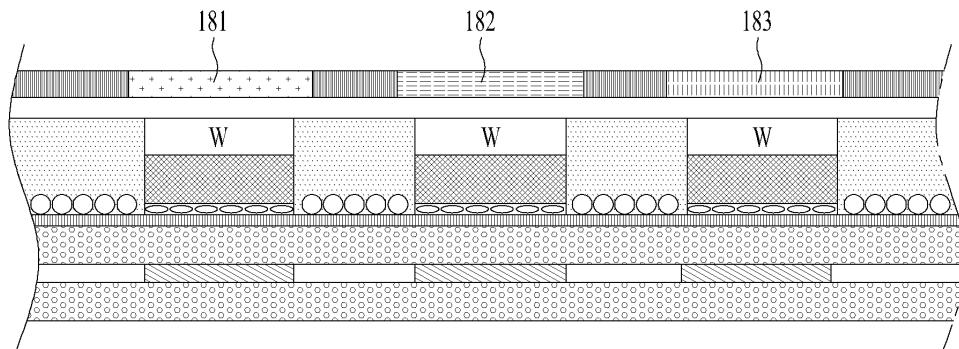
도면4



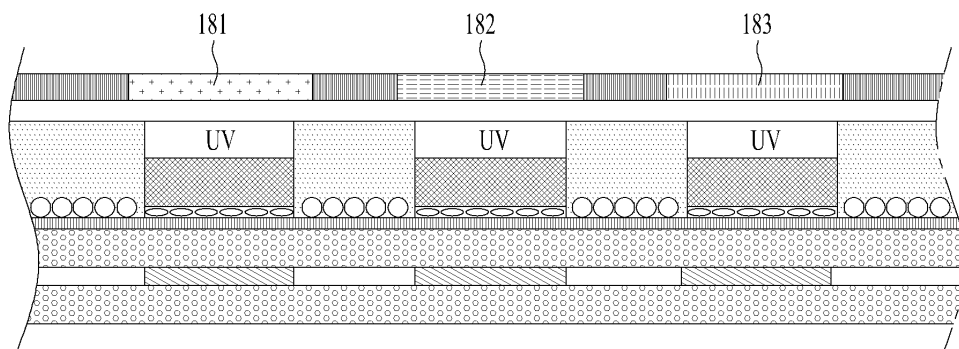
도면5a



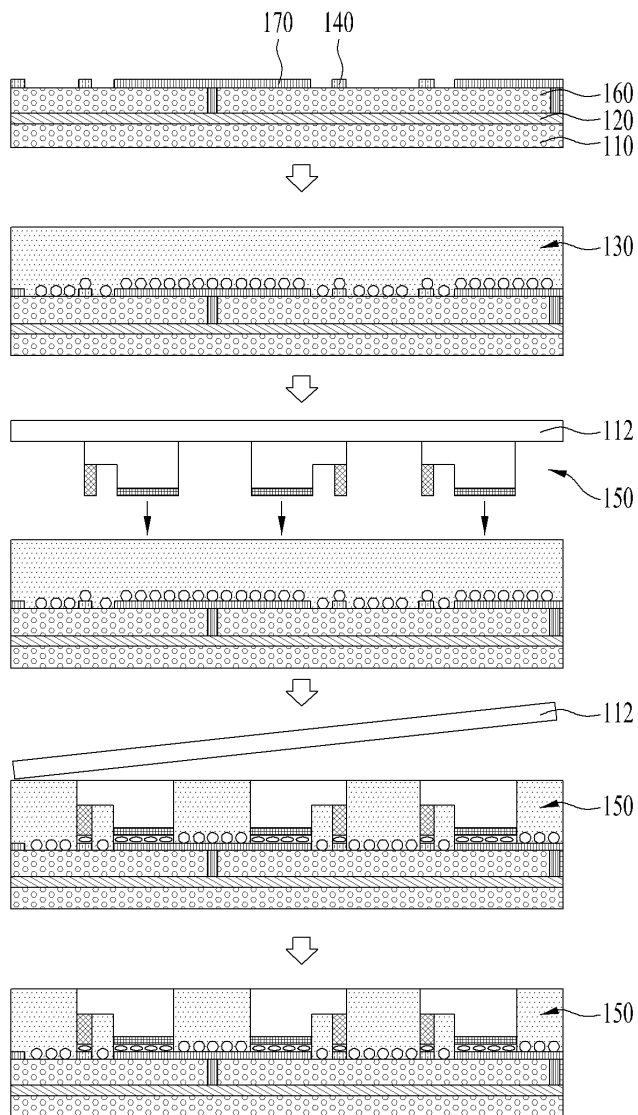
도면5b



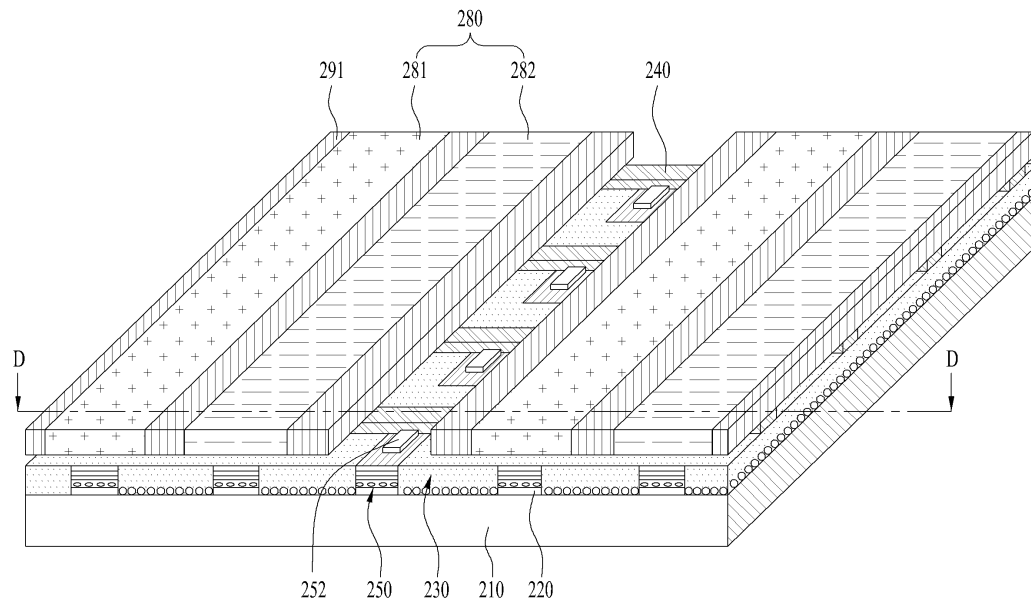
도면5c



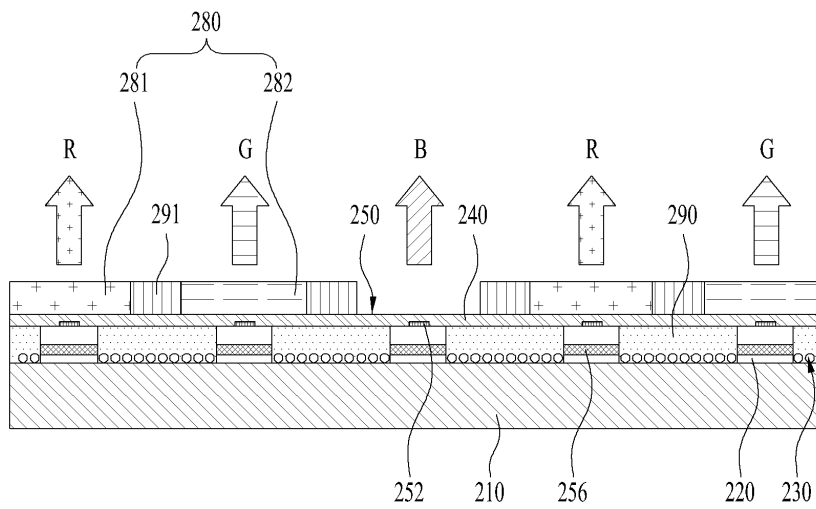
도면6



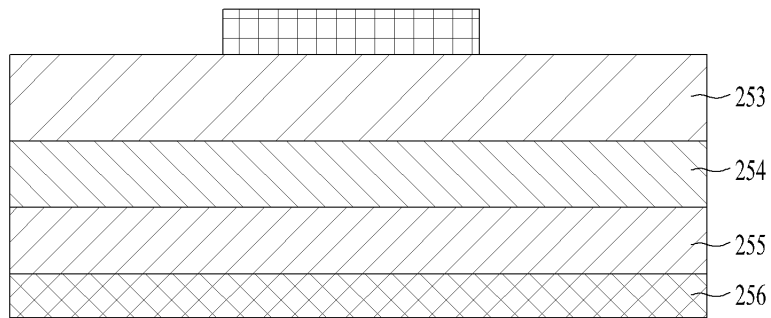
도면7



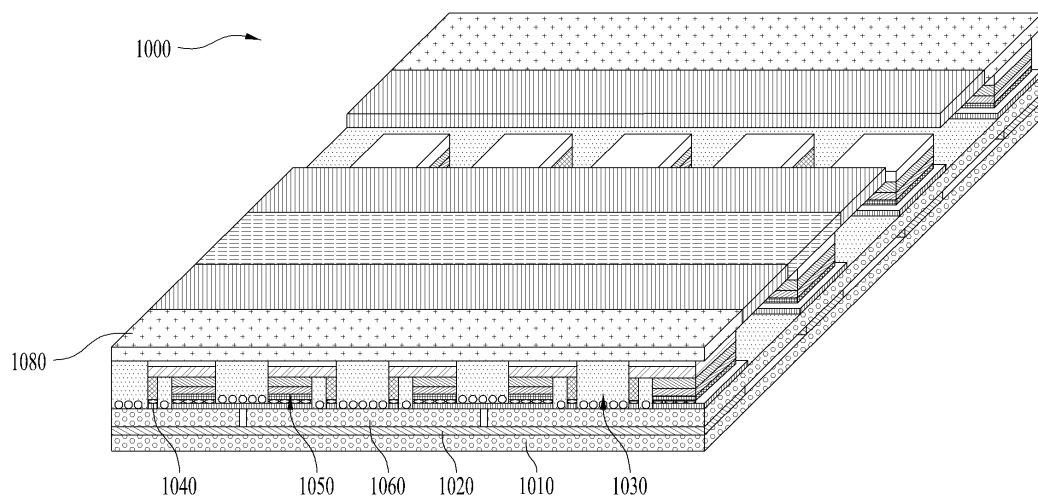
도면8



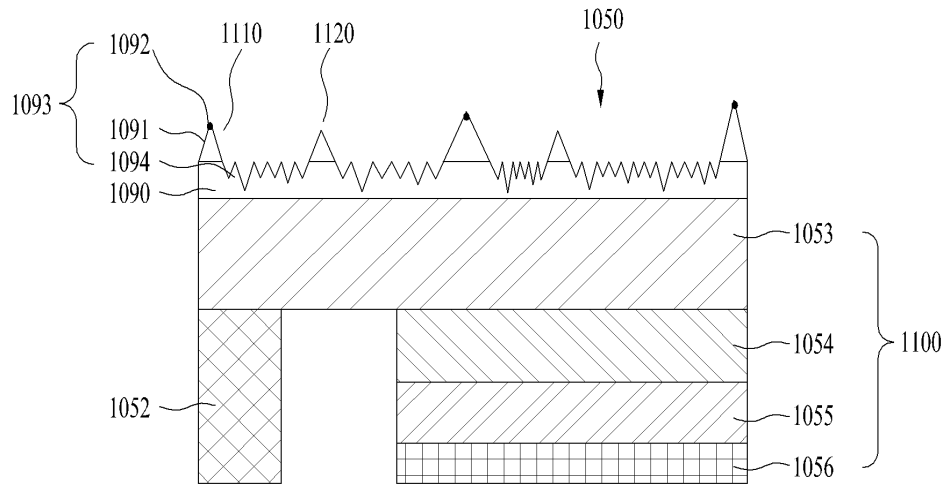
도면9



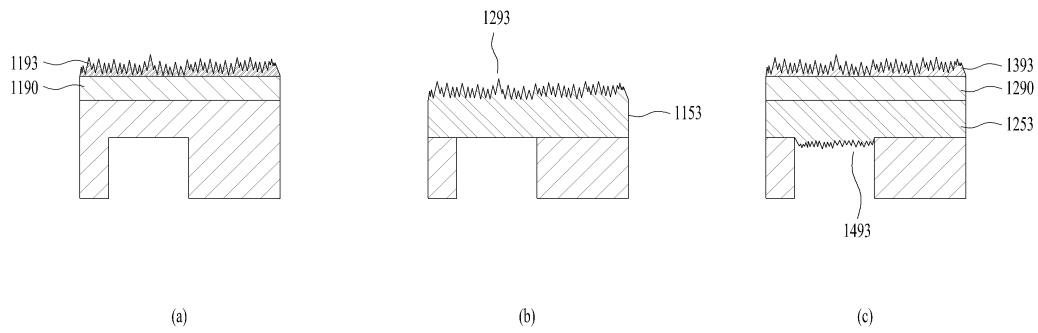
도면10



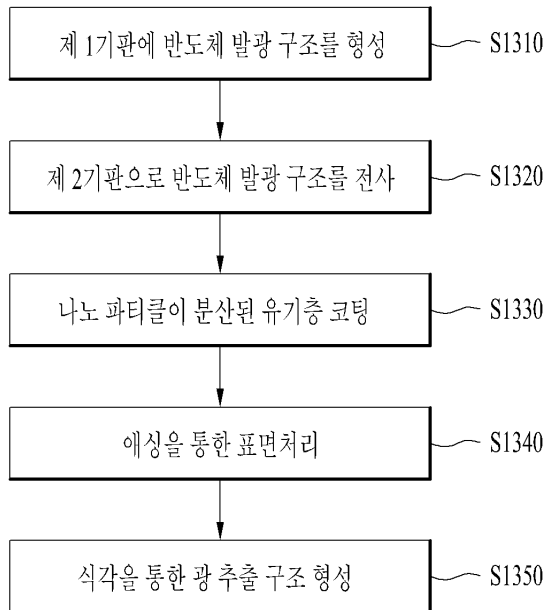
도면11



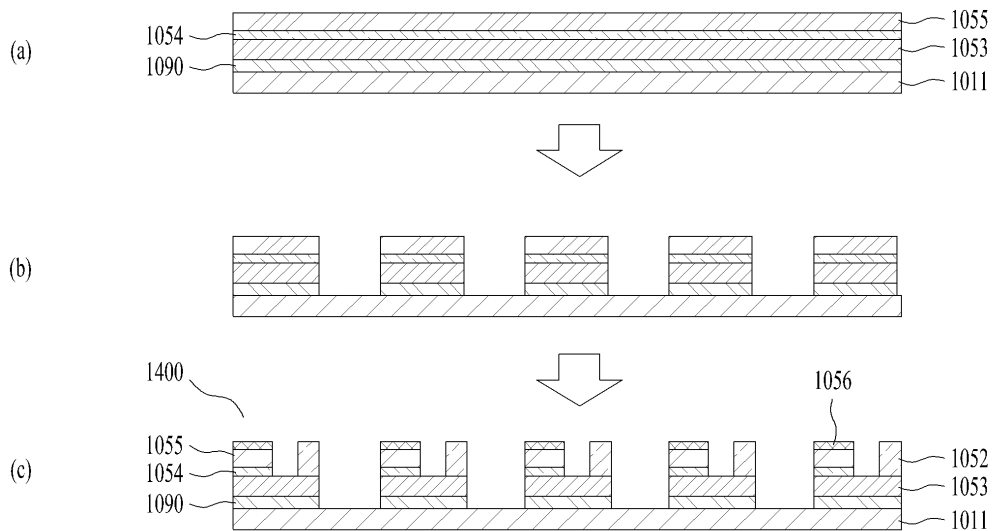
도면12



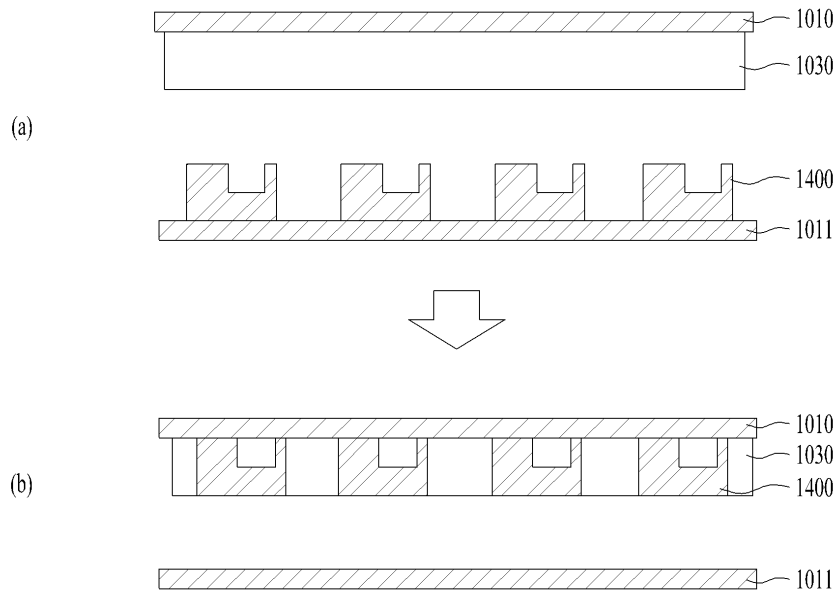
도면13



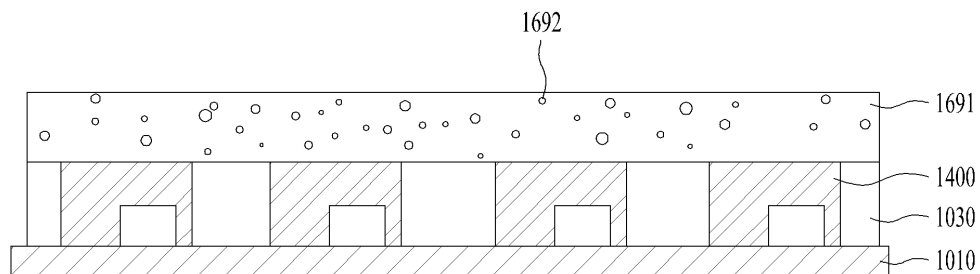
도면14



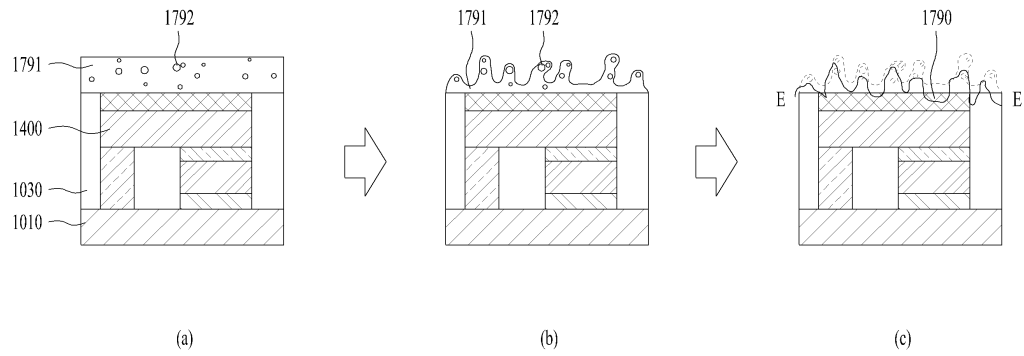
도면15



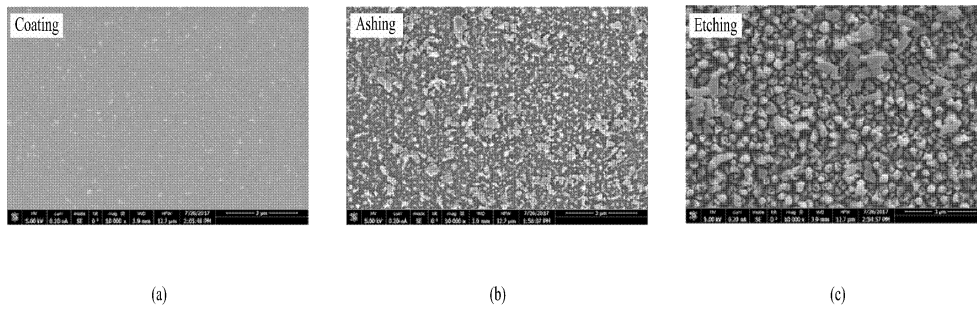
도면16



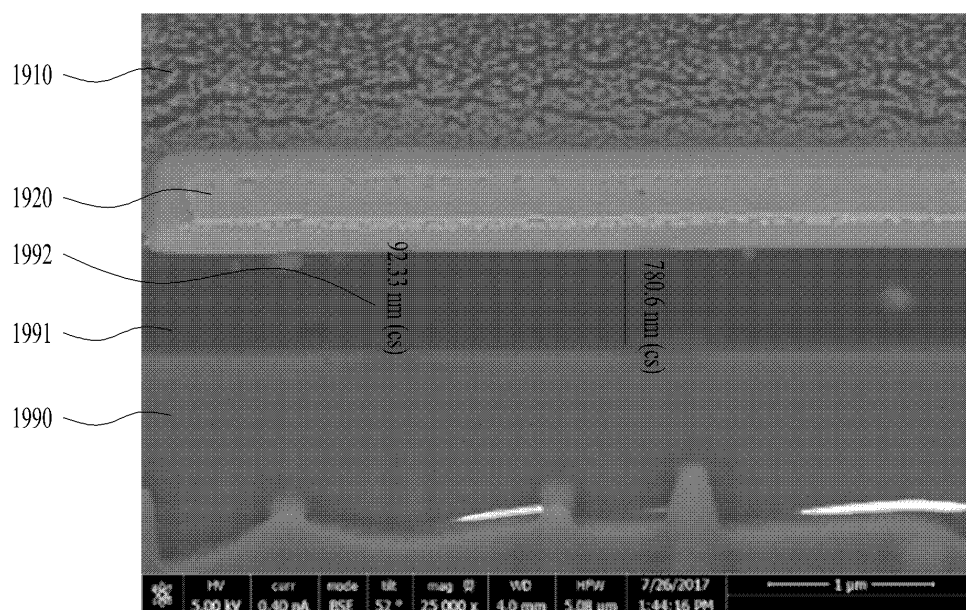
도면17



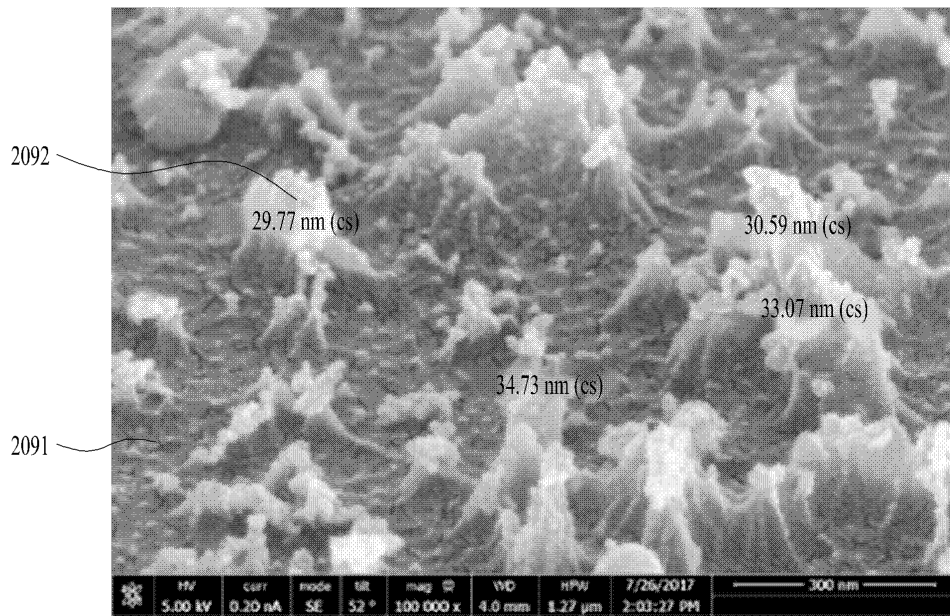
도면18



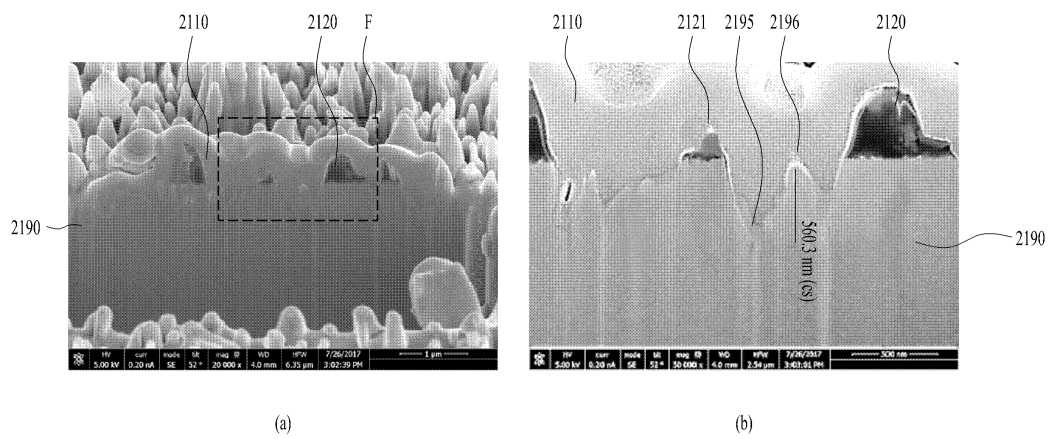
도면19



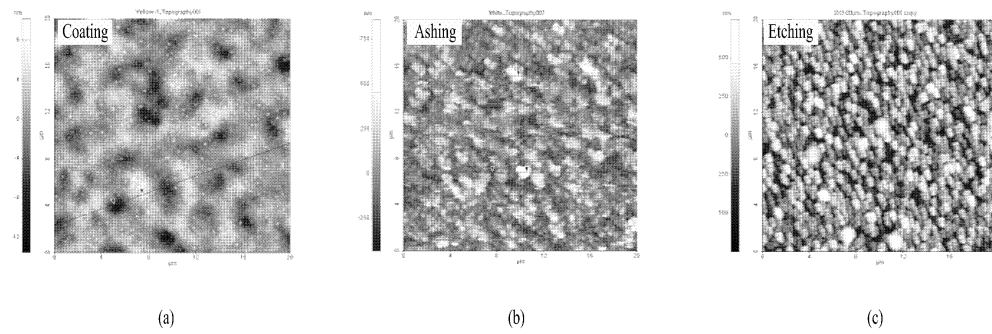
도면20



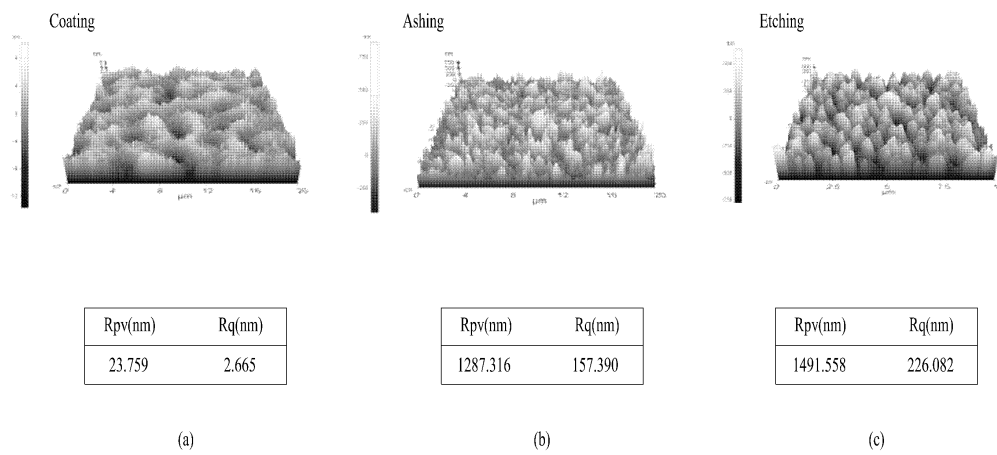
도면21



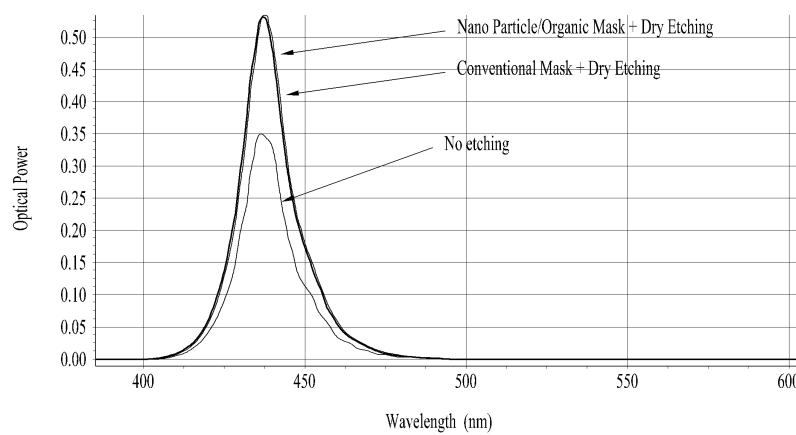
도면22



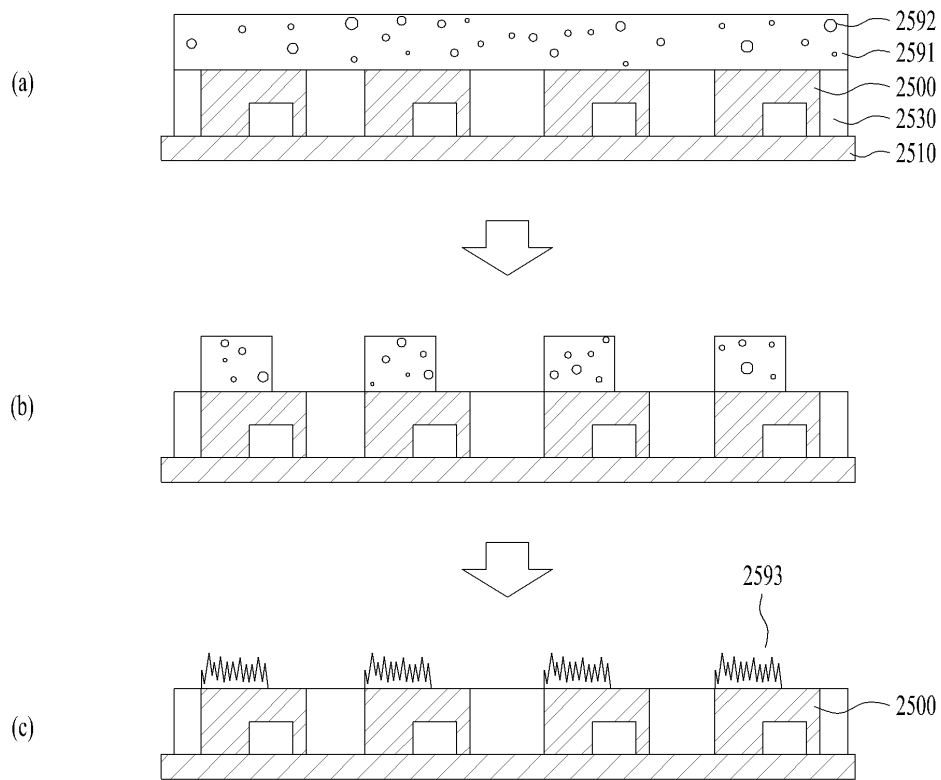
도면23



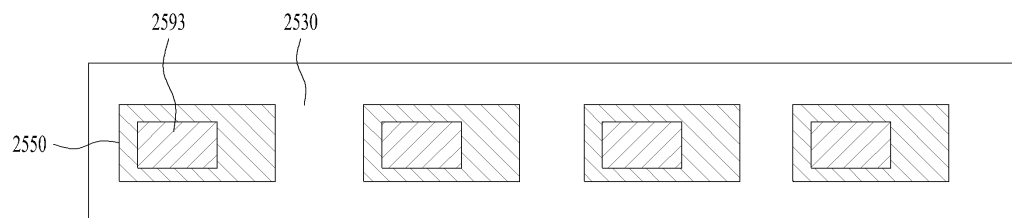
도면24



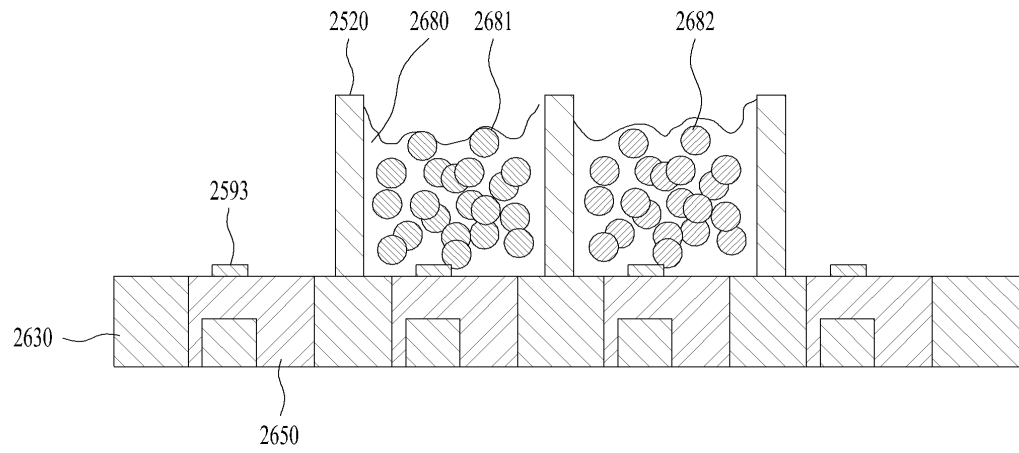
도면25



도면26



도면27



도면28

