



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0074545
(43) 공개일자 2019년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/524 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0175983
(22) 출원일자 2017년12월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최광용
경기도 파주시 월롱면 엘지로 245
이기형
경기도 파주시 월롱면 엘지로 245
한성만
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

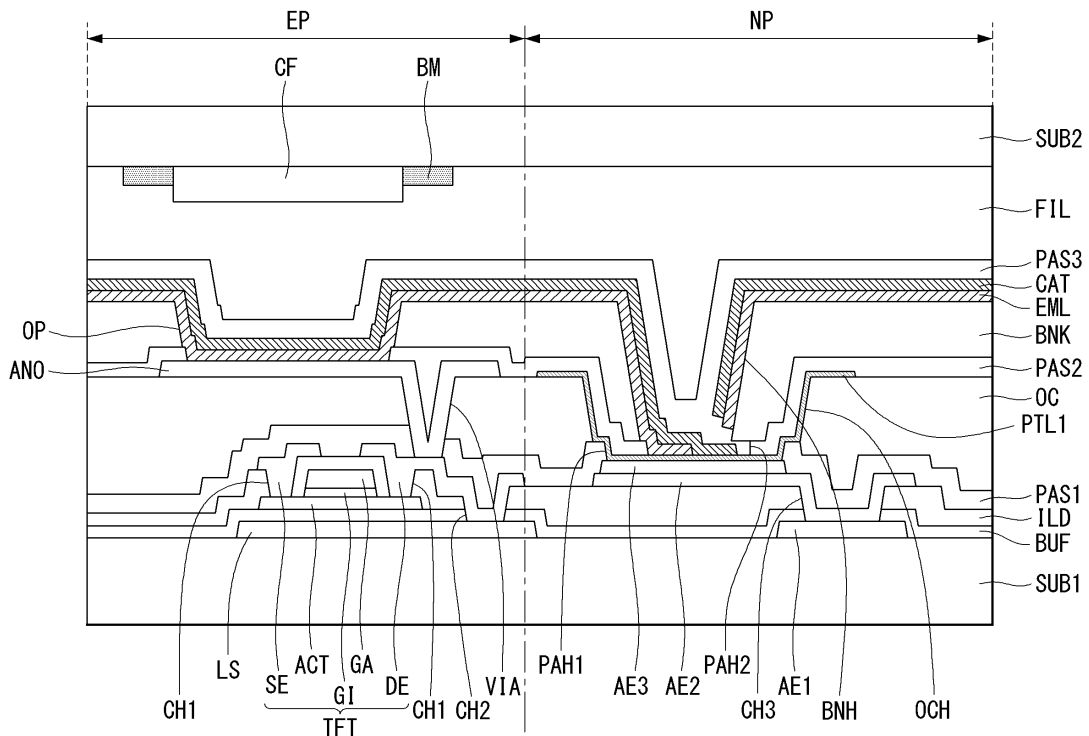
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 제2 전극의 저항이 증가되는 것을 방지하고 수분 침투를 방지하여 신뢰성을 향상시킬 수 있는 표시장치에 관한 것이다. 본 발명의 일 실시예에 따른 표시장치는 발광영역 및 비발광영역을 포함하는 기관, 상기 비발광영역에 위치하는 보조전극, 상기 발광영역과 상기 비발광영역의 보조전극을 덮으며, 상기 보조전극을 노출시키(뒷면에 계속)

대표도 - 도7



는 제1 패시홀을 포함하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하며 상기 보조전극을 노출시키는 오버홀을 포함하는 오버코트층, 상기 제1 패시베이션막과 상기 오버코트층 상에 위치하며 상기 보조전극에 컨택하는 제1 배리어층, 상기 제1 배리어층 상에 위치하며 상기 제1 배리어층을 노출시키는 제2 패시홀을 포함하는 제2 패시베이션막, 상기 제2 패시베이션막 상에 위치하며, 상기 제1 배리어층을 노출시키되 언더컷 구조를 가진 बैं크홀을 포함하는 बैं크층, 상기 बैं크층 상에 위치하며 상기 언더컷 구조에 의해 단락된 유기막층, 및 상기 유기막층 상에 위치하며, 상기 बैं크층의 बैं크홀을 통해 상기 제1 배리어층에 컨택하는 제2 전극을 포함한다.

(52) CPC특허분류

H01L 51/5203 (2013.01)

H01L 51/5253 (2013.01)

명세서

청구범위

청구항 1

발광영역 및 비발광영역을 포함하는 기관;

상기 비발광영역에 위치하는 보조전극;

상기 발광영역과 상기 비발광영역의 보조전극을 덮으며, 상기 보조전극을 노출시키는 제1 패시홀을 포함하는 제1 패시베이션막;

상기 제1 패시베이션막 상에 위치하며 상기 보조전극을 노출시키는 오버홀을 포함하는 오버코트층;

상기 제1 패시베이션막과 상기 오버코트층 상에 위치하며 상기 보조전극에 접촉하는 제1 배리어층;

상기 제1 배리어층 상에 위치하며 상기 제1 배리어층을 노출시키는 제2 패시홀을 포함하는 제2 패시베이션막;

상기 제2 패시베이션막 상에 위치하며, 상기 제1 배리어층을 노출시키되 언더컷 구조를 가진 बैं크홀을 포함하는 बैं크층;

상기 बैं크층 상에 위치하며 상기 언더컷 구조에 의해 단락된 유기막층; 및

상기 유기막층 상에 위치하며, 상기 बैं크층의 बैं크홀을 통해 상기 제1 배리어층에 접촉하는 제2 전극을 포함하는 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 배리어층은 상기 제1 패시홀과 상기 오버홀을 덮는 표시장치.

청구항 3

제2 항에 있어서,

상기 제1 배리어층은 상기 제1 패시홀과 상기 오버홀 내주면에 위치한 상기 제1 패시베이션막과 상기 오버코트층의 계면을 덮는 표시장치.

청구항 4

제1 항에 있어서,

상기 बैं크홀의 내주면의 일부가 상기 제2 패시홀의 내주면보다 돌출된 표시장치.

청구항 5

제4 항에 있어서,

상기 बैं크홀의 언더컷 구조에서 상기 제2 전극이 단락되는 표시장치.

청구항 6

제1 항에 있어서,

상기 제1 배리어층은 금속 산화물로 이루어지는 표시장치.

청구항 7

제1 항에 있어서,

상기 제2 패시홀은 상기 보조전극 및 상기 제1 배리어층과 중첩되는 표시장치.

청구항 8

제1 항에 있어서,

상기 발광영역은 제1 전극, 상기 유기막층 및 상기 제2 전극을 포함하는 유기발광 다이오드를 포함하는 표시장치.

청구항 9

제1 항에 있어서,

상기 제2 전극 상에 위치하는 제3 패시베이션막; 및

상기 제3 패시베이션막 상에 위치하는 제2 배리어층을 더 포함하는 표시장치.

청구항 10

제9 항에 있어서,

상기 제1 배리어층과 상기 제2 배리어층은 동일한 물질로 이루어지는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 수분 침투를 방지하여 신뢰성을 향상시킬 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동이 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 유기발광표시장치는 광의 출사 방향에 따라 바텀 에미션(bottom emission)과 탑 에미션(top emission) 구조로 구분된다. 바텀 에미션 구조는 발광층에서 발광된 광이 하부 방향으로 출사되는 구조이고, 탑 에미션 구조는 상부 방향으로 출사되는 구조이다. 이 중 탑 에미션 구조는 발광층의 광이 상부로 출사되기 위해 발광층 상부에 형성된 제2 전극이 광이 투과될 수 있도록 얇게 형성된다. 제2 전극의 두께가 얇아지면 저항이 증가된다. 따라서, 제2 전극의 저항이 증가되는 것을 방지하기 위한 연구가 계속되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 제2 전극의 저항이 증가되는 것을 방지하고 수분 침투를 방지하여 신뢰성을 향상시키고 화면 불량을 감소시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 발광영역 및 비발광영역을 포함하는 기

관, 상기 비발광영역에 위치하는 보조전극, 상기 발광영역과 상기 비발광영역의 보조전극을 덮으며, 상기 보조전극을 노출시키는 제1 패시홀을 포함하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하며 상기 보조전극을 노출시키는 오버홀을 포함하는 오버코트층, 상기 제1 패시베이션막과 상기 오버코트층 상에 위치하며 상기 보조전극에 컨택하는 제1 배리어층, 상기 제1 배리어층 상에 위치하며 상기 제1 배리어층을 노출시키는 제2 패시홀을 포함하는 제2 패시베이션막, 상기 제2 패시베이션막 상에 위치하며, 상기 제1 배리어층을 노출시키되 언더컷 구조를 가진 बैं크홀을 포함하는 बैं크층, 상기 बैं크층 상에 위치하며 상기 언더컷 구조에 의해 단락된 유기막층, 및 상기 유기막층 상에 위치하며, 상기 बैं크층의 बैं크홀을 통해 상기 제1 배리어층에 컨택하는 제2 전극을 포함한다.

- [0007] 상기 제1 배리어층은 상기 제1 패시홀과 상기 오버홀을 덮는다.
- [0008] 상기 제1 배리어층은 상기 제1 패시홀과 상기 오버홀 내주면에 위치한 상기 제1 패시베이션막과 상기 오버코트층의 계면을 덮는다.
- [0009] 상기 बैं크홀의 내주면의 일부가 상기 제2 패시홀의 내주면보다 돌출된다.
- [0010] 상기 बैं크홀의 언더컷 구조에서 상기 제2 전극이 단락된다.
- [0011] 상기 제1 배리어층은 금속 산화물로 이루어진다.
- [0012] 상기 제2 패시홀은 상기 보조전극 및 상기 제1 배리어층과 증착된다.
- [0013] 상기 발광영역은 제1 전극, 상기 유기막층 및 상기 제2 전극을 포함하는 유기발광 다이오드를 포함한다.
- [0014] 상기 제2 전극 상에 위치하는 제3 패시베이션막, 및 상기 제3 패시베이션막 상에 위치하는 제2 배리어층을 더 포함한다.
- [0015] 상기 제1 배리어층과 상기 제2 배리어층은 동일한 물질로 이루어진다.

발명의 효과

- [0016] 본 발명의 실시예에 따른 표시장치는 보조전극과 제2 전극 사이에 투습을 방지할 수 있는 제1 배리어층과 제2 패시베이션막을 구비함으로써, 투습 경로로 작용하는 बैं크층의 언더컷 구조와 제1 패시베이션막과 오버코트층의 계면을 차단할 수 있다. 따라서, 수분의 투습으로 인해 유기막층이 열화되는 것과 박막트랜지스터의 이상동작을 방지하여 표시장치의 표시품질을 향상시킬 수 있다. 또한, 본 발명의 실시예에 따른 표시장치는 제2 배리어층을 더 구비하여 제3 패시베이션막 하부의 투습 경로가 될 수 있는 부분을 더 차단할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도.
- 도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도.
- 도 4는 본 발명에 따른 유기발광표시장치를 나타낸 평면도.
- 도 5는 본 발명에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도.
- 도 6은 도 5의 A 부분을 확대한 도면.
- 도 7은 본 발명의 실시예에 따른 표시장치를 나타낸 단면도.
- 도 8 내지 도 12는 본 발명의 실시예에 따른 표시장치의 제조방법을 공정별로 나타낸 도면.
- 도 13은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는

것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

- [0019] 본 발명에 따른 표시장치는 유리 기판 또는 플렉서블 기판 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.
- [0020] 본 발명에 따른 표시장치는 탑 에미션(top emission) 구조의 유기발광표시장치이다. 탑 에미션 구조의 유기발광표시장치는 발광층에서 발광된 광이 상부에 위치한 투명한 제2 전극을 투과하여 방출되는 구조이다.
- [0021] 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.
- [0022] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도이고, 도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도이다.
- [0023] 도 1을 참조하면, 유기발광표시장치는 영상 처리부(10), 타이밍 제어부(20), 데이터 구동부(30), 게이트 구동부(40) 및 표시패널(50)을 포함한다.
- [0024] 영상 처리부(10)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(10)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(10)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0025] 타이밍 제어부(20)는 영상 처리부(10)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0026] 타이밍 제어부(20)는 구동신호에 기초하여 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(20)는 제어 회로기판에 IC 형태로 형성된다.
- [0027] 데이터 구동부(30)는 타이밍 제어부(20)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(20)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(30)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(30)는 기판 상에 IC 형태로 부착된다.
- [0028] 게이트 구동부(40)는 타이밍 제어부(20)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(40)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(40)는 게이트 회로기판에 IC 형태로 형성되거나 표시패널(50)에 게이트인패널(Gate In Panel, GIP) 방식으로 형성된다.
- [0029] 표시패널(50)은 데이터 구동부(30) 및 게이트 구동부(40)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시패널(50)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0030] 도 2를 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0031] 스위칭 트랜지스터(SW)는 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다. 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.
- [0032] 또한, 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 게이트 라인인 스위칭 트랜

지스터(SW)에 게이트 신호를 공급하는 제1-1 게이트 라인(GL1a)과, 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)을 포함할 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

[0033] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(30) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광 다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다. 또한, 도 2 및 도 3에서는 보상회로(CC)가 스위칭 트랜지스터(SW)와 구동 트랜지스터(DR) 사이에 위치하는 것으로 도시하였지만, 구동 트랜지스터(DR)와 유기발광 다이오드(OLED) 사이에도 더 위치할 수도 있다. 보상회로(CC)의 위치와 구조는 도 2와 도 3에 한정되지 않는다.

[0034] 도 4는 본 발명에 따른 유기발광표시장치를 나타낸 평면도이다. 도 5는 본 발명에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도이고, 도 6은 도 5의 A 부분을 확대한 도면이다.

[0035] 도 4를 참조하면, 유기발광표시장치는 기관(SUB1), 표시부(A/A) 및 표시부(A/A)의 양측에 배치된 GIP 구동부(GIP), 및 기관(SUB1)의 하측에 배치된 패드부(PD)를 포함한다. 표시부(A/A)는 복수의 서브픽셀(SP)이 배치되어, R, G, B 또는 R, G, B, W를 발광하여 풀컬러를 구현한다. 표시부(A/A)의 양측에는 GIP 구동부(GIP)가 배치되어 표시부(A/A)에 게이트 구동신호를 인가한다. 패드부(PD)는 표시부(A/A)의 일측 예를 들어 하측에 배치되고, 패드부(DP)에 칩온필름(COF)들이 부착된다. 표시부(A/A)로부터 연결된 복수의 신호선들(미도시)에 칩온필름(COF)을 통해 인가되는 데이터 신호 및 전원이 인가된다.

[0036] 이하, 본 발명의 도 5를 참조하여, 유기발광표시장치의 서브픽셀(SP) 영역의 단면 구조를 살펴본다.

[0037] 도 5를 참조하면, 본 발명에 따른 유기발광표시장치는 기관(SUB1) 상에 광차단층(LS)과 제1 보조전극(AE1)이 위치한다. 기관(SUB1)은 유리, 플라스틱 또는 금속으로 이루어질 수 있다. 광차단층(LS)은 외부의 광이 입사되는 것을 차단하여 박막트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 제1 보조전극(AE1)은 후술하는 제2 전극의 저항을 낮추는 보조전극으로 작용한다. 광차단층(LS)과 제1 보조전극(AE1) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF)은 기관(SUB1)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0038] 버퍼층(BUF) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm²/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

[0039] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GA)이 위치한다. 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GA)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0040] 게이트 전극(GA) 상에 게이트 전극(GA)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 제1 콘택홀들(CH1)이 위치한다. 또한, 층간 절연막(ILD)과 버퍼층(BUF)의 일부 영역에 하부의 광차단층(LS)의 일부를 노출시키는 제2 콘택홀(CH2)이 위치하고, 제1 보조전극(AE1)을 노출시키는

제3 콘택홀(CH3)이 위치한다.

- [0041] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 제1 콘택홀(CH1)을 통해 반도체층(ACT)에 연결되고, 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 제1 콘택홀(CH1)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(ACT), 게이트 전극(GA), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 박막트랜지스터(TFT)가 구성된다.
- [0042] 상기 박막트랜지스터(TFT)와 이격된 영역 예를 들어, 제1 보조전극(AE1)이 배치된 영역에 제2 보조전극(AE2)이 배치된다. 제2 보조전극(AE2)은 제3 콘택홀(CH3)을 통해 제1 보조전극(AE1)에 연결된다. 제2 보조전극(AE2) 상에 제3 보조전극(AE3)이 배치된다. 제3 보조전극(AE3)은 제2 보조전극(AE2)과 접촉하여 제1 보조전극(AE1)에 전기적으로 연결된다.
- [0043] 박막트랜지스터(TFT) 및 제3 보조전극(AE3)을 포함하는 기판(SUB1) 상에 제1 패시베이션막(PAS1)이 위치한다. 제1 패시베이션막(PAS1)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 제1 패시베이션막(PAS1) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.
- [0044] 오버코트층(OC)의 일부 영역에는 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 그리고 제1 패시베이션막(PAS1)에는 제3 보조전극(AE3)을 노출시키는 제1 패시홀(PAH1)이 배치되고, 오버코트층(OC)에도 제1 패시홀(PAH1) 및 제3 보조전극(AE3)을 노출시키는 오버홀(OCH)이 배치된다.
- [0045] 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 비어홀(VIA)이 형성된 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 박막트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 본 발명은 탑 에미션 구조의 유기발광 표시장치이므로, 제1 전극(ANO)은 반사 전극이다. 따라서, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.
- [0046] 제1 전극(ANO) 상에 화소를 구획하는 뱅크층(BNK)이 위치한다. 뱅크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 기판(SUB1) 전면에는 제1 전극(ANO)에 접촉하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다. 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(미도시) 전면에 위치하고, 캐소드 전극일 수 있다. 제2 전극(CAT)은 IZO, ITO, ITZO 등의 투명한 금속산화물로 이루어지거나, 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0047] 한편, 뱅크층(BNK)은 오버코트층(OC)의 오버홀(OCH)을 노출하는 뱅크홀(BNH)이 구비된다. 뱅크홀(BNH)은 하부의 제3 보조전극(AE3)을 노출시킨다. 또한, 뱅크층(BNK)의 뱅크홀(BNH)은 언더컷 공정을 통해 일측에서 언더컷 구조를 이룰 수 있다. 즉, 뱅크층(BNK)의 뱅크홀(BNH)의 일부 내주면은 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)의 위로 돌출되는 언더컷 구조를 이룬다. 이 뱅크층(BNK)의 뱅크홀(BNH)의 언더컷 구조는 제2 전극(CAT)을 제3 보조전극(AE3)에 접촉시키기 위함이다. 구체적으로, 뱅크층(BNK) 상에 유기막층(EML)이 배치되는데, 뱅크층(BNK)의 뱅크홀(BNH)에 언더컷 구조로 인해 유기막층(EML)이 일부 끊기게 된다. 유기막층(EML) 상에 제2 전극(CAT)을 증착시키면, 제2 전극(CAT)이 유기막층(EML)이 끊어진 영역을 통해 제3 보조전극(AE3)이 접촉될 수 있다.
- [0048] 제2 전극(CAT) 상에는 제2 패시베이션막(PAS2)이 배치되어 하부의 유기발광 다이오드(OLED) 및 층들을

보호한다. 기관(SUB1) 상에는 컬러필터(CF)와 블랙매트릭스(BM)가 형성된 보호기관(SUB2)이 층진제(FIL)를 통해 기관(SUB1)과 합착되어 본 발명의 유기발광표시장치를 구성한다.

- [0049] 도 6을 참조하면, 전술한 제2 전극(CAT)과 제3 보조전극(AE3)의 컨택 구조는 제1 패시베이션막(PAS1)과 오버코트층(OC)의 경계 영역(①)과, 유기막층(EML)과 제2 전극(CAT)의 두께 감소 영역(②)에서 수분이 내부로 투습되는 경로로 작용될 수 있다. 이는 뱅크층(BNK)의 언더컷 구조(③)로 인해 기인하는 것으로, 수분의 투습으로 인해 유기막층(EML)의 열화 또는 박막트랜지스터의 이상동작으로 강휘점, 암점, 제2 전극과 보조전극의 콘택부 불량 등이 발생한다.
- [0050] 하기에서는 뱅크층(BNK)의 언더컷 구조에서 투습을 방지할 수 있는 표시장치를 개시한다.
- [0051] <실시예>
- [0052] 도 7은 본 발명의 실시예에 따른 표시장치를 나타낸 단면도이고, 도 8 내지 도 12는 본 발명의 실시예에 따른 표시장치의 제조방법을 공정별로 나타낸 도면이다. 하기에서는 전술한 표시장치와 동일한 구성에 대해 동일한 도면부호를 붙여 그 설명을 간략히 한다.
- [0053] 도 7을 참조하면, 본 발명의 실시예에 따른 표시장치는 기관(SUB1) 상에 발광영역(EP)과 비발광영역(NP)을 포함한다. 기관(SUB1) 상의 발광영역(EP)에 광차단층(LS)이 위치하고 비발광영역(NP)에 제1 보조전극(AE1)이 위치한다. 제1 보조전극(AE1)은 후술하는 제2 전극의 저항을 낮추는 보조전극으로 작용한다. 광차단층(LS)과 제1 보조전극(AE1) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF) 상에 반도체층(ACT)이 위치하고, 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI) 상에 게이트 전극(GA)이 위치하고, 게이트 전극(GA) 상에 게이트 전극(GA)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 제1 콘택홀들(CH1)이 위치한다. 또한, 층간 절연막(ILD)과 버퍼층(BUF)의 일부 영역에 하부의 광차단층(LS)의 일부를 노출시키는 제2 콘택홀(CH2)이 위치하고, 제1 보조전극(AE1)을 노출시키는 제3 콘택홀(CH3)이 위치한다.
- [0054] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 제1 콘택홀(CH1)을 통해 반도체층(ACT)에 연결되고, 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 제1 콘택홀(CH1)을 통해 반도체층(ACT)에 연결된다. 따라서, 반도체층(ACT), 게이트 전극(GA), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 박막트랜지스터(TFT)가 구성된다.
- [0055] 상기 박막트랜지스터(TFT)와 이격된 비발광영역(NP) 즉, 제1 보조전극(AE1)이 배치된 영역에 제2 보조전극(AE2)이 배치된다. 제2 보조전극(AE2)은 제3 콘택홀(CH3)을 통해 제1 보조전극(AE1)에 연결된다. 제2 보조전극(AE2) 상에 제3 보조전극(AE3)이 배치된다. 제3 보조전극(AE3)은 제2 보조전극(AE2)과 컨택하여 제1 보조전극(AE1)에 전기적으로 연결된다. 제2 보조전극(AE2)과 제3 보조전극(AE3)은 저항이 낮은 금속으로 이루어질 수 있다. 예를 들어, 제2 보조전극(AE2)과 제3 보조전극(AE3)은 전술한 소스 전극(SE)과 동일한 물질로 이루어질 수 있다.
- [0056] 박막트랜지스터(TFT) 및 제3 보조전극(AE3)을 포함하는 기관(SUB1) 상에 제1 패시베이션막(PAS1)이 위치하고, 제1 패시베이션막(PAS1) 상에 오버코트층(OC)이 위치한다. 발광영역(EP)에서는 제1 패시베이션막(PAS1)과 오버코트층(OC)의 일부 영역에 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 비발광영역(NP)에서는 제1 패시베이션막(PAS1)이 제3 보조전극(AE3)을 노출시키는 제1 패시홀(PAH1)이 위치하고, 오버코트층(OC)이 제1 패시홀(PAH1) 및 제3 보조전극(AE3)을 노출시키는 오버홀(OCH)이 위치한다.
- [0057] 오버코트층(OC) 상에 수분의 침투를 차단하기 위한 제1 배리어층(PTL1)이 위치한다. 구체적으로 제1 배리어층(PTL1)은 제1 패시베이션막(PAS1)과 오버코트층(OC)의 표면을 따라 형성되며, 제3 보조전극(AE3)에 컨택한다. 제1 배리어층(PTL1)은 제1 패시베이션막(PAS1)과 오버코트층(OC)의 계면으로 투습되는 것을 방지하기 위해, 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)과 오버코트층(OC)의 오버홀(OCH)을 덮도록 배치된다. 도면에 도시된 바와 같이, 제1 배리어층(PTL1)은 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)과 오버코트층(OC)의 오버홀(OCH)을 완전히 덮을 수 있다. 이에 따라, 제1 배리어층(PTL1)은 투습 경로로 작용할 수 있는 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)과 오버코트층(OC)의 오버홀(OCH)의 내주면에 노출된 제1 패시베이션막(PAS1)과 오버코트층(OC)의 계면을 덮어 투습 경로를 차단할 수 있다. 그러나, 본 발명의 제1 배리어층(PTL1)의 구조는 적어도 제1 패시베이션막(PAS1)과 오버코트층(OC)의 계면을 덮는다면 특별히 한정되지 않는다.
- [0058] 제1 배리어층(PTL1)은 투습을 차단하며 수분에 강한 물질 예를 들어, 금속 산화물로 이루어질 수 있다. 금속 산

화물은 예를 들어, ITO, IZO, ITZO 등의 투명한 금속 산화물; 산화알루미늄(Al_2O_3), 산화티타늄(TiO_2), 산화지르코늄(ZrO_2) 등의 불투명한 금속 산화물 등을 사용할 수 있다. 본 발명에서는 일부 재료들을 예로 들었지만 투습을 차단하며 수분에 강한 특성을 가진 투명 또는 불투명한 금속 산화물이라면 공지된 재료 어떠한 것도 사용 가능하다.

- [0059] 제1 배리어층(PTL1)의 두께는 크게 한정되지 않으나 불필요하게 두께가 두꺼워지는 것을 방지하기 위해 100 내지 2000 Å의 두께로 이루어질 수 있다. 제1 배리어층(PTL1)은 후술하는 유기발광 다이오드의 제1 전극의 투명한 금속 산화물의 공정과 동시에 형성될 수 있다. 따라서, 제1 배리어층(PTL1)은 제1 전극의 금속 산화물과 동일한 두께로 이루어질 수도 있다. 그러나 본 발명의 제1 배리어층(PTL1)은 이에 한정되지 않으며 제1 전극과는 별도의 공정으로 형성될 수 있다.
- [0060] 한편, 제1 배리어층(PTL1)을 포함하는 기관(SUB1) 상에 제2 패시베이션막(PAS2)이 위치한다. 제2 패시베이션막(PAS2)은 하부의 제1 배리어층(PTL1)을 보호하며, 제1 배리어층(PTL1)과 더불어 투습 경로를 차단하는 역할을 한다. 제2 패시베이션막(PAS2)은 제1 배리어층(PTL1)을 노출시키는 제2 패시홀(PAH2)이 구비된다. 제2 패시베이션막(PAS2)은 투습 경로로 작용할 수 있는 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)과 오버코트층(OC)의 오버홀(OCH)의 내주면에 배치된 제1 패시베이션막(PAS1)과 오버코트층(OC)의 계면을 덮어 투습 경로를 차단할 수 있다. 따라서, 제2 패시베이션막(PAS2)은 제3 보조전극(AE3), 제1 배리어층(PTL1), 제1 패시홀(PAS1) 및 오버홀(OCH)과 중첩되도록 배치된다. 제2 패시베이션막(PAS2)은 전술한 제1 패시베이션막(PAS1)과 동일하게 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있고, 오버코트층(OC) 계열, 포토레지스트 계열, 폴리이미드(polyimide) 계열 등의 물질 동일 수 있다.
- [0061] 한편, 발광영역(EP)의 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 비어홀(VIA)이 형성된 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 박막트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO) 상에 전술한 제2 패시베이션막(PAS2)이 위치하되, 제1 전극(ANO)을 노출시키는 개구홀(OPH)이 구비된다.
- [0062] 제1 전극(ANO) 상에 화소를 구획하는 बैं크층(BNK)이 위치한다. 발광영역(EP)에서 बैं크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 비발광영역(NP)에서 बैं크층(BNK)은 하부의 제1 배리어층(PTL1)을 노출시키는 बैं크홀(BNH)을 구비한다. बैं크홀(BNH)은 언더컷 공정을 통해 일측에서 언더컷 구조를 이룰 수 있다. 즉, बैं크층(BNK)의 बैं크홀(BNH)의 일부 내주면은 제2 패시베이션막(PAS2)의 제2 패시홀(PAH2)의 위로 돌출되는 언더컷 구조를 이룬다. 이 बैं크층(BNK)의 बैं크홀(BNH)의 언더컷 구조는 제2 전극(CAT)을 제3 보조전극(AE3)과 연결된 제1 배리어층(PTL1)에 접촉시키기 위함이다.
- [0063] 기관(SUB1) 전면에는 제1 전극(ANO)에 접촉하는 유기막층(EML)이 위치하고 유기막층(EML) 상에 제2 전극(CAT)이 배치된다. 비발광영역(NP)에서 बैं크층(BNK) 상에 유기막층(EML)이 배치되는데, बैं크층(BNK)의 बैं크홀(BNH)에 언더컷 구조로 인해 유기막층(EML)이 일부 끊기게 된다. 유기막층(EML) 상에 제2 전극(CAT)을 증착시키면, 제2 전극(CAT)이 유기막층(EML)이 끊어진 영역을 통해 제1 배리어층(PTL1)에 접촉될 수 있다.
- [0064] 제2 전극(CAT) 상에는 제3 패시베이션막(PAS3)이 배치되어 하부의 유기발광 다이오드(OLED) 및 층들을 보호한다. 기관(SUB1) 상에는 컬러필터(CF)와 블랙매트릭스(BM)가 형성된 보호기관(SUB2)이 층진제(FIL)를 통해 기관(SUB1)과 합착되어 본 발명의 실시예에 따른 표시장치를 구성한다.
- [0065] 이하, 도 8 내지 도 12를 참조하여, 전술한 본 발명의 실시예에 따른 표시장치의 제조방법을 공정별로 설명하기로 한다. 하기에서는 제3 보조전극과 제2 전극이 전기적으로 연결되는 본 발명의 특징부의 공정을 설명하기로 한다.
- [0066] 도 8을 참조하면, 제3 보조전극(AE3)이 형성된 기관(SUB1) 상에 제1 패시베이션막(PAS1)을 증착하고 제1 패시베이션막(PAS1) 상에 오버코트층(OC)을 도포한다. 이어 마스크를 이용하여 오버코트층(OC)에 오버홀(OCH)을 형성한다. 그리고 또 다른 마스크를 이용하여 오버홀(OCH)에 의해 노출된 제1 패시베이션막(PAS1)을 식각하여 제1 패시홀(PAH1)을 형성한다. 제1 패시홀(PAH1)은 하부의 제3 보조전극(AE3)을 노출시킨다.
- [0067] 이어, 금속 산화물을 증착하고 마스크를 이용하여 패터닝하여 제1 배리어층(PTL1)을 형성한다. 제1 배리어층(PTL1)은 제1 패시베이션막(PAS1)과 오버코트층(OC)의 표면을 따라 형성되며, 제1 패시베이션막(PAS1)의 제1 패시홀(PAH1)과 오버코트층(OC)의 오버홀(OCH)을 덮도록 형성된다. 따라서, 제1 배리어층(PTL1)은 제1 패시베이션막(PAS1)과 오버코트층(OC)의 계면으로 투습되는 것을 방지할 수 있다.

- [0068] 다음, 도 9를 참조하면, 제1 배리어층(PTL1)이 형성된 기판(SUB1) 전면에서 제2 패시베이션막(PAS2)을 증착하고 이어 बैं크층(BNK)을 도포한다. 그리고 마스크를 이용하여 बैं크층(BNK)을 식각하여 하부의 제2 패시베이션막(PAS2)을 노출시키는 बैं크홀(BNH)을 형성한다.
- [0069] 이어, 도 10을 참조하면, बैं크홀(BNH)이 형성된 기판(SUB1) 전면에서 포토레지스트를 도포하고 बैं크홀(BNH)에 의해 노출된 제2 패시베이션막(PAS2)의 일부를 노출하는 포토레지스트 패턴(PR)을 형성한다. 그리고 포토레지스트 패턴(PR)을 마스크로 이용하여 제2 패시베이션막(PAS2)을 식각한다.
- [0070] 도 11을 참조하면, 전술한 식각 공정에 의해 제2 패시베이션막(PAS2)은 하부의 제1 배리어층(PTL1)을 노출하는 제2 패시홀(PAH2)이 형성된다. 특히, 제2 패시홀(PAH2)의 일부가 बैं크층(BNK) 아래로 과식각되어, बैं크층(BNK)의 बैं크홀(BNH)이 언더컷 구조를 형성하게 된다.
- [0071] 다음, 도 12를 참조하면, बैं크층(BNK) 상에 유기막층(EML)을 증착하면 유기막층(EML)이 बैं크홀(BNH)의 언더컷 구조에서 단락되어 증착된다. 이어, 유기막층(EML) 상에 제2 전극(CAT)을 증착한다. 제2 전극(CAT)은 스퍼터링 공정 특성 상 유기막층(EML)의 단락된 사이 공간에도 증착되어, 하부의 제1 배리어층(PTL1)과 콘택하게 된다. 따라서, 제1 배리어층(PTL1)과 제2 전극(CAT)이 콘택하는 유기발광표시장치를 제조할 수 있다.
- [0072] 전술한 바와 같이, 본 발명의 실시예에 따른 표시장치는 보조전극과 제2 전극 사이에 투습을 방지할 수 있는 제1 배리어층과 제2 패시베이션막을 구비함으로써, 투습 경로로 작용하는 बैं크층의 언더컷 구조와 제1 패시베이션막과 오버코트층의 계면을 차단할 수 있다. 따라서, 수분의 투습으로 인해 유기막층이 열화되는 것을 방지하여 표시장치의 표시품질을 향상시킬 수 있다.
- [0073] 한편, 본 발명의 실시예에 따른 표시장치는 추가의 배리어층을 더 구비할 수 있다.
- [0074] 도 13은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 단면도이다. 하기에서는 전술한 실시예와 동일한 구성요소에 대한 설명은 생략하기로 한다.
- [0075] 도 13을 참조하면, 제2 전극(CAT) 상에 제3 패시베이션막(PAS3)이 위치하고, 제3 패시베이션막(PAS3) 상에 제2 배리어층(PTL2)이 더 구비된다. 제2 배리어층(PTL2)은 제3 패시베이션막(PAS3)으로의 수분의 침투를 차단하기 위한 것으로, 제3 패시베이션막(PAS3)을 완전히 덮어 내부의 소자를 보호한다.
- [0076] 제2 배리어층(PTL2)은 제1 배리어층(PTL1)과 동일한 재료로 이루어질 수 있다. 구체적으로 제2 배리어층(PTL2)은 투습을 차단하며 수분에 강한 물질 예를 들어, 금속 산화물로 이루어질 수 있다. 금속 산화물은 예를 들어, ITO, IZO, ITZO 등의 투명한 금속 산화물; 산화알루미늄(Al_2O_3), 산화티타늄(TiO_2), 산화지르코늄(ZrO_2) 등의 불투명한 금속 산화물 등을 사용할 수 있다. 본 발명에서는 일부 재료들을 예로 들었지만 투습을 차단하며 수분에 강한 특성을 가진 투명 또는 불투명한 금속 산화물이라면 공지된 재료 어떠한 것도 사용 가능하다. 제2 배리어층(PTL2)의 두께는 크게 한정되지 않으나 불필요하게 두께가 두꺼워지는 것을 방지하기 위해 100 내지 2000Å의 두께로 이루어질 수 있다.
- [0077] 본 발명에서는 제2 전극과 보조전극이 연결되는 부분은 제1 배리어층으로 투습을 차단하고, 제2 배리어층을 더 구비하여 제3 패시베이션막 하부의 어디라도 투습 경로가 될 수 있는 부분을 더 차단할 수 있다.
- [0078] 상기와 같이, 본 발명의 실시예에 따른 표시장치는 보조전극과 제2 전극 사이에 투습을 방지할 수 있는 제1 배리어층과 제2 패시베이션막을 구비함으로써, 투습 경로로 작용하는 बैं크층의 언더컷 구조와 제1 패시베이션막과 오버코트층의 계면을 차단할 수 있다. 따라서, 수분의 투습으로 인해 유기막층이 열화되는 것을 방지하여 표시장치의 표시품질을 향상시킬 수 있다.
- [0079] 또한, 본 발명의 실시예에 따른 표시장치는 제2 배리어층을 더 구비하여 제3 패시베이션막 하부의 어디라도 투습 경로가 될 수 있는 부분을 더 차단할 수 있다.
- [0080] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

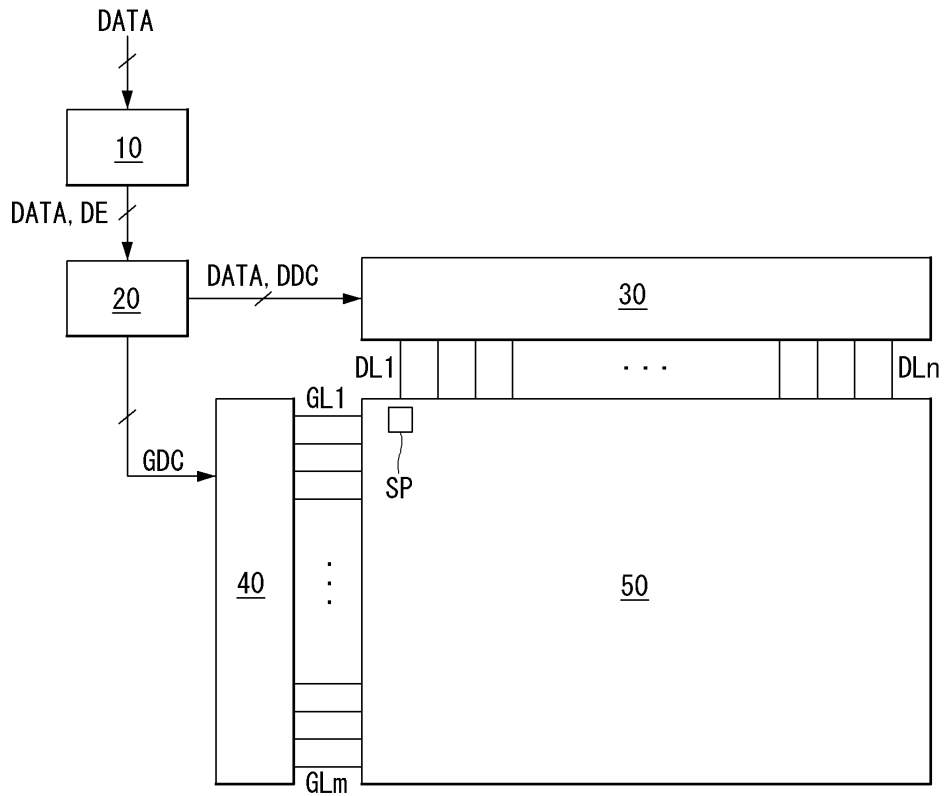
부호의 설명

[0081]

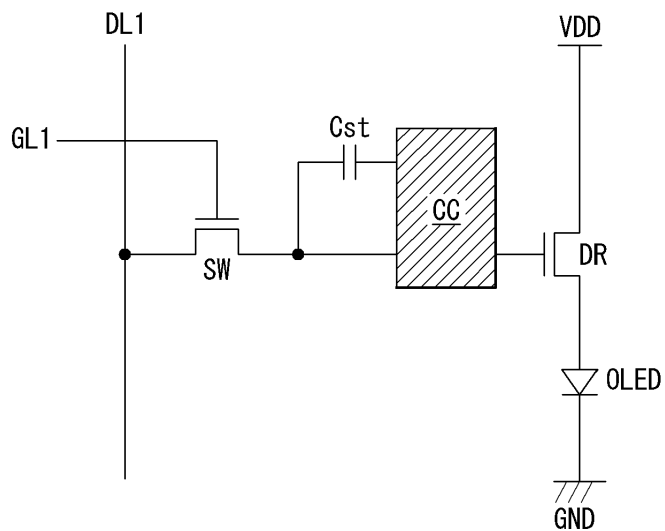
SUB1 : 기판 PTL1 : 제1 배리어층
 PTL2 : 제2 배리어층 TFT : 박막트랜지스터
 OC : 오버코트층 BNK : बैं크층

도면

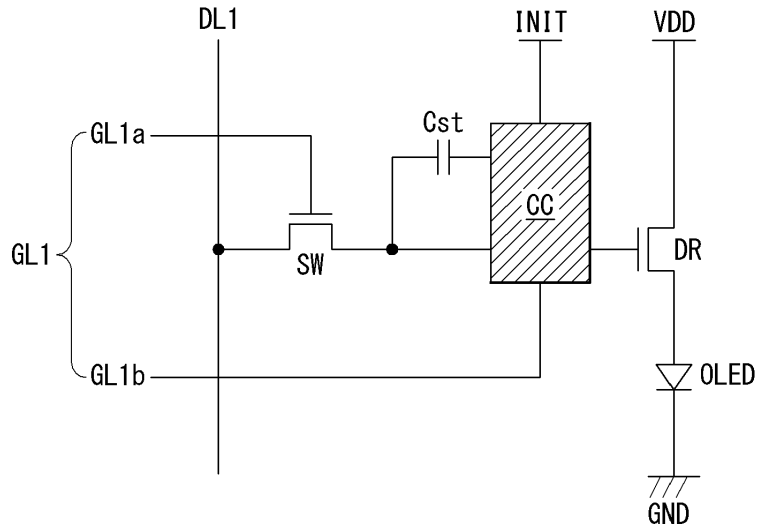
도면1



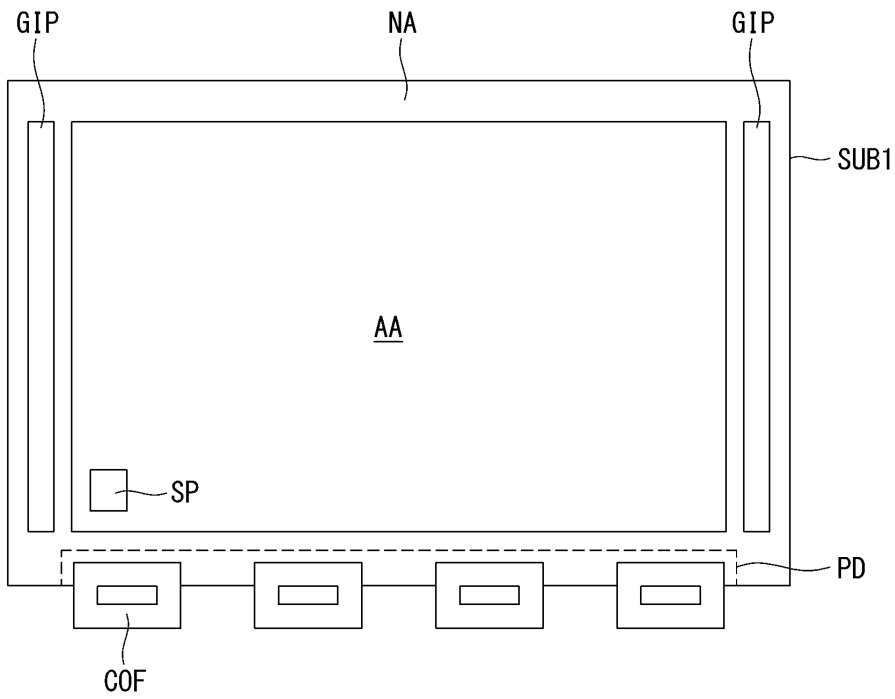
도면2



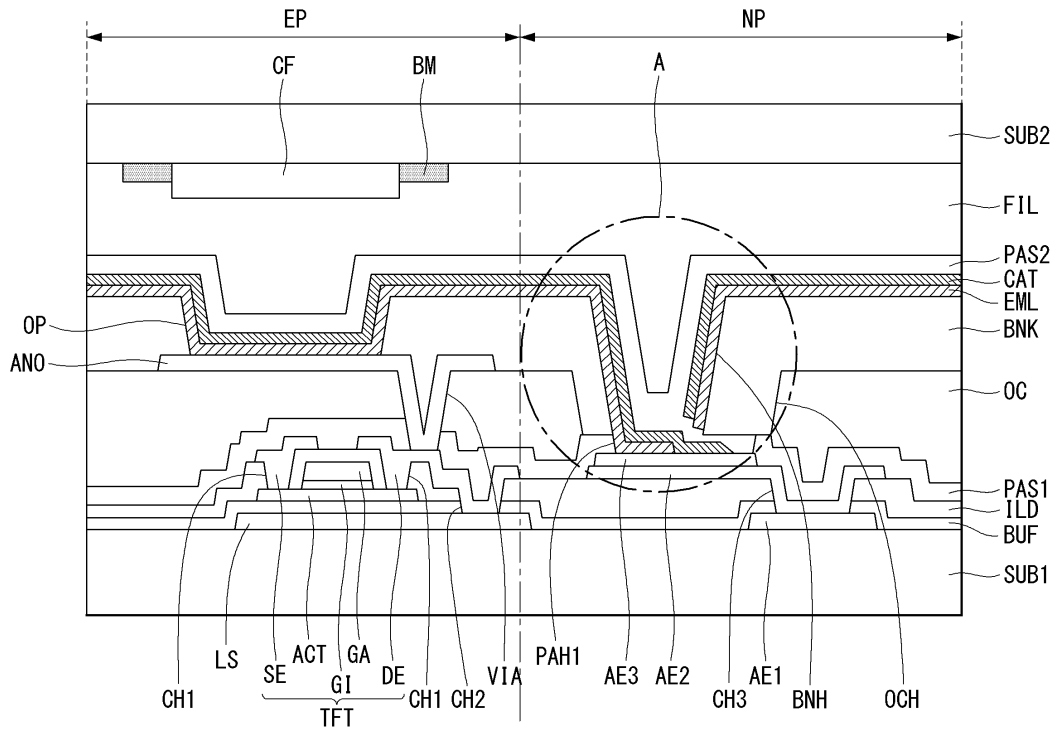
도면3



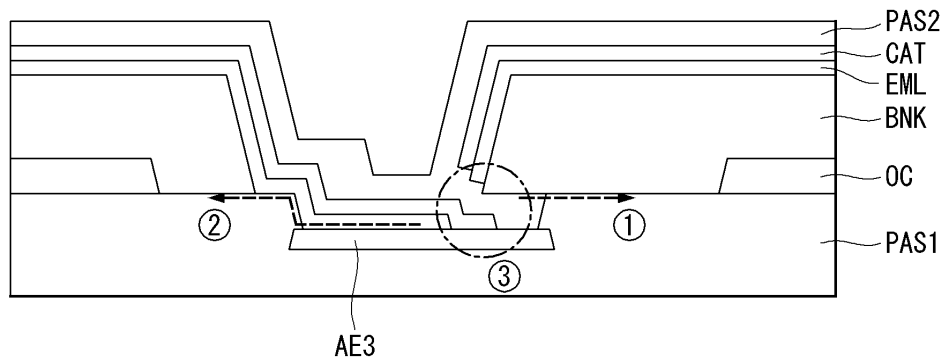
도면4



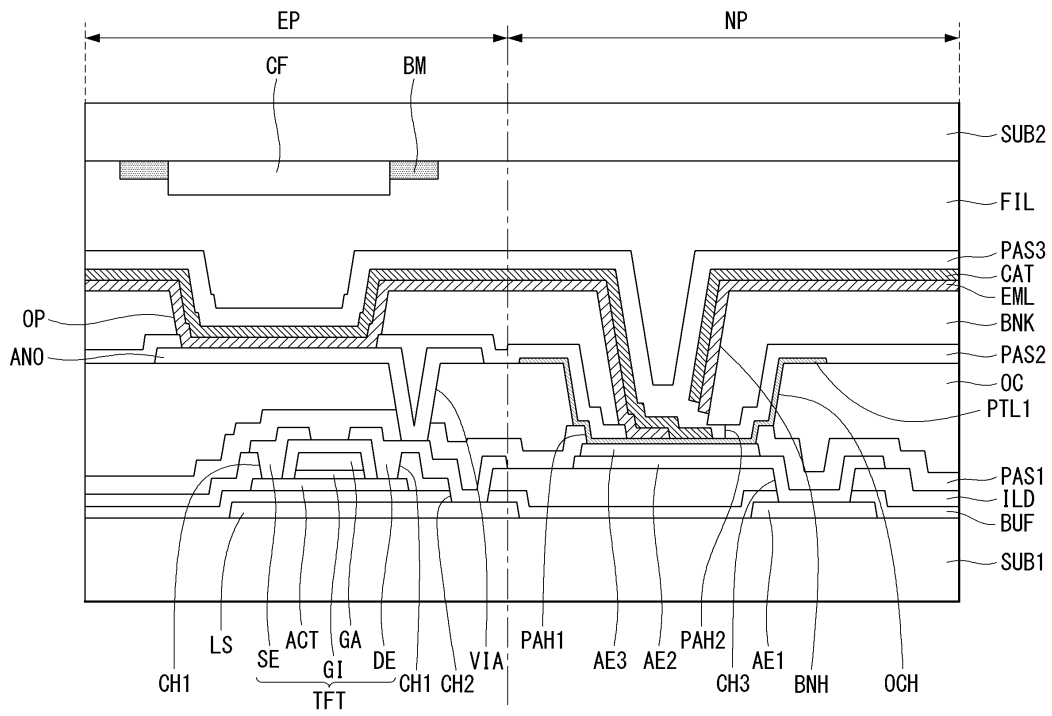
도면5



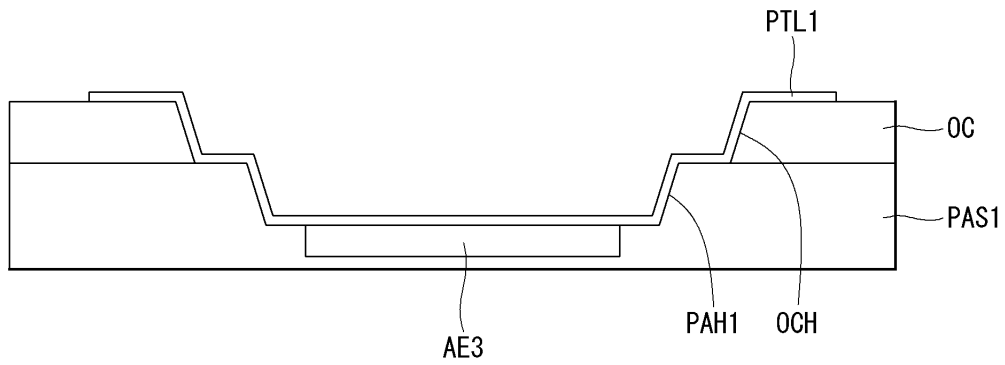
도면6



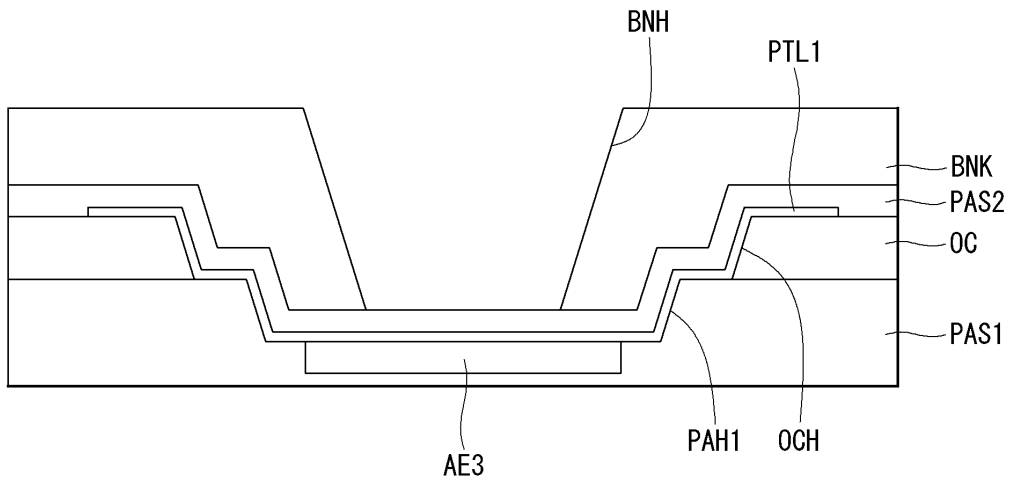
도면7



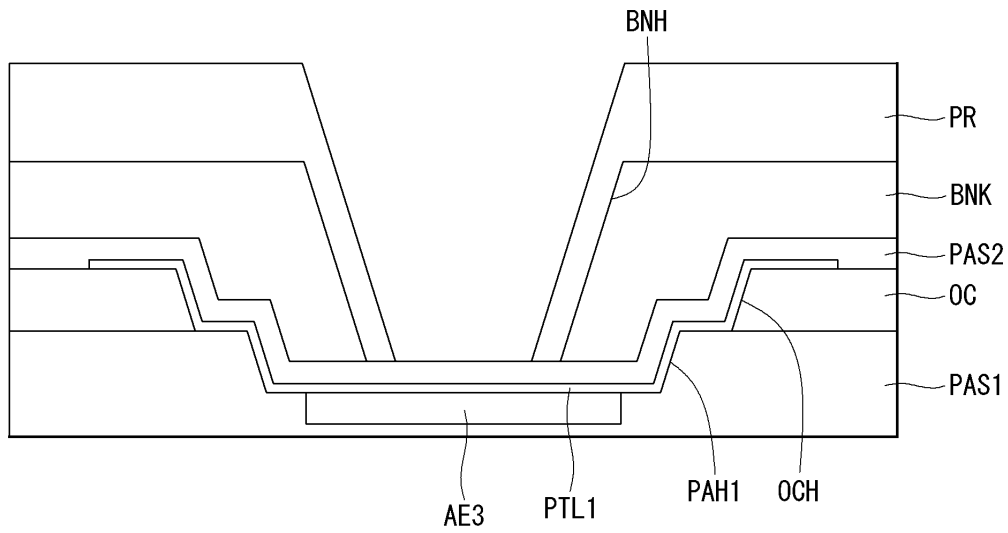
도면8



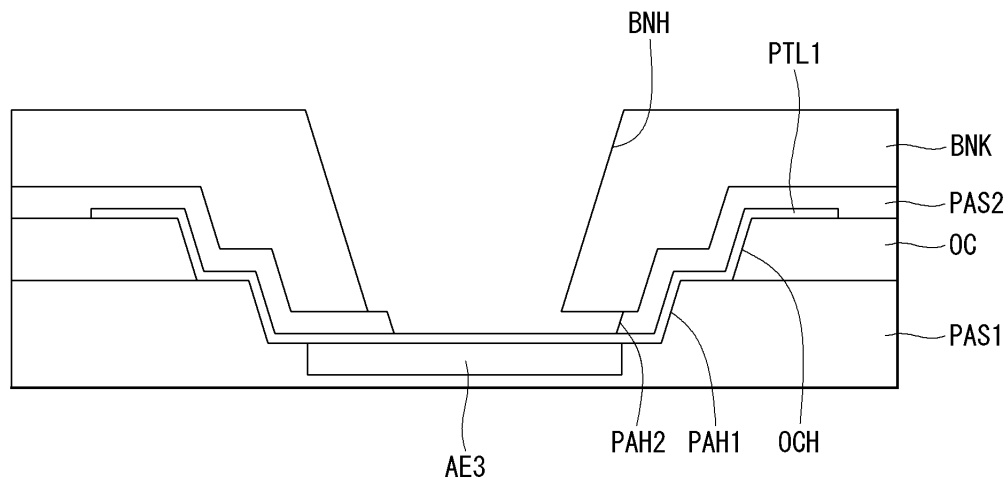
도면9



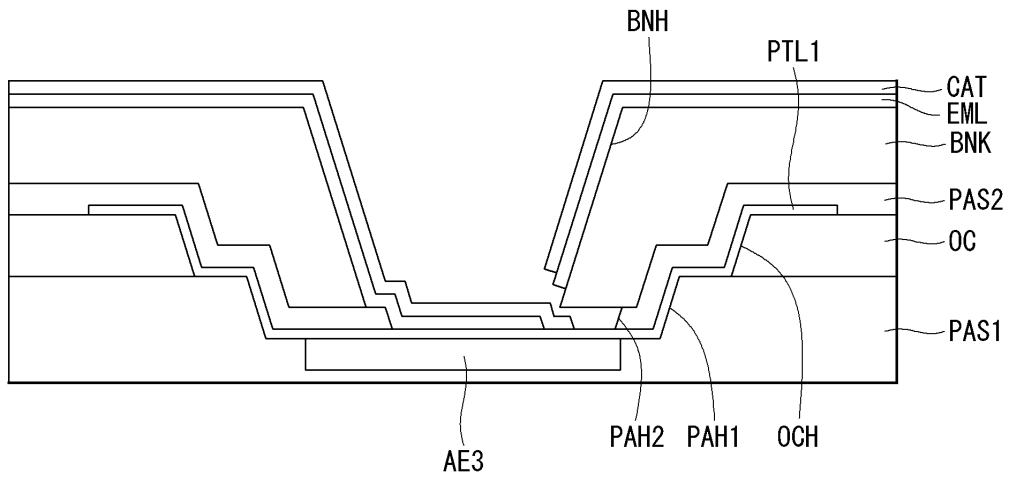
도면10



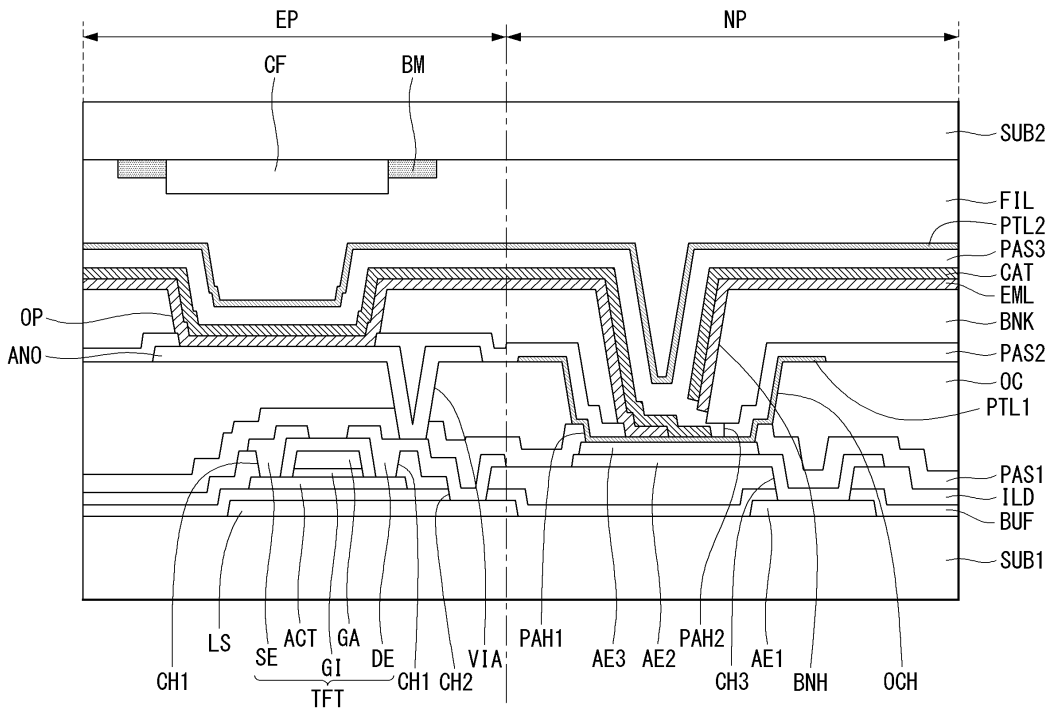
도면11



도면12



도면13



专利名称(译)	显示设备		
公开(公告)号	KR1020190074545A	公开(公告)日	2019-06-28
申请号	KR1020170175983	申请日	2017-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최광용 이기형 한성만		
发明人	최광용 이기형 한성만		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/524 H01L27/3246 H01L51/5203 H01L51/5253 H01L27/32 H01L27/3244 H01L27/3258 H01L51/5228 G09G3/3266 G09G3/3275 G09G2300/0819 G09G2310/0289 G09G2310/08 H01L27/322 H01L27/3272 H01L51/5212 H01L51/5284 H01L51/56 H01L2227/323 H01L2251/558		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，其可以通过防止第二电极的电阻增加并且防止水分渗透来提高可靠性。根据本发明的实施例的显示装置覆盖包括发光区域和非发光区域，位于非发光区域中的辅助电极，发光区域和非发光区域的辅助电极以及辅助电极的基板。第一钝化层包括：第一钝化层，其暴露第一钝化层；覆盖层，其包括暴露辅助电极的上孔，并位于第一钝化层上，并位于第一钝化层和覆盖层上。第二钝化层，其包括与辅助电极接触的第一势垒层，在第一势垒层上并暴露第一势垒层的第二钝化层以及在第二钝化层上；堤层，其包括露出第一阻挡层但具有底切结构的堤孔，设置在堤层上并通过底切结构短路的有机层，第二电极在有机层上并通过堤层的堤孔与第一阻挡层接触。

