



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0021761  
(43) 공개일자 2019년03월06일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2300/0828 (2013.01)

(21) 출원번호 10-2017-0106926  
(22) 출원일자 2017년08월23일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
구현  
경기도 파주시 월롱면 엘지로 245  
박효정  
경기도 파주시 월롱면 엘지로 245  
서정훈  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인로얄

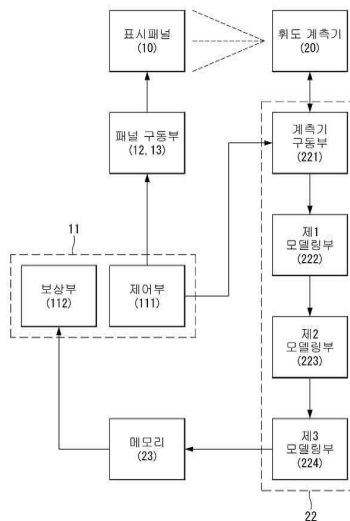
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 표시장치의 휘도 보상 시스템 및 그 휘도 보상 방법

(57) 요약

본 발명에 따른 표시장치의 휘도 보상 시스템은 다수의 픽셀들이 구비되고, 각 픽셀은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와 상기 구동 전류에 따라 발광하는 OLED를 가지는 표시패널; 상기 표시패널의 복수 위치들에 모델링 전압 패턴들이 인가된 상태에서, 상기 복수 위치들에서 휘도를 측정하여, 상기 복수 위치별로 복수개의 계측값들을 취득하는 휘도 계측기; 상기 복수개의 계측값들을 모델링하여 상기 복수 위치별 전체 계조에 대한 보상 파라미터 기반의 제1 휘도 특성 근사식을 도출하는 제1 모델링부; 및 저계조 구간에 속하는 저계조 샘플링 전압들에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 상기 계측값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 윗셋 보정 파라미터를 구한 후, 상기 윗셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 윗셋이 보정된 제2 휘도 특성 근사식을 도출하는 제2 모델링부를 포함한다.

대표도 - 도4



(52) CPC특허분류

*G09G 2310/027* (2013.01)

*G09G 2320/0233* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 픽셀들이 구비되고, 각 픽셀은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와 상기 구동 전류에 따라 발광하는 OLED를 가지는 표시패널;

상기 표시패널의 복수 위치들에 모델링 전압 패턴들이 인가된 상태에서, 상기 복수 위치들에서 휘도를 측정하여, 상기 복수 위치별로 복수개의 계측값들을 취득하는 휘도 계측기;

상기 복수개의 계측값들을 모델링하여 상기 복수 위치별 전체 계조에 대한 보상 파라미터 기반의 제1 휘도 특성 근사식을 도출하는 제1 모델링부; 및

저계조 구간에 속하는 저계조 샘플링 전압들에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 상기 계측값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 읍셋 보정 파라미터를 구한 후, 상기 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 읍셋이 보정된 제2 휘도 특성 근사식을 도출하는 제2 모델링부를 포함하는 표시장치의 휘도 보상 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 저계조 구간을 제외한 나머지 계조 구간에서 상기 읍셋 보정 파라미터의 영향을 줄이기 위한 읍셋 보정 감쇄 계인을 미리 설정하고, 상기 읍셋 보정 감쇄 계인을 상기 제2 휘도 특성 근사식의 읍셋 보정 파라미터에 곱하여 제3 휘도 특성 근사식을 도출하는 제3 모델링부를 더 포함하는 표시장치의 휘도 보상 시스템.

#### 청구항 3

제 2 항에 있어서,

상기 읍셋 보정 감쇄 계인은,

상기 저계조 구간에서 “1” 로 유지되고,

상기 저계조 구간을 제외한 나머지 계조 구간에서 계조에 비례하여 상기 “1” 에서 “0” 으로 수렴하는 표시장치의 휘도 보상 시스템.

#### 청구항 4

제 2 항에 있어서,

상기 보상 파라미터, 상기 읍셋 보정 파라미터, 및 상기 읍셋 보정 감쇄 계인을 저장하는 메모리를 더 포함하는 표시장치의 휘도 보상 시스템.

#### 청구항 5

제 4 항에 있어서,

상기 메모리에 저장된 정보를 하기 수식에 적용하여 상기 복수 위치별 전체 계조 구간에서 상기 구동 TFT의 게이트-소스 간 전압( $V_{gs}$ )을 보상하는 보상부를 더 포함하는 표시장치의 휘도 보상 시스템.

$$v_{gs} = \left\{ V_{data} \times \left( a_{ref}/a_i \right)^{1/c_i} + b_i + D(V_{data})\Delta b_i(V_{data}) \right\} - V_{ref}$$

상기 수식에서 상기  $V_{data}$ 는 디지털 레벨의 데이터전압, 상기  $V_{ref}$ 는 디지털 레벨의 기준전압, 상기  $a_i$ 와  $b_i$ 와  $c_i$ 는 위치  $i$ 에서의 상기 보상 파라미터, 상기  $a_{ref}$ 는 복수 위치들에서 보상 파라미터  $a$ 의 평균값, 상기  $D(V_{data})$ 는 상기  $V_{data}$ 에 대응되는 상기 읍셋 보정 감쇄 계인, 및 상기  $\Delta b_i(V_{data})$ 는 위치  $i$ 에서 상기  $V_{data}$ 에

대응되는 상기 읍셋 보정 파라미터를 각각 나타낸다.

**청구항 6**

제 1 항에 있어서,

상기 모델링 전압 패턴들은 초기의 휘도 편차가 최소화되도록 상기 복수의 위치들에서 서로 다른 값을 갖는 표시장치의 휘도 보상 시스템.

**청구항 7**

제 1 항에 있어서,

상기 제2 모델링부는 상기 저계조 샘플링 전압들을 제외한 상기 저계조 구간의 나머지 전압들에서 보간법으로 상기 읍셋 보정 파라미터를 추정하는 표시장치의 휘도 보상 시스템.

**청구항 8**

다수의 픽셀들이 구비되고, 각 픽셀은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와 상기 구동 전류에 따라 발광하는 OLED를 가지는 표시패널을 포함한 표시장치의 휘도 보상 방법에 있어서,

상기 표시패널의 복수 위치들에 모델링 전압 패턴들이 인가된 상태에서, 상기 복수 위치들에서 휘도를 측정하여, 상기 복수 위치별로 복수개의 측정값들을 취득하는 휘도 측정 단계;

상기 복수개의 측정값들을 모델링하여 상기 복수 위치별 전체 계조에 대한 보상 파라미터 기반의 제1 휘도 특성 근사식을 도출 제1 모델링 단계; 및

저계조 구간에 속하는 저계조 샘플링 전압들에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 상기 측정값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 읍셋 보정 파라미터를 구한 후, 상기 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 읍셋이 보정된 제2 휘도 특성 근사식을 도출하는 제2 모델링 단계를 포함하는 표시장치의 휘도 보상 방법.

**청구항 9**

제 8 항에 있어서,

상기 저계조 구간을 제외한 나머지 계조 구간에서 상기 읍셋 보정 파라미터의 영향을 줄이기 위한 읍셋 보정 감쇄 계인을 미리 설정하고, 상기 읍셋 보정 감쇄 계인을 상기 제2 휘도 특성 근사식의 읍셋 보정 파라미터에 곱하여 제3 휘도 특성 근사식을 도출하는 제3 모델링 단계를 더 포함하는 표시장치의 휘도 보상 방법.

**청구항 10**

제 9 항에 있어서,

상기 읍셋 보정 감쇄 계인은,

상기 저계조 구간에서 “1” 로 유지되고,

상기 저계조 구간을 제외한 나머지 계조 구간에서 계조에 비례하여 상기 “1” 에서 “0” 으로 수렴하는 표시장치의 휘도 보상 방법.

**청구항 11**

제 9 항에 있어서,

상기 보상 파라미터, 상기 읍셋 보정 파라미터, 및 상기 읍셋 보정 감쇄 계인을 메모리에 저장하는 단계를 더 포함하는 표시장치의 휘도 보상 방법.

**청구항 12**

제 11 항에 있어서,

상기 메모리에 저장된 정보를 하기 수식에 적용에 적용하여 상기 복수 위치별 전체 계조 구간에서 상기 구동

TFT의 게이트-소스 간 전압(Vgs)을 보상하는 단계를 더 포함하는 표시장치의 휘도 보상 방법.

$$v_{gs} = \left\{ V_{data} \times (a_{ref}/a_i)^{1/c_i} + b_i + D(V_{data})\Delta b_i(V_{data}) \right\} - V_{ref}$$

상기 수식에서 상기 Vdata는 디지털 레벨의 데이터전압, 상기 Vref는 디지털 레벨의 기준전압, 상기 ai와 bi와 ci는 위치 i에서의 상기 보상 파라미터, 상기 aref는 복수 위치들에서 보상 파라미터 a의 평균값, 상기 D(Vdata)는 상기 Vdata에 대응되는 상기 오프셋 보정 감쇄 계인, 및 상기 Δbi(Vdata)는 위치 i에서 상기 Vdata에 대응되는 상기 오프셋 보정 파라미터를 각각 나타낸다.

**청구항 13**

제 8 항에 있어서,

상기 모델링 전압 패턴들은 초기의 휘도 편차가 최소화되도록 상기 복수의 위치들에서 서로 다른 값을 갖는 표시장치의 휘도 보상 방법.

**청구항 14**

제 8 항에 있어서,

상기 제2 모델링 단계는 상기 저계조 샘플링 전압들을 제외한 상기 저계조 구간의 나머지 전압들에서 보간법으로 상기 오프셋 보정 파라미터를 추정하는 표시장치의 휘도 보상 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시장치의 휘도 보상 시스템 및 그 휘도 보상 방법에 관한 것이다.

**배경 기술**

[0002] 다양한 표시장치가 개발 및 출시되고 있다. 그 중 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 특히, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답 속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소트 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 픽셀들 간 휘도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압(Vth)과 같은 픽셀의 구동 특성이 모든 픽셀들에서 동일해야 한다. 하지만, 공정 편차 등을 포함한 다양한 원인에 의해 픽셀들 간 구동 특성에 편차가 있을 수 있다. 픽셀들 간에 구동 특성이 다르면 OLED로 흐르는 구동 전류량이 달라져 화질의 불균일이 초래되게 된다. 이를 해결하기 위하여, 각 픽셀로부터 구동 TFT의 문턱전압을 센싱하고, 센싱 결과를 기초로 디지털 영상 데이터를 보정하는 소위, 외부 보상 기술이 알려져 있다.

[0005] 외부 보상 기술은 구동 TFT의 문턱전압을 센싱하기 위한 센싱 회로를 필요로 한다. 센싱 회로는 소스 드라이버에 실장된다. 소스 드라이버는 데이터라인들을 통해 픽셀들에 데이터전압을 공급하고, 센싱 라인들을 통해 픽셀들에 연결되어 구동 TFT의 문턱전압을 센싱한다. 센싱 회로는 픽셀들 각각을 개별적으로 센싱하기 위한 다수의 센싱 유닛들과 복수의 아날로그-디지털 컨버터(Analog-Digital Converter, ADC)를 포함하므로, 그 회로 사이즈가 크다.

[0006] 또한, 종래 외부 보상 기술은 센싱 회로를 통해 검출할 수 없는 구동 TFT의 문턱전압 편차를 카메라를 이용하여 검출하고, 이를 데이터전압에 반영하는 방안을 제공한다. 하지만, 이러한 종래 휘도 보상 시스템은 다음과 같은 문제로 인해 휘도 보상 성능을 높이는 데 한계가 있었다.

- [0007] 첫째, 초기 구동 TFT 편차가 보정되지 않은 표시패널은 전면(全面)에서의 밝기차가 너무 심하여 카메라가 촬영할 수 있는 다이내믹 레인지(Dynamic Range)를 벗어나는 경우가 많다. 따라서, 이러한 문제를 극복하기 위한 방법이 필요하다.
- [0008] 둘째, 종래 휘도 보상 시스템은 센싱 회로를 통한 검출 동작과 카메라를 이용한 검출 동작을 겹하기 때문에, 보상에 소요되는 시간이 길다.
- [0009] 셋째, 종래 휘도 보상 시스템은 저계조의 휘도 균일성을 높이기 위한 보상값을 전체 계조에 반영하기 때문에, 고계조에서 오히려 역효과가 생겨 휘도 균일성이 떨어진다.

**발명의 내용**

**해결하려는 과제**

- [0010] 따라서, 본 발명의 목적은 카메라 기반으로만 픽셀들 간 구동 TFT의 문턱전압 편차를 보상하여 보상에 소요되는 시간을 줄이고, 저계조의 휘도 균일성을 높일 수 있도록 한 표시장치의 휘도 보상 시스템 및 그 휘도 보상 방법을 제공하는 데 있다.
- [0011] 본 발명의 다른 목적은 저계조의 휘도 균일성을 높이면서도 고계조의 휘도 균일성 저하를 방지할 수 있도록 한 표시장치의 휘도 보상 시스템 및 그 휘도 보상 방법을 제공하는 데 있다.
- [0012] 본 발명의 또 다른 목적은 카메라 다이내믹 레인지를 넘어서는 초기 휘도 편차를 가진 표시패널의 전압-휘도 모델링이 가능하도록 한 표시장치의 휘도 보상 시스템 및 그 휘도 보상 방법을 제공하는 데 있다.

**과제의 해결 수단**

- [0013] 상기 목적을 해결하기 위하여, 본 발명에 따른 표시장치의 휘도 보상 시스템은 다수의 픽셀들이 구비되고, 각 픽셀은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와 상기 구동 전류에 따라 발광하는 OLED를 가지는 표시패널; 상기 표시패널의 복수 위치들에 모델링 전압 패턴들이 인가된 상태에서, 상기 복수 위치들에서 휘도를 측정하여, 상기 복수 위치별로 복수개의 계측값들을 취득하는 휘도 계측기; 상기 복수개의 계측값들을 모델링하여 상기 복수 위치별 전체 계조에 대한 보상 파라미터 기반의 제1 휘도 특성 근사식을 도출하는 제1 모델링부; 및 저계조 구간에 속하는 저계조 샘플링 전압들에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 상기 계측값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 읍셋 보정 파라미터를 구한 후, 상기 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 읍셋이 보정된 제2 휘도 특성 근사식을 도출하는 제2 모델링부를 포함한다.
- [0014] 또한, 본 발명의 실시예에 따라 다수의 픽셀들이 구비되고, 각 픽셀은 게이트-소스 간 전압에 따라 구동 전류를 생성하는 구동 TFT와 상기 구동 전류에 따라 발광하는 OLED를 가지는 표시패널을 포함한 표시장치의 휘도 보상 방법은, 상기 표시패널의 복수 위치들에 모델링 전압 패턴들이 인가된 상태에서, 상기 복수 위치들에서 휘도를 측정하여, 상기 복수 위치별로 복수개의 계측값들을 취득하는 휘도 계측 단계; 상기 복수개의 계측값들을 모델링하여 상기 복수 위치별 전체 계조에 대한 보상 파라미터 기반의 제1 휘도 특성 근사식을 도출하는 제1 모델링 단계; 및 저계조 구간에 속하는 저계조 샘플링 전압들에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 상기 계측값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 읍셋 보정 파라미터를 구한 후, 상기 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 읍셋이 보정된 제2 휘도 특성 근사식을 도출하는 제2 모델링 단계를 포함한다.

**발명의 효과**

- [0015] 본 발명은 카메라 기반으로만 픽셀들 간 구동 TFT의 문턱전압 편차를 보상하여 보상에 소요되는 시간을 줄이고, 모델링 결과와 실제 저계조 휘도 편차를 이용하여 추가 촬영없이 저계조 구간에서 휘도 균일도를 크게 상승시킬 수 있다.
- [0016] 나아가, 본 발명은 저계조 휘도 오차 보상값을 전체 계조가 아닌 저계조 부분에만 반영하여 고계조 휘도 균일성 저하를 방지하고, 전체 계조 구간에서의 휘도 균일성을 크게 높일 수 있다.
- [0017] 더 나아가, 본 발명은 초기 휘도 편차가 최소화되도록 복수의 위치들에서 서로 다른 값을 갖도록 모델링 전압 패턴들을 설정하여 초기 휘도 편차가 큰 표시패널에 대해서도 전압-휘도 모델링을 구현할 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 본 발명의 실시예에 따른 표시장치의 휘도 보상 시스템을 보여주는 블록도이다.
- 도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 픽셀 어레이를 보여주는 도면이다.
- 도 3은 본 발명의 실시예에 따른 유기발광 표시장치의 픽셀 회로를 보여주는 도면이다.
- 도 4는 도 1의 표시장치의 휘도 보상 시스템을 자세히 보여주는 도면이다.
- 도 5는 초기 상태에서 표시패널 전면에 동일한 데이터전압을 입력하고 촬영한 휘도 이미지를 보여주는 도면이다.
- 도 6은 초기 상태에서 표시패널 전면에 위치별로 다른 모델링 전압 패턴들을 입력하고 촬영한 휘도 이미지를 보여주는 도면이다.
- 도 7은 표시패널에 N개 모델링 전압 패턴들을 입력하고, 복수 위치들에서 휘도 계측기로 계측값들을 취득하는 것을 보여주는 도면이다.
- 도 8은 복수 위치들 각각에 대응되며 복수개의 계측값들을 이용한 휘도 특성 곡선들을 보여주는 도면이다.
- 도 9는 저계조 구간에 속하는 저계조 샘플링 전압들에서 저계조 읍셋이 보정되는 과정을 설명하기 위한 도면이다.
- 도 10은 전압에 따른 읍셋 보정 감쇄 계인을 보여주는 도면이다.
- 도 11 및 도 12는 문턱전압 보상 후에 휘도 균일성이 전체 계조 구간에서 향상되는 것을 보여주는 시뮬레이션 결과이다.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0023] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0024] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성

요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

- [0027] 도 1은 본 발명의 실시예에 따른 표시장치의 휘도 보상 시스템을 보여주는 블록도이다. 도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 픽셀 어레이를 보여주는 도면이다. 그리고, 도 3은 본 발명의 실시예에 따른 유기발광 표시장치의 픽셀 회로를 보여주는 도면이다.
- [0028] 본 발명의 실시예에 따른 표시장치의 휘도 보상 시스템은 전계발광 표시장치를 기반으로 한다. 전계발광 표시장치는 무기발광 표시장치와 유기발광 표시장치를 포함하는 데, 본 발명의 실시예에서는 유기발광 표시장치를 중심으로 기술한다. 본 발명의 기술적 사상은 유기발광 표시장치뿐만 아니라 무기발광 표시장치에도 적용될 수 있다.
- [0029] 도 1을 참조하면, 본 발명의 실시예에 따른 표시장치의 휘도 보상 시스템은 픽셀들(PXL)이 구비된 표시패널(10), 픽셀들(PXL)에 연결된 신호라인들을 구동하는 패널 구동부(12,13), 패널 구동부(12,13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.
- [0030] 표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 픽셀들(PXL)이 매트릭스 형태로 배치되어, 도 2와 같은 픽셀 어레이를 구성한다.
- [0031] 도 2를 참조하면, 픽셀 어레이는 다수의 수평 픽셀 라인들(L1~L4)이 구비되며, 각 수평 픽셀 라인(L1~L4) 상에는 수평으로 이웃하며 각 게이트 라인(15(1)~15(4))에 공통으로 연결된 다수의 픽셀들(PXL)이 배치된다. 여기서, 수평 픽셀 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 픽셀들(PXL)에 의해 구현되는 1라인 분량의 픽셀 블록을 의미한다. 픽셀 어레이에는 고전위 전원 전압(EVDD)을 픽셀들(PXL)에 공급하는 제1 전원라인들(17), 기준전압(Vref)을 픽셀들(PXL)에 공급하는 제2 전원라인들(16)이 포함될 수 있다. 또한, 픽셀들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.
- [0032] 각 픽셀들(PXL)은 도 3과 같은 OLED와, 구동 TFT(DT)와, 스위치 TFT(ST)와, 스토리지 커패시터(Cst)를 포함한다.
- [0033] 도 3을 참조하면, OLED는 구동 전류에 따라 발광하는 자발광 소자이다. OLED는 구동 TFT(DT)의 소스전극에 접속되는 애노드전극과, 저전위 전원 전압(EVSS)에 접속되는 캐소드전극과, 애노드전극과 캐소드전극 사이에 구비된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.
- [0034] 도 3을 참조하면, 구동 TFT(DT)는 구동 전류를 게이트-소스간 전압(Vgs)으로 조절하는 구동 소자이다. 구동 TFT(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 소스전극은 제2 노드(N2)에 접속된다. 구동 TFT(DT)의 소스전극에는 제2 전원라인(16)을 통해 기준전압(Vref)이 인가된다. 그리고, 구동 TFT(DT)의 드레인전극에는 제1 전원라인(17)을 통해 고전위 구동전압(EVDD)이 인가된다.
- [0035] 도 3을 참조하면, 스위치 TFT(ST)는 게이트신호(SCAN)에 따라 온/오프 되어 데이터라인(14)과 제1 노드(N1) 간의 전류 흐름을 제어한다. 스위치 TFT(ST)는 게이트신호(SCAN)에 따라 턴 온 되어 데이터전압(Vdata)을 구동 TFT(DT)의 게이트전극에 인가한다. 스위치 TFT(ST)는 게이트라인(15)에 접속된 게이트전극, 데이터라인(14)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다.
- [0036] 도 3을 참조하면, 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어, 구동 TFT(DT)의 게이트-소스간 전압(Vgs)을 일정 시간 동안 유지시킨다.
- [0037] 이러한 픽셀들(PXL) 각각은 다양한 컬러 구현을 위하여 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀 중 어느 하나일 수 있다. 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀은 하나의 단위 픽셀을 구성할 수 있다. 단위 픽셀에서 구현되는 컬러는 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀의 발광 비율에 따라 결정될 수 있다.
- [0038] 도 1을 참조하면, 패널 구동부(12,13)는 표시패널(10)의 픽셀들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 패널 구동부(12,13)는 픽셀들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12)와, 픽셀들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.

- [0039] 도 1을 참조하면, 소스 드라이버(12)는 매 프레임마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 아날로그 데이터전압(Vdata)으로 변환한 후, 그 데이터전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter, DAC)를 이용하여 아날로그 데이터전압(Vdata)을 출력한다.
- [0040] 소스 드라이버(12)는 각 픽셀들에 대한 구동 TFT(DT)의 문턱전압을 센싱하기 위한 센싱 회로를 필요로 하지 않는다. 소스 드라이버(12)는 픽셀들 각각을 개별적으로 센싱하기 위한 다수의 센싱 유닛들과 복수의 아날로그-디지털 컨버터(Analog-Digital Converter, ADC)를 포함하지 않으므로, 그 회로 사이즈가 별도의 센싱 회로를 사용할 때에 비해 작고, 제조 비용이 적다.
- [0041] 소스 드라이버(12)와 표시패널(10)의 데이터 라인들(14) 사이에는 멀티플렉서(미도시)가 더 배치될 수 있다. 멀티플렉서는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들로 분배함으로써, 데이터라인의 개수 대비 소스 드라이버(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.
- [0042] 도 1을 참조하면, 게이트 드라이버(13)는 타이밍 콘트롤러(11)의 제어 하에 게이트신호(SCAN)를 라인 순차 방식으로 게이트라인들(15)에 공급하여, 데이터 전압(Vdata)이 충전되는 수평 픽셀 라인(L1~Ln)을 선택한다. 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 픽셀 어레이와 함께 표시패널(10)의 기판 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.
- [0043] 도 1을 참조하면, 타이밍 콘트롤러(11)는 도시하지 않은 호스트로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호들을 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함할 수 있다. 호스트는 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0044] 타이밍 콘트롤러(11)는 입력 프레임 주파수를  $i$  배 체배하여 입력 프레임 주파수 $\times i$ ( $i$ 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 패널 구동부(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0045] 타이밍 콘트롤러(11)는 호스트로부터 수신된 타이밍 신호들(Vsync, Hsync, DE)을 기반으로 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.
- [0046] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 콘트롤러(11)와 소스 드라이버(12)사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.
- [0047] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간의 초기에 발생되어 게이트 드라이버(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 게이트신호(SCAN)가 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 드라이버(13)의 쉬프트 레지스터에 입력되어 쉬프트 레지스터의 쉬프트 타이밍(shift timing)을 제어한다.
- [0048] 또한, 본 발명의 실시예에 따른 표시장치의 휘도 보상 시스템은 별도의 센싱 회로를 구비하지 않고 픽셀들(PXL)간 구동 TFT(DT)의 문턱전압 편차를 보상하기 위해 휘도 계측기(20), 휘도-전압 모델링 회로(22), 및 메모리(23)를 포함한다.
- [0049] 도 1을 참조하면, 휘도 계측기(20)는 픽셀들(PXL)의 OLED가 발광하는 동안 표시패널(10)의 전면(全面) 휘도를 측정한다. 휘도 계측기(20)는 카메라 또는 면 계측기로 구현될 수 있다.
- [0050] 도 1을 참조하면, 휘도-전압 모델링 회로(22)는 픽셀들(PXL)에 구비된 구동 TFT(DT)의 데이터전압 vs 발광 휘도

간의 관계를 분석 및 모델링한다. 휘도-전압 모델링 회로(22)는 저계조 구간에서의 실제 발광 분포를 이용하여 저계조 모델링의 오차를 분석하여 저계조 휘도 균일성을 향상시킨다. 그리고, 휘도-전압 모델링 회로(22)는 옵셋 보정 감쇄 계인을 이용하여 저계조의 휘도 균일성을 높이면서도 고계조의 휘도 균일성 저하를 방지할 수 있다. 또한, 휘도-전압 모델링 회로(22)는 모델링 전압 패턴들은 초기의 휘도 편차가 최소화되도록 복수의 위치들에서 서로 다른 값을 갖도록 설계하여 카메라 다이내믹 레인지를 넘어서는 초기 휘도 편차를 가진 표시패널의 전압-휘도 모델링이 가능케 한다.

[0051] 메모리(23)는 휘도-전압 모델링 회로(22)에서 산출된 보상 파라미터들을 저장한다. 메모리(23)는 시스템 전원이 오프되더라도 저장 내용이 유지되는 비 휘발성 메모리로 구현될 수 있다. 일 예로 메모리(23)는 플래시 메모리(Flash memory)일 수 있다.

[0052] 도 4는 도 1의 표시장치의 휘도 보상 시스템을 자세히 보여주는 도면이다. 도 5는 초기 상태에서 표시패널 전면에 동일한 데이터전압을 입력하고 촬영한 휘도 이미지를 보여주는 도면이다. 도 6은 초기 상태에서 표시패널 전면에 위치별로 다른 모델링 전압 패턴들을 입력하고 촬영한 휘도 이미지를 보여주는 도면이다. 도 7은 표시패널에 복수개 모델링 전압 패턴들을 입력하고, 복수 위치들에서 휘도 계측기로 계측값들을 취득하는 것을 보여주는 도면이다. 도 8은 복수 위치들 각각에 대응되며 복수개의 계측값들을 이용한 휘도 특성 곡선들을 보여주는 도면이다. 도 9는 저계조 구간에 속하는 저계조 샘플링 전압들에서 저계조 옵셋이 보정되는 과정을 설명하기 위한 도면이다. 그리고, 도 10은 전압에 따른 옵셋 보정 감쇄 계인을 보여주는 도면이다.

[0053] 도 5와 같이 표시패널(10)에 대한 휘도 계측기(20)의 촬영 이미지에서, 초기 휘도 편차에 의해 미흡노출(Under-exposure) 되거나 또는 과노출(Over-exposure) 된 영역이 존재하게 된다. 이러한 영역이 생기는 원인은 초기 상태에서 표시패널의 모든 위치에 동일한 데이터전압을 입력하고 촬영한 것에서 비롯되며, 휘도-전압 모델링의 정확도에 악영향을 미치게 된다.

[0054] 본 발명의 휘도 보상 시스템은 이러한 문제를 없애기 위해, 도 6과 같이 초기 상태에서 표시패널(10) 전면(全面)에 위치별로 다른 모델링 전압 패턴들( $v'(x,y)$ )을 입력한다. 본 발명의 휘도 보상 시스템은 하기 수학식 1과 같이 초기 상태에서 전면(全面) 휘도 편차( $\Delta I(x,y)$ )를 휘도 계측기(20)를 통해 획득하고, 전면(全面) 휘도 편차( $\Delta I(x,y)$ )에 초기 계인값( $k$ )을 곱하여 위치별로 최적의 모델링 전압 패턴들( $v'(x,y)$ )을 구한다.

[0055] [수학식 1]

$$v'(x,y) = v + k\Delta I(x,y)$$

[0056]

[0057] 본 발명의 휘도 보상 시스템은 한번의 카메라 촬영으로 패널 전면의 초기 휘도 편차를 최소화할 수 있는 모델링 전압 패턴들( $v'(x,y)$ )을 얻을 수 있어 보상 택 타임(Tact Time)을 줄이는 데 효과적이다.

[0058] 도 4를 참조하면, 본 발명의 휘도-전압 모델링 회로(22)는 계측기 구동부(221), 제1 모델링부(222), 제2 모델링부(223), 및 제3 모델링부(224)를 포함할 수 있다.

[0059] 도 4를 참조하면, 휘도 계측기(20)는 도 7과 같이 표시패널(10)의 복수 위치들( $P_i$ ) 각각에 복수개의 모델링 전압 패턴들( $v'1\sim v'n$ )이 인가된 상태에서, 복수 위치들( $P_i$ )에서 휘도를 측정하여, 복수 위치( $P_i$ ) 별로 복수개의 계측값들( $Y$ )을 취득한다.

[0060] 도 4를 참조하면, 계측기 구동부(221)는 제어부(111)의 제어하에 휘도 계측기(20)의 촬영 조건(노출 시간 등)을 조정한다.

[0061] 도 4를 참조하면, 제1 모델링부(222)는 복수 위치( $P_i$ ) 별 복수개의 계측값들( $Y$ )을 모델링하여 도 8과 같은 휘도 특성 곡선을 얻는다. 이 휘도 특성 곡선은 복수 위치들 각각에 대응되며 복수개의 계측값들을 이용한 것으로, 비선형 피팅법(Nonlinear fitting method)을 통해 얻어질 수 있으나, 이에 한정되지 않는다. 제1 모델링부(222)는 휘도 특성 곡선을 기반으로 하기 수학식 2와 같은 복수 위치( $P_i$ ) 별 휘도 특성 근사식( $L_i(v')$ )의 보상 파라미터( $a, b, c$ )를 구하고, 상기 복수 위치( $P_i$ ) 별 휘도 특성 근사식( $L_i(v')$ )에 해당 모델링 전압을 대입( $b'_i = b_i + k\Delta I(x,y)$  대입)하여 하기 수학식 3과 같은 전체 계조에 대한 제1 휘도 특성 근사식( $L_i(v)$ )을 도출한다.

[0062] [수학식 2]

$$\widehat{L_i(v')} = a_i \times (v' - b_i)^{c_i}$$

$i$ 위치에서의 휘도 특성 근사식( $v'$ 기준)

[0063]

[0064] [수학식 3]

$$\widehat{L_i(v)} = a_i \times (v - b'_i)^{c_i}$$

$i$ 위치에서의 휘도 특성 근사식( $v$ 기준)

[0065]

[0066] 도 4를 참조하면, 제2 모델링부(223)는 저계조 구간에 속하는 저계조 샘플링 전압들(Q개 저계조 전압들)에서 상기 제1 휘도 특성 근사식에 따른 휘도값과 계측값 간의 휘도 오차를 구하고, 상기 휘도 오차에 저계조 보정 계인을 곱하여 읍셋 보정 파라미터를 구한 후, 상기 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 저계조 읍셋이 보정된 제2 휘도 특성 근사식을 도출한다.

[0067] 구체적으로, 도 9의 (A) 및 (B)와 같이 모델링 오차에 의해 임의의 위치( $P_i$ ) 및 전압( $v_j$ )에서의 제1 휘도 특성

근사식에 따른 휘도값  $(\widehat{L_i(v_j)})$  과 실제 계측값  $(L_i(v_j))$  간에는 오차  $(\Delta L_i(v_j))$  가 존재한다. 도 9의 (C)와 같이 저계조로 갈수록 이러한 오차의 비율이 증가하여 고계조에 비해 저계조에서 휘도 균일성 보상 성능이 현저히 떨어진다.

[0068] 저계조에서 휘도 균일성 보상 성능을 높이기 위해, 제2 모델링부(223)는 하기 수학식 4와 같이 저계조 구간에

속하는 저계조 샘플링 전압들( $v_j$ )에서의 휘도 오차  $(\Delta L_i(v_j))$  를 구하고, 이 휘도 오차  $(\Delta L_i(v_j))$  에 저계조 보정 계인( $G_{v_j}$ )을 곱하여 읍셋 보정 파라미터  $(\Delta b_i(v_j))$  를 구한다.

[0069] [수학식 4]

$$\Delta L_i(v_j) = \widehat{L_i(v_j)} - L_i(v_j)$$

$$\Delta b_i(v_j) = G_{v_j} \times \Delta L_i(v_j)$$

[0070]

[0071] 제2 모델링부(223)는 저계조 샘플링 전압들( $v_1, \dots, v_q$ )을 제외한 상기 저계조 구간의 나머지 전압들( $v$ )에서 수학

식 5와 같이 보간법(interpolation)으로 상기 읍셋 보정 파라미터  $(\Delta b_i(v))$  를 추정함으로써, 하드웨어 리소스를 줄일 수 있다. 보간법은 선형 보간법, 비선형 보간법 등 다양한 방식이 적용될 수 있다.

[0072] [수학식 5]

$$\Delta b_i(v) = \text{Interp}(\Delta b_i(v_1) \sim \Delta b_i(v_q))$$

[0073]

[0074] 저계조 구간에서의 모델링 오차는 도 9의 (D)와 같이 읍셋 보정 파라미터에 의해 획기적으로 줄어든다.

[0075] 제2 모델링부(223)는 읍셋 보정 파라미터를 상기 제1 휘도 특성 근사식에 적용하여 하기 수학식 6과 같이  $i$  위

치에서 저계조 읍셋이 보정된 제2 휘도 특성 근사식  $(\widehat{\widehat{L_i(v_j)}})$  을 도출한다.

[0076] [수학식 6]

$$\widehat{\widehat{L_i(v_j)}} = a_i \times (v - b_i + \Delta b_i(v))^{c_i}$$

[0077]

[0078] 도 4를 참조하면, 제3 모델링부(224)는 고계조에서의 불필요한 읍셋 보정이 생기지 않도록 도 10과 같은 읍셋 보정 감쇄 계인( $D(v)$ )을 적용한다. 읍셋 보정 감쇄 계인( $D(v)$ )은 저계조 임계 전압( $v_t$ )까지의 저계조 구간에서 “1” 로 유지하다가 저계조 임계 전압( $v_t$ )보다 큰 계조 구간에서는 계조에 비례하여 “1” 에서 “0” 으로 저감

된다.

[0079] 다시 말해, 제3 모델링부(224)는 저계조 구간을 제외한 나머지 계조 구간에서 상기 오프셋 보정 파라미터의 영향을 줄이기 위한 오프셋 보정 감쇄 계인(D(v))을 미리 설정하고, 상기 오프셋 보정 감쇄 계인(D(v))을 상기 제2 휘도 특성 근사식의 오프셋 보정 파라미터에 곱하여 하기 수학식 7과 같이 i 위치에서 제3 휘도 특성 근사식( $\overline{L_i(v)}$ )을 도출한다.

[0080] [수학식 7]

[0081] 
$$\overline{L_i(v)} = a_i \times (v - b_i + D(v)\Delta b_i(v))^{c_i}$$

[0082] 도 4를 참조하면, 메모리(23)는 휘도-전압 모델링 회로(22)에서 산출된 보상 파라미터(a,b,c), 오프셋 보정 파라미터( $\Delta b_i(v)$ ), 및 오프셋 보정 감쇄 계인(D(v))을 저장한다.

[0083] 도 4를 참조하면, 보상부(112)는 메모리(23)에 저장된 정보를 하기 수학식 8에 적용에 적용하여 상기 복수 위치 별 전체 계조 구간에서 상기 구동 TFT의 게이트-소스 간 전압(Vgs)을 보상한다.

[0084] [수학식 8]

[0085] 
$$v_{gs} = \left\{ V_{data} \times (a_{ref}/a_i)^{1/c_i} + b_i + D(V_{data})\Delta b_i(V_{data}) \right\} - V_{ref}$$

[0086] 상기 수학식 8에서 상기 Vdata는 디지털 레벨의 데이터전압, 상기 Vref는 디지털 레벨의 기준전압, 상기 ai와 bi와 ci는 위치 i에서의 상기 보상 파라미터, 상기 aref는 복수 위치들에서 보상 파라미터 a의 평균값, 상기 D(Vdata)는 상기 Vdata에 대응되는 상기 오프셋 보정 감쇄 계인, 및 상기  $\Delta b_i(V_{data})$ 는 위치 i에서 상기 Vdata에 대응되는 상기 오프셋 보정 파라미터를 각각 나타낸다.

[0087] 도 11 및 도 12는 문턱전압 보상 후에 휘도 균일성이 전체 계조 구간에서 향상되는 것을 보여주는 시뮬레이션 결과이다.

[0088] 본 발명은 추가 촬영 없이 도 11과 같이 저계조 휘도 균일성을 획기적으로 상승시킬 수 있다. 또한, 본 발명은 도 12와 같이 모델링 후의 문턱전압의 분포가 모델링 전에 비해 더 좁게 모이게 되고, 그 결과 전면 휘도 균일성을 대폭적으로 상승시킬 수 있다.

[0089] 전술한 바와 같이, 본 발명은 모델링 결과와 실제 저계조 휘도 편차를 이용하여 추가 촬영없이 저계조 구간에서 휘도 균일도를 크게 상승시킬 수 있다.

[0090] 나아가, 본 발명은 저계조 휘도 오차 보상값을 전체 계조가 아닌 저계조 부분에만 반영하여 고계조 휘도 균일성 저하를 방지하고, 전체 계조 구간에서의 휘도 균일성을 크게 높일 수 있다.

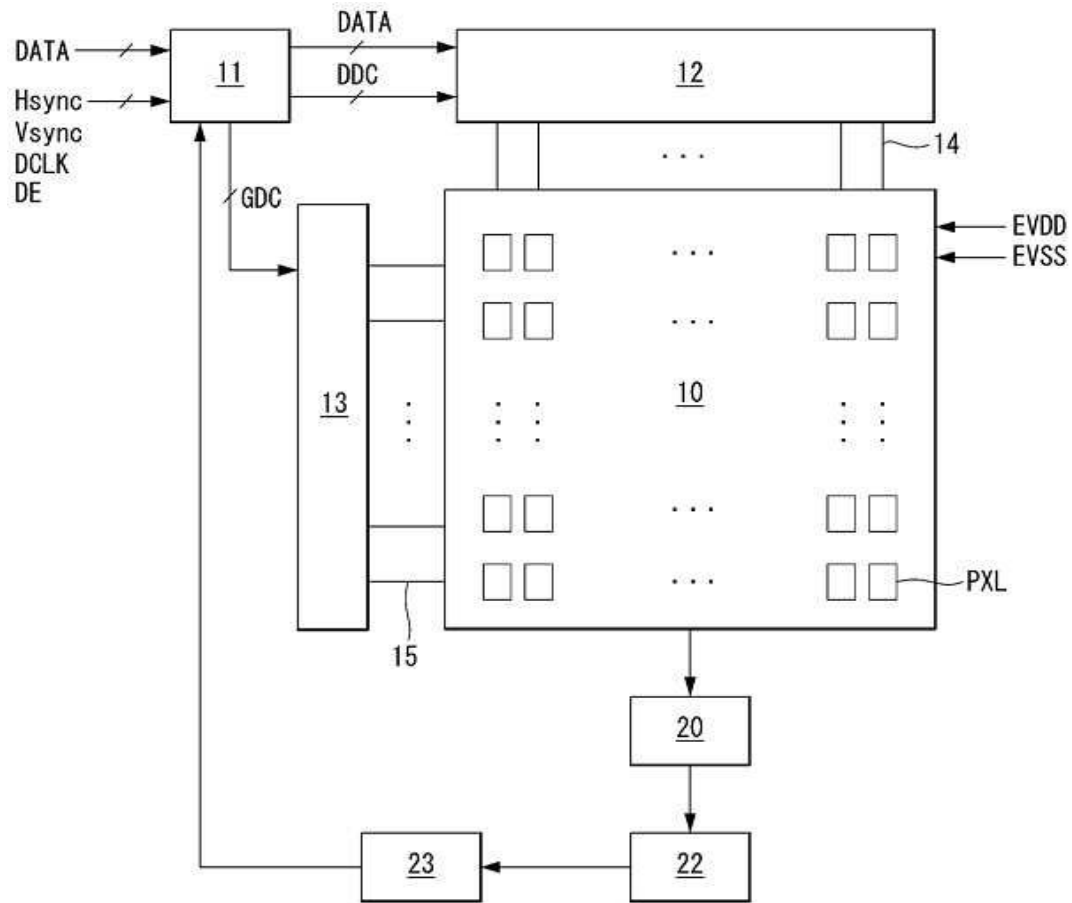
[0091] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

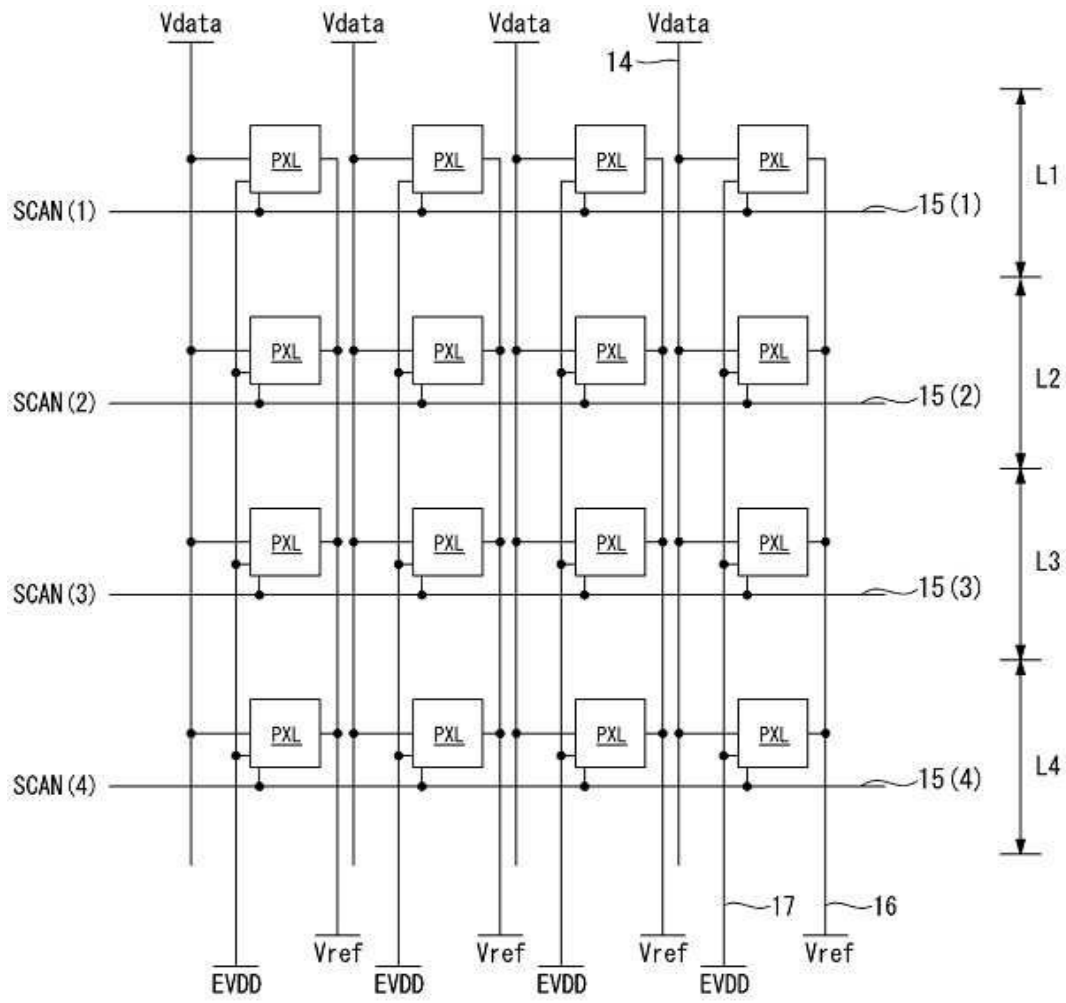
- [0092] 10 : 표시패널    11 : 타이밍 컨트롤러  
 12, 13 : 패널 구동부    20 : 휘도 계측기  
 22 : 휘도-전압 모델링 회로    23 : 메모리  
 222: 제1 모델링부    223 : 제2 모델링부  
 224 : 제3 모델링부    112 : 보상부

도면

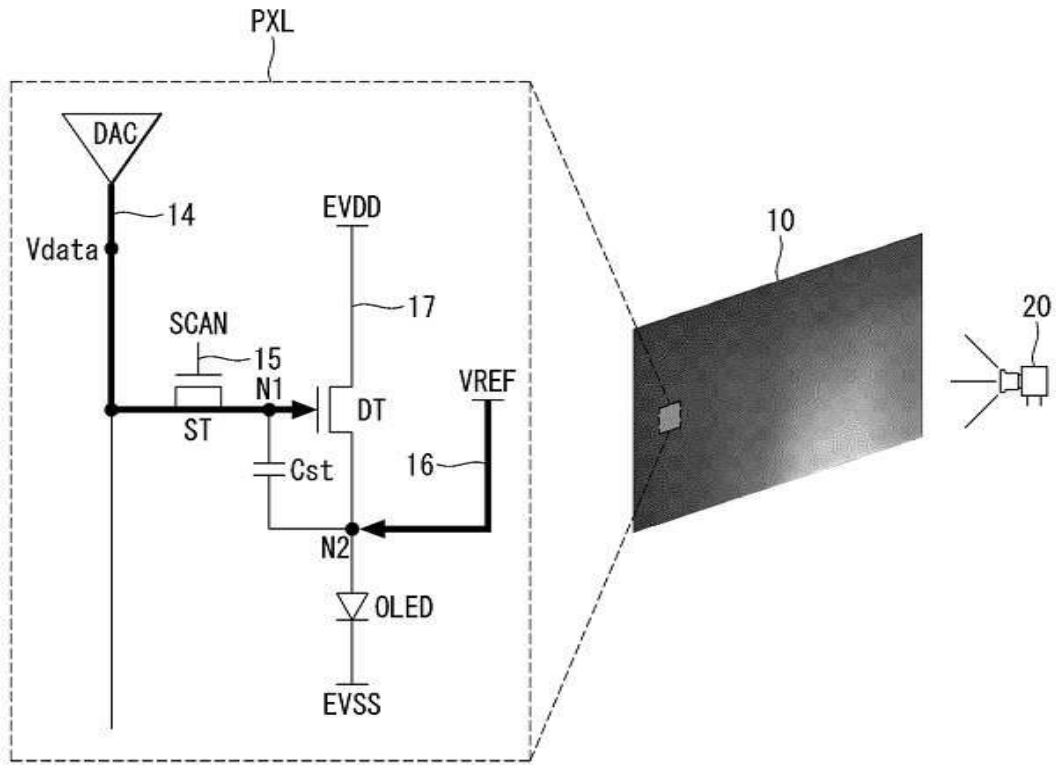
도면1



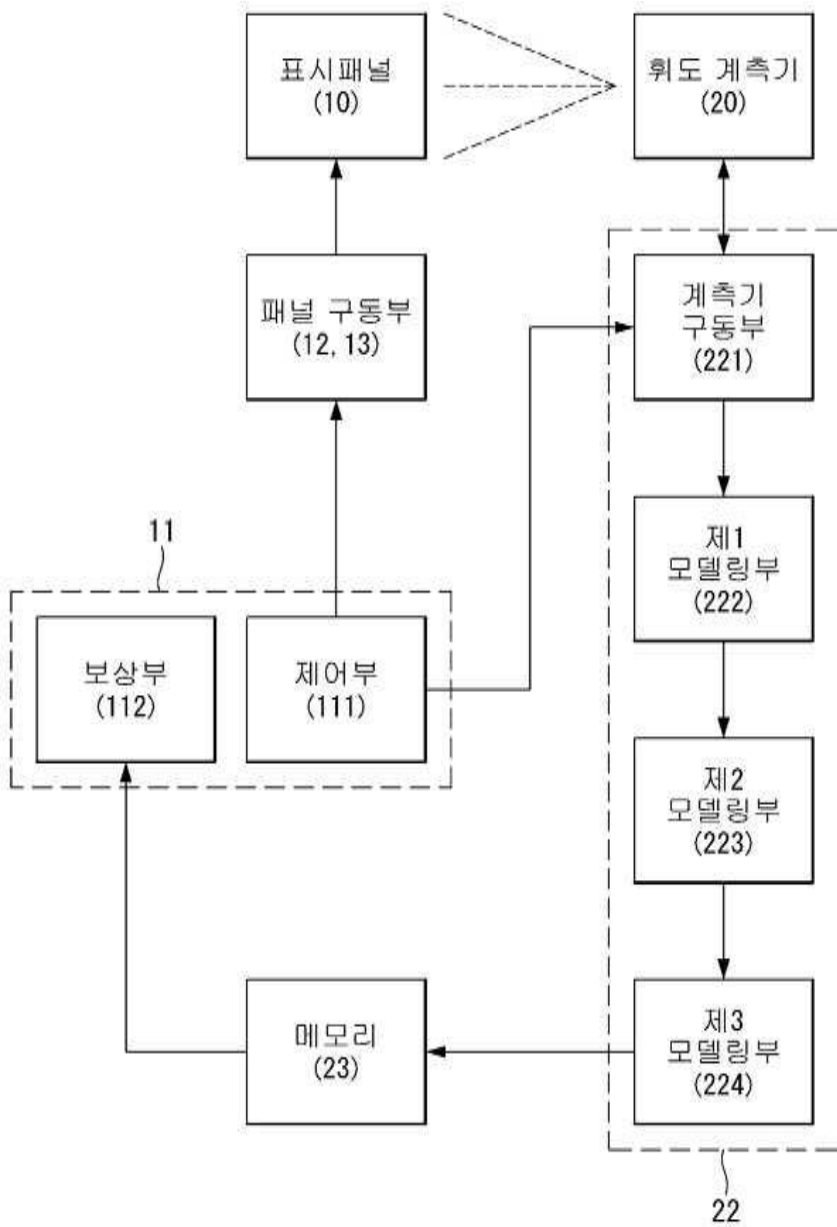
도면2



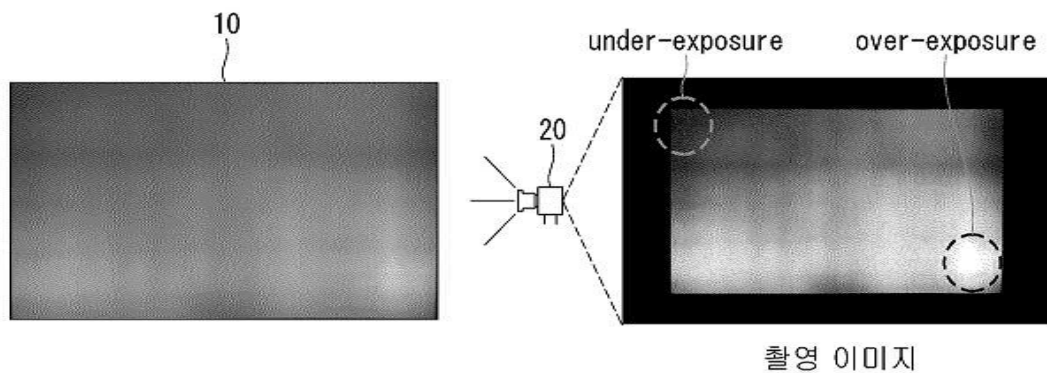
도면3



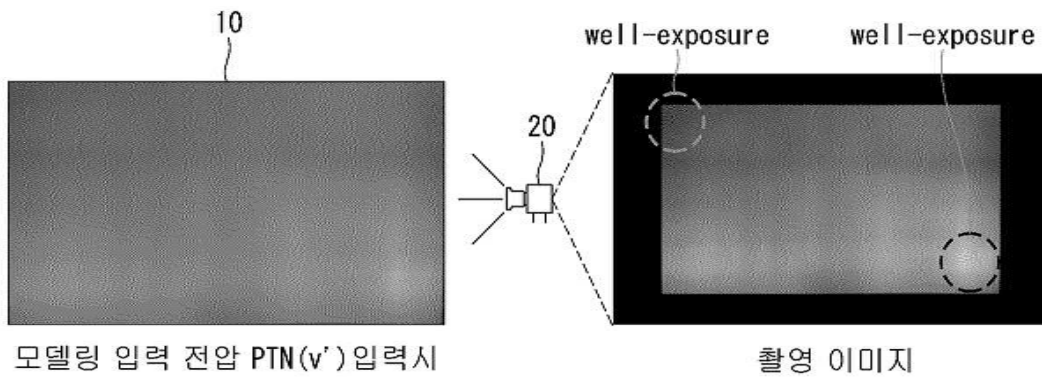
도면4



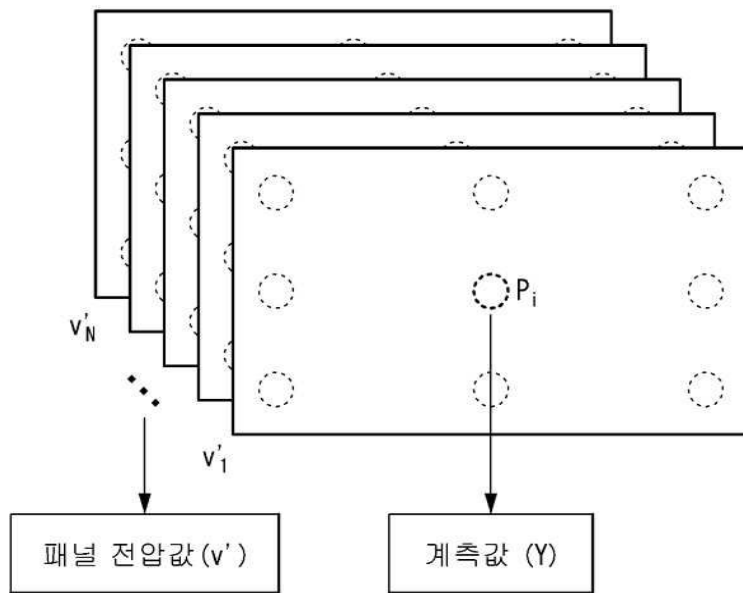
도면5



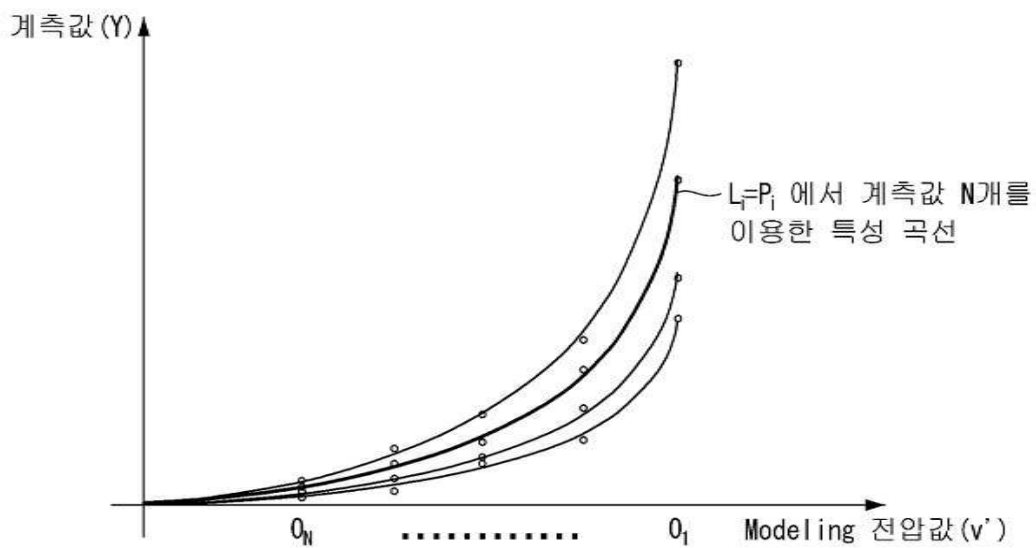
도면6



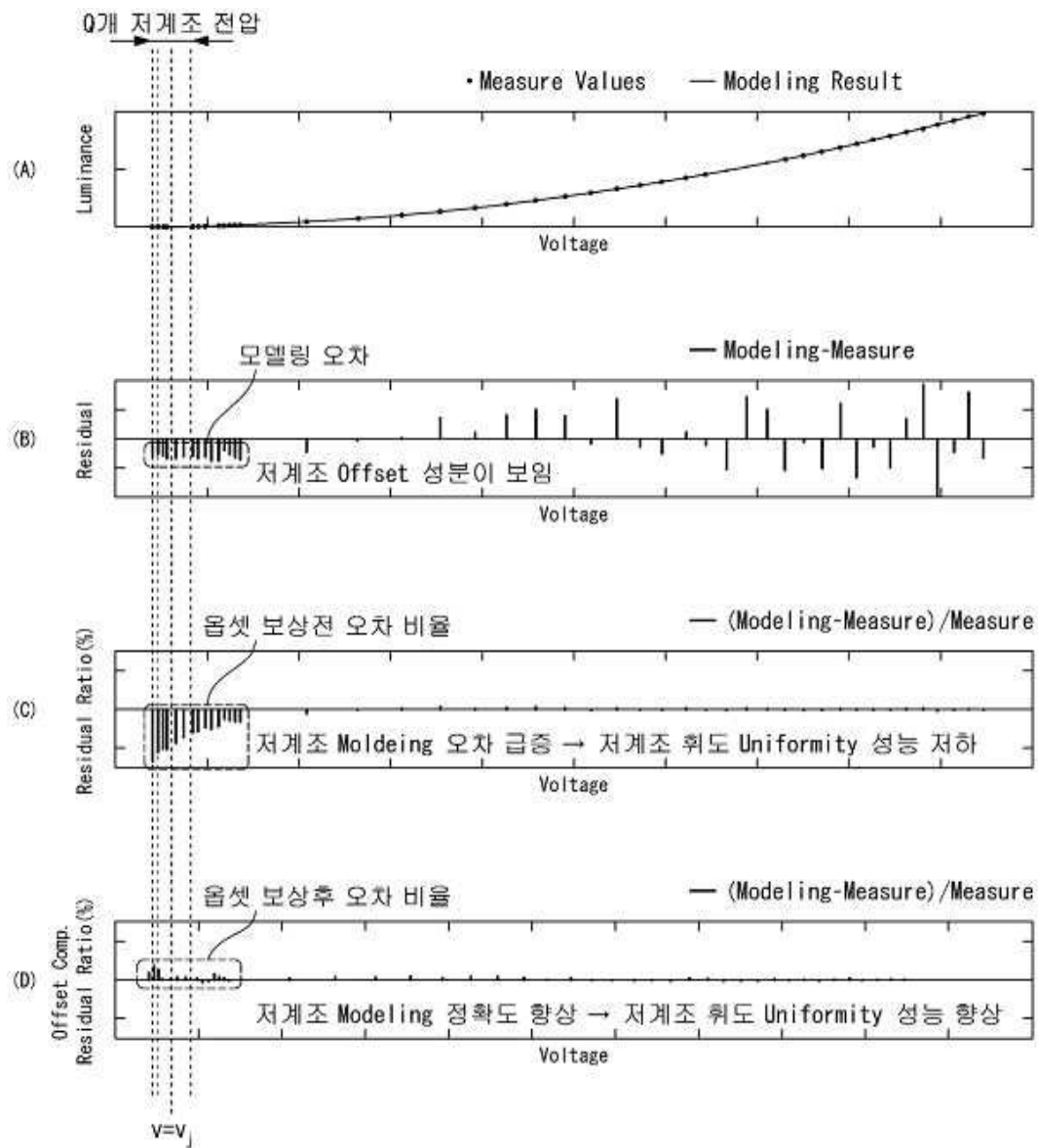
도면7



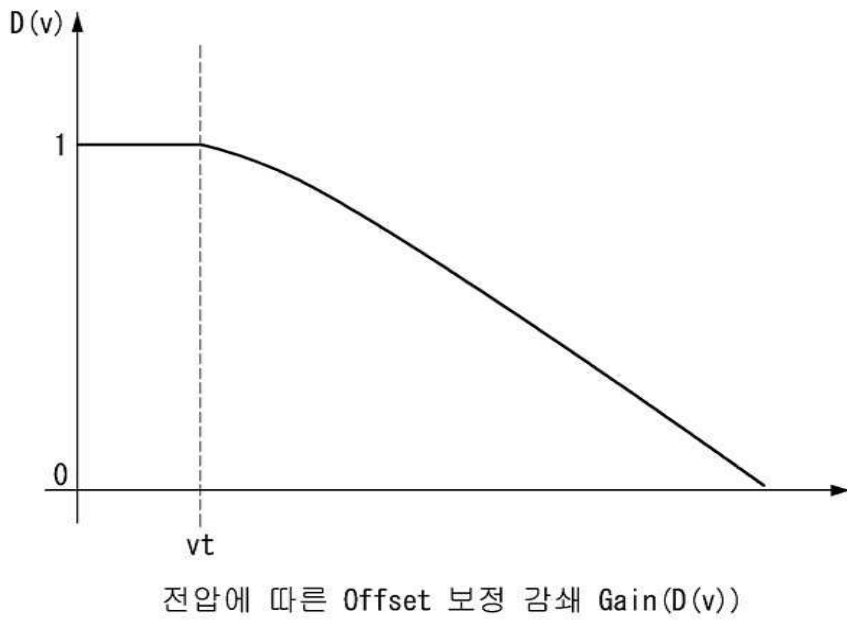
도면8



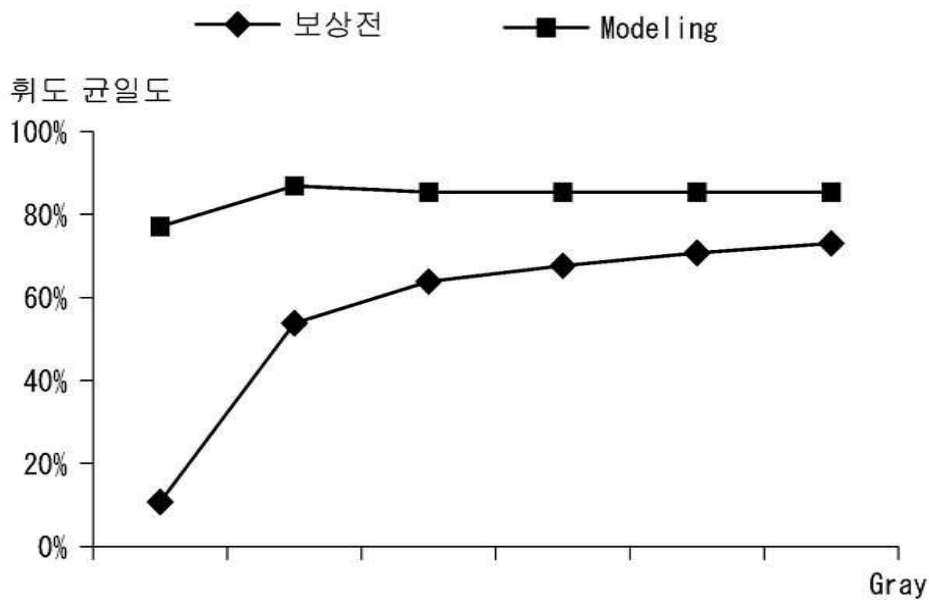
도면9



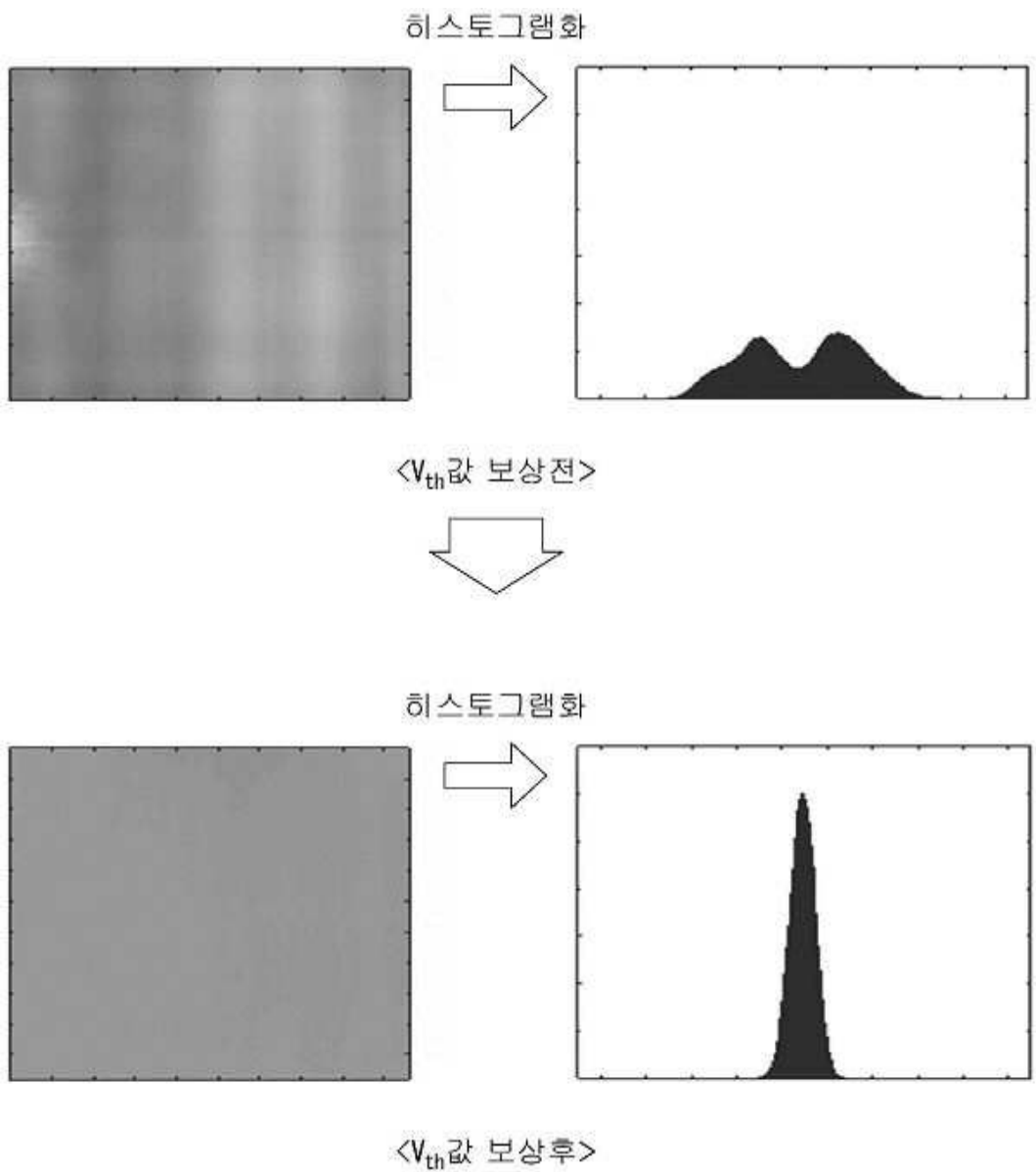
도면10



도면11



도면12



专利名称(译)	显示装置亮度补偿系统及其亮度补偿方法		
公开(公告)号	<a href="#">KR1020190021761A</a>	公开(公告)日	2019-03-06
申请号	KR1020170106926	申请日	2017-08-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	구헌 박효정 서정훈		
发明人	구헌 박효정 서정훈		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0828 G09G2310/027 G09G2320/0233		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的显示装置的亮度补偿系统包括：具有多个像素的显示面板，每个像素具有用于根据栅极-源极电压产生驱动电流的驱动TFT和根据该驱动电流发光的OLED。一种亮度计，在对显示面板的多个位置施加建模电压图案的同时测量多个位置的亮度，并获得多个位置中每个位置的多个测量值；第一建模单元对所述多个测量值进行建模，以基于针对所述多个位置的整个灰度的补偿参数，得出第一亮度特性近似方程；并且获得根据第一亮度特性近似方程的亮度值与属于低灰度级间隔的低灰度采样电压中的测量值之间的亮度误差，并将亮度误差乘以低灰度级校正增益以获得偏移校正参数。并且第二建模单元被配置为导出第二亮度特性近似方程，其中通过将偏移校正参数应用于第一亮度特性近似方程来校正低灰度级偏移。

