(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003488
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *G09F 9/30* (2006.01)
H01L 21/8234 (2006.01) *H01L 21/8238* (2006.01)
(52) CPC특허분류
H01L 51/50 (2013.01)
G09F 9/30 (2013.01)
(21) 출원번호 10-2018-7028834
(22) 출원일자(국제) 2017년02월14일
심사청구일자 없음
(85) 번역문제출일자 2018년10월05일
(86) 국제출원번호 PCT/JP2017/005225
(87) 국제공개번호 WO 2017/187720
국제공개일자 2017년11월02일
(30) 우선권주장
JP-P-2016-090511 2016년04월28일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
츠지카와 심페이
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
최달용

전체 청구항 수 : 총 10 항

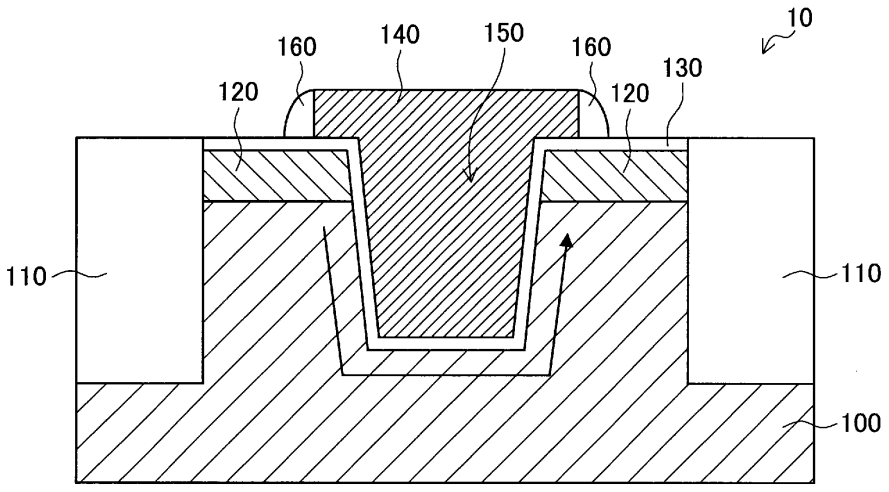
(54) 발명의 명칭 **표시 장치, 및 전자 기기**

(57) 요 약

[과제] 해상도가 높고, 보다 균일성이 높은 표시 화상을 표시하는 표시 장치, 및 그 표시 장치를 구비하는 전자 기기를 제공한다.

[해결 수단] 반도체 기판에 마련된 제1 도전형의 활성화 영역, 상기 활성화 영역을 횡단하여 마련된 개구, 상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막, 상기 개구를 매입하는 게이트 전극, 상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와, 상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는 표시 장치.

대 표 도 - 도4



(52) CPC특허분류
H01L 21/8234 (2013.01)
H01L 21/8238 (2013.01)

명 세 서

청구범위

청구항 1

반도체 기판에 마련된 제1 도전형의 활성화 영역,

상기 활성화 영역을 횡단하여 마련된 개구,

상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막,

상기 개구를 매입하는 게이트 전극,

상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와,

상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서,

상기 개구는, 직렬의 배열로 복수 마련되는 것을 특징으로 하는 표시 장치.

청구항 3

제2항에 있어서,

상기 개구의 각각의 사이에는, 상기 활성화 영역보다도 고농도의 제1 도전형의 채널 스토퍼 영역이 마련되는 것을 특징으로 하는 표시 장치.

청구항 4

제3항에 있어서,

상기 채널 스토퍼 영역은, 상기 활성화 영역을 횡단하여 마련되는 것을 특징으로 하는 표시 장치.

청구항 5

제3항에 있어서,

상기 채널 스토퍼 영역은, 상기 반도체 기판의 내부에 마련되는 것을 특징으로 하는 표시 장치.

청구항 6

제3항에 있어서,

상기 채널 스토퍼 영역은, 상기 활성화 영역의 주위에 마련된 절연성의 소자 분리층보다도 깊은 영역까지 마련되는 것을 특징으로 하는 표시 장치.

청구항 7

제1항에 있어서,

상기 개구의 깊이는, 300㎚ 이상인 것을 특징으로 하는 표시 장치.

청구항 8

제7항에 있어서,

상기 개구는, 상기 활성화 영역의 주위에 마련된 절연성의 소자 분리층보다도 얕은 영역까지 마련되는 것을 특징으로 하는 표시 장치.

청구항 9

제1항에 있어서,

상기 반도체 기판은, 실리콘 기판인 것을 특징으로 하는 표시 장치.

청구항 10

반도체 기판에 마련된 제1 도전형의 활성화 영역,

상기 활성화 영역을 횡단하여 마련된 개구,

상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막,

상기 개구를 매입하는 게이트 전극,

상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와,

상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를

구비하는 표시부를 포함하는 것을 특징으로 하는 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 개시는, 표시 장치, 및 전자 기기에 관한 것이다.

배 경 기 술

[0002] 근래, 표시 장치의 해상도의 향상에 수반하여, 표시 장치의 화소를 구성하는 표시 소자 및 그 표시 소자를 구동시키는 구동 트랜지스터의 미세화가 진행되고 있다.

[0003] 여기서, 전계효과 트랜지스터의 임계치 전압의 편차는, 채널 폭 및 채널 길이의 축소에 반비례하여 커진다. 그 때문에, 표시 장치의 해상도의 향상에 수반하여, 구동 트랜지스터의 특성 편차가 커지고, 표시 화상의 균일성이 저하되어 있다.

[0004] 예를 들면, 이하의 특허 문헌 1에는, 트랜지스터의 특성 편차에 기인하는 표시 화상의 표시 얼룩을 억제하기 위해, 임계치 전압을 제어 가능한 구동 트랜지스터를 이용하여 표시 소자를 구동시키는 기술이 개시되어 있다.

[0005] 또한, 표시 장치의 화소를 구성하는 표시 소자의 미세화에 수반하여, 표시 소자의 구동에 필요한 전류량은 적어지고 있다. 그 때문에, 구동 트랜지스터의 게이트 전압을 저하시킴으로써, 구동 트랜지스터의 온 전류를 감소시켜, 표시 소자의 구동에 적합한 전류량으로 하는 것이 행하여지고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특개2012-255874호 공보

발명의 내용

해결하려는 과제

[0007] 그렇지만, 게이트 전압을 저하시킨 경우, 구동 트랜지스터는, 임계치 전압에 가까운 게이트 전압으로 제어되게 된다. 이와 같은 경우, 구동 트랜지스터마다 존재하는 임계치 전압의 편차가 온 전류에 주는 영향이 커지기 때문에, 구동 트랜지스터마다의 온 전류의 편차가 커져서, 표시 화상의 균일성이 저하되어 있다.

[0008] 따라서 표시 소자 및 구동 트랜지스터의 미세화에 수반하는 표시 화상의 균일성의 저하를 개선할 것이 요구되고 있다.

[0009] 그래서, 본 개시에서는, 해상도가 높고, 보다 균일성이 높은 표시 화상을 표시하는 것이 가능한, 신규이면서 개량된 표시 장치, 및 그 표시 장치를 구비하는 전자 기기를 제안한다.

과제의 해결 수단

[0010] 본 개시에 의하면, 반도체 기판에 마련된 제1 도전형의 활성화 영역, 상기 활성화 영역을 횡단하여 마련된 개구, 상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막, 상기 개구를 매입하는 게이트 전극, 상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와, 상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는, 표시 장치가 제공된다.

[0011] 또한, 본 개시에 의하면, 반도체 기판에 마련된 제1 도전형의 활성화 영역, 상기 활성화 영역을 횡단하여 마련된 개구, 상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막, 상기 개구를 매입하는 게이트 전극, 상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와, 상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는 표시부를 포함하는, 전자 기기가 제공된다.

[0012] 본 개시에 의하면, 구동 트랜지스터의 점유 면적을 증가시키는 일 없이, 채널 길이를 길게 할 수 있기 때문에, 온 전류의 절대치를 작게 할 수 있다. 따라서 구동 트랜지스터마다의 임계치 전압의 편차가 온 전류에 대해 주는 영향을 작게 할 수 있기 때문에, 표시 화상의 균일성을 향상시킬 수 있다.

발명의 효과

[0013] 이상 설명한 바와 같이 본 개시에 의하면, 해상도가 높고, 보다 균일성이 높은 표시 화상을 표시하는 표시 장치, 및 그 표시 장치를 구비하는 전자 기기를 제공하는 것이 가능하다.

[0014] 또한, 상기한 효과는 반드시 한정적인 것이 아니라, 상기한 효과와 함께, 또는 상기한 효과에 대신하여, 본 명세서에 나타난 언 하나의 효과, 또는 본 명세서로부터 파악될 수 있는 다른 효과가 이루어져도 좋다.

도면의 간단한 설명

[0015] 도 1은 본 개시에 관한 기술이 적용되는 표시 장치의 1화소를 구성하는 회로를 설명하는 회로도.

도 2는 본 개시에 관한 기술이 적용되는 표시 장치의 1화소를 두께 방향으로 절단한 단면도.

도 3은 본 개시의 제1의 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터 및 선택 트랜지스터의 평면 구조를 설명하는 설명도.

도 4는 도 3의 A 절단선에 의한 단면도.

도 5는 도 3의 B 절단선에 의한 단면도.

도 6은 도 3의 C 절단선에 의한 단면도.

도 7은 본 개시의 제2의 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터 및 선택 트랜지스터의 평면 구조를 설명하는 설명도.

도 8은 도 7의 D 절단선에 의한 단면도.

도 9는 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 10은 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 11은 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 12는 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 13은 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 14는 동 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도.

도 15는 구동 트랜지스터에 마련한 개구의 수 및 깊이에 대한 온 전류의 편차의 관계를 도시한 그래프도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하에 첨부 도면을 참조하면서, 본 개시의 알맞은 실시의 형태에 관해 상세히 설명한다. 또한, 본 명세서 및 도면에서, 실질적으로 동일한 기능 구성을 갖는 구성 요소에 관해서는, 동일한 부호를 붙임에 의해 중복 설명을 생략한다.

[0017] 또한, 설명은 이하의 순서로 행하는 것으로 한다.

[0018] 1. 제1의 실시 형태

[0019] 1.1. 표시 장치의 개략 구성

[0020] 1.2. 트랜지스터의 구성

[0021] 2. 제2의 실시 형태

[0022] 2. 1. 트랜지스터의 구성

[0023] 2. 2. 트랜지스터의 제조 방법

[0024] 2. 3. 트랜지스터의 효과

[0025] 3. 정리

[0026] <1. 제1의 실시 형태>

[0027] (1.1. 표시 장치의 개략 구성)

[0028] 우선, 도 1 및 도 2를 참조하여, 본 개시에 관한 기술이 적용되는 표시 장치의 개략 구성에 관해 설명한다. 도 1은, 본 개시에 관한 기술이 적용되는 표시 장치(1)의 1화소를 구성하는 회로를 설명하는 회로도이다.

[0029] 도 1에 도시하는 바와 같이, 표시 장치(1)의 1화소를 구성하는 회로는, 유기전계발광소자(OLED)와, 구동 트랜지스터(DTr)와, 용량 소자(C)와, 선택 트랜지스터(STr)를 포함한다.

[0030] 유기전계발광소자(OLED)는, 예를 들면, 에노드 전극, 유기 발광층, 및 캐소드 전극이 적층된 자발광형의 발광소자이다. 유기전계발광소자(OLED)의 에노드 전극은, 구동 트랜지스터(DTr)를 통하여 전원선(PL)에 접속되어 있고, 유기전계발광소자(OLED)의 캐소드 전극은, 접지 전위로 되어 있는 그라운드선과 접속되어 있다. 즉, 유기전계발광소자(OLED)는, 표시 장치(1)의 1화소로서 기능한다.

[0031] 구체적으로는, 유기전계발광소자(OLED)를 포함하는 1화소는, 예를 들면, 적, 녹 또는 청 등의 단색의 광을 발하는 서브픽셀로서 기능한다. 또한, 적색광을 발하는 화소와, 녹색광을 발하는 화소와, 청색광을 발하는 화소에 의해 하나의 표시 화소가 구성되고, 다수의 표시 화소가 매트릭스형상으로 배치됨으로써, 입력된 신호에 대응하는 화상을 표시 가능한 표시 패널이 구성된다.

[0032] 구동 트랜지스터(DTr)는, 예를 들면, 전계효과 트랜지스터이다. 구동 트랜지스터(DTr)의 소스 또는 드레인의 일방은, 전원선(PL)에 접속되어 있고, 소스 또는 드레인의 타방은, 유기전계발광소자(OLED)의 에노드 전극에 접속되어 있다. 또한, 구동 트랜지스터(DTr)의 게이트는, 선택 트랜지스터(STr)의 소스 또는 드레인의 일방과 접속되어 있다. 구동 트랜지스터(DTr)는, 유기전계발광소자(OLED)와 직렬로 접속되어 있고, 선택 트랜지스터(STr)로부터 인가된 게이트 전압의 크기에 응하여 유기전계발광소자(OLED)에 흐르는 전류를 제어함으로써, 유기전계발광소자(OLED)를 구동시킨다.

[0033] 선택 트랜지스터(STr)는, 예를 들면, 전계효과 트랜지스터이다. 선택 트랜지스터(STr)의 소스 또는 드레인의 일방은, 구동 트랜지스터(DTr)의 게이트에 접속되어 있고, 소스 또는 드레인의 타방은, 신호선(DL)에 접속되어 있다. 또한, 선택 트랜지스터(STr)의 게이트는, 주사선(SL)에 접속되어 있다. 선택 트랜지스터(STr)는, 신호선(DL)의 전압을 샘플링한 후, 구동 트랜지스터(DTr)의 게이트에 인가함으로써, 구동 트랜지스터(DTr)의 게이트에 인가되는 신호 전압을 제어한다.

[0034] 용량 소자(C)는, 예를 들면, 커패시터이다. 용량 소자(C)의 일단은, 구동 트랜지스터(DTr)의 게이트에 접속되고, 용량 소자(C)의 타단은, 전원선(PL)에 접속되어 있다. 용량 소자(C)는, 구동 트랜지스터(DTr)의 게이트-소스 사이의 전압을 소정의 전압으로 유지한다.

[0035] 계속해서, 도 2를 참조하여, 본 개시에 관한 기술이 적용되는 표시 장치(1)의 1화소의 적층 구조에 관해 설명한다. 도 2는, 본 개시에 관한 기술이 적용되는 표시 장치(1)의 1화소를 두께 방향으로 절단한 단면도이다.

[0036] 도 2에 도시하는 바와 같이, 표시 장치(1)의 1화소는, 반도체 기판(30)과, 선택 트랜지스터(STr)와, 구동 트랜지스터(DTr)와, 절연층(40)과, 배선(51)을 포함하는 다층 배선층(50)과, 에노드 전극(61)과, 유기 발광층(62)과, 캐소드 전극(63)과, 보호층(70)과, 컬러 필터(80)를 구비한다.

[0037] 반도체 기판(30)은, 예를 들면, 단결정, 다결정, 또는 어모퍼스의 실리콘(Si) 기판이라도 좋다. 실리콘 등의 반도체로 이루어지는 기판은, 미세화가 용이하기 때문에, 구동 트랜지스터(DTr) 및 선택 트랜지스터(STr)를 보다 용이하게 미세하게 형성할 수 있다.

[0038] 구동 트랜지스터(DTr) 및 선택 트랜지스터(STr)는, 반도체 기판(30)에 마련된다. 구동 트랜지스터(DTr) 및 선택 트랜지스터(STr)는, 예를 들면, 반도체 기판(30)에 마련된 채널 영역과, 소스/드레인 영역과, 채널 영역의 위에 게이트 절연막을 통하여 마련된 게이트 전극을 구비하는 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)라도 좋다.

[0039] 절연층(40)은, 반도체 기판(30)의 위에 마련되고, 구동 트랜지스터(DTr) 및 선택 트랜지스터(STr) 등을 매입한다. 절연층(40)은, 예를 들면, 절연성의 산질화실리콘 등으로 형성되고, 매입한 구동 트랜지스터(DTr) 및 선택 트랜지스터(STr) 등을 서로 전기적으로 절연한다.

[0040] 다층 배선층(50)은, 절연층(40)의 위에 마련되고, 절연층(40) 중의 구동 트랜지스터(DTr)와, 유기전계발광소자(OLED)의 에노드 전극(61)을 전기적으로 접속한다. 다층 배선층(50)은, 층 중에 구리(Cu) 또는 알루미늄(Al)으로 구성된 배선(51)을 포함하고, 절연성의 산질화실리콘 등으로 형성된다. 또한, 다층 배선층(50)의 내부에 복수층으로 돌려진 배선(51)은, 반도체 기판(30)에 마련된 각종 소자를 서로 전기적으로 접속한다.

[0041] 에노드 전극(61), 유기 발광층(62), 및 캐소드 전극(63)은, 다층 배선층(50)의 위에 순차적으로 적층되어 마련되고, 유기전계발광소자(OLED)를 형성한다.

[0042] 에노드 전극(61)은, 예를 들면, 알루미늄(Al), 알루미늄 합금, 백금(Pt), 금(Au), 크롬(Cr), 또는 텅스텐(W) 등의 금속으로 마련되고, 광반사 전극으로서 기능한다.

[0043] 유기 발광층(62)은, 주로 증착성의 유기 재료를 포함하고, 에노드 전극(61)과, 캐소드 전극(63)의 사이에서 전계가 인가됨에 의해 발광하는 층이다. 구체적으로는, 유기 발광층(62)에서는, 전계의 인가에 의해, 에노드 전극(61)으로부터 정공이 주입되고, 캐소드 전극(63)으로부터 전자가 주입된다. 주입된 정공 및 전자는, 유기 발광층(62) 중에서 재결합함으로써 여기자를 형성하고, 여기자의 에너지에 의해 유기 발광층(62) 중의 발광 재료로부터 형광 또는 인광을 발생시킬 수 있다.

[0044] 캐소드 전극(63)은, 예를 들면, 산화인듐아연, 마그네슘(Mg), 은(Ag), 또는 이들의 합금으로 마련되고, 투과전극으로서 기능한다. 또한, 캐소드 전극(63)은, 다층막으로 형성되어도 좋고, 예를 들면, 칼슘(Ca), 바륨(Ba), 리튬(Li), 세슘(Cs), 인듐(In), 마그네슘(Mg), 또는 은(Ag)로 이루어지는 제1 층과, 마그네슘(Mg), 은(Ag), 또는 이들의 합금으로 이루어지는 제2 층의 적층막으로 마련되어도 좋다.

[0045] 보호층(70)은, 캐소드 전극(63)의 위에 마련되고, 유기전계발광소자(OLED)를 외부 환경으로부터 보호하고, 특히 유기 발광층(62)에의 수분 및 산소의 침입을 방지한다. 보호층(70)은, 예를 들면, 산화실리콘(SiO_x), 질화실리콘(SiN_x), 산화알루미늄(AlO_x), 또는 산화티탄(TiO_x) 등의 광투과성이 높고, 투수성이 낮은 재료에 마련되어도 좋다.

[0046] 컬러 필터(80)는, 보호층(70)의 위에 마련되고, 유기전계발광소자(OLED)에서 발생한 광을 화소마다 색분할한다. 예를 들면, 컬러 필터(80)는, 적색광, 녹색광, 또는 청색광에 상당하는 가시광 파장 대역의 광을 선택적으로 투과시키는 수지층이라도 좋다.

[0047] 도 1 및 도 2를 참조하여 설명한 표시 장치(1)에서는, 해상도의 향상이 진행되어 있고, 예를 들면, 화소 피치가 10㎛ 이하, 및 해상도가 2500ppi(pixel per inch)를 초과하는 표시 장치도 개발되어 있다.

[0048] 이와 같은 고해상도의 표시 장치(1)의 1화소에 흐르는 전류 밀도는, 유기전계발광소자(OLED)의 발광 효율을 0.5cd/A로 하여, 1화소의 최대 휘도를 1000nit(cd/㎡)라고 하면, 2000A/㎡가 된다. 따라서 1화소가 RGB(적, 녹, 청)의 3색의 서브픽셀의 유기전계발광소자(OLED)로 구성되어 있고, 화소 피치가 10㎛이라고 하면, 하나의 유기전계발광소자(OLED)에 흐르는 전류의 최대치는, 2000A/㎡×(10㎛×10㎛÷3)≒67nA가 된다.

[0049] 한편, 구동 트랜지스터(DTr)가, 실리콘 기판의 위에 마련된 MOSFET라고 가정하고, 게이트 절연막의 막두께를 20

㎚라고 하면, 단위면적당의 게이트 용량(C_{ox})은, 0.173㎌/㎠이고, 채널 이동도(μ_{eff})는, 60㎠/V·s가 된다. 여기서, 채널 길이(L) 및 채널 폭(W)을 함께 1㎛로 하고, 임계치 전압(V_{th})을 1V로 하고, 사용 게이트 전압(V_g)을 10V로 하여, 이른바 그래듀얼 채널 근사를 이용하여 포화 온 전류(I_{on})를 추정하면, I_{on}는, 이하의 식 1로부터 대강 4.2×10^{-4}A로 추정할 수 있다.

[0050] [수식 1]

[0051] $$I_{on} = \mu_{eff} \times W \div L \times C_{ox} \times (V_g - V_{th})^2 \div 2 \quad \cdots \text{식 1}$$

[0052] 따라서 상기에서 계산한 바와 같이, 해상도의 향상이 진행된 표시 장치(1)에서는, 구동 트랜지스터(DTr)의 포화 온 전류는, 유기전계발광소자(OLED)에 흐르는 전류의 최대치보다도 자릿수 차이로 높은 값이 되어 버린다.

[0053] 그 때문에, 구동 트랜지스터(DTr)의 온 전류의 오더를 게이트 전압으로 제어하고, 유기전계발광소자(OLED)에 흐르는 전류의 오더와 정합(整合)시키는 경우, V_g-V_{th}가 100mV 이하가 되는 게이트 전압에 구동 트랜지스터(DTr)를 제어하는 것이 된다. 이와 같은 경우, V_g를 일정하게 하여도, 구동 트랜지스터(DTr)마다의 임계치 전압(V_{th})의 편차에 의해, V_g-V_{th}의 값은 크게 변동하여 버린다. 따라서 유기전계발광소자(OLED)마다 흐르는 전류량의 편차가 커지기 때문에, 표시 화상의 화소마다의 휘도가 불균일하게 되어 버린다.

[0054] 여기서, 구동 트랜지스터(DTr)의 온 전류를 게이트 전압 이외로 저감시키려면, 예를 들면, 구동 트랜지스터(DTr)의 채널 길이를 길게 하는 것이 생각된다. 그렇지만, 채널 길이를 길게 하는 것은, 구동 트랜지스터(DTr)의 점유 면적을 증가시켜, 1화소의 점유 면적을 증가시키기 때문에, 표시 장치(1)의 해상도를 저하시키는 것으로 이어져 버린다.

[0055] 또한, 채널 이동도가 실리콘보다도 낮은 반도체 재료를 사용함으로써, 구동 트랜지스터(DTr)의 온 전류를 저감시키는 것이 생각되지만, 실리콘 이외에 채널 이동도 및 미세 가공의 용이성의 점에서 적절한 반도체 재료는 발견되어 있지 않아, 채용은 곤란하다.

[0056] 본 개시에 관한 기술의 발명자들은, 상기한 사정을 예의 검토함에 의해, 본 개시에 관한 기술을 상도하는데 이르렀다. 본 개시에 관한 기술은, 반도체 기판에 마련된 활성화 영역을 횡단하는 개구를 마련하고, 채널을 반도체 기판의 내부에 3차원으로 형성함으로써, 구동 트랜지스터의 점유 면적을 증가시키지 않고서 실효적인 채널 길이를 길게 하는 것을 가능하게 한다. 본 개시에 관한 기술은, 특히, 캐리어 이동도가 높은 실리콘 등의 반도체 기판의 위에 마련된 구동 트랜지스터에, 미세화에 의해 흐르는 전류량이 보다 적어진 유기전계발광소자를 구동시키는 경우에, 보다 알맞게 이용할 수 있다.

[0057] 이하에서는, 상기에서 요점을 설명한 본 개시에 관한 기술에 관해, 보다 상세히 설명한다.

[0058] (1.2. 트랜지스터의 구성)

[0059] 계속해서, 도 3~도 6을 참조하여, 본 개시의 제1의 실시 형태에 관한 표시 장치에 사용되는 트랜지스터의 구성에 관해 설명한다. 도 3은, 본 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터(10) 및 선택 트랜지스터(20)의 평면 구조를 설명하는 설명도이다. 또한, 도 4는, 도 3의 A 절단선에 의한 단면도이고, 도 5는, 도 3의 B 절단선에 의한 단면도이고, 도 6은, 도 3의 C 절단선에 의한 단면도이다.

[0060] 또한, 이하에서는, 「제1 도전형」은, 「p형」또는 「n형」의 어느 일방을 나타내고, 「제2 도전형」는, 「제1 도전형」과 다른 「p형」 또는 「n형」의 어느 타방을 나타내는 것으로 한다.

[0061] 도 3에 도시하는 바와 같이, 본 실시 형태에 관한 표시 장치는, 유기전계발광소자 등의 발광 소자를 구동시키는 구동 트랜지스터(10)와, 구동 트랜지스터(10)의 게이트 전극에 인가되는 신호 전압을 제어하는 선택 트랜지스터(20)를 구비한다.

[0062] 구동 트랜지스터(10)는, 예를 들면, p형 또는 n형 채널의 MOSFET이고, 반도체 기판(100)의 제1 도전형의 활성화 영역(115)의 위에 마련된다. 구체적으로는, 활성화 영역(115)의 위에는 게이트 절연막을 통하여, 게이트 전극(140)이 마련되고, 게이트 전극(140)을 끼운 활성화 영역(115)의 양측에는, 제2 도전형의 소스/드레인 영역이 마련됨으로써, 구동 트랜지스터(10)가 구성된다.

[0063] 선택 트랜지스터(20)는, 구동 트랜지스터(10)와 마찬가지로, p형 또는 n형 채널의 MOSFET이고, 반도체 기판

(100)의 제1 도전형의 활성화 영역(215)의 위에 마련된다. 구체적으로는, 활성화 영역(215)의 위에는 게이트 절연막을 통하여, 게이트 전극(240)이 마련되고, 게이트 전극(240)을 끼운 활성화 영역(215)의 양측에는, 제2 도전형의 소스/드레인 영역이 마련됨으로써, 구동 트랜지스터(10)가 구성된다.

[0064] 또한, 활성화 영역(115 및 215)의 주위의 반도체 기판(100)에는, 절연성의 소자 분리층이 마련된다. 소자 분리층에 의해, 구동 트랜지스터(10) 및 선택 트랜지스터(20)의 각각은, 서로 전기적으로 절연되다. 또한, 구동 트랜지스터(10)와, 선택 트랜지스터(20)는, 동일한 도전형 채널의 MOSFET라도 좋고, 다른 도전형 채널의 MOSFET라도 좋다.

[0065] 본 실시 형태에 관한 구동 트랜지스터(10)에서는, 게이트 전극(140)의 아래의 반도체 기판(100)에, 활성화 영역(115)을 횡단하는 개구(150)가 마련된다. 또한, 반도체 기판(100)에 마련된 개구(150)는, 게이트 절연막 및 게이트 전극(140)으로 매입된다. 이에 의하면, 구동 트랜지스터(10)에서는, 개구(150)에 따라 반도체 기판(100)의 내부에 3차원적으로 채널이 형성되기 때문에, 점유 면적은 동일하면서, 구동 트랜지스터(10)의 실효적인 채널 길이를 길게 할 수 있다. 한편, 선택 트랜지스터(20)에서는, 게이트 전극(240)의 아래의 반도체 기판(100)에 개구 등은 마련되지 않는다. 즉, 선택 트랜지스터(20)는, 일반적인 구조의 MOSFET로서 마련되어도 좋다.

[0066] (구동 트랜지스터의 구성)

[0067] 구체적으로는, 도 4 및 도 5에 도시하는 바와 같이, 구동 트랜지스터(10)는, 반도체 기판(100)과, 반도체 기판(100)에 마련된 개구(150)와, 개구(150)의 내부를 포함하는 활성화 영역(115)의 위에 마련된 게이트 절연막(130)과, 개구(150)를 매입하는 게이트 전극(140)과, 개구(150)를 끼우고 활성화 영역(115)의 양측에 마련된 소스/드레인 영역(120)과, 게이트 전극(140)의 측면에 마련된 사이드월 절연막(160)을 구비한다. 또한, 구동 트랜지스터(10)가 마련된 활성화 영역(115)의 주위에는, 소자 분리층(110)이 마련된다.

[0068] 반도체 기판(100)은, Ⅳ족 반도체, Ⅱ-Ⅵ족 반도체, 및 Ⅲ-Ⅴ족 반도체 등의 각종 반도체로 이루어지는 기판이다. 반도체 기판(100)은, 예를 들면, 단결정, 다결정 또는 어모퍼스의 실리콘(Si)으로 이루어지는 기판이라도 좋다. 반도체 기판(100)이 단결정, 다결정 또는 어모퍼스의 실리콘(Si)으로 이루어지는 기판인 경우, 구동 트랜지스터(10)를 보다 미세하게 형성하는 것이 용이하다. 또한, 반도체 기판(100)에는, 제1 도전형의 불순물(예를 들면, 붕소(B) 등의 p형 불순물)이 도핑됨으로써, 활성화 영역(115)이 마련된다.

[0069] 소자 분리층(110)은, 절연성 재료로 이루어지는 층이고, 활성화 영역(115)의 주위의 반도체 기판(100)에 마련된다. 소자 분리층(110)은, 활성화 영역(115)을 다른 활성화 영역과 전기적으로 절연함으로써, 구동 트랜지스터(10)를 다른 소자와 전기적으로 절연한다.

[0070] 예를 들면, 소자 분리층(110)은, 산화실리콘(SiO_x) 등의 절연성의 산화물로 형성되어도 좋다. 구체적으로는, 소자 분리층(110)은, STI(Shallow Trench Isolation)법을 이용하여, 소망하는 영역의 반도체 기판(100)의 일부를 에칭 등으로 제거한 후, 에칭에 의한 개구를 산화실리콘(SiO_x)로 매입함으로써 형성되어도 좋다. 소자 분리층(110)은, 예를 들면, 0.35㎛ 이상 2㎛ 이하의 깊이까지 마련되어도 좋다.

[0071] 개구(150)는, 활성화 영역(115)을 횡단하여 반도체 기판(100)에 마련된다. 개구(150)는, 예를 들면, 드라이 에칭 또는 웨트 에칭 등을 이용하여 0.3㎛ 이상 1.5㎛ 이하의 깊이까지 마련되어 있어도 좋다. 개구(150)의 깊이가 0.3㎛ 이상인 경우, 온 전류의 편차를 현저하게 억제할 수 있다. 또한, 개구(150)의 깊이가 1.5㎛보다도 큰 경우, 개구(150)보다도 깊게 형성된 소자 분리층(110)의 형성의 곤란함이 높아지는 한편으로, 온 전류 편차를 억제하는 효과의 증가량이 작아지기 때문에, 바람직하지가 않다.

[0072] 단, 개구(150)가 마련된 영역의 깊이는, 소자 분리층(110)이 마련된 깊이보다도 얕아도 좋다. 이것은, 개구(150)가 소자 분리층(110)보다도 깊은 영역에 마련된 경우, 개구(150)에 따라 형성된 채널이 소자 분리층(110)보다도 깊은 영역에 형성됨으로써, 소자 분리층(110)을 초과한 소자 사이에서 리크 전류가 생길 가능성이 있기 때문이다.

[0073] 또한, 개구(150)는, 활성화 영역(115)을 횡단하여, 활성화 영역(115)과 접하는 소자 분리층(110)의 일부에 까지 마련되어 있어도 좋다. 이때, 소자 분리층(110)에 형성된 개구(150)는, 활성화 영역(115)에 형성된 개구(150)보다도 깊이가 얕아진다. 이것은, 활성화 영역(115)을 구성하는 반도체 재료와, 소자 분리층(110)을 구성하는 절연성 재료와의 에칭 등에 의한 가공 용이성에 기인하는 차이다.

[0074] 게이트 절연막(130)은, 절연성 재료로 구성된 박막이고, 개구(150)의 내부를 포함하는 활성화 영역(115)의 위에 마련된다. 구체적으로는, 게이트 절연막(130)은, 개구(150)에 의해 형성된 요철 형상에 따라, 반도체 기판(10

0)의 활성화 영역(115)의 위에 마련된다. 게이트 절연막(130)은, 예를 들면, 산화실리콘(SiO_x), 또는 질화실리콘(SiN_x) 등의 절연성의 산질화물로 형성되어도 좋고, 고유전체 재료인 산화하프늄(HfO_x) 등에 의해 형성되어도 좋다. 또한, 게이트 절연막(130)은, 상기한 절연성 재료의 단층으로 이루어지는 막이라도 좋고, 상기한 절연성 재료를 조합시킨 복수층으로 이루어지는 막이라도 좋다.

[0075] 게이트 전극(140)은, 개구(150)를 매입하도록 게이트 절연막(130)의 위에 마련된다. 게이트 전극(140)은, 개구(150)를 매입하고, 또한 반도체 기판(100)의 표면보다도 위로 돌출하도록 마련되어 있어도 좋다. 예를 들면, 게이트 전극(140)은, 다결정 실리콘 등으로 형성되어도 좋고, 다결정 실리콘보다도 저항치가 낮은 금속으로 형성되어도 좋다. 또한, 게이트 전극(140)은, 금속층과, 다결정 실리콘으로 이루어지는 층과의 복수층의 적층 구조로 형성되어도 좋다.

[0076] 사이드월 절연막(160)은, 반도체 기판(100)의 표면부터 돌출한 게이트 전극(140)의 측면에 마련된 절연막의 측벽이다. 구체적으로는, 사이드월 절연막(160)은, 게이트 전극(140)을 포함하는 영역에 절연막을 성막한 후, 수직 이방성을 갖는 에칭을 행함으로써 형성할 수 있다. 예를 들면, 사이드월 절연막(160)은, 산화실리콘(SiO_x), 또는 질화실리콘(SiN_x) 등의 절연성의 산질화물로 단층 또는 복수층으로 형성되어도 좋다.

[0077] 구동 트랜지스터(10)에 사이드월 절연막(160)을 형성하는 경우, 구동 트랜지스터(10)와, 선택 트랜지스터(20)를 동시에 형성하는 것이 가능해지기 때문에, 표시 장치(1)의 화소 회로의 형성의 효율을 향상시킬 수 있다. 또한, 사이드월 절연막(160)은, 구동 트랜지스터(10)에 대해 특히 영향을 주는 것이 아니기 때문에, 생략하는 것도 가능하다.

[0078] 소스/드레인 영역(120)은, 개구(150)를 끼운 활성화 영역(115)의 양측에 마련되는 제2 도전형의 영역이다. 소스/드레인 영역(120)은, 예를 들면, 활성화 영역(115)의 소정의 영역에, 제2 도전형의 불순물(예를 들면, 인(P), 비소(As) 등의 n형 불순물)를 도핑함으로써 마련된다. 또한, 소스/드레인 영역(120)에는, 각각 전극으로서 기능하는 콘택트 플러그가 접속된다. 이에 의해, 소스/드레인 영역(120)은, 구동 트랜지스터(10)의 소스 또는 드레인으로서 기능한다.

[0079] 상술한 구조를 구비하는 구동 트랜지스터(10)에서는, 소스/드레인 영역(120)의 사이에서, 채널이 개구(150)의 아래를 경유하여 3차원적으로 형성되기 때문에, 개구(150)를 마련하지 않은 경우와 비교하여, 채널 길이를 연장할 수 있다.

[0080] 따라서 구동 트랜지스터(10)에서는, 채널 길이를 연장함으로써 포화 온 전류의 전류량을 저감하고, 유기전계발광소자에 요구되는 전류량에 접근할 수 있다. 이에 의하면, 구동 트랜지스터(10)는, 임계치 전압으로부터 떨어진 게이트 전압으로 온 오프를 제어할 수 있도록 되기 때문에, 구동 트랜지스터(10)마다의 임계치 전압의 편차에 따라 온 전류가 흐트러지는 것을 억제할 수 있다. 이에 의하면, 화소마다의 유기전계발광소자에 흐르는 전류량의 편차를 억제할 수 있기 때문에, 표시 장치에서 표시되는 표시 화상의 균일성을 향상시킬 수 있다.

[0081] (선택 트랜지스터의 구성)

[0082] 또한, 도 6에 도시하는 바와 같이, 선택 트랜지스터(20)는, 반도체 기판(100)과, 활성화 영역(215)의 위에 마련된 게이트 절연막(230)과, 게이트 절연막(230)의 위에 마련된 게이트 전극(240)과, 게이트 전극(240)을 끼우고 활성화 영역(215)의 양측에 마련된 소스/드레인 영역(220)과, 게이트 전극(140)의 측면에 마련된 사이드월 절연막(260)을 구비한다. 또한, 선택 트랜지스터(20)가 마련된 활성화 영역(215)의 주위에는, 소자 분리층(110)이 마련된다.

[0083] 반도체 기판(100) 및 소자 분리층(110)에 관해서는, 구동 트랜지스터(10)의 구성에서 설명한 바와 같기 때문에, 여기에서의 설명은 생략한다.

[0084] 게이트 절연막(230)은, 절연성 재료로 구성된 박막이고, 반도체 기판(100)의 활성화 영역(215)의 위에 마련된다. 게이트 절연막(230)은, 예를 들면, 산화실리콘(SiO_x), 또는 질화실리콘(SiN_x) 등의 절연성의 산질화물로 형성되어도 좋고, 고유전율 재료인 산화하프늄(HfO_x) 등에 의해 형성되어도 좋다. 또한, 게이트 절연막(230)은, 상기한 절연성 재료의 단층으로 이루어지는 막이라도 좋고, 상기한 절연성 재료를 조합시킨 복수층으로 이루어지는 막이라도 좋다.

[0085] 게이트 전극(240)은, 게이트 절연막(230)의 위에 마련된다. 예를 들면, 게이트 전극(240)은, 다결정 실리콘 등으로 형성되어도 좋고, 다결정 실리콘보다도 저항치가 낮은 금속으로 형성되어도 좋다. 또한, 게이트 전극(24

0)은, 금속층과, 다결정 실리콘으로 이루어지는 층과의 복수층의 적층 구조로 형성되어도 좋다.

[0086] 사이드월 절연막(260)은, 게이트 전극(240)의 측면에 마련된 절연막의 측벽이다. 예를 들면, 사이드월 절연막(260)은, 산화실리콘(SiO_x), 또는 질화실리콘(SiN_x) 등의 절연성의 산질화물로 단층 또는 복수층으로 형성되어도 좋다.

[0087] 사이드월 절연막(260)은, 반도체 기판(100)에 불순물을 도핑할 때에, 반도체 기판(100)에 입사하는 불순물을 차폐한 격벽으로서 기능한다. 즉, 사이드월 절연막(260)의 형성 전후에서 조건을 바꾸어서 도핑을 행함으로써, 게이트 전극(240)과 근접하는 소스/드레인 영역(220)에, 보다 저농도의 제2 도전형으로 도핑된 LDD(Lightly-Doped Drain) 영역을 자기 정합적으로 형성할 수 있다.

[0088] 소스/드레인 영역(220)은, 게이트 전극(240)을 끼운 활성화 영역(215)의 양측에 마련되는 제2 도전형의 영역이다. 소스/드레인 영역(220)은, 예를 들면, 활성화 영역(215)의 소정의 영역에, 제2 도전형의 불순물(예를 들면, 인(P), 비소(As) 등의 n형 불순물)을 도핑함으로써 마련된다. 또한, 소스/드레인 영역(220)에는, 각각 전극으로서 기능하는 콘택트 플러그가 접속된다. 이에 의해, 소스/드레인 영역(220)은, 선택 트랜지스터(20)의 소스 또는 드레인으로서 기능한다.

[0089] 또한, 게이트 전극(240)과 근접하는 소스/드레인 영역(220)에는, 상술한 바와 같이 소스/드레인 영역(220)보다도 저농도의 제2 도전형의 LDD 영역이 마련되어도 좋다. LDD 영역에 의하면, 소스/드레인 영역(220)으로부터 채널에의 전계의 변동을 완화함으로써, 핫 캐리어의 발생을 억제할 수 있다.

[0090] 즉, 선택 트랜지스터(20)는, 반도체 기판(100)에 개구가 마련되지 않고, 일반적인 전계효과 트랜지스터로서 마련된다. 선택 트랜지스터(20)의 온 전류를 저하시킨 경우, 구동 트랜지스터(10)에의 신호 강도가 저하됨으로써, 구동 트랜지스터(10)의 온 오프 속도가 저하되어 버린다. 그 때문에, 선택 트랜지스터(20)는, 구동 트랜지스터(10)와는 달리, 일반적인 구조의 전계효과 트랜지스터로서 마련된다.

[0091] <2. 제2의 실시 형태>

[0092] (2. 1. 트랜지스터의 구성)

[0093] 계속해서, 도 7~도 15를 참조하여, 본 개시의 제2의 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터의 구성에 관해 설명한다. 도 7은, 본 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터(11) 및 선택 트랜지스터(20)의 평면 구조를 설명하는 설명도이다. 도 8은, 도 7의 D 절단선에 의한 단면도이다.

[0094] 도 7 및 도 8에 도시하는 바와 같이, 본 실시 형태에 관한 표시 장치는, 유기전계발광소자 등의 발광 소자를 구동시키는 구동 트랜지스터(11)와, 구동 트랜지스터(11)의 게이트 전극에 인가된 신호 전압을 제어하는 선택 트랜지스터(20)를 구비한다. 이 중, 선택 트랜지스터(20)의 구조에 관해서는, 제1의 실시 형태와 마찬가지이기 때문에, 여기에서의 설명은 생략한다.

[0095] 본 실시 형태에 관한 구동 트랜지스터(11)에서는, 게이트 전극(240)의 아래의 반도체 기판(100)에, 활성화 영역(115)을 횡단하는 복수의 개구(151 및 152)가 마련된다. 이에 의하면, 구동 트랜지스터(11)의 채널은, 개구(151 및 152)의 저면의 아래를 통과하여 반도체 기판(100)의 내부에 형성된다. 따라서 구동 트랜지스터(11)에서는, 제1의 실시 형태보다도 적은 개구량의 개구(151 및 152)라도 효율적으로 구동 트랜지스터(11)의 실효적인 채널 길이를 연장할 수 있기 때문에, 개구(151 및 152)의 형성을 보다 효율적으로 행할 수 있다.

[0096] 또한, 본 실시 형태에 관한 구동 트랜지스터(11)에서는, 복수의 개구(151 및 152)의 사이의 반도체 기판(100)의 내부에, 활성화 영역(115)을 횡단하고, 활성화 영역(115)보다도 고농도의 제1 도전형의 채널 스토퍼 영역(170)이 마련되어도 좋다.

[0097] 채널 스토퍼 영역(170)에는 채널이 형성되지 않기 때문에, 채널 스토퍼 영역(170)을 마련함으로써, 구동 트랜지스터(11)의 채널을 개구(151 및 152)에 의한 요철 형상에 따라, 지그재그 형상으로 형성할 수 있다. 이에 의하면, 구동 트랜지스터(11)는, 동일한 점유 면적에서도, 실효적인 채널 길이를 더 길게 할 수 있다.

[0098] 본 실시 형태에 관한 구동 트랜지스터(11)의 구조는, 구체적으로는, 도 8에 도시하는 바와 같이, 반도체 기판(100)과, 반도체 기판(100)에 마련된 복수의 개구(151 및 152)와, 개구(151 및 152)의 사이에 마련된 채널 스토퍼 영역(170)과, 개구(151 및 152)의 내부를 포함하는 활성화 영역(115)의 위에 마련된 게이트 절연막(131)과, 개구(151 및 152)를 매입하는 게이트 전극(141)과, 개구(151 및 152)를 끼우고 활성화 영역(115)의 양측에 마련된 소스/드레인 영역(120)과, 게이트 전극(141)의 측면에 마련된 사이드월 절연막(160)을 구비한다. 또한, 구동

트랜지스터(11)가 마련된 활성화 영역(115)의 주위에는, 소자 분리층(110)이 마련된다.

[0099] 반도체 기판(100), 소자 분리층(110), 게이트 절연막(131), 게이트 전극(141), 사이드월 절연막(160) 및 소스/드레인 영역(120)에 관해서는, 제1의 실시 형태에서 설명한 동명(同名)의 구성과 실질적으로 마찬가지이기 때문에, 여기에서의 설명은 생략한다.

[0100] 개구(151 및 152)는, 각각 활성화 영역(115)을 횡단하여, 직렬의 배열로 반도체 기판(100)에 마련된다. 개구(151 및 152)는, 제1의 실시 형태에 설명하는 바와 같이, 드라이 에칭 또는 웨트 에칭 등을 이용하여, 각각 독립해서 0.3㎛ 이상 1.5㎛ 이하의 깊이까지 마련되어 있어도 좋다. 또한, 개구(151 및 152)가 마련된 영역의 깊이는, 소자 분리층(110)이 마련된 깊이보다도 얕아도 좋다.

[0101] 또한, 도 8에서는, 활성화 영역(115)을 횡단하는 개구가 반도체 기판(100)에 2개 (개구(151 및 152)) 마련된 예를 나타냈지만, 본 실시 형태는 이러한 예시로 한정되지 않는다. 활성화 영역(115)을 횡단하는 개구는, 직렬의 배열로 반도체 기판(100)에 3개 이상 마련되어 있어도 좋다. 반도체 기판(100)에 마련되는 개구의 수는, 구동 트랜지스터(11)의 채널 길이가 소망하는 길이가 되도록, 적절히 설정하는 것이 가능하다.

[0102] 채널 스토퍼 영역(170)은, 활성화 영역(115)을 횡단하여 마련되고, 활성화 영역(115)보다도 고농도의 제1 도전형의 영역이다. 채널 스토퍼 영역(170)은, 반도체 기판(100)의 표면에는 마련되지 않고, 반도체 기판(100)의 내부에 마련되고, 또한 개구(151 및 152)와 접촉하지 않도록 마련된다. 이에 의해, 채널 스토퍼 영역(170)은, 개구(151 및 152)의 사이에 지그재그 형상의 채널을 형성 가능한 영역을 확보할 수 있다. 채널 스토퍼 영역(170)은, 예를 들면, 개구(151 및 152) 사이의 활성화 영역(115)에 제1 도전형의 불순물(예를 들면, 붕소(B) 등의 p형 불순물)을 추가로 도핑함으로써 마련된다.

[0103] 또한, 채널 스토퍼 영역(170)이 마련되는 깊이는, 개구(151 및 152)가 마련된 영역의 깊이보다도 깊어도 좋고, 또한 소자 분리층(110)이 마련된 깊이보다도 깊어도 좋다. 이에 의하면, 채널 스토퍼 영역(170)은, 구동 트랜지스터(11)의 채널이 채널 스토퍼 영역(170)의 더 아래를 통과하여 형성되는 것을 방지할 수 있다. 또한, 채널 스토퍼 영역(170)은, 예를 들면, 깊이 0.1㎛ 이상으로 마련되어 있어도 좋다.

[0104] 상술한 구조를 구비하는 구동 트랜지스터(11)에서는, 소스/드레인 영역(120)의 사이에서, 채널이 개구(151 및 152)의 아래를 경유하고 3차원적으로 형성되기 때문에, 채널 길이를 보다 길게 할 수 있다. 또한, 채널 스토퍼 영역(170)이 마련된 경우, 구동 트랜지스터(11)에서는, 개구(151 및 152), 채널 스토퍼 영역(170)에 의해, 채널을 반도체 기판(100)의 내부에서 지그재그 형상으로 형성할 수 있기 때문에, 더욱 채널 길이를 길게 할 수 있다.

[0105] 따라서 구동 트랜지스터(11)에서는, 포화 온 전류를 더 저감할 수 있기 때문에, 임계치 전압으로부터 더 떨어진 게이트 전압으로 구동 트랜지스터(11)의 온 오프를 제어하는 것이 가능해진다. 이에 의하면, 구동 트랜지스터(11)마다의 임계치 전압의 편차에 의한 온 전류의 편차를 더욱 억제할 수 있기 때문에, 표시 장치에 표시되는 표시 화상의 균일성을 더욱 향상시킬 수 있다.

[0106] (2. 2. 트랜지스터의 제조 방법)

[0107] 다음에, 도 9~도 14를 참조하여, 본 실시 형태에 관한 트랜지스터의 제조 방법에 관해 설명한다. 도 9~도 14는, 본 실시 형태에 관한 트랜지스터의 제조 방법의 한 공정을 설명하는 단면도이다.

[0108] 우선, 도 8에 도시하는 바와 같이, 실리콘(Si)으로 이루어지는 반도체 기판(100)에 붕소(B)를 이온 주입(도핑)함으로써, 활성화 영역(115 및 215)을 형성한다. 그 후, 이른바 STI법에 따라, 활성화 영역(115 및 215)을 형성하도록 패터닝된 레지스트층을 이용하여 에칭을 행한 후, SiO_2를 성막함으로써, 소자 분리층(110)을 형성한다. 또한, 소자 분리층(110)을 형성하는 깊이는, 1.2㎛로 하였다.

[0109] 계속해서, 활성화 영역(115 및 215)의 표면에 수㎚ 정도의 열산화막을 형성한 후, 구동 트랜지스터(11) 또는 선택 트랜지스터(20)의 특성에 맞추어서, 이온 주입을 행한다. 예를 들면, 표면부터 1㎛ 정도를 약 5×10^{17}개/㎤의 농도의 붕소(B)로 도핑 하기 위해, 구동 트랜지스터(11)의 활성화 영역(115)에서, 에너지가 다른 복수회의 이온 주입을 행한다.

[0110] 다음에, 도 9에 도시하는 바와 같이, 패터닝한 레지스트층을 형성한 후, 드라이 에칭 등을 행함으로써, 활성화 영역(115)을 횡단하는 깊이 1㎛의 개구(151 및 152)를 형성한다.

[0111] 이때, 활성화 영역(115)과 접하는 소자 분리층(110)에도, 개구(151 및 152)가 형성되도록 드라이 에칭을 행하여

도 좋다. 이에 의하면, 활성화 영역(115)을 확실하게 횡단하는 개구(151 및 152)를 형성할 수 있다. 또한, 소자 분리층(110)에 형성된 개구(151 및 152)의 깊이는, Si와 SiO_2의 에칭 레이트의 차에 의해, 예를 들면, 50㎛ 정도가 된다.

[0112] 계속해서, 도 11에 도시하는 바와 같이, 리소그래피에 의해 개구(151 및 152)의 사이를 개구시킨 레지스트 등을 마스크로 하여, 개구(151 및 152)의 사이에 선택적으로 붕소(B)를 이온 주입한다. 이에 의해, 약 4×10^{18}개/㎤의 농도의 붕소(B)로 도핑된 채널 스토퍼 영역(170)을 형성한다. 또한, 구동 트랜지스터(11) 이외의 선택 트랜지스터(20) 등을 소망하는 특성으로 하기 위해, 소정의 이온 주입을 행한다.

[0113] 다음에, 도 12에 도시하는 바와 같이, 게이트 절연막(131)을 형성한다. 구체적으로는, 산소 래디칼을 이용한 래디칼 산화 또는 열산화에 의해, 활성화 영역(115 및 215)의 표면, 및 개구(151 및 152)의 내부에 균일한 3㎚의 SiO_2막을 형성한다. 또한, CVD(Chemical Vapor Deposition)법을 이용하여, SiO_2막을 15㎚ 정도 성장시킨 후, CVD법을 이용하여, Si_3N_4막을 3㎚ 성막하여, 합계 21㎚의 게이트 절연막(131)을 형성한다.

[0114] 또한, 게이트 절연막(131)의 위에 게이트 전극(141)을 형성한다. 구체적으로는, 원료 가스로서 SiH_4 및 PH_3를 이용한 CVD법에 의해 3×10^{20}개/㎤의 농도의 인(P)을 포함하는 다결정 실리콘을 두께 200㎚로 성막한다. 이에 의해, 예를 들면, 폭 15㎛ 정도의 개구(151 및 152)를 완전히 매입할 수 있다. 그 후, 불화수소산 및 질산의 혼합 수용액을 사용한 웨트 에칭에, 구동 트랜지스터(11) 이외의 P 함유의 다결정 실리콘을 선택적으로 제거한다.

[0115] 계속해서, 선택 트랜지스터(20)의 게이트 전극(240)으로서 논 도프의 다결정 실리콘을 200㎚의 두께로 성막하고, 구동 트랜지스터(11)에 성막된 논 도프의 다결정 실리콘은, 드라이 에칭 등으로 제거한다.

[0116] 다음에, 도 13에 도시하는 바와 같이, 포토 리소그래피에 의해 소정의 영역을 패터닝한 레지스트 등을 마스크로 하여, 인(P)을 이온 주입하여, 구동 트랜지스터(11)의 소스/드레인 영역(120)을 형성한다.

[0117] 계속해서, 도 14에 도시하는 바와 같이, CVD법을 이용하여, SiO_2를 100㎚ 성막한 후, 에이치 백함으로써 사이드월 절연막(160 및 260)을 형성한다. 또한, 사이드월 절연막(160 및 260)의 형성 전후에서, 각각 다른 농도로 인(P)을 이온 주입하여, LDD 영역을 포함하는 선택 트랜지스터(20)의 소스/드레인 영역(220)을 형성한다.

[0118] 이상의 공정에 의하면, 본 실시 형태에 관한 구동 트랜지스터(11)를 제조할 수 있다. 또한, 본 실시 형태에 관한 구동 트랜지스터(11)와 접속하는 유기전계발광소자(OLED)를 더욱 형성함으로써, 본 실시 형태에 관한 표시 장치를 제조할 수 있다. 또한, 본 개시의 제2의 실시 형태에 관한 표시 장치의 제조 방법을 참조하면, 마찬가지로, 본 개시의 제1의 실시 형태에 관한 표시 장치도 제조하는 것이 가능하다.

[0119] 구체적으로는, 도 14에서 도시한 구동 트랜지스터(11)에 대해, 각 게이트, 소스 및 드레인과 각 플러그와의 접점에의 실리사이드 형성, 콘택트 홀 형성, 및 콘택트 플러그 형성을 행함으로써, 각 게이트, 소스 및 드레인 전극을 형성한다. 또한, 다층 배선층을 형성하여 각 전극으로부터의 배선을 끌어 돌린 후, 유기전계발광소자(OLED)를 형성하고, 또한 보호층 등을 형성함으로써, 표시 장치를 제조할 수 있다. 이들의 공정에 관해서는, 공지의 일반적인 공정과 같은 방법을 이용할 수 있기 때문에, 여기에서의 설명은 생략한다.

[0120] 이상의 공정에 의해, 본 개시의 제2의 실시 형태에 관한 표시 장치를 제조할 수 있다. 또한, 본 개시의 제2의 실시 형태에 관한 표시 장치의 제조 방법을 참조함으로써, 마찬가지로, 본 개시의 제1의 실시 형태에 관한 표시 장치도 제조할 수 있다.

[0121] (2. 3. 트랜지스터의 효과)

[0122] 다음에, 본 실시 형태에 관한 표시 장치에 사용되는 구동 트랜지스터(11)에 의한 효과에 관해 설명한다. 우선, 상기한 제조 방법으로 제조한 구동 트랜지스터(11)를 준비하였다.

[0123] 또한, 구동 트랜지스터(11)의 게이트 길이(소스/드레인 영역(120)이 마련된 방향에서의 게이트 전극의 폭)는, 0.8㎛로 하고, 개구(151 및 152)의 폭은, 0.15㎛로 하고, 채널 스토퍼 영역의 폭은, 0.3㎛로 하였다.

[0124] 우선, 상기한 제조 방법으로 제조한 구동 트랜지스터(11)의 포화 온 전류가, 개구(151 및 152)의 형성에 의해 감소하고 있는 것을 확인하였다. 구체적으로는, 드레인-소스 사이 전압(V_{ds}) 및 게이트-소스 사이 전압(V_{gs})에 8V를 인가한 경우의 포화 온 전류를 계측하였다.

[0125] 개구(151 및 152)를 마련하지 않은 구동 트랜지스터에서는, 포화 온 전류가 350㎂였지만, 본 실시 형태에 관한

구동 트랜지스터(11)에서는, 포화 온 전류는, 54㎂였다. 따라서 개구(151 및 152)를 마련함에 의해, 실효적인 채널 길이가 연장되어, 포화 온 전류를 1/6 이하로 저감할 수 있음이 확인되었다. 이것은, 실효 채널 길이로서 약 5㎛에 상당하는 특성이다.

[0126] 계속해서, 상기한 제조 방법으로 제조한 구동 트랜지스터(11)의 온 전류의 편차와, 개구의 수 및 깊이와의 관계를 평가하였다. 구체적으로는, 드레인-소스 사이 전압(V_{ds})에 4V를 인가한 다음, 온 전류의 중앙치가 0.01㎂가 되는 게이트-소스 사이 전압(V_{gs})을 구동 트랜지스터에 인가하여, 온 전류의 편차를 평가하였다. 그 결과를 도 15에 도시한다. 도 15는, 구동 트랜지스터(11)에 마련한 개구의 수 및 깊이에 대한 온 전류의 편차의 관계를 도시한 그래프도이다.

[0127] 또한, 도 15에서는, 개구(151 및 152)를 마련하지 않은 구동 트랜지스터의 온 전류의 편차를 100%로 한 비율로, 개구(151 및 152)의 수 및 깊이에 의한 온 전류의 편차 억제의 정도를 평가하였다.

[0128] 도 15에 도시하는 바와 같이, 개구의 깊이를 증가시킴으로써, 온 전류의 편차를 억제 가능함을 확인하였다. 특히, 개구의 깊이를 300㎚ 이상으로 함으로써, 현저하게 온 전류의 편차가 억제되는 것을 확인하였다. 또한, 개구의 수를 증가시킴으로써, 온 전류의 편차가 더욱 억제되는 것을 확인하였다. 특히, 개구가 2개이고, 또한 개구의 깊이가 300㎚ 이상인 경우, 개구를 마련하지 않은 경우와 비교하여, 온 전류의 편차를 50% 이하로 억제할 수 있음을 확인하였다.

[0129] 또한, 이와 같은 경우, 온 전류의 편차가 억제되고, 표시 장치의 각 화소의 유기전계발광소자의 휘도 편차도 억제되기 때문에, 표시 화상의 균일성이 시인 가능한 정도로 향상하고 있음을 확인하였다.

[0130] <3. 정리>

[0131] 이상에 설명한 바와 같이, 본 개시에 의하면, 표시 장치의 1화소인 유기전계발광소자를 구동시키는 구동 트랜지스터(10)에, 점유 면적을 증가시키는 일 없이, 실효적인 채널 길이를 연장하는 것이 가능하다. 구체적으로는, 구동 트랜지스터(10)에, 활성화 영역(115)을 횡단하는 개구(150)를 마련하고, 개구(150)에 따라 반도체 기판(100)의 내부에 3차원적으로 채널을 형성함으로써, 채널 길이를 연장할 수 있다.

[0132] 이에 의하면, 인가하는 게이트 전압을 저하시키는 일 없이, 구동 트랜지스터(10)의 온 전류를 저감할 수 있기 때문에, 구동 트랜지스터(10)마다의 임계치 전압의 편차에 기인하는 온 전류의 편차를 억제할 수 있다. 따라서, 구동 트랜지스터(10)의 점유 면적을 증가시키는 일 없이, 온 전류의 편차를 억제할 수 있기 때문에, 표시 장치에서, 해상도를 높이면서, 표시 화상의 균일성을 향상시킬 수 있다.

[0133] 또한, 상술한 표시 장치는, 입력된 화상 신호 또는 내부에서 생성한 화상 신호를 정지화상 또는 동화상으로서 표시하는 다양한 전자 기기의 표시부로서 이용하는 것도 가능하다. 이와 같은 전자 기기로서는, 예를 들면, 반도체 메모리 등의 기억 매체를 구비하는 음악 플레이어, 디지털 카메라 및 비디오 카메라 등의 촬상 장치, 노트형 퍼스널 컴퓨터, 게임기기, 및 휴대 전화 및 스마트 폰 등의 휴대 정보 단말 등을 예시할 수 있다.

[0134] 이상, 첨부 도면을 참조하면서 본 개시의 알맞은 실시 형태에 관해 상세히 설명하였지만, 본 개시의 기술적 범위는 이러한 예로 한정되지 않는다. 본 개시의 기술 분야에서 통상의 지식을 갖는 자라면, 특허청구의 범위에 기재된 기술적 사상의 범주 내에서, 각종의 변경례 또는 수정례에 상도할 수 있음은 분명하고, 이들에 대해서도, 당연히 본 개시의 기술적 범위에 속하는 것으로 이해된다.

[0135] 또한, 본 명세서에 기재된 효과는, 어디까지나 설명적 또는 예시적인 것이고 한정적이 아니다. 즉, 본 개시에 관한 기술은, 상기한 효과와 함께, 또는 상기한 효과에 대신하여, 본 명세서의 기재로부터 당업자에게는 분명한 다른 효과를 이룰 수 있다.

[0136] 또한, 이하와 같은 구성도 본 개시의 기술적 범위에 속한다.

[0137] (1)

[0138] 반도체 기판에 마련된 제1 도전형의 활성화 영역,

[0139] 상기 활성화 영역을 횡단하여 마련된 개구,

[0140] 상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막,

[0141] 상기 개구를 매입하는 게이트 전극,

[0142] 상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와,

[0143] 상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는 표시 장치.

[0144] (2)

[0145] 상기 개구는, 직렬의 배열로 복수 마련되는, 상기 (1)에 기재된 표시 장치.

[0146] (3)

[0147] 상기 개구의 각각의 사이에는, 상기 활성화 영역보다도 고농도의 제1 도전형의 채널 스토퍼 영역이 마련되는, 상기 (2)에 기재된 표시 장치.

[0148] (4)

[0149] 상기 채널 스토퍼 영역은, 상기 활성화 영역을 횡단하여 마련되는, 상기 (3)에 기재된 표시 장치.

[0150] (5)

[0151] 상기 채널 스토퍼 영역은, 상기 반도체 기판의 내부에 마련되는, 상기 (3) 또는 (4)에 기재된 표시 장치.

[0152] (6)

[0153] 상기 채널 스토퍼 영역은, 상기 활성화 영역의 주위에 마련된 절연성의 소자 분리층보다도 깊은 영역까지 마련되는, 상기 (3)~(5)의 어느 한 항에 기재된 표시 장치.

[0154] (7)

[0155] 상기 개구의 깊이는, 300㎚ 이상인, 상기 (1)~(6)의 어느 한 항에 기재된 표시 장치.

[0156] (8)

[0157] 상기 개구는, 상기 활성화 영역의 주위에 마련된 절연성의 소자 분리층보다도 얕은 영역에 마련되는, 상기 (7)에 기재된 표시 장치.

[0158] (9)

[0159] 상기 반도체 기판은, 실리콘 기판인, 상기 (1)~(8)의 어느 한 항에 기재된 표시 장치.

[0160] (10)

[0161] 반도체 기판에 마련된 제1 도전형의 활성화 영역,

[0162] 상기 활성화 영역을 횡단하여 마련된 개구,

[0163] 상기 개구의 내부를 포함하는 상기 활성화 영역의 위에 마련된 게이트 절연막,

[0164] 상기 개구를 매입하는 게이트 전극,

[0165] 상기 개구를 끼우고 상기 활성화 영역의 양측에 마련된 제2 도전형의 확산 영역을 갖는 구동 트랜지스터와,

[0166] 상기 구동 트랜지스터에 의해 구동되는 유기전계발광소자를 구비하는 표시부를 포함하는 전자 기기.

부호의 설명

[0167] 1 : 표시 장치

10, 11 : 구동 트랜지스터

20 : 선택 트랜지스터

100 : 반도체 기판

110: 소자 분리층

115 : 활성화 영역

120 : 소스/드레인 영역

130, 131 : 게이트 절연막

140, 141 : 게이트 전극

150, 151, 152 : 개구

160 : 사이드월 절연막

170 : 채널 스토퍼 영역

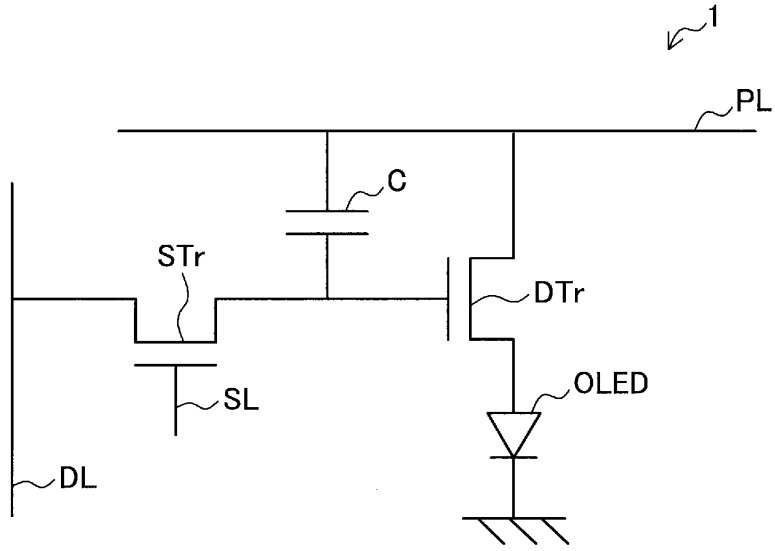
OLED : 유기전계발광소자

DTr : 구동 트랜지스터

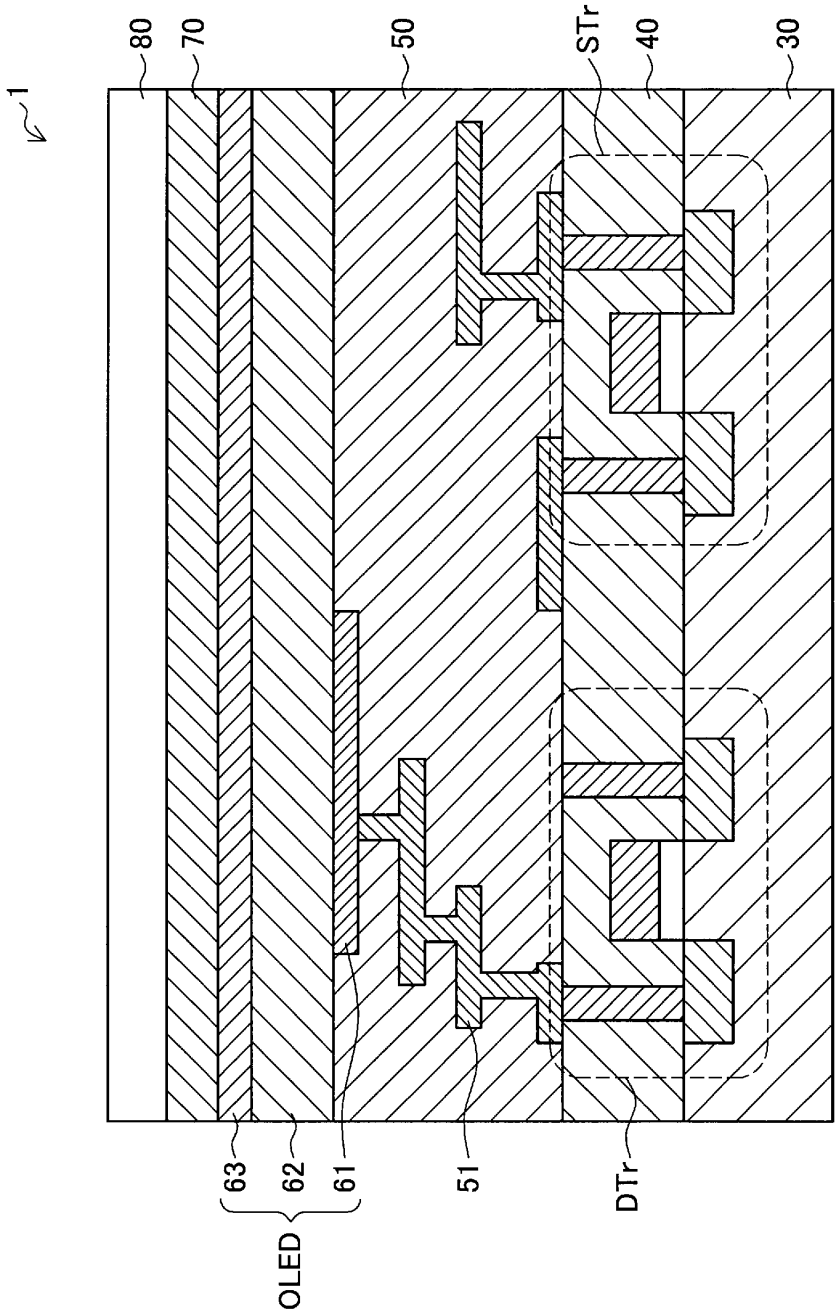
STr : 선택 트랜지스터

도면

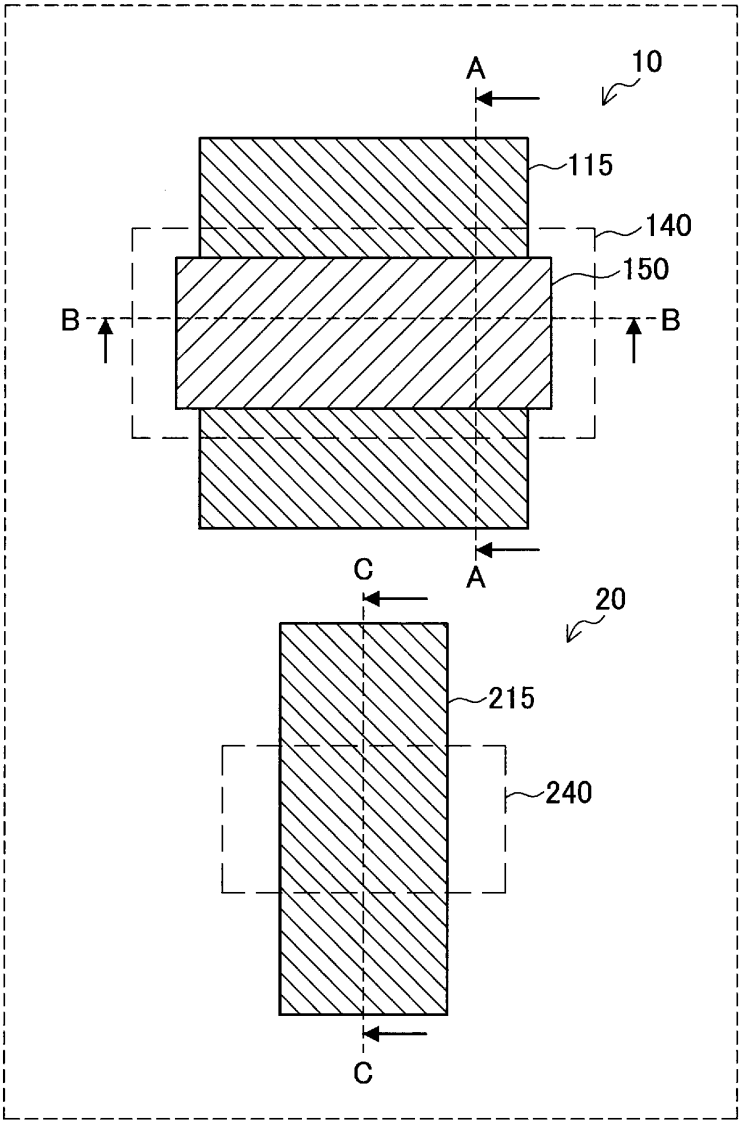
도면1



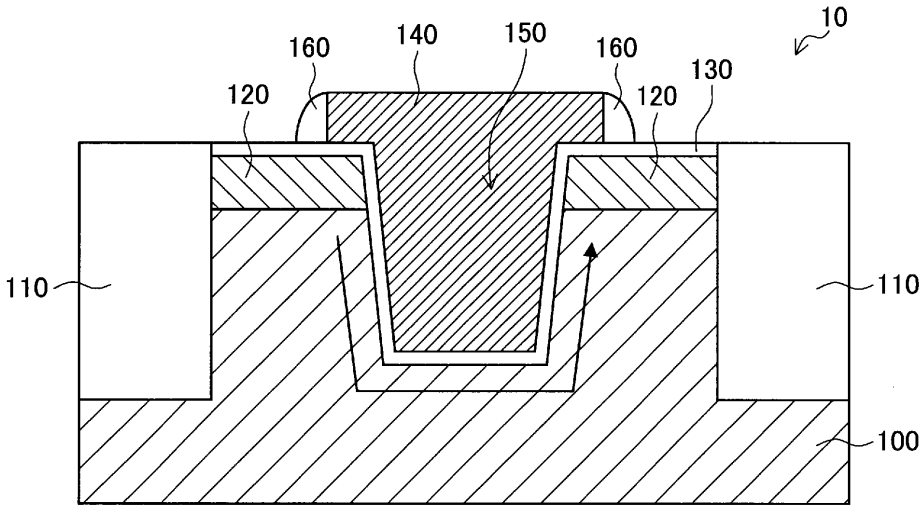
도면2



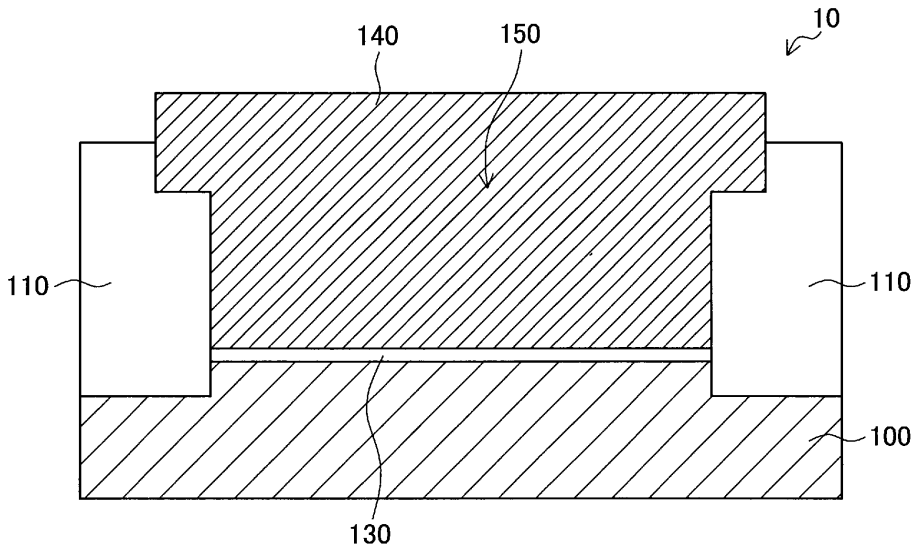
도면3


A
10
115
140
150
B
B
A
C
20
215
240
C

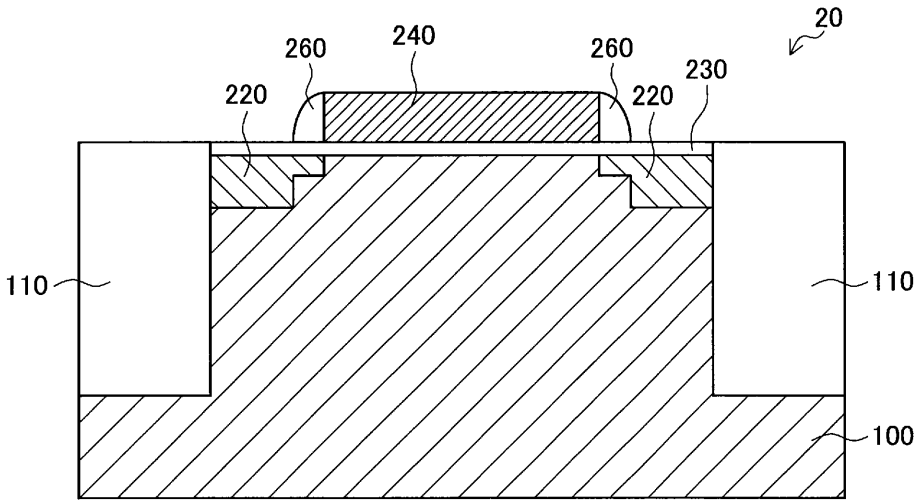
도면4


10
160
140
150
160
130
120
120
110
110
100

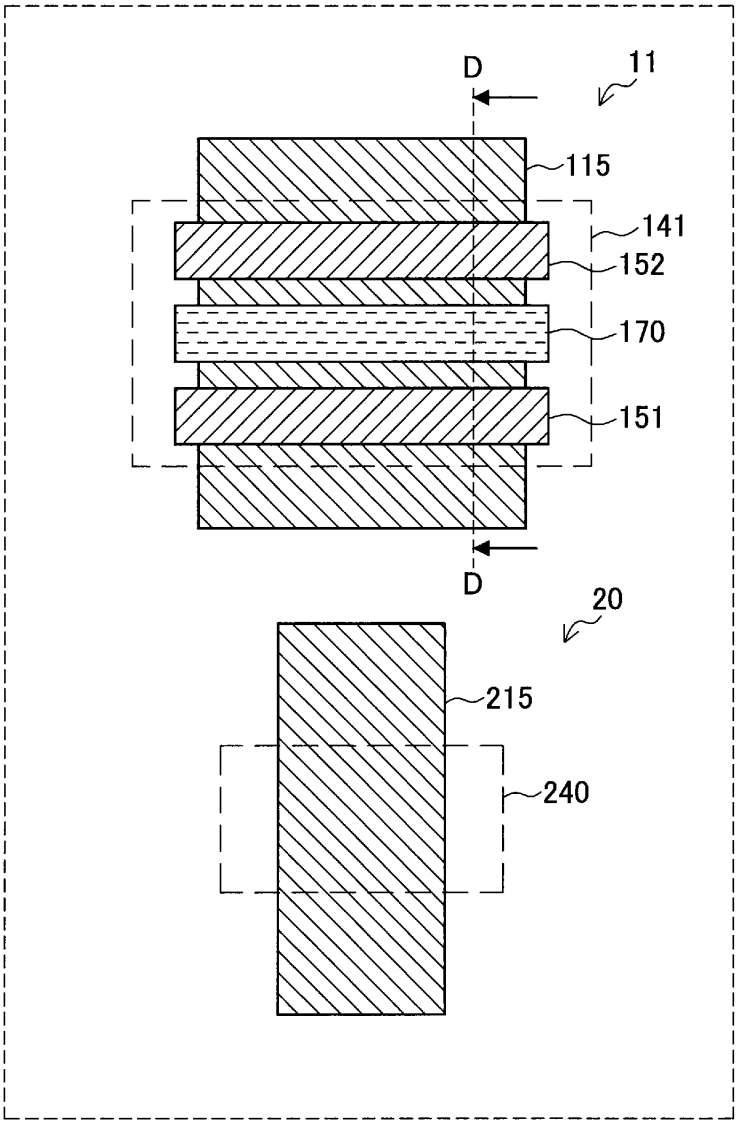
도면5



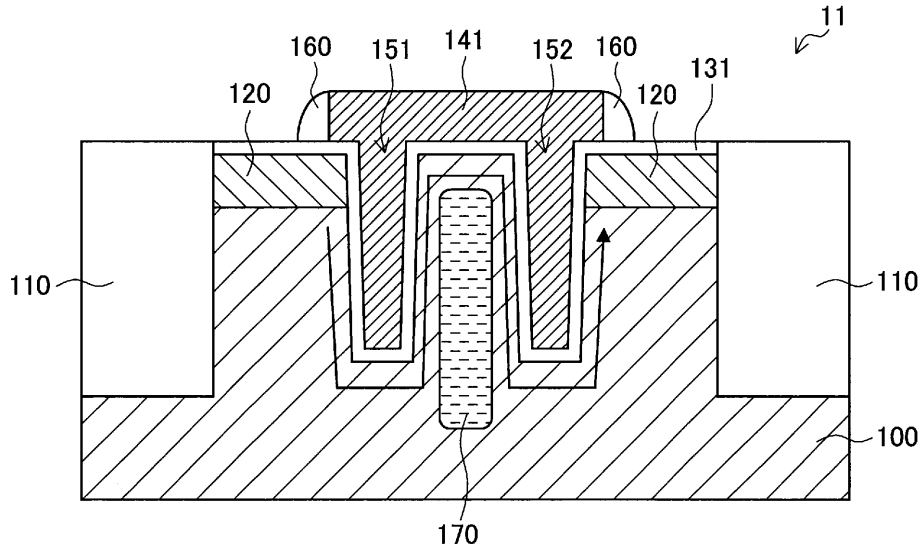
도면6



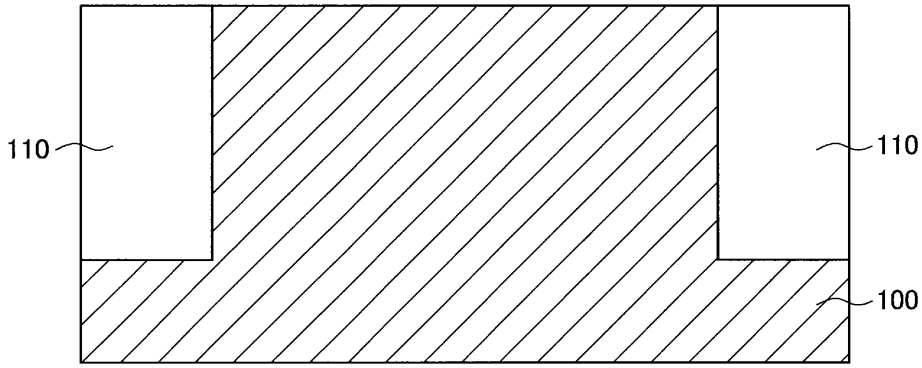
도면7



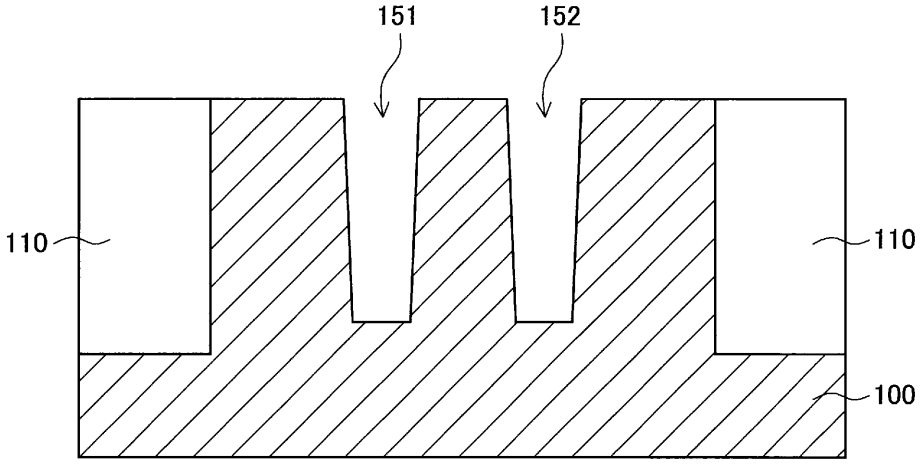
도면8


11
160
151
141
152
160
131
120
120
110
110
100
170

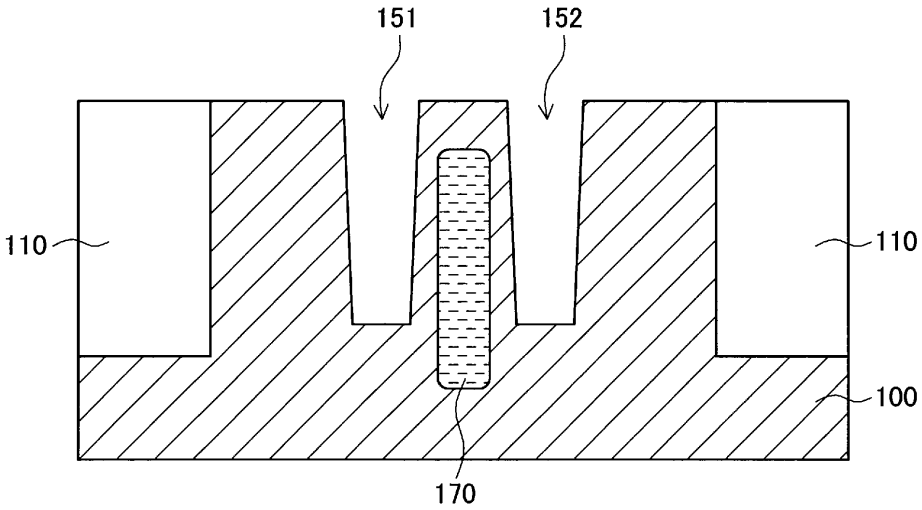
도면9


110
110
100

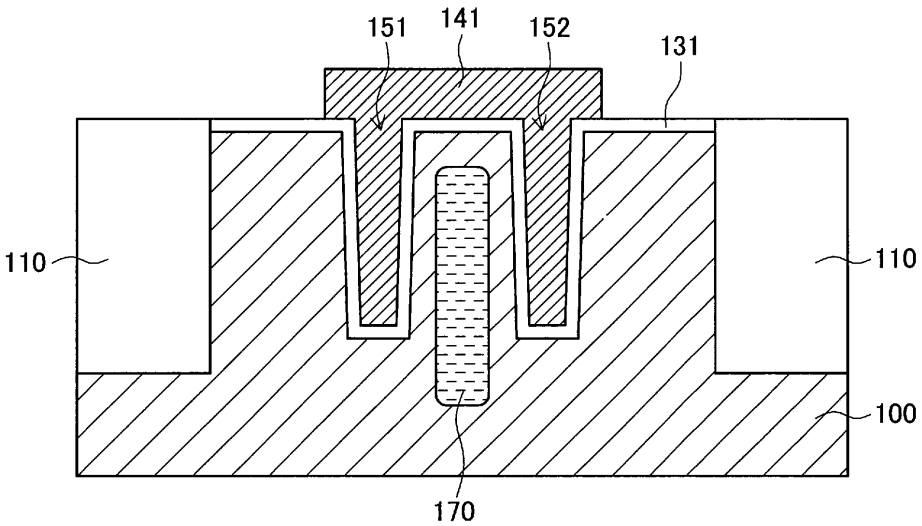
도면10


151
152
110
110
100

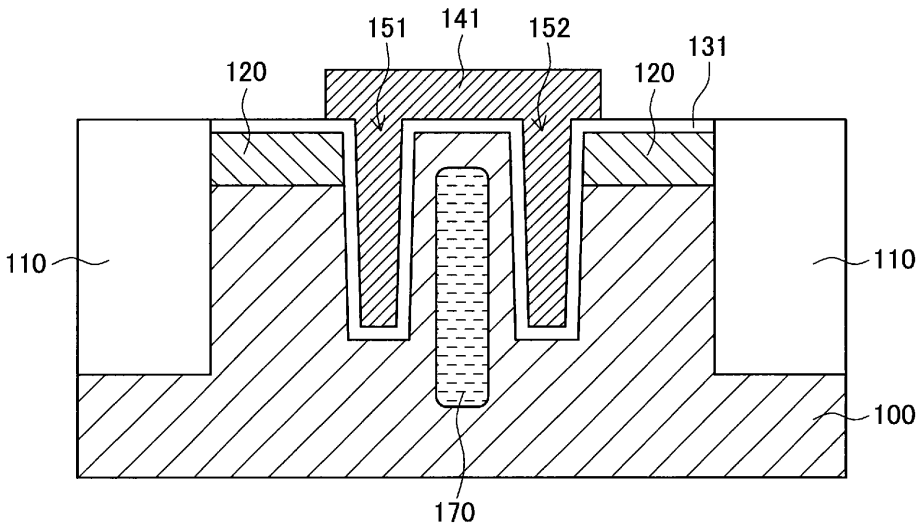
도면11



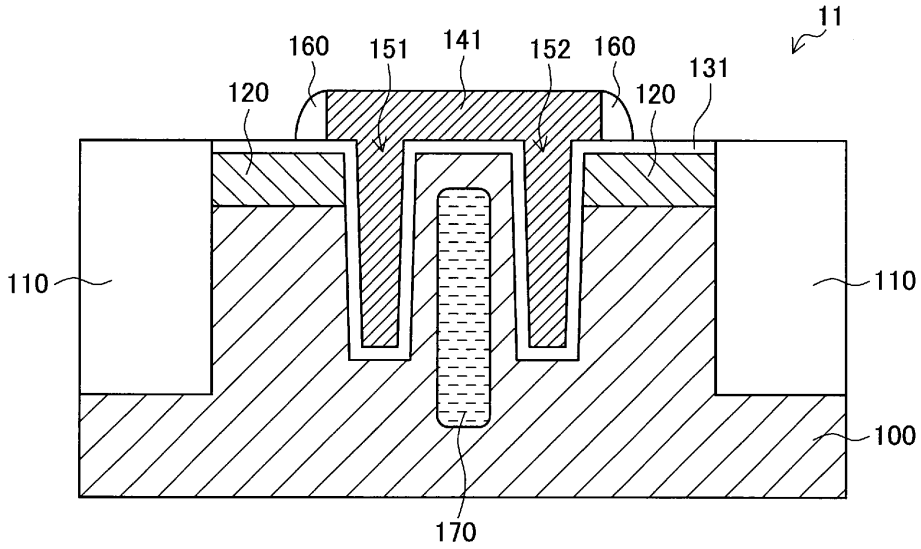
도면12



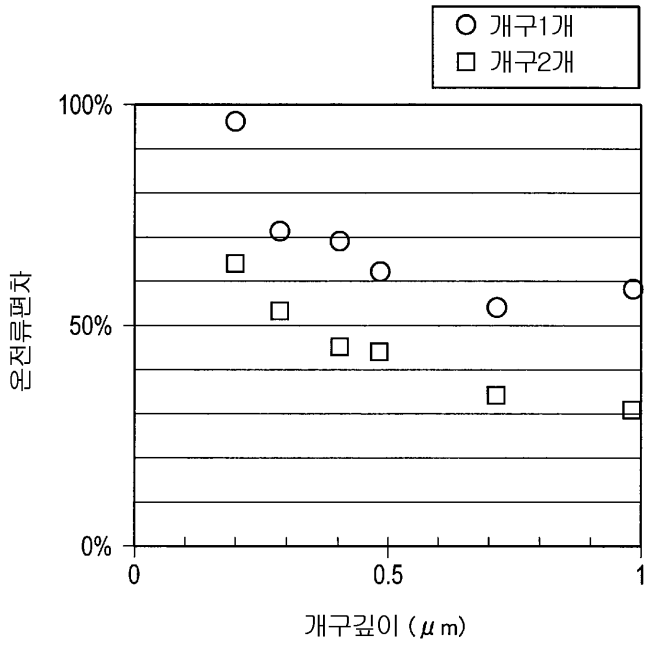
도면13


151
141
152
131
120
120
110
110
100
170

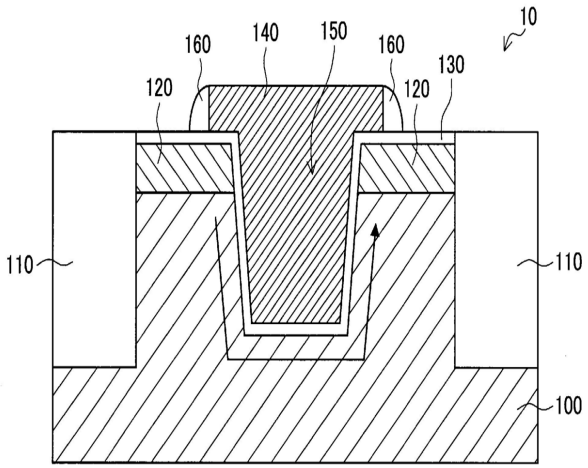
도면14


11
160
151
141
152
160
131
120
120
110
110
100
170

도면15



专利名称(译)	显示设备和电子设备		
公开(公告)号	KR1020190003488A	公开(公告)日	2019-01-09
申请号	KR1020187028834	申请日	2017-02-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
发明人	츠지카와 심페이		
IPC分类号	H01L51/50 G09F9/30 H01L21/8234 H01L21/8238		
CPC分类号	H01L51/50 G09F9/30 H01L21/8234 H01L21/8238 G09G3/3233 H01L27/088 H01L27/092 H01L27/3246 H01L27/3276 H01L29/78 H01L51/5218 H01L51/5221 H01L51/5253 H05B33/02		
代理人(译)	用最甜		
优先权	2016090511 2016-04-28 JP		
外部链接	Espacenet		

摘要(译)

发明内容本发明提供一种用于显示具有更高的分辨率和更高的均匀性的显示图像的显示装置，以及包括该显示装置的电子装置。 [解决方案]设置在半导体衬底上的第一导电类型的激活区域，跨激活区域设置的开口，设置在包括开口内部的激活区域上的栅绝缘膜，填充开口的栅电极以及以及一种驱动晶体管，其具有第二导电类型扩散区域，该第二导电类型扩散区域在所述激活区域的两侧设置有开口，以及由所述驱动晶体管驱动的有机发光元件。