



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0128123
(43) 공개일자 2018년12월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01)

(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0063176

(22) 출원일자 2017년05월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

다카수기신지

경기도 파주시 월롱면 엘씨디로8번길 47-9 -203
(덕은리)

최우석

경기도 파주시 월롱면 엘씨디로 201, G동 1219 (덕은리, 정다운마을)

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 11 항

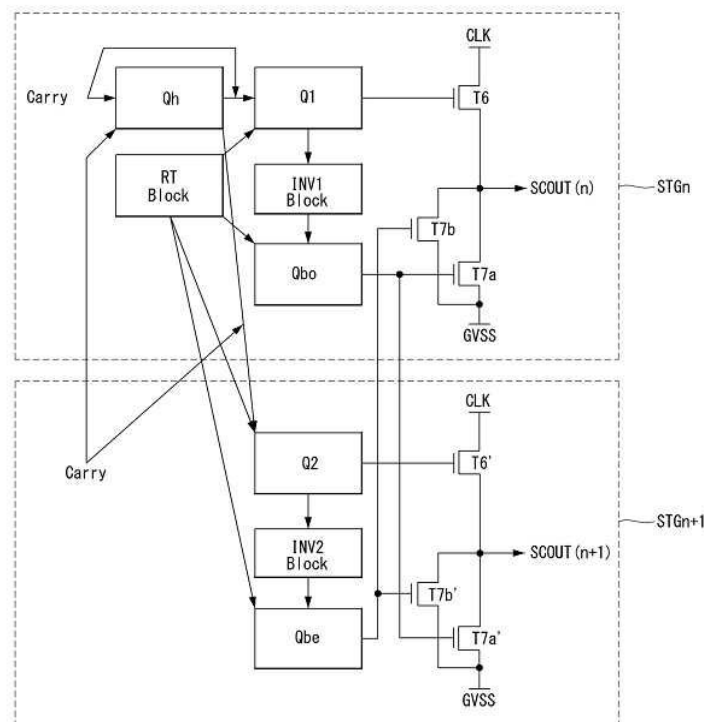
(54) 발명의 명칭 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치

(57) 요약

본 발명에 따른 게이트 쉬프트 레지스터는 화상 데이터 기입 기간 동안 화상 표시용 게이트 펄스들을 출력하고, 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간에서 센싱용 게이트 펄스를 선택적으로 출력하는 제1 스테이지와 제2 스테이지를 갖는 게이트 쉬프트 레지스터이다. 상기 제1 스테이지는, 노드 Q1과, 노드 Qbo와, 노드 M

(뒷면에 계속)

대표도 - 도4



을 포함함과 아울러, 상기 노드 M의 전위와 글로벌 리셋 신호에 따라 상기 노드 Q1을 활성화하는 제1 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbo를 비활성화하는 제2 센싱 제어 블록을 포함한다. 그리고, 상기 제2 스테이지는, 노드 Q2와, 노드 Qbe를 포함함과 아울러, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Q2를 활성화하는 제3 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbe를 비활성화하는 제4 센싱 제어 블록을 포함한다. 여기서, 상기 제1 스테이지와 상기 제2 스테이지는 일부 회로를 서로 공유한다.

(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2310/061 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

장민규

인천광역시 부평구 안남로 272 (청천동, 금호아파트) 304동 1103호

최재이

경상남도 창원시 마산회원구 내서읍 중리상곡로
134 205동 902호 (중리, 동신2차아파트)

명세서

청구범위

청구항 1

화상 데이터 기입 기간 동안 화상 표시용 게이트 펄스들을 출력하고, 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간에서 센싱용 게이트 펄스를 선택적으로 출력하는 제1 스테이지와 제2 스테이지를 갖는 게이트 쉬프트 레지스터에 있어서,

상기 제1 스테이지는,

노드 Q1과, 노드 Qbo와, 노드 M을 포함함과 아울러,

상기 노드 M의 전위와 글로벌 리셋 신호에 따라 상기 노드 Q1을 활성화하는 제1 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbo를 비 활성화하는 제2 센싱 제어 블록을 포함하고,

상기 제2 스테이지는,

노드 Q2와, 노드 Qbe를 포함함과 아울러,

상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Q2를 활성화하는 제3 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbe를 비 활성화하는 제4 센싱 제어 블록을 포함하고,

상기 제1 스테이지와 상기 제2 스테이지는 일부 회로를 서로 공유하는 게이트 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 제1 스테이지와 상기 제2 스테이지는 상기 노드 Qbo와 상기 노드 Qbe를 공유하고, 상기 제3 센싱 제어 블록은 상기 제1 센싱 제어 블록에 연결되고, 상기 제4 센싱 제어 블록은 상기 제2 센싱 제어 블록에 연결되는 게이트 쉬프트 레지스터.

청구항 3

제 1 항에 있어서,

상기 수직 블랭크 기간 동안 상기 글로벌 리셋 신호에 이어 글로벌 스타트 신호가 더 입력되고,

상기 노드 M의 전위는, 상기 화상 데이터 기입 기간 내에서 라인 샘플링 신호에 동기되는 캐리 신호에 의해 활성화되고 그 활성 상태를 상기 글로벌 스타트 신호가 입력될 때까지 유지하는 게이트 쉬프트 레지스터.

청구항 4

제 1 항에 있어서,

상기 제1 스테이지와 상기 제2 스테이지는 각각 노드 Qh를 공유하는 제1 입력 블록과 제2 입력 블록을 더 포함하고,

상기 제1 입력 블록은 상기 노드 Q1의 전위에 따라 상기 노드 Qh를 고전위 전원전압으로 활성화하고,

상기 제2 입력 블록은 상기 노드 Qbe의 전위에 따라 상기 노드 Q2를 상기 노드 Qh에 연결하거나 또는, 상기 노드 Qbo의 전위에 따라 상기 노드 Q2를 상기 노드 Qh에 연결하는 게이트 쉬프트 레지스터.

청구항 5

제 3 항에 있어서,

상기 제1 센싱 제어 블록은,

상기 라인 샘플링 신호에 따라 턴 온 되어 상기 캐리 신호를 노드 N1에 인가하는 트랜지스터 Ta;
 상기 라인 샘플링 신호에 따라 턴 온 되어 상기 노드 N1와 상기 노드 M을 연결하는 트랜지스터 Tb;
 상기 노드 M의 전위에 따라 턴 온 되어 고전위 전원전압을 상기 노드 M에 인가하는 트랜지스터 Tc;
 상기 노드 M의 전위에 따라 턴 온 되어 상기 고전위 전원전압을 노드 N3에 인가하는 트랜지스터 T1b;
 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 N3와 상기 노드 Q1을 연결하는 트랜지스터 T1c; 및
 상기 고전위 전원전압의 입력단과 상기 노드 M 사이에 연결되는 커패시터를 포함하는 게이트 쉬프트 레지스터.

청구항 6

제 5 항에 있어서,
 상기 제3 센싱 제어 블록은,
 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 N3와 상기 노드 Q2를 연결하는 트랜지스터 T1c'를 포함하는 게이트 쉬프트 레지스터.

청구항 7

제 3 항에 있어서,
 상기 제2 센싱 제어 블록은,
 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 Qbo와 노드 N4를 연결하는 트랜지스터 T5a; 및
 상기 노드 M의 전위에 따라 턴 온 되어 저전위 전원전압을 노드 N4에 인가하는 트랜지스터 T5b를 포함하는 게이트 쉬프트 레지스터.

청구항 8

제 7 항에 있어서,
 상기 제4 센싱 제어 블록은,
 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 Qbe와 상기 노드 N4를 연결하는 트랜지스터 T5a'를 포함하는 게이트 쉬프트 레지스터.

청구항 9

제 4 항에 있어서,
 상기 제1 입력 블록은 상기 노드 Q1의 전위에 따라 턴 온 되어 상기 고전위 전원전압을 상기 노드 Qh에 인가하는 트랜지스터 T3q를 포함하고,
 상기 제2 입력 블록은, 상기 노드 Qbe의 전위에 따라 턴 온 되어 상기 노드 Q2를 상기 노드 Qh에 연결하는 트랜지스터 T31a'와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 노드 Q2를 상기 노드 Qh에 연결하는 트랜지스터 T32a'를 포함하는 게이트 쉬프트 레지스터.

청구항 10

제 1 항에 있어서,
 상기 제1 스테이지는,
 상기 노드 Q1의 전위에 따라 턴 온 되어 제1 캐리 쉬프트 클럭을 노드 N6에 출력하는 제1 풀업 트랜지스터와,
 상기 노드 Q1의 전위에 따라 턴 온 되어 제1 스캔 쉬프트 클럭을 노드 N7에 출력하는 제2 풀업 트랜지스터와,
 상기 노드 Qbo의 전위에 따라 턴 온 되어 제1 저전위 전원전압을 상기 노드 N6에 출력하는 제1 풀다운 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 제2 저전위 전원전압을 상기 노드 N7에 출력하는 제2 풀다운 트랜지스터를 구비하는 제1 출력 블록을 더 포함하고,
 상기 제2 스테이지는,

상기 노드 Q2의 전위에 따라 턴 온 되어 제2 캐리 쉬프트 클럭을 노드 N6'에 출력하는 제3 풀업 트랜지스터와, 상기 노드 Q2의 전위에 따라 턴 온 되어 제2 스캔 쉬프트 클럭을 노드 N7'에 출력하는 제4 풀업 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 제1 저전위 전원전압을 상기 노드 N6'에 출력하는 제3 풀다운 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 제2 저전위 전원전압을 상기 노드 N7'에 출력하는 제4 풀다운 트랜지스터를 구비하는 제2 출력 블록을 더 포함하고,

상기 제1 및 제2 캐리 쉬프트 클럭의 스윙폭은 상기 제1 및 제2 스캔 쉬프트 클럭의 스윙폭보다 크고,

상기 제1 저전위 전원전압은 상기 제2 저전위 전원전압보다 더 낮은 게이트 쉬프트 레지스터.

청구항 11

게이트라인들이 구비된 표시패널; 및

상기 청구항 제1항 내지 제10항 중 어느 한 항의 게이트 쉬프트 레지스터의 출력을 이용하여 상기 게이트라인들을 구동하는 스캔 구동회로를 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 외부 보상용 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 화상 표시용 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자(또는, 구동 트랜지스터)를 포함한다. 구동 소자는 온도나 열화에 의해 그 전기적 특성이 변한다. 구동 소자의 전기적 특성이 픽셀들마다 달라지면 동일 화상 표시용 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 소자에 대한 전기적 특성 변화를 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 구동 소자의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 구동 소자에 대한 전기적 특성이 변한만큼 화상 표시용 데이터를 변조한다.

[0006] 구동 소자의 시변(時變) 특성을 보상하기 위해서는 구동 중에 실시간으로 구동 소자의 전기적 특성을 센싱할 필요가 있다. 이러한 실시간 센싱 프로세스는 1 프레임 중에서 화상 데이터 기입 기간을 제외한 수직 블랭크 기간에서 센싱 동작을 수행하되, 1 프레임마다 특정 픽셀라인씩 센싱한다. 여기서, 픽셀라인은 수평으로 이웃한 픽셀들의 집합을 의미하며, 1 픽셀라인에는 수평 해상도만큼의 픽셀들이 위치한다. 패널 구동회로는 화상 데이터 기입 기간 동안 화상 표시용 게이트펄스를 표시패널의 게이트라인들에 순차적으로 공급하여 화상 표시용 데이터를 표시패널의 모든 픽셀들에 기입하고, 수직 블랭크 기간에서 특정 픽셀라인에 연결된 게이트라인에만 센싱용 게이트펄스를 공급하여 센싱용 데이터를 상기 특정 픽셀라인의 픽셀들에 인가한다.

[0007] 실시간 센싱 프로세스는 센싱 회로를 구동 소자의 일측 전극에 연결하여 구동 소자에 흐르는 전류를 센싱한다. 정확한 센싱을 위해, 해당 픽셀라인의 OLED들은 발광되지 않도록 한다. 센싱이 이뤄지는 픽셀라인에서는 수직 블랭크 기간만큼 발광 듀티가 감소되기 때문에, 센싱이 이뤄지는 픽셀라인과 그렇지 않은 픽셀라인 간에는 휘도 편차가 생길 수 있고, 그 결과 센싱이 이뤄지는 픽셀라인이 라인 덤으로 시인될 수 있다.

[0008] 라인 덤 시인 현상을 최소화하기 위해서는 센싱용 게이트펄스를 센싱이 이뤄지는 픽셀라인들에 랜덤한 순서로 인가하는 것이 바람직하다. 하지만, 랜덤한 순서로 센싱용 게이트펄스를 생성하기 위해서는 게이트 쉬프트 레지스터의 구성이 복잡해진다. 이렇게 게이트 쉬프트 레지스터의 구성이 복잡해지면, 표시패널에 내장될 경우 베젤 사이즈가 증가되고, 클럭 라인 및 전원 라인 증가로 인해 전력 소모가 커진다.

발명의 내용

해결하려는 과제

[0009] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 간소한 회로 구성을 포함하여 수직 블랭크 기간에 센싱용 게이트펄스를 랜덤한 순서로 출력할 수 있도록 한 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명에 따른 게이트 쉬프트 레지스터는 화상 데이터 기입 기간 동안 화상 표시용 게이트 펄스들을 출력하고, 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간에서 센싱용 게이트 펄스를 선택적으로 출력하는 제1 스테이지와 제2 스테이지를 갖는 게이트 쉬프트 레지스터이다. 상기 제1 스테이지는, 노드 Q1과, 노드 Qbo와, 노드 M을 포함함과 아울러, 상기 노드 M의 전위와 글로벌 리셋 신호에 따라 상기 노드 Q1을 활성화하는 제1 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbo를 비활성화하는 제2 센싱 제어 블록을 포함한다. 그리고, 상기 제2 스테이지는, 노드 Q2와, 노드 Qbe를 포함함과 아울러, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Q2를 활성화하는 제3 센싱 제어 블록과, 상기 노드 M의 전위와 상기 글로벌 리셋 신호에 따라 상기 노드 Qbe를 비활성화하는 제4 센싱 제어 블록을 포함한다. 여기서, 상기 제1 스테이지와 상기 제2 스테이지는 일부 회로를 서로 공유한다.

[0011] 상기 제1 스테이지와 상기 제2 스테이지는 상기 노드 Qbo와 상기 노드 Qbe를 공유하고, 상기 제3 센싱 제어 블록은 상기 제1 센싱 제어 블록에 연결되고, 상기 제4 센싱 제어 블록은 상기 제2 센싱 제어 블록에 연결된다.

[0012] 상기 수직 블랭크 기간 동안 상기 글로벌 리셋 신호에 이어 글로벌 스타트 신호가 더 입력되고, 상기 노드 M의 전위는, 상기 화상 데이터 기입 기간 내에서 라인 샘플링 신호에 동기되는 캐리 신호에 의해 활성화되고 그 활성 상태를 상기 글로벌 스타트 신호가 입력될 때까지 유지한다.

[0013] 상기 제1 스테이지와 상기 제2 스테이지는 각각 노드 Qh를 공유하는 제1 입력 블록과 제2 입력 블록을 더 포함한다. 상기 제1 입력 블록은 상기 노드 Q1의 전위에 따라 상기 노드 Qh를 고전위 전원전압으로 활성화하고, 상기 제2 입력 블록은 상기 노드 Qbe의 전위에 따라 상기 노드 Q2를 상기 노드 Qh에 연결하거나 또는, 상기 노드 Qbo의 전위에 따라 상기 노드 Q2를 상기 노드 Qh에 연결한다.

[0014] 상기 제1 센싱 제어 블록은, 상기 라인 샘플링 신호에 따라 턴 온 되어 상기 캐리 신호를 노드 N1에 인가하는 트랜지스터 Ta; 상기 라인 샘플링 신호에 따라 턴 온 되어 상기 노드 N1와 상기 노드 M을 연결하는 트랜지스터 Tb; 상기 노드 M의 전위에 따라 턴 온 되어 고전위 전원전압을 상기 노드 M에 인가하는 트랜지스터 Tc; 상기 노드 M의 전위에 따라 턴 온 되어 상기 고전위 전원전압을 노드 N3에 인가하는 트랜지스터 T1b; 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 N3와 상기 노드 Q1을 연결하는 트랜지스터 T1c; 및 상기 고전위 전원전압의 입력단과 상기 노드 M 사이에 연결되는 커패시터를 포함한다.

[0015] 상기 제3 센싱 제어 블록은, 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 N3와 상기 노드 Q2를 연결하는 트랜지스터 T1c'를 포함한다.

[0016] 상기 제2 센싱 제어 블록은, 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 Qbo와 노드 N4를 연결하는 트랜지스터 T5a; 및 상기 노드 M의 전위에 따라 턴 온 되어 저전위 전원전압을 노드 N4에 인가하는 트랜지스터 T5b를 포함한다.

[0017] 상기 제4 센싱 제어 블록은, 상기 글로벌 리셋 신호에 따라 턴 온 되어 상기 노드 Qbe와 상기 노드 N4를 연결하는 트랜지스터 T5a'를 포함한다.

[0018] 상기 제1 입력 블록은 상기 노드 Q1의 전위에 따라 턴 온 되어 상기 고전위 전원전압을 상기 노드 Qh에 인가하는 트랜지스터 T3q를 포함하고, 상기 제2 입력 블록은, 상기 노드 Qbe의 전위에 따라 턴 온 되어 상기 노드 Q2를 상기 노드 Qh에 연결하는 트랜지스터 T31a'와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 노드 Q2를 상

기 노드 Qh에 연결하는 트랜지스터 T32a'를 포함한다.

[0019] 상기 제1 스테이지는, 상기 노드 Q1의 전위에 따라 턴 온 되어 제1 캐리 쉬프트 클럭을 노드 N6에 출력하는 제1 풀업 트랜지스터와, 상기 노드 Q1의 전위에 따라 턴 온 되어 제1 스캔 쉬프트 클럭을 노드 N7에 출력하는 제2 풀업 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 제1 저전위 전원전압을 상기 노드 N6에 출력하는 제1 풀다운 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 제2 저전위 전원전압을 상기 노드 N7에 출력하는 제2 풀다운 트랜지스터를 구비하는 제1 출력 블록을 더 포함한다.

[0020] 상기 제2 스테이지는, 상기 노드 Q2의 전위에 따라 턴 온 되어 제2 캐리 쉬프트 클럭을 노드 N6'에 출력하는 제3 풀업 트랜지스터와, 상기 노드 Q2의 전위에 따라 턴 온 되어 제2 스캔 쉬프트 클럭을 노드 N7'에 출력하는 제4 풀업 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 제1 저전위 전원전압을 상기 노드 N6'에 출력하는 제3 풀다운 트랜지스터와, 상기 노드 Qbo의 전위에 따라 턴 온 되어 상기 제2 저전위 전원전압을 상기 노드 N7'에 출력하는 제4 풀다운 트랜지스터를 구비하는 제2 출력 블록을 더 포함한다.

[0021] 여기서, 상기 제1 및 제2 캐리 쉬프트 클럭의 스윙폭은 상기 제1 및 제2 스캔 쉬프트 클럭의 스윙폭보다 크고, 상기 제1 저전위 전원전압은 상기 제2 저전위 전원전압보다 더 낮다.

[0022] 또한, 본 발명의 유기발광 표시장치는 게이트라인들이 구비된 표시패널; 및 상기 청구항 제1항 내지 제10항 중 어느 한 항의 게이트 쉬프트 레지스터의 출력을 이용하여 상기 게이트라인들을 구동하는 스캔 구동회로를 포함한다.

발명의 효과

[0023] 본 발명에 따르면, 이웃한 2개의 스테이지들 간에 일부 회로를 공유하도록 구성하여 실시간 센싱을 구현하기 위한 게이트 쉬프트 레지스터의 구성을 최대한 간소화할 수 있다.

[0024] 본 발명은 게이트 쉬프트 레지스터의 구성을 간소화하여 표시패널의 베젤 사이즈 및 전력 소모를 줄일 수 있다.

[0025] 본 발명은 수직 블랭크 기간에서 랜덤한 순서로 센싱용 게이트펄스를 출력하여 센싱되는 픽셀라인이 시인되는 정도를 최대한 줄일 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터의 스테이지 접속 구성을 보여준다.

도 2 및 도 3은 라인 샘플링 신호, 글로벌 리셋 신호, 및 글로벌 스타트 신호가 인가되는 타이밍, 및 화상 표시용 게이트 펄스와 센싱용 게이트 펄스의 출력 타이밍을 보여준다.

도 4는 일부 회로 구성을 공유하는 2개의 스테이지들을 개략적으로 보여준다.

도 5는 도 4의 스테이지들을 자세히 보여준다.

도 6은 도 5의 스테이지들에 속하는 Q1 노드, Q2 노드, Qbo 노드, Qbe 노드의 전위와, 스테이지들에서 출력되는 화상 표시용 게이트 펄스와 캐리 신호를 보여준다.

도 7a 내지 도 7i는 도 5 및 도 6에 도시된 게이트 쉬프트 레지스터의 동작 과정을 순차적으로 보여주는 도면들이다.

도 8은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여준다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다. 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 출력신호에 비해 위상이 앞선 게이트 출력신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 출력신호에 비해 위상이 뒤진 게이트 출력신호들을 생성하는 스테이지들을 의미한다.

다. 이하의 설명에서, 본 발명의 게이트 쉬프트 레지스터를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에 고전위 전원전압 또는 그에 상응하는 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드에 저전위 전원전압 또는 그에 상응하는 전압이 충전된다는 것을 의미한다.

- [0028] 도 1은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터의 스테이지 접속 구성을 보여준다.
- [0029] 도 1을 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터는 서로 종속적으로 접속된 다수의 스테이지들(STGn~STGn+3)을 구비한다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있다.
- [0030] 스테이지들(STGn~STGn+3)은 게이트 출력신호와 캐리 신호를 생성한다. 게이트 출력신호는 화상 표시용 게이트펄스와 센싱용 게이트펄스를 포함할 수 있다. 스테이지들(STGn~STGn+3)은 화상 표시용 게이트펄스(SCOUT(n)~SCOUT(n+3))를 생성하여 표시패널의 각 픽셀 라인들에 존재하는 게이트라인에 공급한다. 스테이지들(STGn~STGn+3)은 캐리 신호(Cn~Cn+3)를 생성하여 후단 스테이지들 중 어느 하나에 공급할 수 있다. 또한, 스테이지들(STGn~STGn+3)은 각 프레임마다 한 스테이지씩 센싱용 게이트펄스(SCOUT(n)~SCOUT(n+3) 중 어느 하나)를 생성하여 표시패널의 특정 픽셀 라인에 존재하는 게이트라인에 공급할 수 있다. 각 프레임에서 센싱용 게이트펄스(SCOUT(n)~SCOUT(n+3) 중 어느 하나)를 생성하는 스테이지는 랜덤하게 설정될 수 있다.
- [0031] 스테이지들(STGn~STGn+3)은 게이트 출력신호와 캐리 신호를 생성하기 위해 외부의 타이밍 컨트롤러(미도시)로부터 글로벌 스타트 신호(VSP), 글로벌 리셋 신호(RESET), 라인 샘플링 신호(LSP), 클럭 신호(CLKs) 등을 공급받을 수 있다.
- [0032] 글로벌 스타트 신호(VSP), 글로벌 리셋 신호(RESET), 라인 샘플링 신호(LSP), 클럭 신호(CLKs)는 스테이지들(STGn~STGn+3)에 공통으로 공급되는 신호들이다. 글로벌 스타트 신호(VSP)는 상단 더미 스테이지의 스타트단자에 더 공급될 수 있고, 글로벌 리셋 신호(RESET)는 하단 더미 스테이지의 리셋단자에 더 공급될 수 있다.
- [0033] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 스타트단자에 인가되는 캐리 신호에 따라 노드 Q의 동작을 활성화한다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 상단 더미 스테이지로부터 캐리 신호를 입력 받을 수 있다. 상단 더미 스테이지는 글로벌 스타트 신호(VSP)에 따라 동작되어 캐리 신호를 일부 상단부 스테이지들에 공급할 수 있다.
- [0034] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 리셋단자에 인가되는 리셋 신호에 따라 노드 Q의 동작을 비 활성화한다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 하단 더미 스테이지로부터 리셋 신호를 입력 받을 수 있다. 하단 더미 스테이지는 글로벌 리셋 신호(RESET)에 따라 동작되어 리셋 신호를 일부 하단부 스테이지들에 공급할 수 있다.
- [0035] 각 스테이지들(STGn~STGn+3)에는 적어도 하나 이상의 클럭 신호(CLKs)가 공급될 수 있다. 클럭 신호(CLKs)는 순차적으로 위상이 쉬프트되는 스캔 쉬프트 클럭들, 캐리 쉬프트 클럭들을 포함할 수 있다. 스캔 쉬프트 클럭들은 화상 표시용 게이트 펄스와 센싱용 게이트 펄스를 생성하기 위한 클럭 신호이고, 캐리 쉬프트 클럭들은 캐리 신호를 생성하기 위한 클럭 신호이다. 스캔 쉬프트 클럭들은 화상 데이터 기입 기간 동안 화상 표시용 게이트 펄스에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다. 스캔 쉬프트 클럭들은 수직 블랭크 기간 동안 센싱용 게이트 펄스에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다. 화상 데이터 기입 기간 동안에는 모든 스캔 쉬프트 클럭들이 스윙되고, 수직 블랭크 기간 동안에는 일부 스캔 쉬프트 클럭이 스윙되고, 나머지 스캔 쉬프트 클럭들은 게이트 로우 전압을 유지한다.
- [0036] 이러한 클럭 신호(CLKs)는 고속 구동시 충분한 충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 이웃한 위상의 클럭들은 정해진 일부 하이 구간 만큼씩 중첩될 수 있다.
- [0037] 스테이지들(STGn~STGn+3)은 스캔 쉬프트 클럭들에 동기하여 화상 표시용 게이트 펄스를 순차적으로 출력할 수 있다. 스테이지들(STGn~STGn+3) 중 어느 한 스테이지는 상기 일부 스캔 쉬프트 클럭에 동기하여 센싱용 게이트 펄스를 출력할 수 있다.
- [0038] 각 스테이지들(STGn~STGn+3)은 외부의 전원 공급부(미도시)로부터 전원 전압(PS)을 공급받을 수 있다. 전원 전압(PS)은 고전위 전원전압과 저전위 전원전압을 포함한다. 고전위 전원전압은 게이트 하이 전압, 예컨대 28V로 설정될 수 있다. 저전위 전원전압은 각 스테이지들(STGn~STGn+3)에 속하는 트랜지스터들의 누설 전류를 억제하기 위해 복수의 게이트 로우 전압들, 예컨대 -6V, -12V로 설정될 수 있다.

- [0039] 이 경우, 스캔 쉬프트 클럭들은 -6V와 12V 사이에서 스윙될 수 있고, 캐리 쉬프트 클럭들은 -12V와 12V 사이에서 스윙될 수 있다. 다시 말해, 캐리 쉬프트 클럭들의 스윙 폭은 스캔 쉬프트 클럭들의 스윙 폭에 비해 클 수 있다.
- [0040] 한편, 스테이지들(STGn~STGn+3)은 회로 구성을 간소화하기 위해, 이웃한 2개의 스테이지들(STGn~STGn+1, STGn+2~STGn+3)끼리 센싱 제어 블록(RT) 일부, 노드 Qh, 노드 Qbo, 및 노드 Qbe를 공유할 수 있다.
- [0041] 스테이지들(STGn~STGn+3)은 일정 시간을 주기로 노드 Qbo와 노드 Qbe를 교번 구동시킴으로써, 노드 Qbo와 노드 Qbe의 전위에 따라 스위칭되는 트랜지스터들의 열화를 경감할 수 있다. 이 경우, 스테이지들(STGn~STGn+3)의 인버터 블록들에 인가되는 고전위 전원전압은 교류 구동될 수 있다.
- [0042] 도 2 및 도 3은 라인 샘플링 신호(LSP), 글로벌 리셋 신호(RESET), 및 글로벌 스타트 신호(VSP)가 인가되는 타이밍, 및 화상 표시용 게이트 펄스와 센싱용 게이트 펄스의 출력 타이밍을 보여준다.
- [0043] 도 2를 참조하면, 화상 표시용 게이트 펄스는 화상 표시용 데이터가 기입될 픽셀 라인을 선택하기 위한 스캔 제어신호이고, 센싱용 게이트 펄스는 센싱용 데이터가 기입될 픽셀 라인을 선택하기 위한 스캔 제어신호이다. 센싱용 데이터는 표시패널에 구비된 픽셀들의 전기적 특성을 센싱하기 위한 것으로, 화상 표시와는 상관이 없는 데이터이다.
- [0044] 도 2를 참조하면, 화상 표시용 게이트 펄스들은 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 순차적으로 위상이 쉬프트되면서 스테이지들로부터 출력될 수 있다. 예를 들어, 제1 및 제2 프레임의 화상 데이터 기입 기간(WP) 동안, 화상 표시용 게이트 펄스 Pn_1은 n번째 스테이지로부터 출력되어 n번째 픽셀 라인에 공급될 수 있고, 화상 표시용 게이트 펄스 Pm은 m번째 스테이지로부터 출력되어 m번째 픽셀 라인에 공급될 수 있다.
- [0045] 반면, 센싱용 게이트 펄스는 1 프레임 중에서 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP) 동안 스테이지들 중 어느 하나로부터 출력될 수 있다. 센싱용 데이터가 기입될 픽셀 라인, 다시 말해 센싱 대상 픽셀 라인은 시인성 저감을 위해 비 순차적 또는 램덤하게 선택되는 것이 바람직하다. 따라서, 스테이지들은 각 수직 블랭크 기간(BP)마다 하나씩 센싱용 게이트 펄스를 출력하되, 이러한 센싱용 게이트 펄스를 출력하는 스테이지는 비 순차적으로, 다시 말해 랜덤(random)하게 선택된다. 예를 들어, 제1 프레임의 수직 블랭크 기간(BP) 동안, 센싱용 게이트 펄스 Pn_2은 n번째 스테이지로부터 출력되어 n번째 픽셀 라인에 공급될 수 있다. 그리고, 제2 프레임의 수직 블랭크 기간(BP) 동안, 센싱용 게이트 펄스 Pm_2은 m번째 스테이지로부터 출력되어 m번째 픽셀 라인에 공급될 수 있다. 여기서, 램덤 센싱이 구현될 수 있도록, n번째 픽셀 라인과 m번째 픽셀 라인 사이에는 복수의 다른 픽셀 라인들이 존재한다.
- [0046] 도 2 및 도 3을 참조하면, 라인 샘플링 신호(LSP)는 매 프레임의 화상 데이터 기입 기간(WP) 내에서 랜덤하게 발생된다. 라인 샘플링 신호(LSP)는 랜덤하게 발생되므로 한 프레임의 시작 시점부터 라인 샘플링 신호(LSP)가 입력되는 시점까지의 시간적 간격(TP1, TP2)은 매 프레임마다 다르며, 더욱이 매 프레임마다 불규칙적이다. 다시 말해, 라인 샘플링 신호들(LSP)은 차등 간격으로 인가된다.
- [0047] 라인 샘플링 신호(LSP), 캐리 신호, 글로벌 리셋 신호(RESET), 및 글로벌 스타트 신호(VSP)에 따라 해당 프레임에서 센싱용 데이터가 기입될 센싱 대상 픽셀라인이 선택되게 된다. 라인 샘플링 신호(LSP)에 동기된 캐리 신호를 입력 받은 스테이지는, 화상 데이터 기입 기간(WP) 내에서 자신의 샘플링 블록에 포함된 노드 M의 전위를 활성화하여 수직 블랭크 기간(BP)까지 그 활성화 전위를 유지시키고, 수직 블랭크 기간(BP)에서 노드 M의 활성화 전위와 글로벌 리셋 신호(RESET)에 따라 자신의 노드 Q를 활성화 함으로써 센싱용 게이트 펄스를 출력한다.
- [0048] 일 예로, 제1 프레임에서 라인 샘플링 신호(LSP)가 제n 스테이지에 입력되는 캐리 신호에 동기되는 경우, 제n 스테이지가 제1 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2n)를 출력하고, 나머지 스테이지들은 제1 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스를 출력하지 않는다. 이를 위해, 제1 프레임의 화상 데이터 기입 기간(WP) 내에서 제n 스테이지에 속하는 노드 M의 전위는 라인 샘플링 신호(LSP)에 따라 활성화된 후, 제1 프레임의 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VSP)가 입력될 때까지 그 활성화 상태를 유지한다. 제n 스테이지는 제1 프레임의 수직 블랭크 기간(BP) 내에서 노드 M의 활성화 전위와 글로벌 리셋 신호(RESET)에 따라 노드 Q를 활성화하여 클럭 신호에 동기되는 센싱용 게이트 펄스(Pn_2)를 제n 게이트라인에 출력한다. 그러면, 제n 게이트라인에 연결된 제n 픽셀 라인이 센싱용 게이트 펄스(Pn_2)에 따라 동작하게 된다. 한편, 제n 스테이지의 노드 Q와 노드 M은 제1 프레임의 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VSP)에 따라 비활성화된다. 이러한 초기화 동작에 의해 제n 스테이지는 제2 프레임에서 화상 표시용 게이트 펄스를 정상적으로 생성할 수 있게 된다.

- [0049] 또한, 제2 프레임에서 라인 샘플링 신호(LSP)가 제 m 스테이지에 입력되는 캐리 신호에 동기되는 경우, 제 m 스테이지가 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(Pm_2)를 출력하고, 나머지 스테이지들은 제2 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스를 출력하지 않는다. 이를 위해, 제2 프레임의 화상 데이터 기입 기간(WP) 내에서 제 m 스테이지에 속하는 노드 M의 전위는 라인 샘플링 신호(LSP)에 따라 활성화된 후, 제2 프레임의 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VSP)가 입력될 때까지 그 활성 상태를 유지한다. 제 m 스테이지는 제2 프레임의 수직 블랭크 기간(BP) 내에서 노드 M의 활성 전위와 글로벌 리셋 신호(RESET)에 따라 노드 Q를 활성화하여 클럭 신호에 동기되는 센싱용 게이트 펄스(Pm_2)를 제 m 게이트라인에 출력한다. 그러면, 제 m 게이트라인에 연결된 제 m 픽셀 라인이 센싱용 게이트 펄스(Pm_2)에 따라 동작하게 된다. 한편, 제 m 스테이지의 노드 Q와 노드 M은 제2 프레임의 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VSP)에 따라 비 활성화된다. 이러한 초기화 동작에 의해 제 m 스테이지는 후속 프레임에서 화상 표시용 게이트 펄스를 정상적으로 생성할 수 있게 된다.
- [0050] 한편, 도 2 및 도 3을 참조하면, 제1 및 제2 프레임 각각에서, 라인 샘플링 신호(LSP)에 동기되지 않는 캐리 신호를 입력 받는 나머지 스테이지들은 화상 데이터 기입 기간(WP) 내에서 자신의 노드 M을 활성화시킬 수 없기 때문에, 수직 블랭크 기간(BP)에서 노드 Q를 활성화하는 것이 불가능하고, 그에 따라 센싱용 게이트 펄스를 출력할 수 없게 된다.
- [0051] 도 4는 일부 회로 구성을 공유하는 2개의 스테이지들을 개략적으로 보여준다.
- [0052] 도 4를 참조하면, 이웃한 2개의 스테이지들(STGn, STGn+1)은 센싱 제어 블록(RT) 일부, 노드 Qh, 노드 Qbo, 및 노드 Qbe를 공유할 수 있다.
- [0053] 랜덤 센싱을 위해서는 센싱 제어 블록(RT)이 필요하다. 2개의 스테이지들(STGn, STGn+1)에서 노드 M을 포함한 센싱 제어 블록(RT)의 일부를 공유하면, 그만큼 스테이지 회로 구성이 간소해진다. 이렇게 스테이지 회로 구성을 간소화하더라도 동작에는 문제가 없다.
- [0054] 2개의 Qb 노드들을 이용하여 교번 구동을 하는 경우, 2개의 스테이지들(STGn, STGn+1)에서 노드 Qh, 노드 Qbo, 및 노드 Qbe를 공유하면, 그만큼 스테이지 회로 구성이 간소해진다. 이렇게 스테이지 회로 구성을 간소화하더라도 동작에는 문제가 없다. 교번 구동을 위해 노드 Qbo 및 노드 Qbe는 일정 기간을 주기로 교대로 구동된다. 제1 주기에서 노드 Qbo가 구동 되는 경우 노드 Qbe는 휴지 구동되고, 제1 주기에 이은 제2 주기에서 노드 Qbe가 구동 되는 경우 노드 Qbo는 휴지 구동될 수 있다. 이 경우, 제1 주기에서 노드 Qbo의 전위는 방전 레벨과 충전 레벨 사이에서 스윙하고, 노드 Qbe의 전위는 방전 레벨을 유지한다. 그리고, 제2 주기에서 노드 Qbe의 전위는 방전 레벨과 충전 레벨 사이에서 스윙하고, 노드 Qbo의 전위는 방전 레벨을 유지한다.
- [0055] 도 4에서, 스테이지 STGn은 Q1 노드와 Qbo 노드의 전위를 제어하기 위한 제1 인버터 블록(INV1)과, 출력 블록에 속하는 트랜지스터들(T6, T7a, T7b)을 더 포함할 수 있다. 트랜지스터 T6은 노드 Q1의 전위가 부스팅 레벨로 유지되는 비교적 짧은 시간 동안 턴 온 되는 풀업 트랜지스터이다.
- [0056] 반면, 트랜지스터들 T7a 및 T7b는 매우 긴 시간 동안 턴 온 되어 상대적으로 열화가 빠른 풀다운 트랜지스터들이다. 트랜지스터들 T7a 및 T7b는 열화 속도를 늦추기 위해 상기 일정 주기로 교번 구동될 수 있다. 이를 위해, 트랜지스터 T7a는 노드 Qbo의 전위에 따라 턴 온 되도록 설계될 수 있고, 트랜지스터 T7b는 노드 Qbe의 전위에 따라 턴 온 되도록 설계될 수 있다. 이에 따라, 트랜지스터 T7a가 구동되는 경우에는 트랜지스터 T7b가 휴지 구동되고, 반대로 트랜지스터 T7b가 구동되는 경우에는 트랜지스터 T7a가 휴지 구동된다.
- [0057] 도 4에서, 스테이지 STGn+1은 Q2 노드와 Qbe 노드의 전위를 제어하기 위한 제2 인버터 블록(INV2)과, 출력 블록에 속하는 트랜지스터들(T6', T7a', T7b')을 더 포함할 수 있다. 트랜지스터 T6'은 노드 Q2의 전위가 부스팅 레벨로 유지되는 비교적 짧은 시간 동안 턴 온 되는 풀업 트랜지스터이다.
- [0058] 반면, 트랜지스터들 T7a' 및 T7b'는 매우 긴 시간 동안 턴 온 되어 상대적으로 열화가 빠른 풀다운 트랜지스터들이다. 트랜지스터들 T7a' 및 T7b'는 열화 속도를 늦추기 위해 상기 일정 주기로 교번 구동될 수 있다. 이를 위해, 트랜지스터 T7a'는 노드 Qbo의 전위에 따라 턴 온 되도록 설계될 수 있고, 트랜지스터 T7b'는 노드 Qbe의 전위에 따라 턴 온 되도록 설계될 수 있다. 이에 따라, 트랜지스터 T7a'가 구동되는 경우에는 트랜지스터 T7b'가 휴지 구동되고, 반대로 트랜지스터 T7b'가 구동되는 경우에는 트랜지스터 T7a'가 휴지 구동된다.
- [0059] 도 5는 도 4의 스테이지들(STGn, STGn+1)을 자세히 보여준다. 그리고, 도 6은 스테이지들(STGn, STGn+1)에 속하는 Q1 노드, Q2 노드, Qbo 노드, Qbe 노드의 전위와, 스테이지들(STGn, STGn+1)에서 출력되는 화상 표시용 게이트

트 펄스와 캐리 신호를 보여준다.

- [0060] 도 5 및 도 6에서, GVDD는 전압 레벨 L2의 고전위 전원전압을 나타내고, 전원 전압 GVDDo 및 GVDDe는 교류 구동을 위해 전압 레벨 L1 및 L2 사이에서 스위칭할 수 있다. 전압 레벨 L1은 저전위 전원 전압 GVSS2와 실질적으로 동일할 수 있다. 저전위 전원 전압 GVSS0은 GVSS2보다 더 높게 설정될 수 있다. 이렇게 저전위 전원 전압 GVSS0를 GVSS2보다 높게 설정하면, 노드 Qbo 및 Qbe에 게이트전극이 연결된 트랜지스터들(T31a, T31b, T32a, T32b, T7cra, T7a, T7crb, T7b)의 오프 전류를 확실히 차단할 수 있다. 저전위 전원 전압 GVSS1은 GVSS0과 실질적으로 동일하게 설정될 수 있다.
- [0061] 도 5 및 도 6을 참조하면, 스테이지 STGn은 제1 센싱 제어 블록 BK1a, 제2 센싱 제어 블록 BK1b, 입력 블록 BK2, 인버터 블록 BK3, 출력 블록 BK4를 포함한다.
- [0062] 제1 센싱 제어 블록 BK1a는 라인 샘플링 신호(LSP)에 따라 캐리 신호 C(n-2)를 노드 M에 인가하여 노드 M의 전위를 고전위 전원 전압 GVDD로 활성화하고, 노드 M의 활성화 전위와 글로벌 리셋 신호(RESET)에 따라 노드 Q1의 전위를 고전위 전원 전압 GVDD로 활성화한다.
- [0063] 이를 위해, 제1 센싱 제어 블록 BK1a는 복수의 트랜지스터들(Ta, Tb, Tc, T1b, T1c)과 커패시터 Cst1을 포함한다. 트랜지스터 Ta는 라인 샘플링 신호(LSP)가 인가되는 게이트전극, 캐리 신호 C(n-2)가 인가되는 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 Tb는 라인 샘플링 신호(LSP)가 인가되는 게이트전극, 노드 N1에 접속되는 드레인전극, 및 노드 M에 접속되는 소스전극을 포함한다. 트랜지스터 Tc는 노드 N2에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T1b는 노드 N2에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 노드 N3에 접속되는 소스전극을 포함한다. 커패시터 Cst1은 고전위 전원 전압 GVDD의 입력단과 노드 N2 사이에 접속되어 노드 M의 활성화 전위를 유지한다. 트랜지스터 T1c는 글로벌 리셋 신호(RESET)가 인가되는 게이트전극, 노드 N3에 접속되는 드레인전극, 및 노드 Q1에 접속되는 소스전극을 포함한다.
- [0064] 제2 센싱 제어 블록 BK1b는 글로벌 리셋 신호(RESET)와 노드 M의 전위에 따라 노드 Qbo의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다.
- [0065] 이를 위해, 제2 센싱 제어 블록 BK1b는 복수의 트랜지스터들(T5a, T5b)을 포함한다. 트랜지스터 T5a는 글로벌 리셋 신호(RESET)가 인가되는 게이트전극, 노드 Qbo에 접속되는 드레인전극, 및 노드 N4에 접속되는 소스전극을 포함한다. 트랜지스터 T5b는 노드 M에 접속되는 게이트전극, 노드 N4에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS2가 인가되는 소스전극을 포함한다.
- [0066] 입력 블록 BK2은 캐리 신호 C(n-3)를 노드 Q1에 인가하여 노드 Qh 전위를 고전위 전원 전압 GVDD로 활성화한다. 제2 센싱 제어 블록 BK1b는 캐리 신호 C(n+3)에 따라 노드 Q1의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다. 제2 센싱 제어 블록 BK1b는 노드 Qbo 또는 노드 Qbe의 전위에 따라 노드 Q1의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다. 제2 센싱 제어 블록 BK1b는 글로벌 스타트 신호(VSP)에 따라 노드 Q1의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다.
- [0067] 이를 위해, 입력 블록 BK2은 복수의 트랜지스터들(T1, T1a, T3q, T3n, T3na, T31a, T31b, T32a, T32b, T3nb, T3nc)을 포함한다. 트랜지스터 T1는 캐리 신호 C(n-3)가 인가되는 게이트전극과 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T1a는 캐리 신호 C(n-3)가 인가되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 노드 Q1에 접속되는 소스전극을 포함한다. 트랜지스터 T3q는 노드 Q1에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 Qh 노드에 접속되는 소스전극을 포함한다. 트랜지스터 T3n은 캐리 신호 C(n+3)가 인가되는 게이트전극, 노드 Q1에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T3na는 캐리 신호 C(n+3)가 인가되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS2가 인가되는 소스전극을 포함한다. 트랜지스터 T31a는 노드 Qbo에 접속되는 게이트전극, 노드 Q1에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T31b는 노드 Qbo에 접속되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS2가 인가되는 소스전극을 포함한다. 트랜지스터 T32a는 노드 Qbe에 접속되는 게이트전극, 노드 Q1에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T32b는 노드 Qbe에 접속되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS2가 인가되는 소스전극을 포함한다. 트랜지스터 T3nb는 글로벌 스타트 신호 VSP가 인가되는 게이트전극, 노드 Q1에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T3nc는 글로벌 스타트 신호 VSP가 인가되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에

접속되는 소스전극을 포함한다.

- [0068] 인버터 블록 BK3은 캐리 신호 $C(n-3)$ 에 따라 노드 Qbo의 전위를 저전위 전원전압 GVSS2로 비 활성화한다. 인버터 블록 BK3은 노드 Q1의 활성 전위에 따라 노드 Qbo의 전위를 저전위 전원전압 GVSS2로 비 활성화한다. 인버터 블록 BK3은 노드 N5에 전원 전압 GVDDo를 인가하여 노드 Qbo의 전위를 전원 전압 GVDDo로 활성화한다. 인버터 블록 BK3은 노드 Q2의 활성 전위에 따라 노드 N5의 전위를 저전위 전원전압 GVSS2로 비 활성화한다.
- [0069] 이를 위해, 인버터 블록 BK3은 복수의 트랜지스터들(T4, T41, T4q1, T4q2, T5, T5q)을 포함한다. 트랜지스터 T4는 노드 N5에 접속되는 게이트전극, 전원 전압 GVDDo가 인가되는 드레인전극, 및 노드 Qbo에 접속되는 소스전극을 포함한다. 트랜지스터 T41은 전원 전압 GVDDo가 인가되는 게이트전극과 드레인전극, 및 노드 N5에 접속되는 소스전극을 포함한다. 트랜지스터 T4q1은 노드 Q1에 접속되는 게이트전극, 노드 N5에 접속되는 드레인전극, 및 저전위 전원전압 GVSS1에 접속되는 소스전극을 포함한다. 트랜지스터 T4q2는 노드 Q2에 접속되는 게이트전극, 노드 N5에 접속되는 드레인전극, 및 저전위 전원전압 GVSS1이 인가되는 소스전극을 포함한다. 트랜지스터 T5는 캐리 신호 $C(n-3)$ 가 인가되는 게이트전극, 노드 Qbo에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2이 인가되는 소스전극을 포함한다. 트랜지스터 T5q는 노드 Q1에 접속되는 게이트전극, 노드 Qbo에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2이 인가되는 소스전극을 포함한다.
- [0070] 출력 블록 BK4은 노드 Q1의 전위가 전압 레벨 L2에서 L3로 부스팅될 때 캐리 쉬프트 클럭 CRCLK(n)을 캐리 신호 $C(n)$ 으로 출력하고, 노드 Qbo의 전위가 전압 레벨 L2로 활성화되거나 또는, 노드 Qbe의 전위가 전압 레벨 L2로 활성화 될 때 저전위 전원전압 GVSS2를 캐리 신호 $C(n)$ 으로 출력한다. 출력 블록 BK4은 노드 Q1의 전위가 전압 레벨 L2에서 L3로 부스팅될 때 스캔 쉬프트 클럭 SCCLK(n)을 화상 표시용 게이트펄스(또는, 센싱용 게이트 펄스) SCOUT(n)으로 출력하고, 노드 Qbo의 전위가 전압 레벨 L2로 활성화되거나 또는, 노드 Qbe의 전위가 전압 레벨 L2로 활성화 될 때 저전위 전원전압 GVSS0를 화상 표시용 게이트펄스(또는, 센싱용 게이트 펄스) SCOUT(n)으로 출력한다.
- [0071] 이를 위해, 출력 블록 BK4은 복수의 풀업 트랜지스터들(T6cr, T6)과 복수의 풀다운 트랜지스터들(T7cra, T7crb, T7a, T7b), 및 커패시터 Cst2를 포함한다. 풀업 트랜지스터 T6cr은 노드 Q1에 접속된 게이트전극, 캐리 쉬프트 클럭 CRCLK(n)이 인가되는 드레인전극, 및 노드 N6에 접속되는 소스전극을 포함한다. 풀업 트랜지스터 T6은 노드 Q1에 접속된 게이트전극, 스캔 쉬프트 클럭 SCCLK(n)이 인가되는 드레인전극, 및 노드 N7에 접속되는 소스전극을 포함한다. 커패시터 Cst2는 노드 Q1과 노드 N7 사이에 접속된다. 풀다운 트랜지스터 T7cra는 노드 Qbo에 접속되는 게이트전극, 노드 N6에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7crb는 노드 Qbe에 접속되는 게이트전극, 노드 N6에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7a는 노드 Qbo에 접속되는 게이트전극, 노드 N7에 접속되는 드레인전극, 및 저전위 전원전압 GVSS0에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7b는 노드 Qbe에 접속되는 게이트전극, 노드 N7에 접속되는 드레인전극, 및 저전위 전원전압 GVSS0에 접속되는 소스전극을 포함한다.
- [0072] 도 5 및 도 6을 참조하면, 스테이지 STGn+1은 제1 센싱 제어 블록 BK1a', 제2 센싱 제어 블록 BK1b', 입력 블록 BK2', 인버터 블록 BK3', 출력 블록 BK4'를 포함한다.
- [0073] 제1 센싱 제어 블록 BK1a'은 글로벌 리셋 신호(RESET)에 따라 노드 Q2의 전위를 고전위 전원 전압 GVDD로 활성화하는 트랜지스터 T1c'를 포함한다. 트랜지스터 T1c'는 글로벌 리셋 신호(RESET)가 인가되는 게이트전극, 노드 N3에 접속되는 드레인전극, 및 노드 Q2에 접속되는 소스전극을 포함한다.
- [0074] 제2 센싱 제어 블록 BK1b'는 글로벌 리셋 신호(RESET)와 노드 M의 전위에 따라 노드 Qbe의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다. 이를 위해, 제2 센싱 제어 블록 BK1b'는 트랜지스터 T5a'를 포함한다. 트랜지스터 T5a'는 글로벌 리셋 신호(RESET)가 인가되는 게이트전극, 노드 Qbe에 접속되는 드레인전극, 및 노드 N4에 접속되는 소스전극을 포함한다.
- [0075] 입력 블록 BK2'은 캐리 신호 $C(n-2)$ 를 노드 Q2와 노드 Qh에 인가하고, 노드 Qbe, Qbo의 전위에 따라 노드 Q2와 노드 Qh를 쇼트시킨다. 입력 블록 BK2'은 글로벌 스타트 신호 VSP와 캐리 신호 $C(n+4)$ 에 따라 노드 Q2와 노드 Qh를 쇼트시킨다.
- [0076] 이를 위해, 입력 블록 BK2'은 복수의 트랜지스터들(T1', T1a', T3n', T3nb', T31a', T32a')을 포함한다. 트랜지스터 T1'는 캐리 신호 $C(n-2)$ 가 인가되는 게이트전극과 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T1a'는 캐리 신호 $C(n-2)$ 가 인가되는 게이트전극, 노드 Qh에 접속되는 드레인전극, 및 노드 Q2에 접

속되는 소스전극을 포함한다. 트랜지스터 T3n'은 캐리 신호 C(n+4)가 인가되는 게이트전극, 노드 Q2에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T31a'는 노드 Qbe에 접속되는 게이트전극, 노드 Q2에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T32a'는 노드 Qbo에 접속되는 게이트전극, 노드 Q2에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다. 트랜지스터 T3nb'는 글로벌 스타트 신호 VSP가 인가되는 게이트전극, 노드 Q2에 접속되는 드레인전극, 및 노드 Qh에 접속되는 소스전극을 포함한다.

[0077] 인버터 블록 BK3'은 캐리 신호 C(n-3)에 따라 노드 Qbe의 전위를 저전위 전원전압 GVSS2로 비 활성화한다. 인버터 블록 BK3'은 노드 Q2의 활성 전위에 따라 노드 Qbe의 전위를 저전위 전원전압 GVSS2로 비 활성화한다. 인버터 블록 BK3'은 노드 N5'에 전원 전압 GVDDe를 인가하여 노드 Qbe의 전위를 전원 전압 GVDDe로 활성화한다. 인버터 블록 BK3'은 노드 Q1의 활성 전위에 따라 노드 N5'의 전위를 저전위 전원전압 GVSS2로 비 활성화한다.

[0078] 이를 위해, 인버터 블록 BK3'은 복수의 트랜지스터들(T4', T41', T4q1', T4q2', T5', T5q')을 포함한다. 트랜지스터 T4'는 노드 N5'에 접속되는 게이트전극, 전원 전압 GVDDe가 인가되는 드레인전극, 및 노드 Qbe에 접속되는 소스전극을 포함한다. 트랜지스터 T41'은 전원 전압 GVDDe가 인가되는 게이트전극과 드레인전극, 및 노드 N5'에 접속되는 소스전극을 포함한다. 트랜지스터 T4q1'은 노드 Q2에 접속되는 게이트전극, 노드 N5'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS1에 접속되는 소스전극을 포함한다. 트랜지스터 T4q2'는 노드 Q1에 접속되는 게이트전극, 노드 N5'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS1이 인가되는 소스전극을 포함한다. 트랜지스터 T5'는 캐리 신호 C(n-3)가 인가되는 게이트전극, 노드 Qbe에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2이 인가되는 소스전극을 포함한다. 트랜지스터 T5q'는 노드 Q2에 접속되는 게이트전극, 노드 Qbe에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2이 인가되는 소스전극을 포함한다.

[0079] 출력 블록 BK4'은 노드 Q2의 전위가 전압 레벨 L2에서 L3로 부스팅될 때 캐리 쉬프트 클럭 CRCLK(n+1)을 캐리 신호 C(n+1)으로 출력하고, 노드 Qbo의 전위가 전압 레벨 L2로 활성화되거나 또는, 노드 Qbe의 전위가 전압 레벨 L2로 활성화 될 때 저전위 전원전압 GVSS2를 캐리 신호 C(n+1)으로 출력한다. 출력 블록 BK4'은 노드 Q2의 전위가 전압 레벨 L2에서 L3로 부스팅될 때 스캔 쉬프트 클럭 SCCLK(n+1)을 화상 표시용 게이트펄스(또는, 센싱용 게이트 펄스) SCOUT(n+1)으로 출력하고, 노드 Qbo의 전위가 전압 레벨 L2로 활성화되거나 또는, 노드 Qbe의 전위가 전압 레벨 L2로 활성화 될 때 저전위 전원전압 GVSS0를 화상 표시용 게이트펄스(또는, 센싱용 게이트 펄스) SCOUT(n+1)으로 출력한다.

[0080] 이를 위해, 출력 블록 BK4'은 복수의 풀업 트랜지스터들(T6cr', T6')과 복수의 풀다운 트랜지스터들(T7cra', T7crb', T7a', T7b'), 및 커패시터 Cst2'를 포함한다. 풀업 트랜지스터 T6cr'은 노드 Q2에 접속된 게이트전극, 캐리 쉬프트 클럭 CRCLK(n+1)이 인가되는 드레인전극, 및 노드 N6'에 접속되는 소스전극을 포함한다. 풀업 트랜지스터 T6'은 노드 Q2에 접속된 게이트전극, 스캔 쉬프트 클럭 SCCLK(n+1)이 인가되는 드레인전극, 및 노드 N7'에 접속되는 소스전극을 포함한다. 커패시터 Cst2'는 노드 Q2와 노드 N7' 사이에 접속된다. 풀다운 트랜지스터 T7cra'는 노드 Qbe에 접속되는 게이트전극, 노드 N6'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7crb'는 노드 Qbo에 접속되는 게이트전극, 노드 N6'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7a'는 노드 Qbe에 접속되는 게이트전극, 노드 N7'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS0에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T7b'는 노드 Qbo에 접속되는 게이트전극, 노드 N7'에 접속되는 드레인전극, 및 저전위 전원전압 GVSS0에 접속되는 소스전극을 포함한다.

[0081] 한편, 도 6은 교류 구동의 일 예로서 GVDDo를 전압 레벨 L2로 인가하고, GVDDe를 전압 레벨 L1로 인가하는 경우를 보여주고 있다. 본 발명은 GVDDo를 전압 레벨 L1로 인가하고, GVDDe를 전압 레벨 L2로 인가하는 경우에도 동일하게 적용된다.

[0082] 도 6을 참조하면, 노드 Q1의 전위는, 캐리 신호 C(n-3)에 동기하여 전압 레벨 L1에서 L2로 높아지고, 캐리 신호 C(n)에 동기하여 전압 레벨 L2에서 L3로 부스팅된 후 전압 레벨 L3에서 L2로 낮아진다. 그리고, 노드 Q1의 전위는, 캐리 신호 C(n+3)에 동기하여 전압 레벨 L2에서 L1로 낮아진다.

[0083] 노드 Q2의 전위는, 캐리 신호 C(n-2)에 동기하여 전압 레벨 L1에서 L2로 높아지고, 캐리 신호 C(n+1)에 동기하여 전압 레벨 L2에서 L3로 부스팅된 후 전압 레벨 L3에서 L2로 낮아진다. 그리고, 노드 Q2의 전위는, 캐리 신호 C(n+4)에 동기하여 전압 레벨 L2에서 L1로 낮아진다.

[0084] 노드 Qbo의 전위는, 캐리 신호 C(n-3)에 동기하여 전압 레벨 L2에서 L1로 낮아지고, 캐리 신호 C(n+4)에 동기하

여 전압 레벨 L1에서 L2로 높아진다.

- [0085] 노드 Qbe의 전위는 전압 레벨 L1을 유지한다.
- [0086] 이 경우, 캐리 신호 C(n)에 동기하여 화상 표시용 게이트펄스 SCOUT(n)가 출력되고, 캐리 신호 C(n+1)에 동기하여 화상 표시용 게이트펄스 SCOUT(n+1)가 출력된다. 캐리 신호들 C(n) 및 C(n+1)의 진폭(GVDDo-GVSS2)은 화상 표시용 게이트펄스들 SCOUT(n) 및 SCOUT(n+1)의 진폭(GVDDo-GVSS0)보다 크다.
- [0087] 도 7a 내지 도 7i는 도 5 및 도 6에 도시된 게이트 쉬프트 레지스터의 동작 과정을 순차적으로 보여주는 도면들이다. 도 7a 내지 도 7i에서는 화상 표시용 게이트펄스와 캐리 신호의 출력 시퀀스를 보여준다. 센싱용 게이트펄스의 출력 시퀀스는 도 2 및 도 3을 통해 설명한 바와 같다. 도 7a 내지 도 7i에서, 활성화 전위를 갖는 노드들은 굵은 선으로 표기되고, 비 활성화 전위를 갖는 노드들은 가는 선으로 표기된다.
- [0088] 도 7a를 참조하면, A 기간 동안 트랜지스터들 T4 및 T41의 턴 온에 의해 노드 Qbo의 전위가 전압 레벨 L2(GVDDo)로 높아진다. 이때, 노드 Qbo에 게이트전극이 연결된 트랜지스터들 T31a 및 T32b도 턴 온 되어 노드 Q1 및 Qh의 전위가 전압 레벨 L1(GVSS0)로 낮아진다. 또한, 노드 Qbo에 게이트전극이 연결된 트랜지스터들 T32a'도 턴 온 되어 노드 Q2와 노드 Qh가 서로 연결되며, 그에 따라 노드 Q2의 전위도 전압 레벨 L1(GVSS0)로 낮아진다.
- [0089] A 기간 동안, 노드 Qbo에 게이트전극이 연결된 풀다운 트랜지스터들(T7cra,T7a)의 턴 온에 의해, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2이 된다. 또한, 노드 Qbo에 게이트전극이 연결된 풀다운 트랜지스터들(T7crb',T7b')의 턴 온에 의해, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n+1)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0090] 도 7b를 참조하면, B 기간 동안 GVDDo의 전위를 갖는 캐리 신호 Cn-3가 입력되면, 트랜지스터들 T1 및 T1a의 턴 온에 의해 노드 Q1의 전위가 전압 레벨 L2(GVDDo)로 높아지고, 트랜지스터 T5의 턴 온에 의해 노드 Qbo의 전위가 전압 레벨 L1(GVSS0)로 낮아진다. 이때, 노드 Q1에 게이트전극이 연결된 트랜지스터 T3q도 턴 온 되어 노드 Qh의 전위가 전압 레벨 L2(GVDDo)로 높아진다. 그리고, 노드 Q1에 게이트전극이 연결된 트랜지스터 T5q도 턴 온 되어 노드 Qbo의 전위를 전압 레벨 L1(GVSS0)로 유지시킨다.
- [0091] B 기간 동안, 스캔 쉬프트 클럭 SCCLK(n)의 전위는 저전위 전원전압 GVSS0이고, 캐리 쉬프트 클럭 CRCLK(n)의 전위는 저전위 전원전압 GVSS2이다. 이때, 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr,T6)은 문턱 전압이 높기 때문에 턴 오프 상태를 유지한다. 따라서, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0092] 도 7c를 참조하면, C 기간 동안 GVDDo의 전위를 갖는 캐리 신호들 Cn-3 및 Cn-2가 입력된다.
- [0093] 캐리 신호 Cn-3에 따른 트랜지스터들 T1 및 T1a의 턴 온에 의해 노드 Q1의 전위가 전압 레벨 L2(GVDDo)로 높아지고, 트랜지스터 T5의 턴 온에 의해 노드 Qbo의 전위가 전압 레벨 L1(GVSS0)로 낮아진다. 그리고, 노드 Q1에 게이트전극이 연결된 트랜지스터 T3q도 턴 온 되어 노드 Qh의 전위가 전압 레벨 L2(GVDDo)로 높아진다. 그리고, 노드 Q1에 게이트전극이 연결된 트랜지스터 T5q도 턴 온 되어 노드 Qbo의 전위를 전압 레벨 L1(GVSS0)로 유지시킨다.
- [0094] 캐리 신호 Cn-2에 따른 트랜지스터들 T1' 및 T1a'의 턴 온에 의해 노드 Q2의 전위가 전압 레벨 L2(GVDDo)로 높아지고, 트랜지스터 T5'의 턴 온에 의해 노드 Qbe의 전위가 전압 레벨 L1(GVSS0)로 낮아진다. 그리고, 노드 Q2에 게이트전극이 연결된 트랜지스터 T5q'도 노드 Qbe의 전위를 전압 레벨 L1(GVSS0)로 유지시킨다.
- [0095] C 기간 동안, 스캔 쉬프트 클럭들 SCCLK(n) 및 SCCLK(n+1)의 전위는 저전위 전원전압 GVSS0이고, 캐리 쉬프트 클럭들 CRCLK(n) 및 CRCLK(n+1)의 전위는 저전위 전원전압 GVSS2이다. 이때, 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr,T6)이 턴 오프 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2이 된다. 또한, 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr',T6')이 턴 오프 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n+1)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0096] 도 7d를 참조하면, D 기간 동안 캐리 신호 Cn-3의 전위가 GVDDo에서 GVSS2로 낮아지고, 캐리 신호 Cn-2의 전위는 GVDDo로 유지된다.

- [0097] D 기간 동안, 캐리 신호 C_n-3 의 전위 변화에 의해, 트랜지스터들 T5 및 T5'가 턴 오프 된다. 하지만, 트랜지스터들 T5q 및 T5q'가 턴 온 상태를 유지하므로, 노드 Qbo 및 Qbe의 전위는 전압 레벨 L1(GVSS0)로 유지된다.
- [0098] D 기간 동안, 스캔 쉬프트 클럭들 SCCLK(n) 및 SCCLK(n+1)의 전위는 저전위 전원전압 GVSS0이고, 캐리 쉬프트 클럭들 CRCLK(n) 및 CRCLK(n+1)의 전위는 저전위 전원전압 GVSS2이다. 이때, 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr, T6)이 턴 오프 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2이 된다. 또한, 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr', T6')도 문턱 전압이 높기 때문에 턴 오프 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n+1)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0099] 도 7e를 참조하면, E 기간 동안 캐리 신호 C_n-2 의 전위가 GVDDo에서 GVSS2로 낮아진다.
- [0100] E 기간 동안, 캐리 신호 C_n-2 의 전위 변화에 의해, 트랜지스터들 T1' 및 T1a'가 턴 오프 된다. 하지만, 트랜지스터들(T4q1, T4q2, T4q1', T4q2')가 턴 온 상태를 유지하므로, 노드 Q1 및 Q2의 전위는 전압 레벨 L2(GVDDo)로 유지되고, 또한 노드 Qbo 및 Qbe의 전위도 전압 레벨 L1(GVSS0)로 유지된다.
- [0101] E 기간 동안 스캔 쉬프트 클럭 SCCLK(n)의 전위는 전원 전압 GVDDo로 높아지고, 캐리 쉬프트 클럭 CRCLK(n)의 전위도 전원 전압 GVDDo로 높아진다. 이러한 스캔 쉬프트 클럭 SCCLK(n)과 캐리 쉬프트 클럭 CRCLK(n)이 입력될 때, 노드 Q1의 전위는 풀업 트랜지스터들(T6cr, T6)을 충분히 턴 온 시킬 수 있는 전압 레벨 L3로 부스팅된다. 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr, T6)이 턴 온 될 때, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 전원전압 GVDDo가 되고, 캐리 신호 C(n)의 전위도 전원전압 GVDDo가 된다. 반면에, 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr', T6')은 턴 오프 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n+1)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0102] 도 7f를 참조하면, F 기간 동안 스캔 쉬프트 클럭들 SCCLK(n) 및 SCCLK(n+1)의 전위는 전원 전압 GVDDo이고, 캐리 쉬프트 클럭들 CRCLK(n) 및 CRCLK(n+1)의 전위도 전원 전압 GVDDo이다. 이러한 스캔 쉬프트 클럭들 SCCLK(n) 및 SCCLK(n+1)과 캐리 쉬프트 클럭들 CRCLK(n) 및 CRCLK(n+1)이 입력될 때, 노드 Q1의 전위는 풀업 트랜지스터들(T6cr, T6)을 충분히 턴 온 시킬 수 있는 전압 레벨 L3로 부스팅되고, 또한 노드 Q2의 전위는 풀업 트랜지스터들(T6cr', T6')을 충분히 턴 온 시킬 수 있는 전압 레벨 L3로 부스팅된다.
- [0103] F 기간 동안, 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr, T6)이 턴 온 될 때, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 전원전압 GVDDo가 되고, 캐리 신호 C(n)의 전위도 전원전압 GVDDo가 된다. 그리고, 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr', T6')이 턴 온 될 때, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 전원전압 GVDDo가 되고, 캐리 신호 C(n+1)의 전위도 전원전압 GVDDo가 된다.
- [0104] 도 7g를 참조하면, G 기간 동안 스캔 쉬프트 클럭 SCCLK(n)의 전위는 저전위 전원전압 GVSS0로 낮아지고, 캐리 쉬프트 클럭 CRCLK(n)의 전위도 저전위 전원전압 GVSS0로 낮아진다. 이러한 스캔 쉬프트 클럭 SCCLK(n)과 캐리 쉬프트 클럭 CRCLK(n)이 입력될 때, 노드 Q1의 전위는 전압 레벨 L2로 낮아진다. 노드 Q1에 게이트전극이 연결된 풀업 트랜지스터들(T6cr, T6)은 턴 오프 되고, 화상 표시용 게이트 펄스 SCOUT(n)의 전위는 저전위 전원전압 GVSS0가 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2가 된다. 반면에, 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr', T6')은 턴 온 상태를 유지하고, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 전원전압 GVDDo가 되고, 캐리 신호 C(n+1)의 전위도 전원전압 GVDDo가 된다.
- [0105] 도 7h를 참조하면, H 기간 동안 GVDDo의 전위를 갖는 캐리 신호 C_n+3 가 입력되면, 트랜지스터들 T3n 및 T3na가 턴 온 되고, 노드 Q1 및 Qh의 전위가 저전위 전원전압 GVSS2로 낮아진다.
- [0106] H 기간 동안 스캔 쉬프트 클럭 SCCLK(n+1)의 전위는 저전위 전원전압 GVSS0로 낮아지고, 캐리 쉬프트 클럭 CRCLK(n+1)의 전위도 저전위 전원전압 GVSS0로 낮아진다. 이러한 스캔 쉬프트 클럭 SCCLK(n+1)과 캐리 쉬프트 클럭 CRCLK(n+1)이 입력될 때, 노드 Q2의 전위는 전압 레벨 L2(GVSS2)로 낮아진다. 노드 Q2에 게이트전극이 연결된 풀업 트랜지스터들(T6cr', T6')은 턴 오프 되고, 화상 표시용 게이트 펄스 SCOUT(n+1)의 전위는 저전위 전원전압 GVSS0가 되고, 캐리 신호 C(n+1)의 전위는 저전위 전원전압 GVSS2가 된다.
- [0107] 도 7i를 참조하면, I 기간 동안, GVDDo의 전위를 갖는 캐리 신호 C_n+4 가 입력되면, 트랜지스터 T3n'가 턴 온 되고, 노드 Q2와 노드 Qh가 연결되어 노드 Qh의 전위가 저전위 전원전압 GVSS2로 낮아진다.

- [0108] I 기간 동안, 트랜지스터들 T4q1 및 T4q2가 턴 오프 되고, 트랜지스터 T4가 턴 오프 되어, 노드 Qbo의 전위가 전원전압 GVDDo로 높아진다. 이때, 노드 Qbo에 게이트전극이 연결된 트랜지스터들 T31a, T31b, 및 T32a'가 턴 온 되어 노드 Q1의 전위는 전압 레벨 L2(GVSS2)로 유지되고, 노드 Q2의 전위는 전압 레벨 L2(GVSS2)로 낮아진다.
- [0109] 도 8은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여준다.
- [0110] 도 8을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 스캔 구동회로, 및 타이밍 콘트롤러(110) 등을 구비한다.
- [0111] 표시패널(100)에는 다수의 데이터라인들 및 센싱라인들과, 다수의 게이트라인들이 교차되고, 이 교차영역마다 외부 보상용 픽셀들이 매트릭스 형태로 배치되어 외부 보상용 픽셀 어레이를 구성할 수 있다. 각 픽셀은 OLED, 구동 소자(Thin Film Transistor), 스토리지 커패시터, 제1 트랜지스터 소자, 및 제2 트랜지스터 소자를 포함할 수 있다. 소자들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, 소자의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0112] 외부 보상용 픽셀 어레이를 갖는 본 발명의 유기발광 표시장치는 OLED와 구동 소자의 전기적 특성을 센싱하고 그 센싱값에 따라 화상 표시용 데이터를 보정하는 기술이다. OLED의 전기적 특성은 OLED의 동작점 전압을 의미한다. 구동 소자의 전기적 특성은 구동 소자의 문턱전압과 구동 소자의 전자 이동도를 의미한다.
- [0113] 외부 보상용 픽셀 어레이를 포함한 유기발광 표시장치는 본원 출원인에 의해 기출원된 출원번호 제10-2013-0134256호(2013/11/06), 출원번호 제10-2013-0141334호(2013/11/20), 출원번호 제10-2013-0149395호(2013/12/03), 출원번호 제10-2014-0086901호(2014/07/10), 출원번호 제10-2014-0079255호(2014/06/26), 출원번호 제10-2014-0079587호(2014/06/27), 출원번호 제10-2014-0119357호(2014/09/05) 등에 나타나 있다.
- [0114] 본 발명의 유기발광 표시장치는 픽셀들의 전기적 특성을 센싱하기 위해 실시간 센싱 프로세스를 수행한다. 본 발명의 유기발광 표시장치는 1 프레임 중에서 화상 데이터 기입 기간(WP)을 제외한 수직 블랭크 기간(BP)에서 센싱 동작을 수행하되, 1 프레임마다 1 픽셀라인씩 센싱한다. 여기서, 픽셀라인은 수평으로 이웃한 픽셀들의 집합을 의미하며, 1 픽셀라인에는 수평 해상도만큼의 픽셀들이 위치한다. 패널 구동회로는 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트펄스를 표시패널의 게이트라인들에 순차적으로 공급하여 화상 표시용 데이터를 표시패널의 모든 픽셀들에 기입하고, 수직 블랭크 기간(BP)에서 특정 픽셀라인에 연결된 게이트라인에만 센싱용 게이트펄스를 공급하여 센싱용 데이터를 상기 특정 픽셀라인의 픽셀들에 인가한다.
- [0115] 이를 위해, 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터 화상 표시용 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 화상 표시용 데이터들(RGB)을 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 화상 표시용 게이트펄스들에 동기되도록 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0116] 스캔 구동회로는 타이밍 콘트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프터(level shiftet)(150), 및 게이트 쉬프트 레지스터(130)를 구비한다.
- [0117] 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 클럭 신호들(CLKs)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 표시패널(100)에 형성된 소자를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 게이트 쉬프트 레지스터(130)는 도 1 내지 도 7i를 통해 설명한 바와 같이 종래 대비 간소화 스테이지 구성만으로 수직 블랭크 기간에 센싱용 게이트펄스를 랜덤한 순서로 출력함으로써, 센싱 대상 픽셀라인을 불규칙하게 선택할 수 있다.
- [0118] 스캔 구동회로는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. GIP 방식에서, 레벨 쉬프터(150)는 PCB(140) 상에 실장되고, 게이트 쉬프트 레지스터(130)는 표시패널(100)의 하부기판 상에 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다.
- [0119] 타이밍 콘트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 화상 표시용 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 전기적 특

성 편차가 보상되도록 화상 표시용 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.

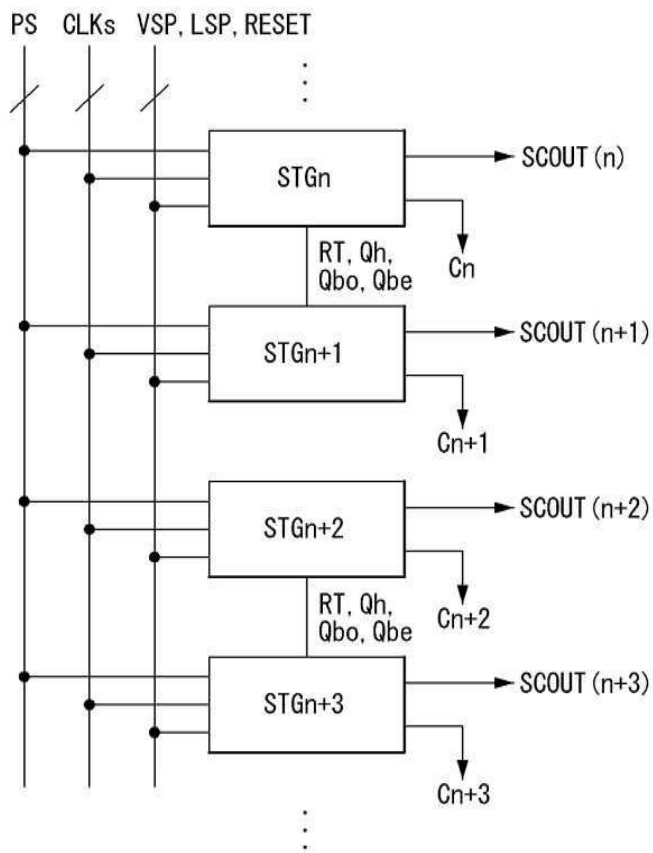
- [0120] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받는다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 스캔 구동회로의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호를 생성한다.
- [0121] 스캔 타이밍 제어신호는 라인 샘플링 신호(LSP), 글로벌 리셋 신호(RESET), 글로벌 스타트 신호(VSP) 및 클럭 신호(CLKs) 등을 포함한다.
- [0122] 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 전압의 출력 타이밍을 제어하는 신호이다.
- [0123] 전술한 본 발명은 다음과 같은 효과가 있다.
- [0124] 첫째, 본 발명은 실시간 센싱을 구현하기 위한 게이트 쉬프트 레지스터의 구성이 종래 대비 매우 간소하다. 그럼에도 불구하고, 본 발명은 수평 블랭크 기간에서 센싱용 게이트펄스를 랜덤한 순서로 출력함으로써, 센싱 대상 픽셀라인을 불규칙하게 선택할 수 있다. 본 발명은 센싱 대상 픽셀라인을 불규칙하게 선택함으로써 종래 기술의 문제점인 순차 센싱에 따른 휘도 편차 시인 현상을 방지할 수 있다.
- [0125] 둘째, 본 발명은 종래 대비 간소한 구성의 게이트 쉬프트 레지스터를 구비하기 때문에 공정 불량률이 발생할 확률이 낮고, 동작의 신뢰성이 높다.
- [0126] 셋째, 본 발명의 게이트 쉬프트 레지스터는 그 구성이 간소하기 때문에 표시패널에 내장될 경우 베젤 사이즈를 감소시킬 수 있다. 그리고, 본 발명의 게이트 쉬프트 레지스터는 실시간 센싱을 위해 클럭 라인 및 전원 라인을 추가할 필요가 없기 때문에 종래 대비 소비 전력 면에서 유리하다.
- [0127] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

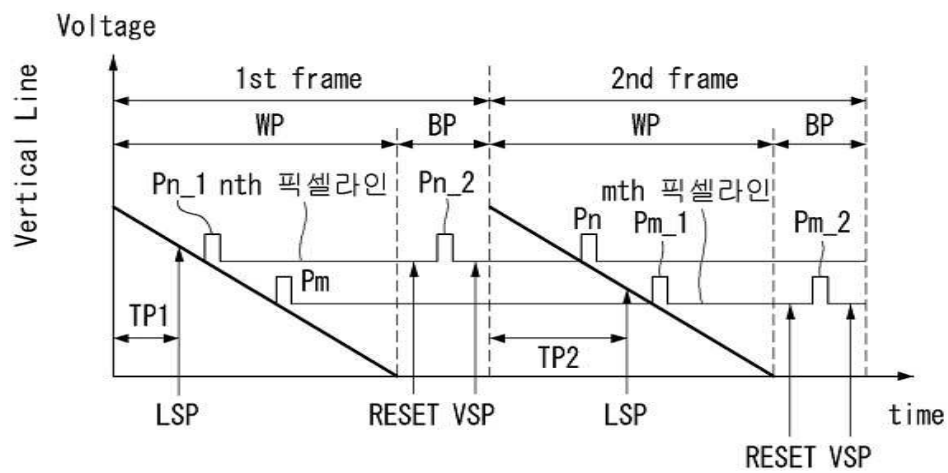
- [0128] 100 : 표시패널 110 : 타이밍 컨트롤러
120 : 소스 드라이브 IC 130 : 게이트 쉬프트 레지스터
140 : PCB 150 : 레벨 쉬프터

도면

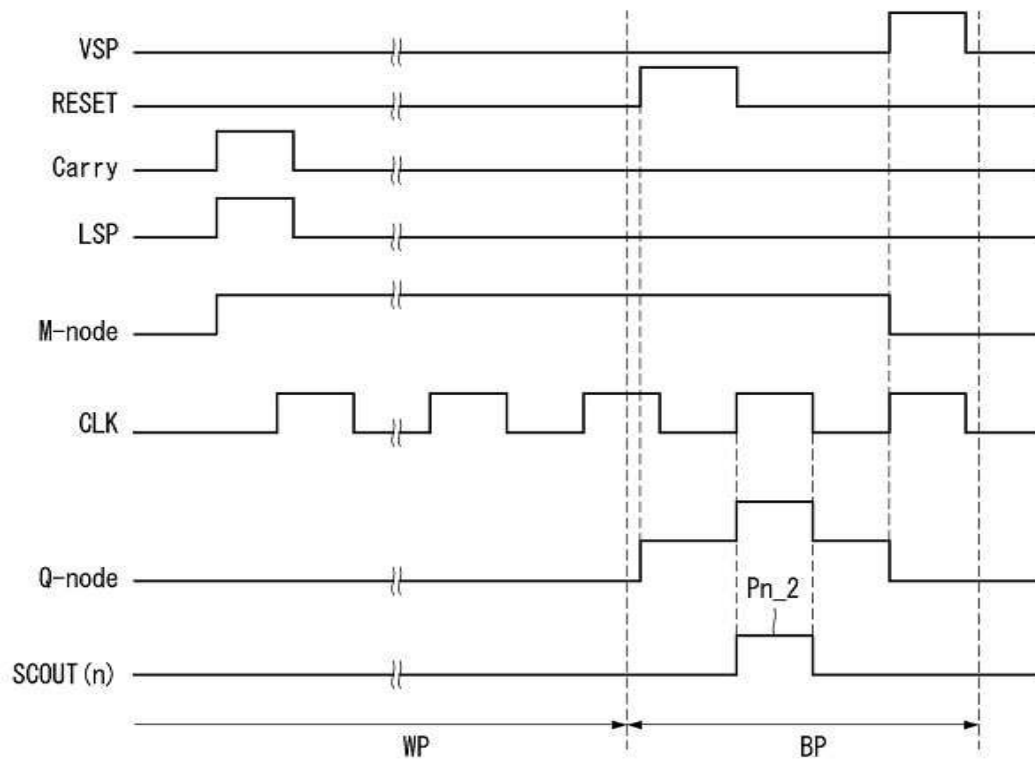
도면1



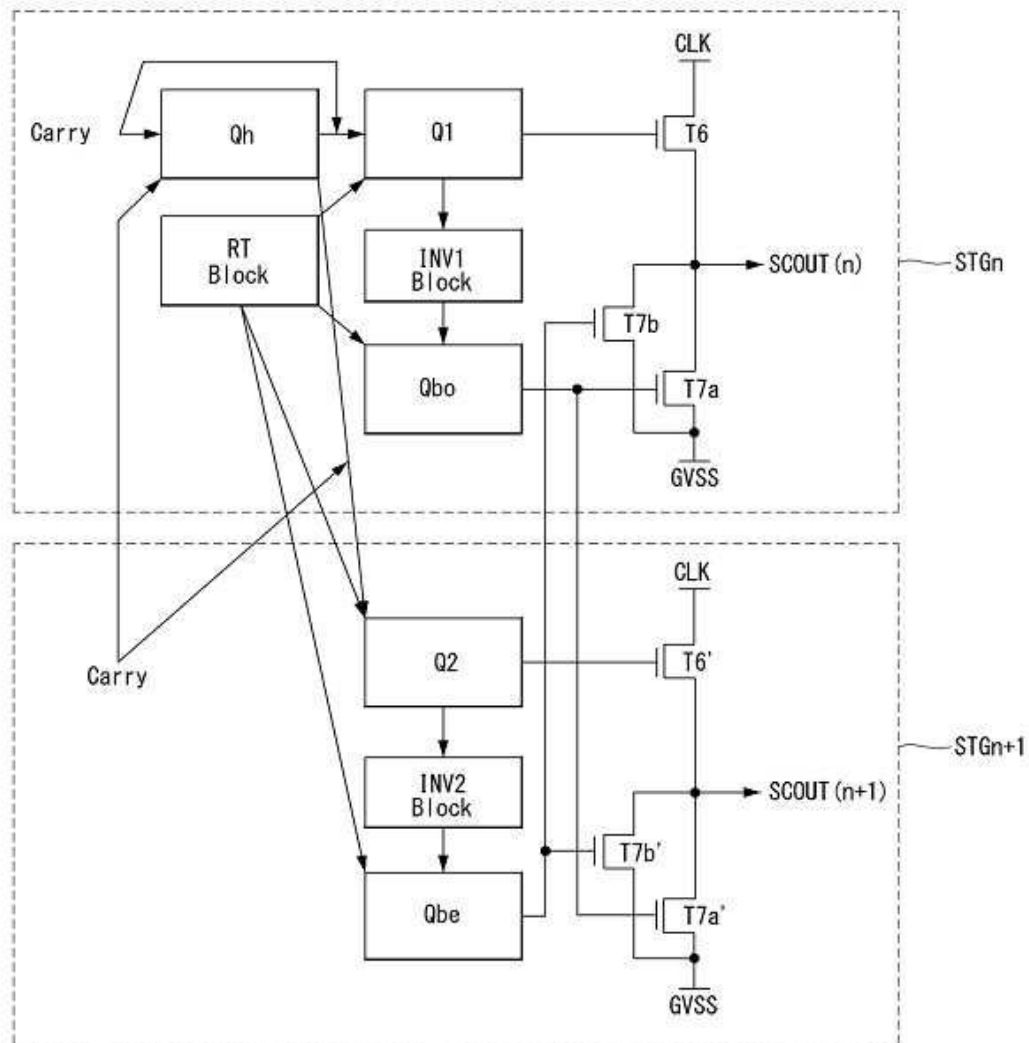
도면2



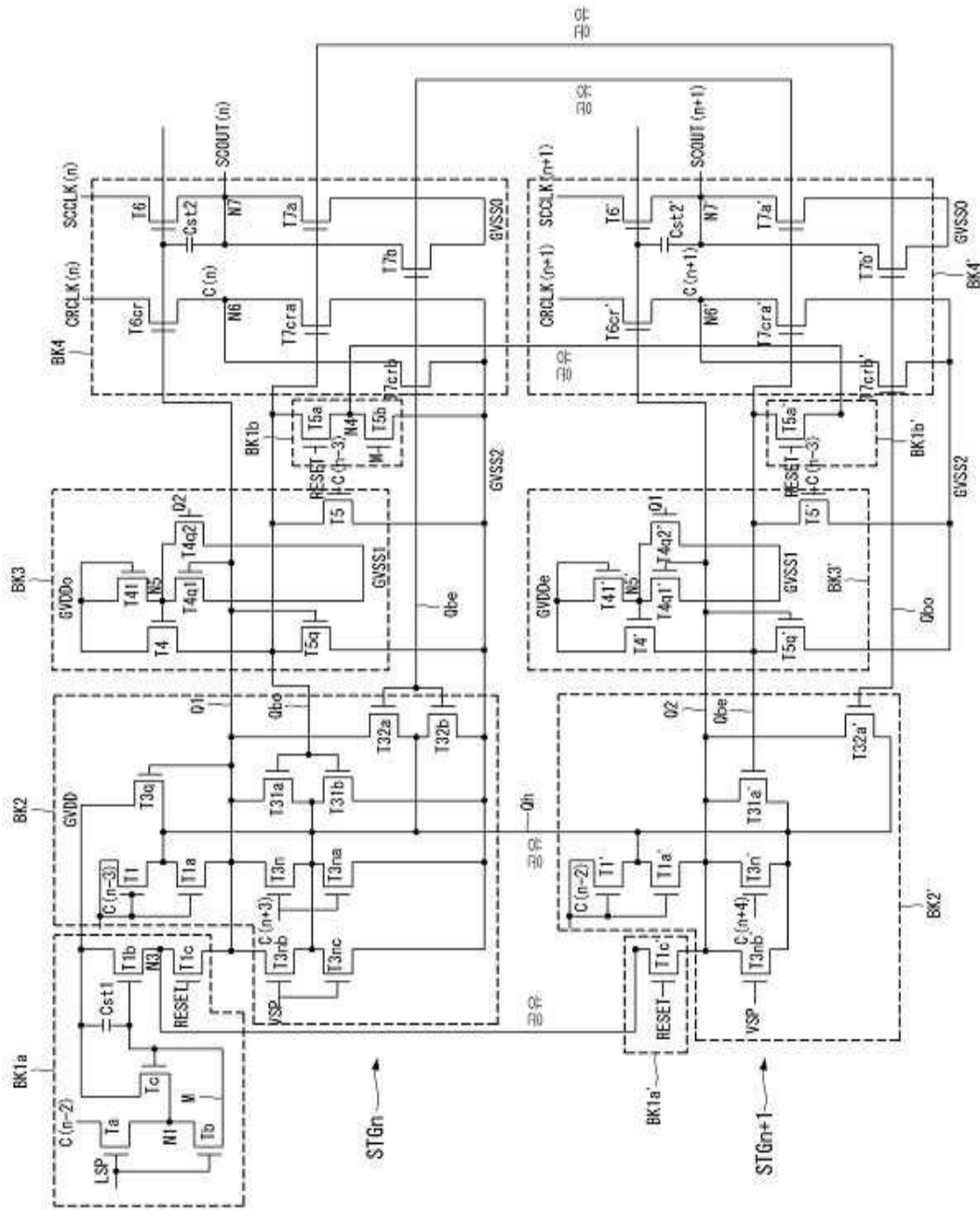
도면3



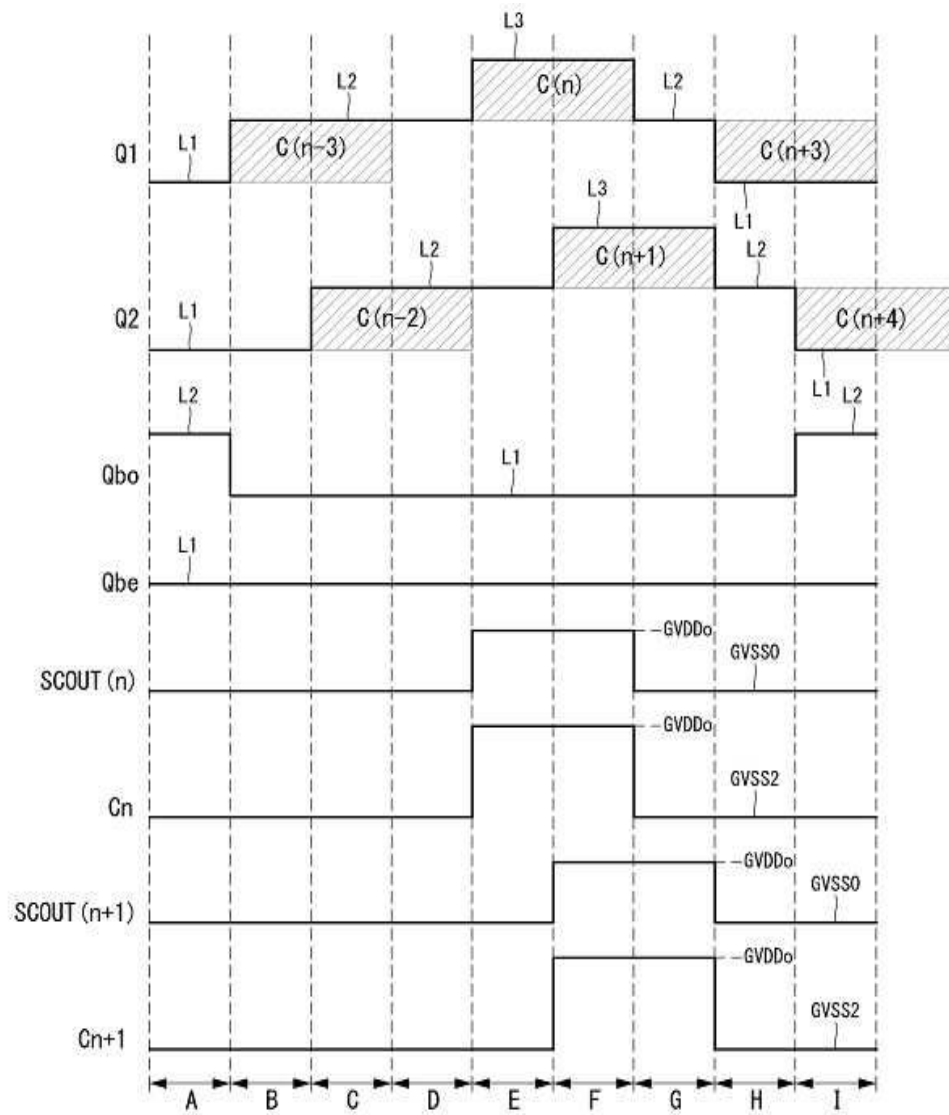
도면4



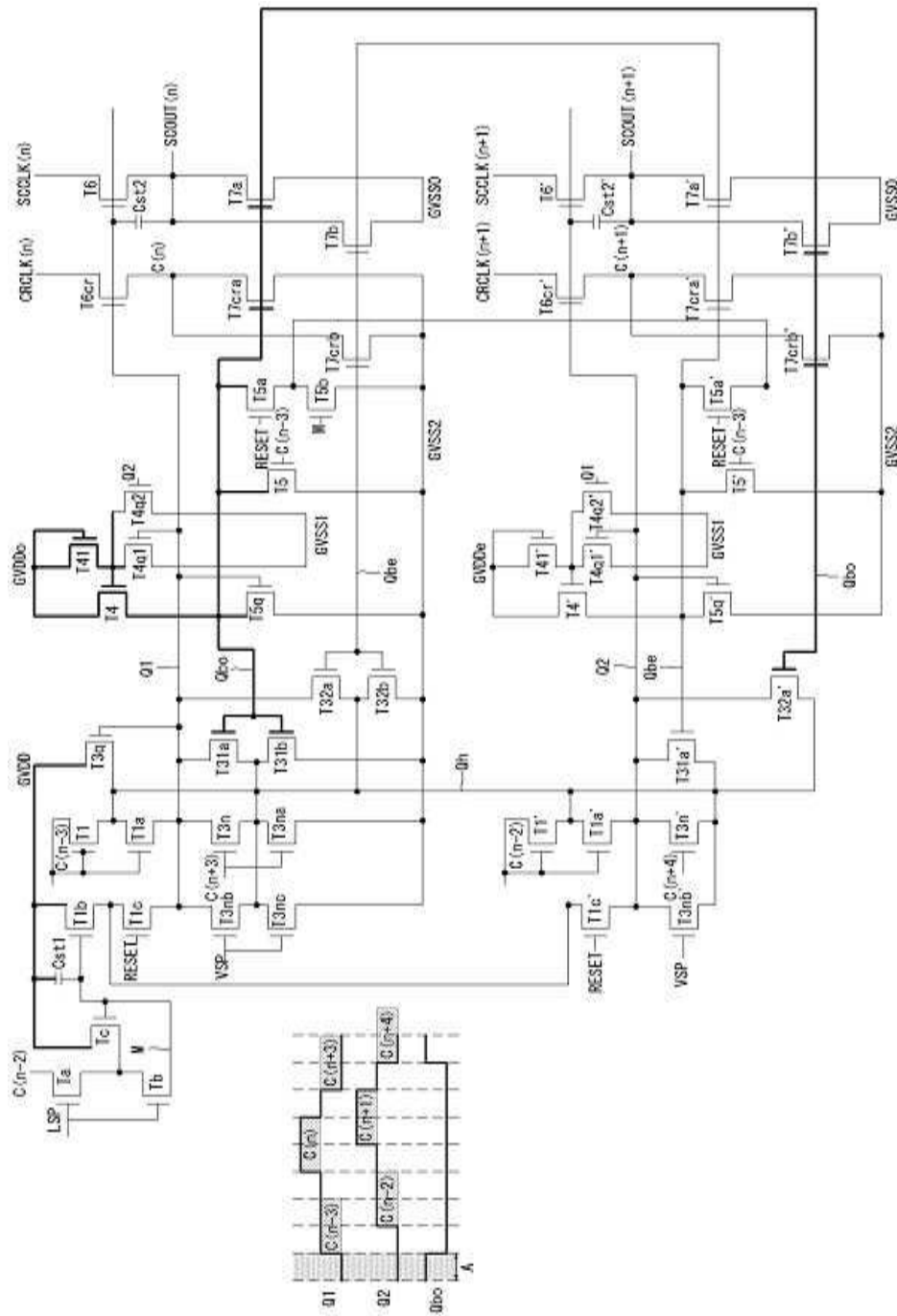
도면5



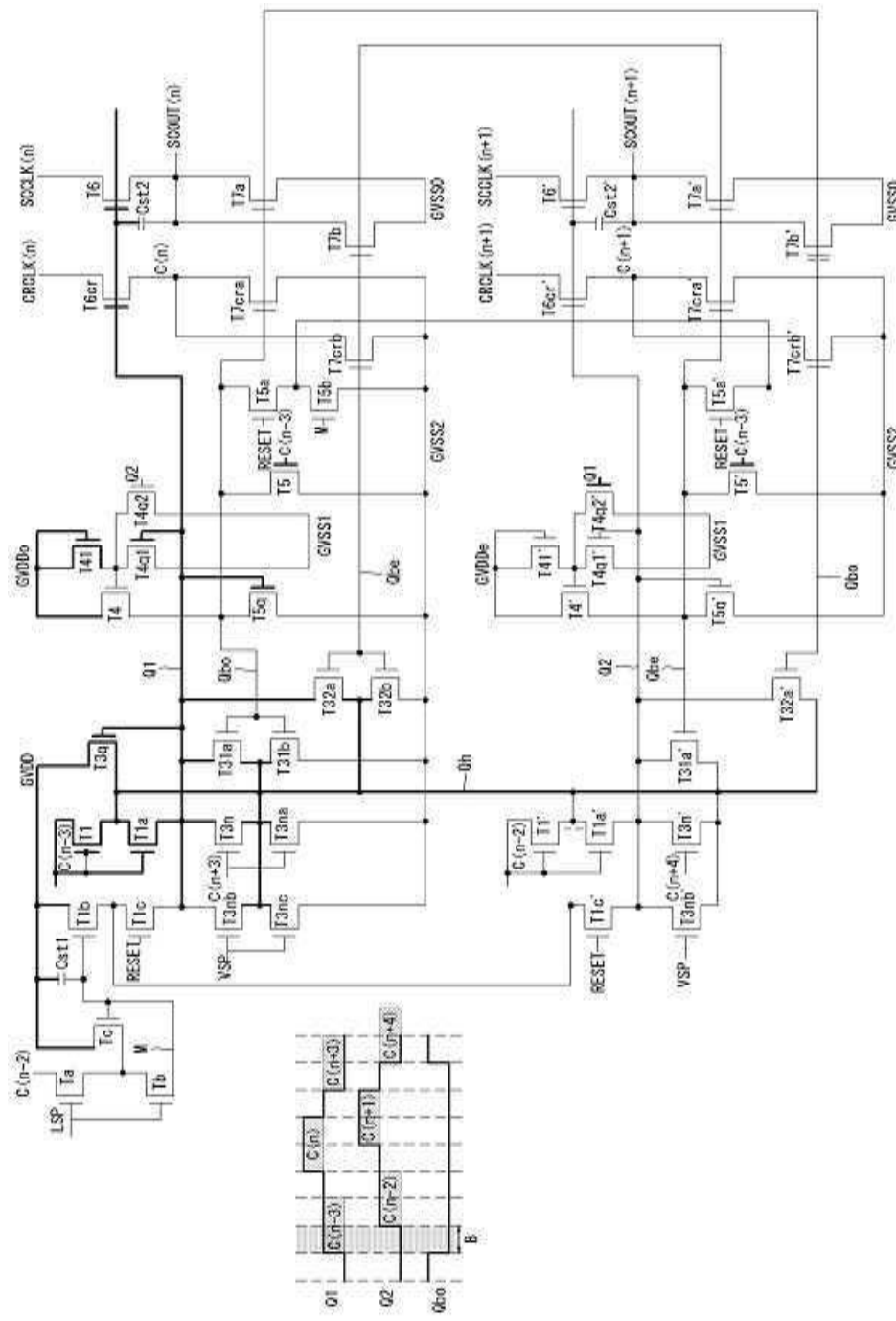
도면6



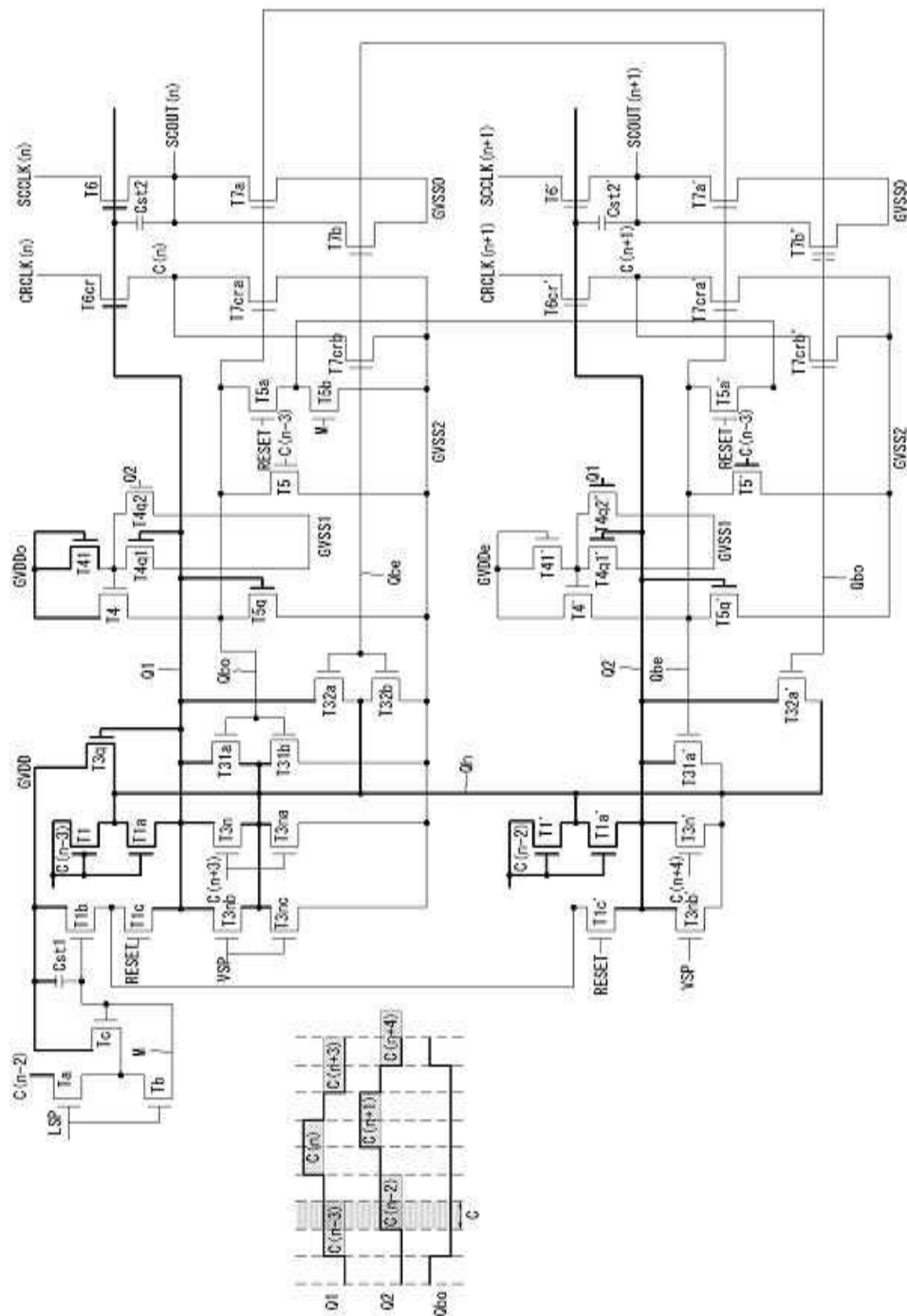
도면7a



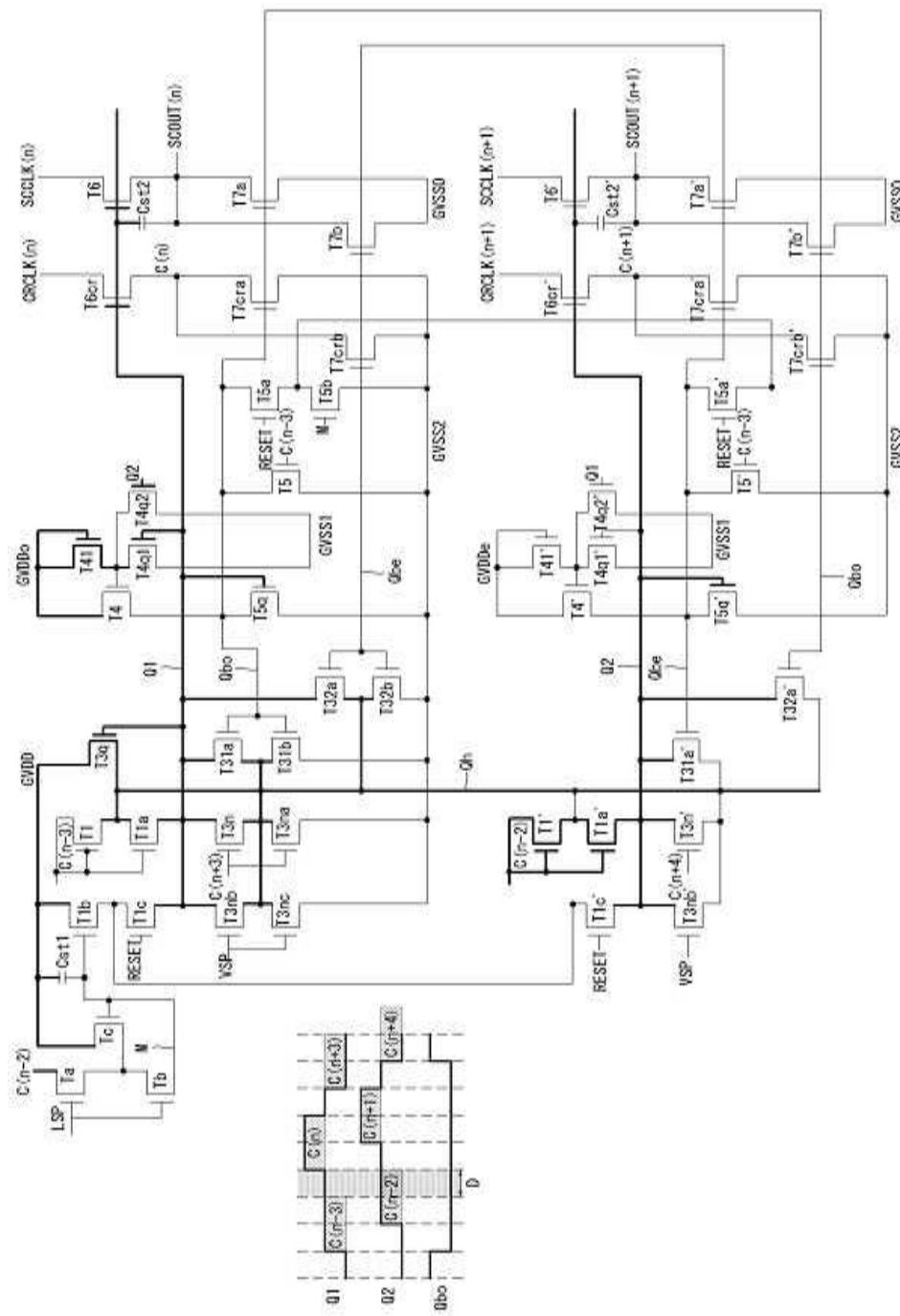
도면7b



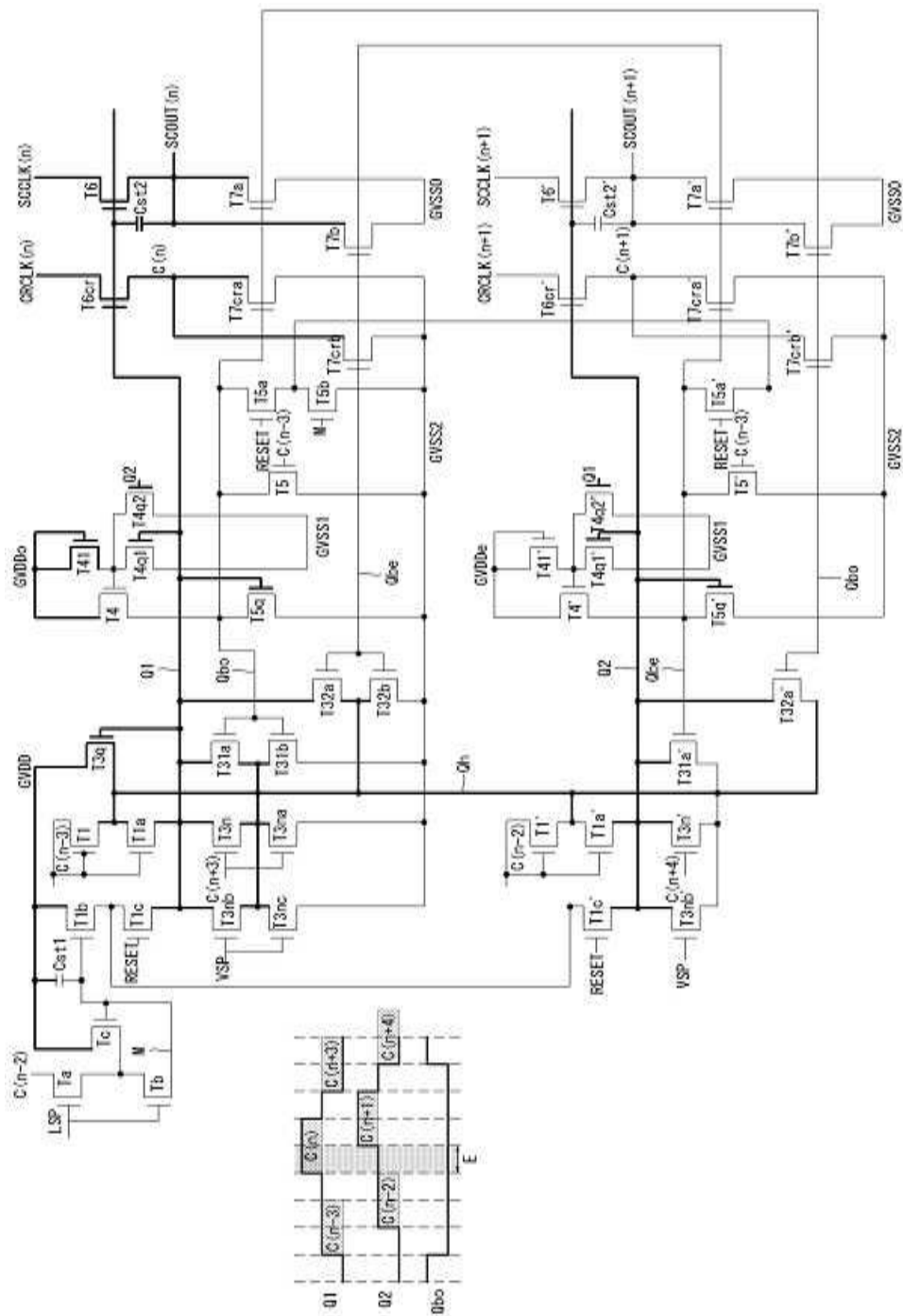
도면7c



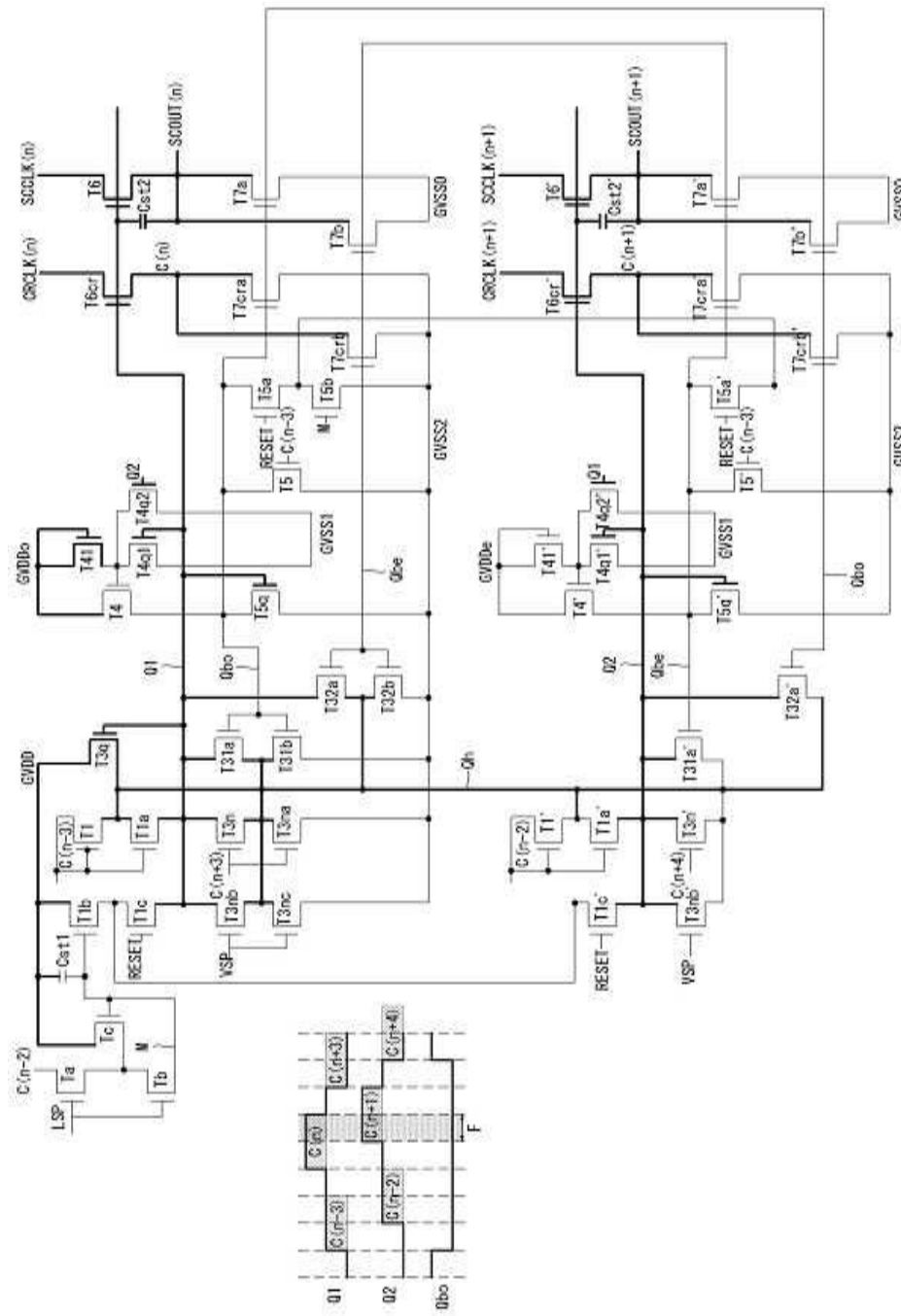
도면7d



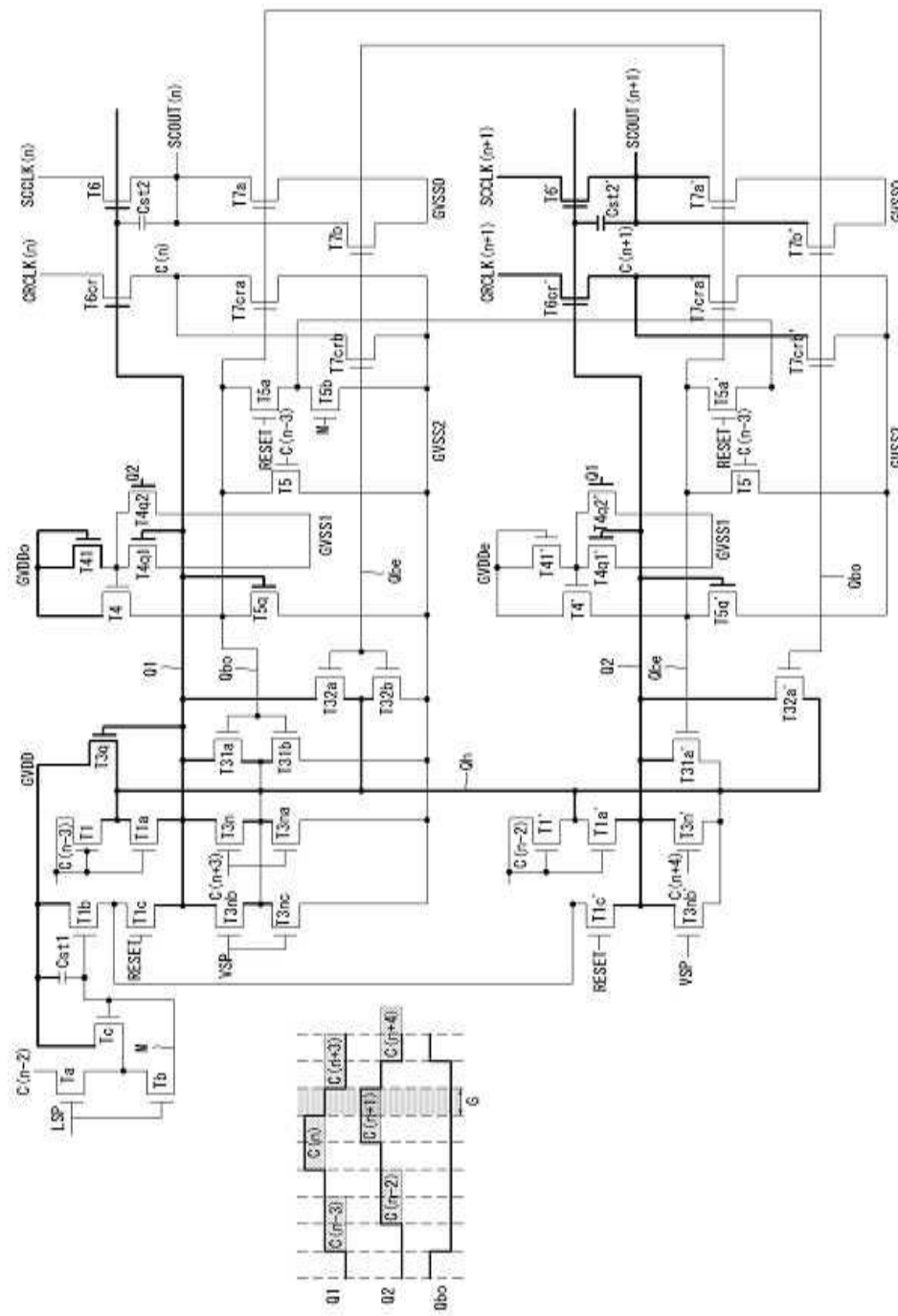
도면7e



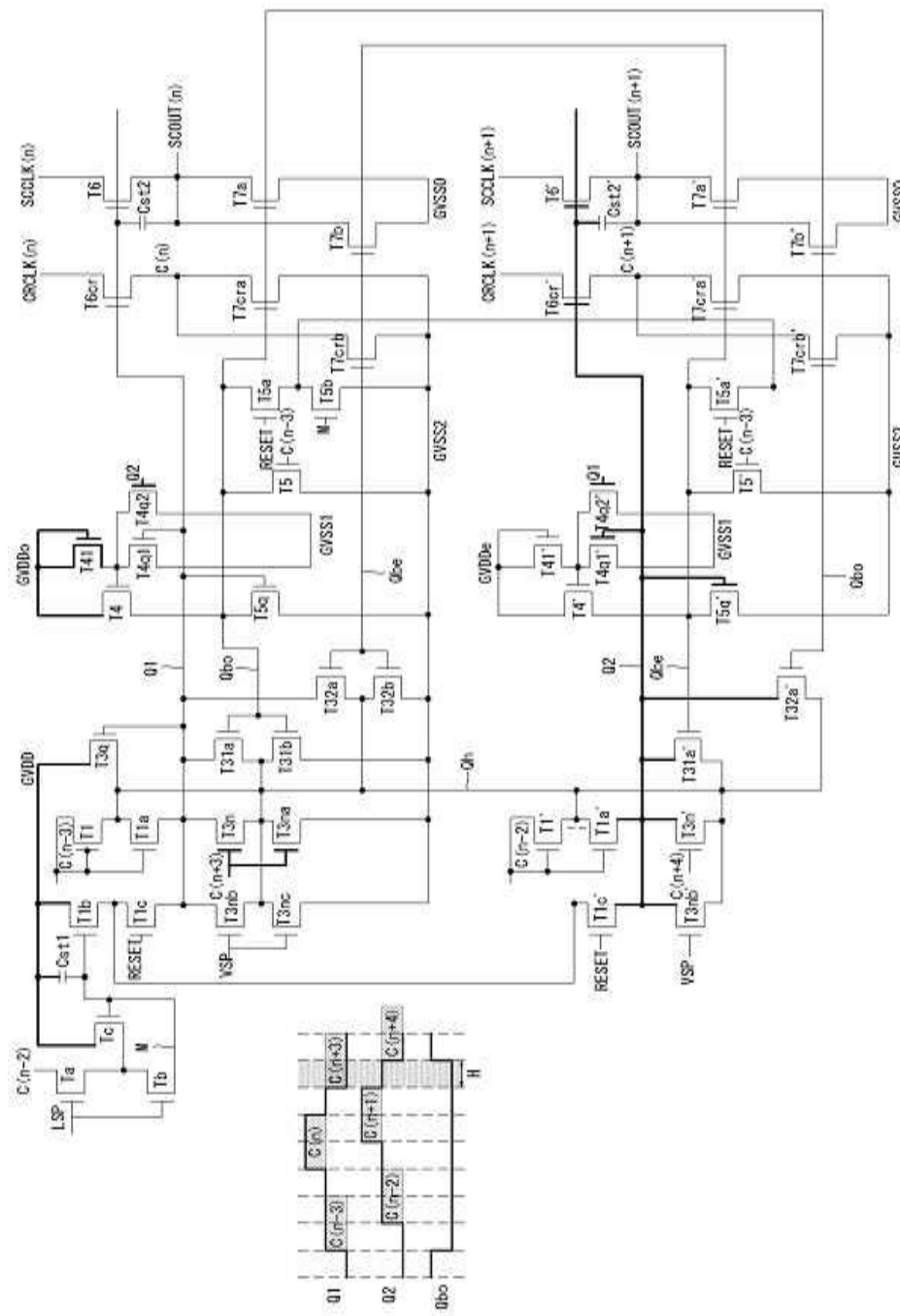
도면7f



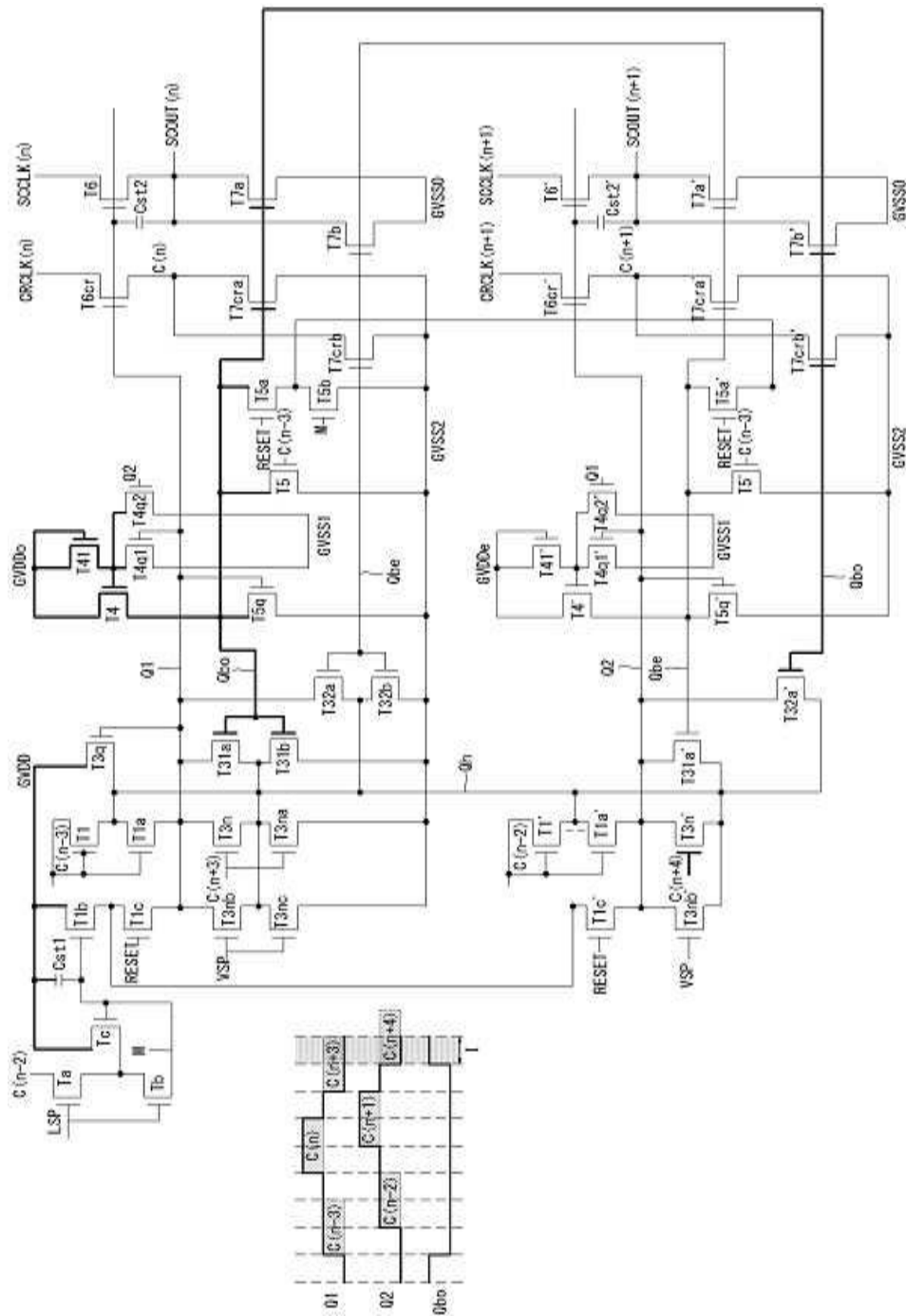
도면7g



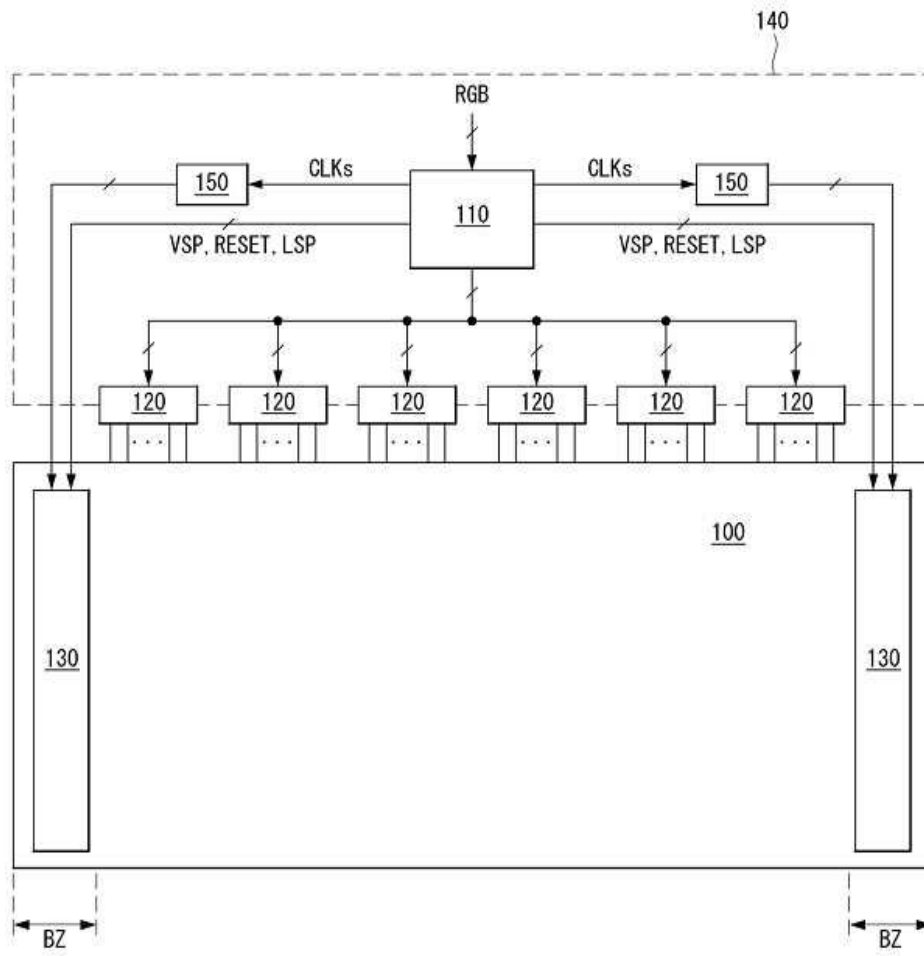
도면 7h



도면7i



도면8



门移位寄存器包括第一级和用于在图像数据写入期间输出图像显示栅极脉冲的第二阶段，并且选择性地不被写入用于感测所述垂直消隐期间的图像显示数据输出栅极脉冲根据本发明Lt₁；第一阶段中，节点Q1和节点QBO和节点M还包括，并在同一时间，该第一感测控制块，以使节点Q1根据电势和从所述节点M全局复位信号和所述节点M以及第二感测控制块，用于根据电位和全局重置信号去激活节点Qbo。此外，第二阶段，并且包括节点Q2和节点QBE另外，根据电位和从节点M中的全局复位信号和所述第三感测控制块，以使节点Q2，节点M的电位并且第四感测控制块用于根据全局重置信号去激活节点Qbe。这里，第一级和第二级彼此共享一些电路。

