



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0043563
(43) 공개일자 2018년04월30일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01) H03M 1/06 (2006.01)
(52) CPC특허분류
G09G 3/3208 (2013.01)
H03M 1/0617 (2013.01)
(21) 출원번호 10-2016-0136413
(22) 출원일자 2016년10월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
안창호
경기도 화성시 동탄중양로 51 (반송동, 동탄나루
마을한화꿈에그린아파트) 629동 2001호
김병일
경기도 김포시 김포한강2로 113 (장기동, 초당마
을중흥에스클래스리버티아파트) 301동 501호
(74) 대리인
특허법인로알

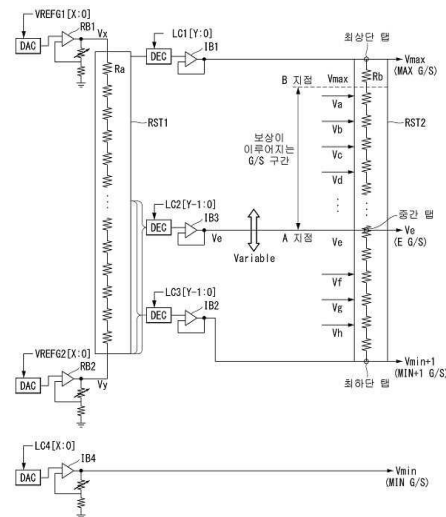
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 디지털-아날로그 변환회로는 본 발명의 실시예에 따라 디지털 데이터에 대응되는 감마 전압을 생성하는 디지털-아날로그 변환회로는, 상기 감마 전압의 레인을 설정하는 제1 저항 스트링; 상기 제1 저항 스트링에서 설정된 전압 레인지 내에서 상기 감마 전압을 분압하는 제2 저항 스트링; 상기 제2 저항 스트링의 최상단 탭에 연결되며 제1 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 최상위 계조의 탭 감마 전압으로 설정하는 제1 내부 버퍼; 상기 제2 저항 스트링의 최하단 탭에 연결되며 제2 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 차하위 계조의 탭 감마 전압으로 설정하는 제2 내부 버퍼; 및 상기 제2 저항 스트링의 최상단 탭과 최하단 탭 사이의 중간 탭에 연결되며 제3 휘도 제어용 데이터에 대응되는 제1 저항 스트링의 분압 전압을 중간 계조의 탭 감마 전압으로 설정하는 제3 내부 버퍼를 포함한다.

대표도 - 도7



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2320/0673 (2013.01)

H03M 2201/615 (2013.01)

H03M 2201/814 (2013.01)

명세서

청구범위

청구항 1

디지털 데이터에 대응되는 감마 전압을 생성하는 디지털-아날로그 변환회로에 있어서,

상기 감마 전압의 레인지를 설정하는 제1 저항 스트링;

상기 제1 저항 스트링에서 설정된 전압 레인지 내에서 상기 감마 전압을 분압하는 제2 저항 스트링;

상기 제2 저항 스트링의 최상단 탭에 연결되며 제1 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 최상위 계조의 탭 감마 전압으로 설정하는 제1 내부 버퍼;

상기 제2 저항 스트링의 최하단 탭에 연결되며 제2 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 차하위 계조의 탭 감마 전압으로 설정하는 제2 내부 버퍼; 및

상기 제2 저항 스트링의 최상단 탭과 최하단 탭 사이의 중간 탭에 연결되며 제3 휘도 제어용 데이터에 대응되는 제1 저항 스트링의 분압 전압을 중간 계조의 탭 감마 전압으로 설정하는 제3 내부 버퍼를 포함하며,

상기 중간 계조 이상의 탭 감마 전압들을 표시패널에 구비된 화소들의 전기적 특성을 센싱하기 위한 센싱용 데이터전압으로 출력하는 디지털-아날로그 변환회로.

청구항 2

제 1 항에 있어서,

상기 센싱용 데이터전압이 출력되는 계조 구간은,

상기 중간 계조 ~ 상기 최상위 계조*0.9 의 계조 구간으로 선택되는 디지털-아날로그 변환회로.

청구항 3

제 1 항에 있어서,

상기 제2 저항 스트링에서,

상기 최상단 탭, 상기 최하단 탭, 및 상기 중간 탭을 제외한 나머지 탭들에는 어떠한 내부 버퍼도 연결되지 않은 디지털-아날로그 변환회로.

청구항 4

제 1 항에 있어서,

상기 제1 휘도 제어용 데이터는 A 비트(A는 양의 정수)로 구현되고, 상기 제2 휘도 제어용 데이터와 상기 제3 휘도 제어용 데이터는 각각 상기 A 비트보다 작은 B 비트(B는 A보다 작은 양의 정수)로 구현되는 디지털-아날로그 변환회로.

청구항 5

제 4 항에 있어서,

상기 중간 계조의 탭 감마 전압은 $2^{A \text{ 비트}}/10$ 계조 전압 ~ $2^{A \text{ 비트}}/4$ 계조 전압에 포함되는 계조 전압들 중 어느 하나로 결정되는 디지털-아날로그 변환회로.

청구항 6

제 1 항에 있어서,

상기 제1 저항 스트링의 상단에 연결되어 제1 전원전압을 상기 제1 저항 스트링에 인가하는 제1 조정 버퍼; 및

상기 제1 저항 스트링의 하단에 연결되어 제2 전원전압을 상기 제1 저항 스트링에 인가하는 제2 조정 버퍼를 더 구비하고,

상기 제1 내지 제3 내부 버퍼와 상기 제1 및 제2 조정 버퍼는, NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록 (+)K (K는 양의 정수) V와 (-)K V의 구동 전원에 의해 구동되는 디지털-아날로그 변환회로.

청구항 7

제 1 항에 있어서,

상기 제2 저항 스트링에 연결되지 않고, 제 4 휘도 제어용 데이터에 대응되는 전압을 최하위 계조의 감마 전압으로 설정하는 제 4 내부 버퍼를 더 구비하고,

상기 최하위 계조의 감마 전압과 상기 차하위 계조의 탭 감마 전압 간의 전압차는, 상기 차하위 계조의 탭 감마 전압과 상기 최상위 계조의 탭 감마 전압 사이에 존재하는 등 간격의 이웃한 1 계조간의 전압차보다 더 큰 디지털-아날로그 변환회로.

청구항 8

제 1 항에 있어서,

상기 제1 저항 스트링과 상기 제2 저항 스트링 사이에 연결되며, 상기 제1 저항 스트링에서 설정된 전압 레인지 내에서 상기 감마 전압을 분압하는 제3 저항 스트링; 및

상기 제3 저항 스트링의 탭들에 연결되어 상기 제3 저항 스트링의 탭 감마 전압들을 안정화시켜 상기 제2 저항 스트링의 탭들에 인가하는 복수 개의 탭 버퍼들을 더 구비하는 디지털-아날로그 변환회로.

청구항 9

제 8 항에 있어서,

상기 탭 버퍼들은,

최상단 탭 버퍼, 최하단 탭 버퍼, 및 상기 최상단 탭 버퍼와 상기 최하단 탭 버퍼 사이에 위치하는 복수 개의 중간 탭 버퍼들을 포함하는 디지털-아날로그 변환회로.

청구항 10

제 9 항에 있어서,

상기 최상단 탭 버퍼와, 상기 최하단 탭 버퍼는 온 되고,

상기 중간 탭 버퍼들은 선택적으로 온 되며, 오프되는 중간 탭 버퍼들은 플로팅되는 디지털-아날로그 변환회로.

청구항 11

제 8 항에 있어서,

상기 제1 저항 스트링은 동일한 저항값을 갖는 복수 개의 제1 저항으로 구성되고,

상기 제2 저항 스트링은 동일한 저항값을 갖는 복수 개의 제2 저항으로 구성되고,

상기 제3 저항 스트링은 동일한 저항값을 갖는 복수 개의 제3 저항으로 구성되며,

상기 제1 저항과 상기 제2 저항의 비율, 또는 상기 제2 저항과 상기 제3 저항의 비율은 서로 동일한 디지털-아날로그 변환회로.

청구항 12

다수의 화소들이 구비된 표시패널; 및

디지털 데이터에 대응되는 감마 전압을 생성하여 상기 화소들에 인가하는 상기 청구항 제 1 항 내지 제 11 항 중 어느 한 항의 디지털-아날로그 변환회로를 구비하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED와 구동 TFT(Thin Film Transistor)를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들에서 구현되는 영상의 휘도를 조절한다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압(이하, "게이트-소스 간 전압"이라 함)에 따라 OLED에 흐르는 구동전류를 제어한다. 구동전류에 따라 OLED의 발광량이 결정되며, OLED의 발광량에 따라 영상의 휘도가 결정된다.

[0005] 일반적으로 구동 TFT가 포화 영역에서 동작할 때, 구동 TFT의 드레인-소스 사이에 흐르는 구동 전류(I_{ds})는 아래의 수학적 식 1과 같이 표현된다.

수학적 식 1

$$I_{ds} = 1/2 * (\mu * C * W / L) * (V_{gs} - V_{th})^2$$

[0006]

[0007] 수학적 식 1에서, μ 는 전자 이동도를, C는 게이트 절연막의 정전 용량을, W는 구동 TFT의 채널 폭을, 그리고 L은 구동 TFT의 채널 길이를 각각 나타낸다. 그리고, V_{gs} 는 구동 TFT의 게이트-소스 간 전압을 나타내고, V_{th} 는 구동 TFT의 문턱전압(또는 임계전압)을 나타낸다. 화소 구조에 따라서, 구동 TFT의 게이트-소스 간 전압(V_{gs})이 데이터전압과 기준전압 간의 차 전압이 될 수 있다. 데이터전압은 영상 데이터의 계조에 대응되는 아날로그 전압이고 기준전압은 고정된 전압이므로, 데이터전압에 따라 구동 TFT의 게이트-소스 간 전압(V_{gs})이 프로그래밍(또는 설정)된다. 그리고, 프로그래밍된 게이트-소스 간 전압(V_{gs})에 따라 구동 전류(I_{ds})가 결정된다.

[0008] 구동 TFT의 문턱 전압(V_{th}), 구동 TFT의 전자 이동도(μ), 및 OLED의 문턱 전압 등과 같은 화소의 전기적 특성은 구동 전류(I_{ds})를 결정하는 팩터(factor)가 되므로 모든 화소들에서 동일해야 한다. 하지만, 공정 특성, 시변 특성 등 다양한 원인에 의해 화소들 간에 전기적 특성이 달라질 수 있다. 이러한 전기적 특성 편차는 휘도 편차를 초래하여 원하는 화상에 제약이 된다.

[0009] 화소들 간의 휘도 편차를 보상하기 위해, 화소의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 입력 영상의 디지털 데이터를 보정하는 외부 보상 기술이 알려져 있다. 휘도 편차가 보상되기 위해서는, 화소에 인가되는 데이터전압이 Δx 만큼 변화될 때 Δy 만큼의 전류 변화가 보장되어야 한다. 따라서, 외부 보상 기술은 화소별 Δx 를 연산하여 동일한 구동 전류가 OLED에 인가되도록 하여 같은 밝기를 구현하는 것이다. 즉, 외부 보상 기술은 계조 값을 조절하여 각 화소별 밝기가 같아지도록 보상하는 것이다.

[0010] 화소에 인가되는 데이터전압은 계조에 의해 결정되며, 입력 계조값 대비 출력 전압값은 디지털-아날로그 변환회로 내의 감마 설정에 의해 결정된다. 외부 보상 기술에서는 보상 오차가 커지기 때문에 2.2 감마 등과 같은 커브 형태의 감마 설정 구성을 채용할 수 없다. 감마가 커브 형태로 설정되는 경우에는 보상계수 산출시 계조 대 전압 수식이 추가로 전개되어야 하므로 연산 로직이 복잡해 진다.

발명의 내용

해결하려는 과제

- [0011] 따라서, 본 발명의 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 외부 보상을 위한 연산 수행 시간을 감소시킬 수 있도록 한 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.
- [0012] 본 발명의 다른 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 감마 구성을 간소화하여 드라이버 IC의 칩 사이즈를 줄일 수 있도록 한 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.
- [0013] 본 발명의 또 다른 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, NMOS 및 PMOS 기반의 화소 구조에 모두 대응될 수 있는 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.
- [0014] 본 발명의 또 다른 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 게조 간 전압 레인지를 용이하게 제어할 수 있는 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.
- [0015] 본 발명의 또 다른 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 풀 블랙 구현에 용이한 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.
- [0016] 본 발명의 또 다른 목적은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 출력 전압의 RC 딜레이와 INL(Integral Non Linearity) 에러를 개선할 수 있도록 한 디지털-아날로그 변환회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0017] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따라 디지털 데이터에 대응되는 감마 전압을 생성하는 디지털-아날로그 변환회로는, 상기 감마 전압의 레인지를 설정하는 제1 저항 스트링; 상기 제1 저항 스트링에서 설정된 전압 레인지 내에서 상기 감마 전압을 분압하는 제2 저항 스트링; 상기 제2 저항 스트링의 최상단 탭에 연결되며 제1 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 최상위 게조의 탭 감마 전압으로 설정하는 제1 내부 버퍼; 상기 제2 저항 스트링의 최하단 탭에 연결되며 제2 휘도 제어용 데이터에 대응되는 상기 제1 저항 스트링의 분압 전압을 차하위 게조의 탭 감마 전압으로 설정하는 제2 내부 버퍼; 및 상기 제2 저항 스트링의 최상단 탭과 최하단 탭 사이의 중간 탭에 연결되며 제3 휘도 제어용 데이터에 대응되는 제1 저항 스트링의 분압 전압을 중간 게조의 탭 감마 전압으로 설정하는 제3 내부 버퍼를 포함하며, 상기 중간 게조 이상의 탭 감마 전압들을 표시패널에 구비된 화소들의 전기적 특성을 센싱하기 위한 센싱용 데이터전압으로 출력한다.
- [0018] 상기 센싱용 데이터전압이 출력되는 게조 구간은, 상기 중간 게조 ~ 상기 최상위 게조*0.9 의 게조 구간으로 선택된다.
- [0019] 상기 제2 저항 스트링에서, 상기 최상단 탭, 상기 최하단 탭, 및 상기 중간 탭을 제외한 나머지 탭들에는 어떠한 내부 버퍼도 연결되지 않는다.
- [0020] 상기 제1 휘도 제어용 데이터는 A 비트(A는 양의 정수)로 구현되고, 상기 제2 휘도 제어용 데이터와 상기 제3 휘도 제어용 데이터는 각각 상기 A 비트보다 작은 B 비트(B는 A보다 작은 양의 정수)로 구현된다.
- [0021] 상기 중간 게조의 탭 감마 전압은 $2^A \text{비트}/10$ 게조 전압 ~ $2^A \text{비트}/4$ 게조 전압에 포함되는 게조 전압들 중 어느 하나로 결정된다.
- [0022] 상기 제1 저항 스트링의 상단에 연결되어 제1 전원전압을 상기 제1 저항 스트링에 인가하는 제1 조정 버퍼; 및 상기 제1 저항 스트링의 하단에 연결되어 제2 전원전압을 상기 제1 저항 스트링에 인가하는 제2 조정 버퍼를 더 구비하고, 상기 제1 내지 제3 내부 버퍼와 상기 제1 및 제2 조정 버퍼는, NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록, (+)K (K는 양의 정수) V와 (-)K V의 구동 전원

에 의해 구동된다.

- [0023] 이 디지털-아날로그 변환회로는 상기 제2 저항 스트링에 연결되지 않고, 제 4 휘도 제어용 데이터에 대응되는 전압을 최하위 계조의 감마 전압으로 설정하는 제 4 내부 버퍼를 더 구비하고, 상기 최하위 계조의 감마 전압과 상기 차하위 계조의 탭 감마 전압 간의 전압차는, 상기 차하위 계조의 탭 감마 전압과 상기 최상위 계조의 탭 감마 전압 사이에 존재하는 등 간격의 이웃한 1 계조간의 전압차보다 더 크다.
- [0024] 이 디지털-아날로그 변환회로는 상기 제1 저항 스트링과 상기 제2 저항 스트링 사이에 연결되며, 상기 제1 저항 스트링에서 설정된 전압 레인지 내에서 상기 감마 전압을 분압하는 제3 저항 스트링; 및 상기 제3 저항 스트링의 탭들에 연결되어 상기 제3 저항 스트링의 탭 감마 전압들을 안정화시켜 상기 제2 저항 스트링의 탭들에 인가하는 다수의 탭 버퍼들을 더 구비한다.
- [0025] 상기 탭 버퍼들은, 최상단 탭 버퍼, 최하단 탭 버퍼, 및 상기 최상단 탭 버퍼와 상기 최하단 탭 버퍼 사이에 위치하는 다수의 중간 탭 버퍼들을 포함한다.
- [0026] 상기 최상단 탭 버퍼와, 상기 최하단 탭 버퍼는 온 되고, 상기 중간 탭 버퍼들은 선택적으로 온 되며, 오프되는 중간 탭 버퍼들은 플로팅된다.
- [0027] 상기 제1 저항 스트링은 동일한 저항값을 갖는 복수 개의 제1 저항으로 구성되고, 상기 제2 저항 스트링은 동일한 저항값을 갖는 복수 개의 제2 저항으로 구성되고, 상기 제3 저항 스트링은 동일한 저항값을 갖는 복수 개의 제3 저항으로 구성되며, 상기 제1 저항과 상기 제2 저항의 비율, 또는 상기 제2 저항과 상기 제3 저항의 비율은 서로 동일하다.
- [0028] 또한, 본 발명의 실시예에 따른 유기발광 표시장치는 다수의 화소들이 구비된 표시패널; 및 디지털 데이터에 대응되는 감마 전압을 생성하여 상기 화소들에 인가하는 상기 청구항 제 1 항 내지 제 11 항 중 어느 한 항의 디지털-아날로그 변환회로를 구비한다.

발명의 효과

- [0029] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 구동 TFT에 전류가 작게 흐르게 하는 저계조 구간을 제외하고, 중간 계조 이상에서 생성되는 감마 전압들을 센싱용 데이터전압으로 이용하기 때문에 센싱 및 연산 수행 시간을 감소시킬 수 있다.
- [0030] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 제2 저항 스트링(RST2)의 최상단 탭, 최하단 탭, 및 중간 탭에만 내부 버퍼를 연결함으로써, 출력 감마 전압의 RC 딜레이를 줄여 세틀링 타임을 단축시키는 효과는 물론이거니와 감마 구성을 간소화하여 드라이버 IC의 칩 사이즈를 줄일 수 있다.
- [0031] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록 내부 버퍼들과 조정 버퍼들을 구성함으로써, 표시패널의 화소 구조가 NMOS 기반에서 PMOS 기반으로, 혹은 그 반대로 변하더라도, 모델 호환성을 높일 수 있는 잇점이 있다.
- [0032] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 제2 저항 스트링(RST2)의 최상단 탭, 최하단 탭, 및 중간 탭에만 내부 버퍼를 연결하여 계조간 전압 레인지를 용이하게 제어할 수 있는 잇점이 있다.
- [0033] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 최하위 계조의 감마 전압과 차하위 계조의 탭 감마 전압간의 전압차를 이웃한 다른 계조들 간의 전압차에 비해 상대적으로 크게 함으로써, 풀 블랙을 구현하기가 용이하여 대비비(contrast ratio)를 높일 수 있다.
- [0034] 본 발명은 감마를 리니어(linear) 하게 설정한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화하되, 제3 저항 스트링과 탭 버퍼들을 더 구비하여 출력 전압의 RC 딜레이와 INL(Integral Non Linearity) 에러를 개선할 수 있다.
- [0035] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 일 실시예에 따른 외부 보상용 유기발광 표시장치를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 외부 보상 방법을 나타내는 흐름도이다.
- 도 3a는 도 2의 외부 보상 방법에서 기준 커브식을 도출하는 것을 나타내는 도면이다.
- 도 3b는 도 2의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선을 보여주는 도면이다.
- 도 3c는 도 2의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선과 보상 완료된 화소의 I-V 곡선을 보여주는 도면이다.
- 도 4 내지 도 6은 외부 보상 모듈의 다양한 예들을 보여주는 도면들이다.
- 도 7은 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로를 보여주는 도면이다.
- 도 8은 도 7의 디지털-아날로그 변환회로에서 구현되는 디지털 입력과 아날로그 출력 간의 관계를 보여주는 그래프이다.
- 도 9는 포지티브 및 네거티브 검용의 감마 버퍼를 보여주는 등가회로도이다.
- 도 10은 도 9의 감마 버퍼가 포지티브 모드에서 사용될 때의 입력 전압 구성을 보여주는 도면이다.
- 도 11은 도 9의 감마 버퍼가 네거티브 모드에서 사용될 때의 입력 전압 구성을 보여주는 도면이다.
- 도 12는 본 발명의 다른 실시예에 따른 디지털-아날로그 변환회로를 보여주는 도면이다.
- 도 13은 도 12의 디지털-아날로그 변환회로에 포함된 탭 감마 버퍼의 온/오프 제어 수순의 일 예들을 보여주는 도면이다.
- 도 14는 도 12의 디지털-아날로그 변환회로에서 구현되는 디지털 입력과 아날로그 출력 간의 관계를 보여주는 그래프이다.
- 도 15는 감마 출력 이후의 RC 딜레이를 모델링한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0038] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0039] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0040] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0041] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0042] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0043] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0044] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0045] 도 1은 본 발명의 일 실시예에 따른 외부 보상용 유기발광 표시장치를 나타내는 블록도이다. 도 2는 본 발명의 일 실시예에 따른 외부 보상 방법을 나타내는 흐름도이다. 도 3a는 도 2의 외부 보상 방법에서 기준 커브식을 도출하는 것을 나타내는 도면이다. 도 3b는 도 2의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선을 보여주는 도면이다. 그리고, 도 3c는 도 2의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선과 보상 완료된 화소의 I-V 곡선을 보여주는 도면이다.
- [0046] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기발광 표시장치는 표시패널(10), 드라이버 IC(D-IC)(20), 보상 IC(30), 호스트 시스템(40), 및 저장 메모리(50)를 포함한다.
- [0047] 표시패널(10)에는 복수의 화소들, 복수의 신호라인들이 구비된다. 신호라인들은 화소들에 데이터신호를 공급하는 데이터라인들 및 화소들에 스캔 제어신호를 공급하는 게이트라인들을 포함할 수 있다. 또한, 신호라인들은 화소들의 전기적 특성을 센싱하는 데 이용되는 센싱 라인들을 더 포함할 수 있다.
- [0048] 표시패널(10)의 화소들은 매트릭스 형태로 배치되어 화소 어레이(Pixel array)를 구성한다. 각 화소는 데이터라인들 중 어느 하나에, 센싱 라인들 중 어느 하나에, 그리고 게이트라인들 중 적어도 어느 하나에 연결될 수 있다. 각 화소는 전원생성부로부터 고전위 화소전원과 저전위 화소전원을 공급받도록 구성된다. 이를 위해, 전원생성부는 고전위 화소전원 배선 또는 패드부를 통해서 고전위 화소전원을 화소에 공급할 수 있다. 그리고 전원생성부는 저전위 화소전원 배선 또는 패드부를 통해서 저전위 화소전원을 화소에 공급할 수 있다.
- [0049] 표시패널(10)에는 게이트라인들을 구동하는 게이트 구동회로가 구비될 수 있다. 게이트 구동회로를 구성하는 쉬프트 레지스터들은 공정을 간소화하고, 제조 단가를 줄이기 위해 GIP(Gate driver In Panel) 방식의 TFT 공정을 통해 표시패널(10)의 비 표시영역에 직접 형성될 수 있다.
- [0050] 드라이버 IC(D-IC)(20)는 타이밍 제어부(21), 센싱부(22), 및 데이터전압 생성부(23)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0051] 타이밍 제어부(21)는 호스트 시스템(40)으로부터 입력되는 타이밍 신호들, 예컨대 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등을 참조로 게이트 구동회로의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터전압 생성부(23)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 생성할 수 있다.
- [0052] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함할 수 있으나 이에 한정되지 않는다. 소스 스타트 펄스는 데이터전압 생성부(23)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 데이터전압 생성부(23)의 출력 타이밍을 제어한다.
- [0053] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함할 수 있으나, 이에 한정되지 않는다. 게이트 스타트 펄스는 첫 번째 출력을 생성하는 게이트 스테이지에 인가되어 그 스테이지의 동작을 활성화한다. 게이트 쉬프트 클럭은 게이트 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다.
- [0054] 타이밍 제어부(21)는 화소의 전기적 특성을 센싱하고 그에 따른 보상 값을 업데이트하기 위한 센싱 구동과, 보상 값이 반영된 입력 영상을 표시하기 위한 디스플레이 구동을 다르게 제어할 수 있다. 예를 들면, 타이밍 제어부(21)는 센싱 구동과 디스플레이 구동을 정해진 제어 시퀀스에 따라 분리하도록 구성할 수 있다. 이를 위해, 타이밍 제어부(21)는 디스플레이 구동을 위한 타이밍 제어신호들과 센싱 구동을 위한 타이밍 제어신호들을 서로 다르게 생성할 수 있다. 단 이에 제한되지 않는다.
- [0055] 타이밍 제어부(21)의 제어에 의해, 센싱 구동은 디스플레이 구동 중의 수직 블랭크 기간에서 수행되거나, 또는 디스플레이 구동이 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 디스플레이 구동이 끝난 후의 파

위 오프 시퀀스 기간에서 수행될 수 있다. 단 이에 제한되지 않으며 센싱 구동은 디스플레이 구동 중의 수직 액티브 기간에서 수행되는 것도 가능하다.

- [0056] 수직 블랭크 기간은 입력 영상 데이터가 기입되지 않는 기간으로서, 1 프레임분의 입력 영상 데이터가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 구동 전원이 온 된 후부터 입력 영상이 표시될 때까지의 과도 기간을 의미한다. 파워 오프 시퀀스 기간은 입력 영상의 표시가 끝난 후부터 구동 전원이 오프 될 때까지의 과도 기간을 의미한다.
- [0057] 타이밍 제어부(21)는 미리 정해진 센싱 프로세스에 따라 대기모드, 슬립모드, 저전력모드 등을 감지하고, 센싱 구동을 위한 제반 동작을 제어할 수 있다. 즉, 센싱 구동은 시스템 전원이 인가되고 있는 도중에 표시장치의 화면만 꺼진 상태, 예컨대, 대기모드, 슬립모드, 저전력모드 등에서 수행될 수도 있다. 단 이에 제한되지 않는다.
- [0058] 센싱부(22)는 디스플레이 구동 시 기준 전압을 생성하여 센싱 라인들을 통해 화소들에 공급할 수 있다. 센싱부(30)는 센싱 구동 시 센싱 라인들을 통해 화소들의 전기적 특성, 예컨대, 화소들에 포함된 구동 TFT 및/또는 OLED의 전기적 특성을 센싱할 수 있다. 센싱부는 전압 센싱형 센싱 유닛 또는 전류 센싱형 유닛을 포함할 수 있다. 전압 센싱형 센싱 유닛은 샘플 앤 홀드 회로를 포함하여, 구동 TFT의 구동전류에 따른 구동 TFT의 소스 전압, 즉 센싱 라인의 라인 커패시터에 저장된 구동 TFT의 소스 전압을 센싱한다. 이에 반해, 전류 센싱형 센싱 유닛은 샘플 앤 홀드 회로의 앞단에 전류 적분기를 더 포함하여 센싱 라인에 흐르는 구동 TFT의 구동전류를 직접 센싱할 수 있다. 센싱부(22)는 센싱 유닛들에 연결된 아날로그-디지털 변환기(ADC)를 더 포함할 수 있다. ADC는 센싱 유닛들에서 샘플링된 아날로그 센싱값들을 디지털 센싱값들로 변환한다.
- [0059] 데이터전압 생성부(23)는 디지털 데이터에 대응되는 감마 전압을 생성하는 디지털-아날로그 변환회로를 포함한다. 디지털-아날로그 변환회로는 리니어 감마를 구현하기 위해 각각 동일한 저항값을 갖는 복수개의 저항으로 구성된 2개의 저항 스트링들과, 2개의 조정 버퍼들과, 4개의 내부 버퍼들을 포함하여 이뤄질 수 있다(도 7 참조). 또한, 디지털-아날로그 변환회로는 리니어 감마를 구현하기 위해 각각 동일한 저항값을 갖는 복수개의 저항으로 구성된 3개의 저항 스트링들과, 2개의 조정 버퍼들과, 4개의 내부 버퍼들과, 다수개의 탭 버퍼들을 포함하여 이뤄질 수 있다(도 12 참조).
- [0060] 센싱 구동시, 디지털-아날로그 변환회로는 센싱 및 연산에 소요되는 시간을 단축하기 위해, 저계조 구간을 제외한 나머지 계조 구간(중간 계조 구간, 고 계조 구간)에서 생성되는 감마 전압들을, 표시패널에 구비된 화소들의 전기적 특성을 센싱하기 위한 센싱용 데이터전압으로서 데이터라인들에 출력할 수 있다.
- [0061] 디스플레이 구동시, 디지털-아날로그 변환회로는 보상 IC(30)에서 보상된 영상 데이터를 아날로그 감마전압으로 변환한 후 데이터라인들에 출력할 수 있다.
- [0062] 센싱 구동시, 저장 메모리(50)는 센싱부(22)로부터 입력되는 디지털 센싱값을 저장한다. 저장 메모리(50)는 플래시 메모리로 구현될 수 있으나, 이에 한정되지 않는다.
- [0063] 디스플레이 구동시, 보상 IC(30)는 저장 메모리(50)로부터 읽어들이는 센싱값을 기반으로 각 화소 별로 오프셋(Offset)과 게인(Gain)을 연산하고, 연산된 오프셋과 게인에 따라 입력 영상 데이터를 보정한다. 이를 위해, 보상 IC(30)는 보상부(31)와 보상 메모리(32)를 포함할 수 있다.
- [0064] 보상 메모리(32)는 저장 메모리(50)로부터 읽어들이는 센싱값을 보상부(31)에 전달한다. 보상 메모리(32)는 RAM(Random Access Memory), 예컨대 DDR SDRAM(Double Data Rate Synchronous Dynamic RAM)일 수 있으나, 이에 한정되지 않는다.
- [0065] 보상부(31)는 도 2 내지 도 3c와 같이, 다수회의 센싱을 통해 한 개의 평균 전류(I)-전압(V) 곡선을 얻고, 보상 대상 화소의 I-V 곡선이 평균 I-V 곡선에 일치되도록 보상하는 보상 알고리즘을 포함할 수 있다.
- [0066] 구체적으로, 보상부(31)는 도 2 및 도 3a와 같이 복수 계조(예컨대, A-F 포함 총 7 계조)에 대한 센싱을 진행한 후에, 공지의 최소자승법[最小自乘法, least square method]을 통하여 평균 I-V 곡선에 대응되는 하기 수학적 2를 도출한다(S1).

수학식 2

$$I = a(V_{data} - b)^c$$

[0067]

[0068]

수학식 2에서, "a"는 구동 TFT의 전자 이동도이고, "b"는 구동 TFT의 문턱전압이며, "c"는 구동 TFT의 물리적 특성치를 나타낸다.

[0069]

보상부(31)는 도 2 및 도 3b와 같이 2 포인트에서 측정된 전류값(I1, I2)과 게조값(X, Y 게조)(즉, 데이터전압값(Vdata1, Vdata2))을 기준으로 센싱 대상 화소의 파라미터값인 a' 값, 및 b' 값을 계산한다(S2).

수학식 3

$$I_1 = a'(V_{data1} - b')^c$$

$$I_2 = a'(V_{data2} - b')^c$$

[0070]

[0071]

보상부(31)는 상기 수학식 3에서, 2차 방정식을 이용하여 센싱 대상 화소의 파라미터값인 a' 값, 및 b' 값을 산출할 수 있다.

[0072]

보상부(31)는 도 2 및 도 3c와 같이 보상 대상 화소의 I-V 곡선이 평균 I-V 곡선에 일치되도록 하기 위한 오프셋(Offset)과 게인(Gain)을 연산할 수 있다(S3). 보상이 완료된 오프셋(Offset)과 게인(Gain)은 하기 수학식 4와 같다. 수학식 4에서, "Vcomp"는 보상 전압을 지시한다.

수학식 4

$$V_{comp} = \left(\frac{a}{a'} \right)^{\frac{1}{c}} \times V_{data} + \left(b' - b \left(\frac{a}{a'} \right)^{\frac{1}{c}} \right)$$

[0073]

[0074]

보상부(31)는 보상 전압(Vcomp)에 대응되도록 해당 화소에 입력된 영상 데이터를 보정한다(S4).

[0075]

호스트 시스템(40)은 입력 영상 데이터를 보상 IC(30)에 공급할 수 있다. 호스트 시스템(40)은 디지털 밝기 정보와 같은 유저 입력 정보를 보상 IC(30)에 더 공급할 수 있다. 호스트 시스템(40)은 어플리케이션 프로세서(Application Processor)로 구현될 수도 있다.

[0076]

도 4 내지 도 6은 외부 보상 모듈의 다양한 구현 예들을 보여주는 도면들이다.

[0077]

도 4를 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(Chip On Film, COF)에 실장된 드라이버 IC(D-IC)와, 연성 인쇄기판(Flexible Printed Circuit Board, FPCB)에 실장된 저장 메모리(50) 및 전원 IC(P-IC)(60)와, 시스템 인쇄기판(System Printed Circuit Board, SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.

[0078]

드라이버 IC(D-IC)는 타이밍 제어부(21)와 센싱부(22) 외에도 보상부(32)와 보상 메모리(32)를 더 포함할 수 있다. 이 외부 보상 모듈은 드라이버 IC(D-IC)와 보상 IC가 1칩화 된 것이다. 전원 IC(P-IC)는 이 외부 보상 모듈을 동작시키는 데 필요한 각종 구동전원을 생성한다.

- [0079] 도 5를 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 드라이버 IC(D-IC)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리(50) 및 전원 IC(P-IC, 60)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.
- [0080] 도 5의 외부 보상 모듈은, 보상부(31)와 보상 메모리(32)를 드라이버 IC(D-IC)에 탑재하지 않고 호스트 시스템(40)에 탑재하는 점에서 도 4와 다르다. 도 5의 외부 보상 모듈은, 보상 IC가 호스트 시스템(40)에 통합된 것으로, 드라이버 IC(D-IC)의 구성을 간소화하는 점에서 의미가 있다.
- [0081] 도 6을 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 소스 드라이버 IC(SD-IC)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리(50), 보상 IC(30), 보상 메모리(32) 및 전원 IC(P-IC)(60)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.
- [0082] 도 6의 외부 보상 모듈은, 소스 드라이버 IC(SD-IC)에 센싱부(22)만을 실장하여 소스 드라이버 IC(SD-IC)의 구성을 더욱 간소화하고, 타이밍 제어부(31)와 보상부(32)는 별도로 제작된 보상 IC(30)에 실장하는 점에서 차이가 있다. 그리고, 보상 IC(30), 저장 메모리(50), 보상 메모리(32)를 연성 인쇄기판(FPCB)에 함께 실장함으로써, 보상 파라미터의 업 로딩 및 다운 로딩 동작을 용이하게 할 수 있는 잇점이 있다.
- [0083] 도 7은 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로를 보여주는 도면이다. 도 8은 도 7의 디지털-아날로그 변환회로에서 구현되는 디지털 입력과 아날로그 출력 간의 관계를 보여주는 그래프이다. 도 9는 포지티브 및 네거티브 검출의 감마 버퍼를 보여주는 등가회로도이다. 도 10은 도 9의 감마 버퍼가 포지티브 모드에서 사용될 때의 입력 전압 구성을 보여주는 도면이다. 그리고, 도 11은 도 9의 감마 버퍼가 네거티브 모드에서 사용될 때의 입력 전압 구성을 보여주는 도면이다.
- [0084] 도 7을 참조하면, 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로는 제1 저항 스트링(RST1), 제2 저항 스트링(RST2), 제1 내부 버퍼(IB1), 제2 내부 버퍼(IB2), 및 제3 내부 버퍼(IB3)를 포함한다.
- [0085] 제1 저항 스트링(RST1)은 동일한 저항값을 갖는 복수개의 제1 저항들(R_a)로 구성되어 출력 감마 전압의 레인지를 설정한다.
- [0086] 제2 저항 스트링(RST2)은 동일한 저항값을 갖는 복수개의 제2 저항들(R_b)로 구성되어 제1 저항 스트링(RST1)에서 설정된 전압 레인지 내에서 출력 감마 전압을 분압하여, 다수의 탭 감마 전압들($V_{max}, V_a, V_b, V_c, V_d, \dots, V_e, V_f, V_g, V_h, V_{min+1}$)을 생성한다. 여기서, V_{max} 는 최상위 계조에 대응되고, V_{min+1} 은 최하위 계조+1 계조에 대응되며, V_e 는 중간 계조들 어느 하나인 E 계조에 대응된다.
- [0087] 제1 내부 버퍼(IB1)는 제2 저항 스트링(RST2)의 최상단 탭에 연결되며 제1 휘도 제어용 데이터(LC1)에 대응되는 제1 저항 스트링(RST1)의 분압 전압을 최상위 계조(MAX Gray Scale(G/S))의 탭 감마 전압(V_{max})으로 설정한다. 여기서, 제1 휘도 제어용 데이터(LC1)는 $Y+1$ (Y 는 양의 정수)비트로 구현될 수 있으며, 일 예로서 10비트로 구현될 수 있으나 그에 한정되지 않는다.
- [0088] 제2 내부 버퍼(IB2)는 제2 저항 스트링(RST2)의 최하단 탭에 연결되며 제2 휘도 제어용 데이터(LC2)에 대응되는 제1 저항 스트링(RST1)의 분압 전압을 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})으로 설정한다. 여기서, 제2 휘도 제어용 데이터(LC2)는 제1 휘도 제어용 데이터(LC1)에 비해 낮은 비트로 구현될 수 있다. 제2 휘도 제어용 데이터(LC2)는 Y 이하 비트로 구현될 수 있으며, 일 예로서 9비트로 구현될 수 있으나 그에 한정되지 않는다. 이처럼 제2 휘도 제어용 데이터(LC2)의 비트수를 제1 휘도 제어용 데이터(LC1)에 비해 작게 하면, 제1 저항 스트링(RST1)에서 설정된 전압 레인지의 절반 범위 내에서 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})을 생성할 수 있기 때문에, 최상위 계조(MAX G/S)의 탭 감마 전압(V_{max})과 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1}) 간의 계조 역전을 미연에 방지할 수 있다.
- [0089] 제3 내부 버퍼(IB3)는 제2 저항 스트링(RST2)의 최상단 탭과 최하단 탭 사이의 중간 탭에 연결되며 제3 휘도 제어용 데이터(LC3)에 대응되는 제1 저항 스트링(RST1)의 분압 전압을 중간 계조(E G/S)의 탭 감마 전압(V_e)으로 설정한다. 여기서, 제3 휘도 제어용 데이터(LC3)는 제1 휘도 제어용 데이터(LC1)에 비해 낮은 비트로 구현될 수 있다. 제3 휘도 제어용 데이터(LC3)는 Y 이하 비트로 구현될 수 있으며, 일 예로서 9비트로 구현될 수 있으나 그에 한정되지 않는다. 이처럼 제3 휘도 제어용 데이터(LC3)의 비트수를 제1 휘도 제어용 데이터(LC1)에 비해 작게 하면, 제1 저항 스트링(RST1)에서 설정된 전압 레인지의 절반 범위 내에서 중간 계조(E G/S)의 탭 감마 전압(V_e)을 생성할 수 있기 때문에, 최상위 계조(MAX G/S)의 탭 감마 전압(V_{max})과 중간 계조(E G/S)의 탭 감마 전압(V_e) 간의 계조 역전을 미연에 방지할 수 있다.

- [0090] 이러한 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로는 리니어 감마를 구현하기 위해 제1 저항 스트링(RST1)을 동일한 저항값을 갖는 복수개의 제1 저항들(Ra)로 구성하고, 제2 저항 스트링(RST2)을 동일한 저항값을 갖는 복수개의 제2 저항들(Rb)로 구성하며, 제1 저항들(Ra)과 제2 저항들(Rb) 간의 저항 비율을 동일하게 구성한다. 여기서, 제1 저항들(Ra)과 제2 저항들(Rb)은 서로 같을 수도 있고, 서로 다를 수도 있다. 본 발명은 리니어 감마를 구현한 상태에서 센싱, 연산, 및 보상을 수행하여 외부 보상 오차를 최소화할 수 있다.
- [0091] 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로는 중간 계조(E G/S)의 탭 감마 전압(Ve), 및 중간 계조(E G/S)의 탭 감마 전압(Ve)과 최상위 계조(MAX G/S)의 탭 감마 전압(Vmax) 사이의 감마 전압들(Ve+1 ~ Vmax-1)을, 표시패널에 구비된 화소들의 전기적 특성을 센싱하기 위한 센싱용 데이터전압으로 출력함으로써, 외부 보상을 위한 센싱 및 연산 수행 시간을 감소시킬 수 있다. 다시 말해, 본 발명은 구동 TFT에 전류가 작게 흐르게 하는 저계조 구간(MIN+1 G/S ~ E-1 G/S)을 제외하고, 중간 계조(E G/S) 이상에서 생성되는 감마 전압들을 센싱용 데이터전압으로 이용하기 때문에 센싱 및 연산 수행 시간을 감소시킬 수 있다.
- [0092] 도 7에서, 중간 계조 지점(A)에서 고 계조 지점(B)까지의 계조 구간이 외부 보상을 위한 센싱용 데이터전압으로 이용되는 전압 구간이다. 고 계조 지점(B)은 최상위 계조(MAX G/S)*0.9로 선택될 수 있다. 최상위 계조(MAX G/S)*0.9 ~ 최상위 계조(MAX G/S) 구간은 센싱용 데이터전압이 큰 전압 구간이므로 외부 보상에 이용되기 어렵다. 센싱용 데이터전압이 과도하게 크면 구동 TFT에 흐르는 전류도 그에 비례하여 커지고, 그로 인해 센싱 노드에 전압이 충전되는데 걸리는 시간이 너무 빨라 센싱 전압 추출에 필요한 ΔT 를 감지하기 어렵기 때문이다.
- [0093] Ve은 중간 계조의 탭 감마 전압에 대한 일 예시에 불과하다. 저계조 구간과 중간 계조 구간의 경계점이 되는 중간 계조의 탭 감마 전압은, $2^{Y+1}/10$ 계조 전압 ~ $2^{Y+1}/4$ 계조 전압에 포함되는 계조 전압들 중 어느 하나로 결정될 수 있다.
- [0094] 한편, 본 발명의 일 실시예에 따른 제2 저항 스트링(RST2)에서, 최상단 탭, 최하단 탭, 및 중간 탭에는 각각, 제1 내부 버퍼(IB1), 제2 내부 버퍼(IB2), 및 제3 내부 버퍼(IB3)가 연결되어, 탭 감마 전압들(Vmin+1, Ve, Vmax)의 RC 딜레이를 줄이고 세틀링 타임(settling time)에 소요되는 시간을 크게 단축시킬 수 있고, 나아가 계조 간 전압 레인지를 용이하게 제어할 수 있다.
- [0095] 특히, 본 발명은 제3 내부 버퍼(IB3)를 중간 계조 구간의 특정 탭에 연결함으로써, 도 8의 디지털 입력 대 아날로그 출력 그래프에서 보여지듯이, INL(Integral Non Linearity) 에러를 개선할 수 있는 효과가 있다. INL 에러는 디지털 입력 대 아날로그 출력의 비 선형적인 특성을 나타낸 것으로, INL 에러가 개선된다는 것은 디지털 입력 대 아날로그 출력의 특성이 선형성에 가깝게 된다는 것이다. 따라서, INL 에러는 점선으로 나타낸 제3 내부 버퍼(IB3)의 연결 전에 비해 실선으로 나타낸 제3 내부 버퍼(IB3)의 연결 후에 상대적으로 작아진다.
- [0096] 본 발명의 일 실시예에 따른 제2 저항 스트링(RST2)에서, 최상단 탭, 최하단 탭, 및 중간 탭을 제외한 나머지 탭들에는 어떠한 내부 버퍼도 연결되지 않기 때문에, 감마 구성을 간소화하여 드라이버 IC의 칩 사이즈를 줄일 수 있다.
- [0097] 한편, 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로는 제1 저항 스트링(RST1)에 연결되는 제1 조정 버퍼(RB1)와 제2 조정 버퍼(RB2)를 더 구비할 수 있다.
- [0098] 제1 조정 버퍼(RB1)는 제1 저항 스트링(RST1)의 상단에 연결되어 제1 전원전압(Vx)을 제1 저항 스트링(RST1)에 인가한다. 제1 조정 버퍼(RB1)는 X(X는 양의 정수)+1 비트의 제1 레인지 제어용 데이터(VREFG1)에 따른 제1 전원전압(Vx)을 제1 저항 스트링(RST1)에 인가한다. X는 Y와 같을 수도 있고 다를 수도 있다. 제1 레인지 제어용 데이터(VREFG1)는 일 예로서 7 비트일 수 있으나 이에 한정되지 않는다.
- [0099] 제2 조정 버퍼(RB2)는 제1 저항 스트링(RST1)의 하단에 연결되어 제2 전원전압(Vy)을 제1 저항 스트링(RST1)에 인가한다. 제2 조정 버퍼(RB2)는 X+1 비트의 제2 레인지 제어용 데이터(VREFG2)에 따른 제2 전원전압(Vy)을 제1 저항 스트링(RST1)에 인가한다. 제2 레인지 제어용 데이터(VREFG2)는 일 예로서 7 비트일 수 있으나 이에 한정되지 않는다.
- [0100] 여기서, 제1 내지 제3 내부 버퍼(IB1, IB2, IB3)와 제1 및 제2 조정 버퍼(RB1, RB2)는, NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록, (+) K (K는 양의 정수) V와 (-) K V의 구동 전원에 의해 구동될 수 있다. 일 예로서, 제1 내지 제3 내부 버퍼(IB1, IB2, IB3)와 제1 및 제2 조정 버퍼(RB1, RB2)는 도 9와 같이, (+)5V 구동 전원과 (-)5V 구동전원에 의해 구동될 수 있으나 이에 한정되지 않는다.

- [0101] 일 예로서, 도 10과 같이 NMOS 기반의 화소 구조를 대상으로 한 포지티브 모드에서, 제1 조정 버퍼(RB1)는 (+)5V의 제1 전원전압(V_x)을 제1 저항 스트링(RST1)의 상단에 인가할 수 있고, 제2 조정 버퍼(RB2)는 0V의 제2 전원전압(V_y)을 제1 저항 스트링(RST1)의 하단에 인가할 수 있다.
- [0102] 다른 예로서, 도 11과 같이 PMOS 기반의 화소 구조를 대상으로 한 네거티브 모드에서, 제1 조정 버퍼(RB1)는 (-)5V의 제1 전원전압(V_x)을 제1 저항 스트링(RST1)의 상단에 인가할 수 있고, 제2 조정 버퍼(RB2)는 0V의 제2 전원전압(V_y)을 제1 저항 스트링(RST1)의 하단에 인가할 수 있다.
- [0103] 이렇게 본 발명은 NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록 버퍼들을 구성함으로써, 표시패널의 화소 구조가 NMOS 기반에서 PMOS 기반으로, 혹은 그 반대로 변하더라도, 모델 호환성을 높일 수 있는 잇점이 있다.
- [0104] 한편, 본 발명의 일 실시예에 따른 디지털-아날로그 변환회로는 제2 저항 스트링(RST2)에 연결되지 않는 제4 내부 버퍼(IB4)를 더 구비할 수 있다. 제4 내부 버퍼(IB4)는 제4 휘도 제어용 데이터(LC4)에 대응되는 전압을 최하위 계조(MIN G/S)의 감마 전압(V_{min})으로 설정한다. 제4 휘도 제어용 데이터(LC4)는 X+1 비트, 예컨대 7 비트일 수 있으나 그에 한정되지 않는다. 제4 내부 버퍼(IB4)도 위에서 설명한 것처럼, NMOS 기반의 화소 구조와 PMOS 기반의 화소 구조에 모두 대응되도록, (+) K (K는 양의 정수) V와 (-) K V의 구동 전원에 의해 구동됨으로써, 모델 호환성을 높일 수 있다.
- [0105] 여기서, 최하위 계조(MIN G/S)의 감마 전압(V_{min})과 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})간의 전압차($V_{min+1}-V_{min}$)는, 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})과 최상위 계조(MAX G/S)의 탭 감마 전압(V_{max}) 사이에 존재하는 등 간격의 이웃한 1 계조간의 전압차(예컨대, $V_{min+2} - V_{min+1}$)보다 더 크다. 예를 들어, 10V의 전압 레인지를 분압하는 경우, 최하위 계조(MIN G/S)의 감마 전압(V_{min})을 0V로 설정하고, 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})을 1V로 설정하고, 최상위 계조(MAX G/S)의 탭 감마 전압(V_{max})을 10V로 설정할 수 있다. 이 경우, 최하위 계조(MIN G/S)의 감마 전압(V_{min})과 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1}) 간의 전압차($V_{min+1}-V_{min}$)는 1V이고, 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1})과 최상위 계조(MAX G/S)의 탭 감마 전압(V_{max}) 사이에 존재하는 등 간격의 이웃한 1 계조간의 전압차는 10비트 기준 대략 8.8mV($9/1023$)가 된다. 이렇게 최하위 계조(MIN G/S)의 감마 전압(V_{min})과 차하위 계조(MIN+1 G/S)의 탭 감마 전압(V_{min+1}) 간의 전압차($V_{min+1}-V_{min}$)를 상대적으로 크게 하면, 풀 블랙을 구현하기가 용이하여 대비비(contrast ratio)를 높이는 데 효과적이다.
- [0106] 도 12는 본 발명의 다른 실시예에 따른 디지털-아날로그 변환회로를 보여주는 도면이다. 도 13은 도 12의 디지털-아날로그 변환회로에 포함된 탭 감마 버퍼의 온/오프 제어 수준의 일 예들을 보여주는 도면이다. 도 14는 도 12의 디지털-아날로그 변환회로에서 구현되는 디지털 입력과 아날로그 출력 간의 관계를 보여주는 그래프이다. 그리고, 도 15는 감마 출력 이후의 RC 딜레이를 모델링한 도면이다.
- [0107] 도 12를 참조하면, 본 발명의 다른 실시예에 따른 디지털-아날로그 변환회로는 도 7과 비교하여 제3 저항 스트링(RST3)과 다수의 탭 버퍼들(100)을 더 구비하는 점에서 차이가 있다. 도 12에서 제3 저항 스트링(RST3)과 탭 버퍼들(100)을 제외한 나머지 구성은 도 7과 실질적으로 동일하여 그에 대한 설명은 생략한다.
- [0108] 제3 저항 스트링(RST3)은 제1 저항 스트링(RST1)과 제2 저항 스트링(RST2) 사이에 연결되며, 동일한 저항값을 갖는 복수개의 제3 저항들(R_c)로 구성되어 제1 저항 스트링(RST1)에서 설정된 전압 레인지 내에서 출력 감마 전압을 분압한다. 리니어 감마를 구현하기 위해, 제1 저항(R_a)과, 제2 저항(R_b)의 비율, 또는 제2 저항(R_b)과 제3 저항(R_c)의 비율은 서로 동일하다. 여기서, 제3 저항들(R_c)의 저항값은 제1 저항들(R_a)의 저항값과 같을 수도 있고, 다를 수도 있다. 마찬가지로, 제3 저항들(R_c)의 저항값은 제2 저항들(R_b)의 저항값과 같을 수도 있고, 다를 수도 있다.
- [0109] 탭 버퍼들(100)은 제3 저항 스트링(RST3)의 탭들에 연결되어 제3 저항 스트링(RST3)의 탭 감마 전압들($V_{max}, V_a, V_b, V_c, V_d, \dots, V_e, V_f, V_g, V_h, V_{min+1}$)을 안정화하여 제2 저항 스트링(RST2)의 탭들에 인가한다.
- [0110] 탭 버퍼들(100)은, 최상단 탭 버퍼, 최하단 탭 버퍼, 및 최상단 탭 버퍼와 최하단 탭 버퍼 사이에 위치하는 다수의 중간 탭 버퍼들(MTB)을 포함할 수 있다. 최상단 탭 버퍼와, 최하단 탭 버퍼는 온 됨으로써, 출력 감마 전압의 RC 딜레이와 INL(Integral Non Linearity) 에러를 개선한다.
- [0111] 중간 탭 버퍼들(MTB)은 선택적으로 구동되고, 비 구동되는 탭 버퍼는 플로팅될 수 있다. 예컨대, 중간 탭 버퍼들(MTB)은 도 13과 같이 제어 데이터에 따라 온/오프가 결정될 수 있다. 도 13에서는 제어 데이터가 2비트로 구

현되는 것이 예시되어 있는데, 제어 데이터의 비트수는 다양한 가변이 가능하다. 도 13에서, 2 비트 제어 데이터가 "11"인 경우, 중간 탭 버퍼들(MTB)은 모두 온 될 수 있고, 2 비트 제어 데이터가 "10" 또는 "01"인 경우, 중간 탭 버퍼들(MTB) 중에서 일부만 온 되고 나머지는 오프될 수 있다. 그리고, 2 비트 제어 데이터가 "00"인 경우, 중간 탭 버퍼들(MTB)은 모두 오프될 수 있다. 중간 탭 버퍼들(MTB)에서 온 되는 탭 버퍼의 개수가 많아지면 출력 감마 전압의 RC 딜레이와 INL(Integral Non Linearity) 에러를 개선하는 효과가 향상된다.

[0112] 도 15와 같이, 본 발명의 디지털-아날로그 변환회로에서 감마 앰프와 소스 앰프 사이에는 디코더(DEC)가 연결된다. 감마 앰프는 도 7에서 내부 버퍼들일 수 있고, 도 12에서 탭 버퍼들일 수 있다. 소스 앰프는 소스 드라이버 IC의 출력단에 연결된 버퍼로서 디코더(DEC)에 의해 구동된다.

[0113] 이때, N 비트 디코더(DEC)는 N 개의 스위치들로 구성되는 데, 각 스위치는 트랜스미션 게이트 또는 싱글 게이트로 구현될 수 있다. 이러한 디코더(DEC)를 구성하는 스위치들의 온 저항 및 게이트-소스 간 기생 저항, 라우팅 신호 배선의 기생 RC 성분 등으로 인해 RC 딜레이가 증가하는 데, 그 경우 디지털-아날로그 변환회로의 출력 감마 전압이 왜곡될 수 있다.

[0114] 이에, 본 발명은 도 14와 같이 온 구동되는 탭 버퍼들(100)의 개수를 증가시켜 출력 전압의 RC 딜레이와 INL(Integral Non Linearity) 에러를 효과적으로 개선할 수 있다.

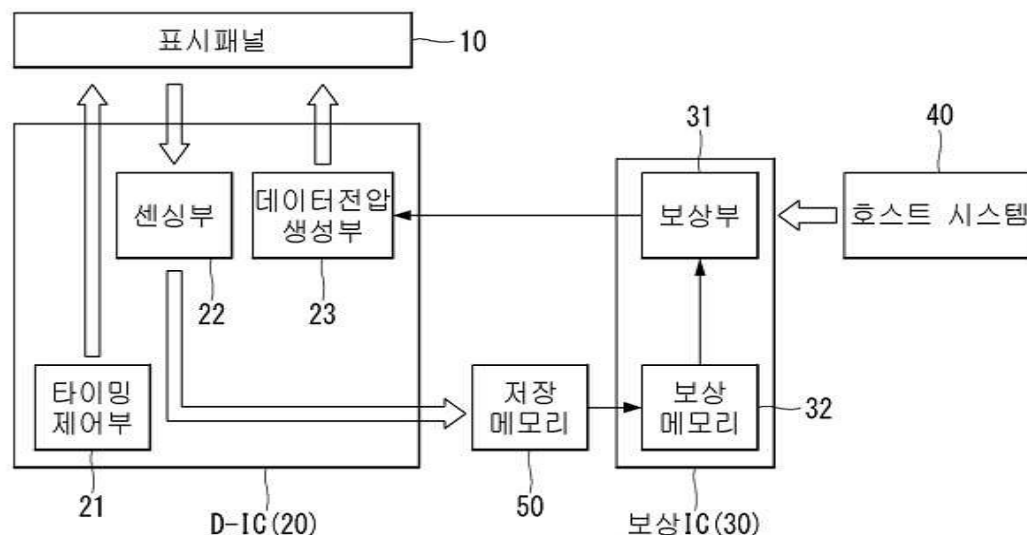
[0115] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

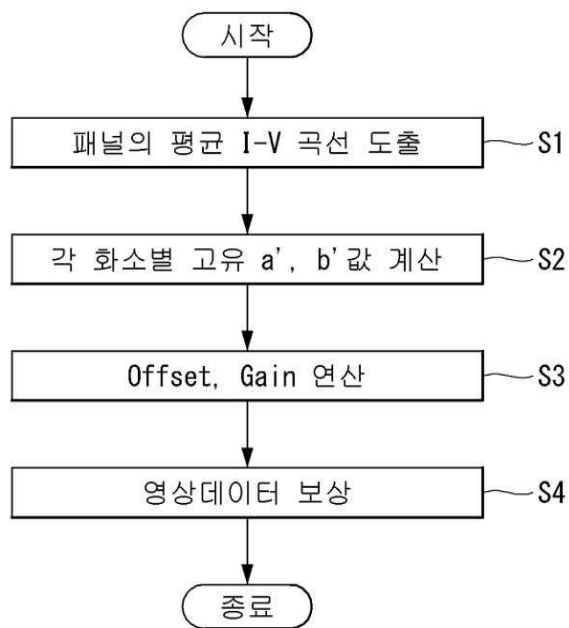
[0116] 10 : 표시패널 20 : 드라이버 IC
30 : 보상 IC 40 : 호스트 시스템
50 : 저장 메모리

도면

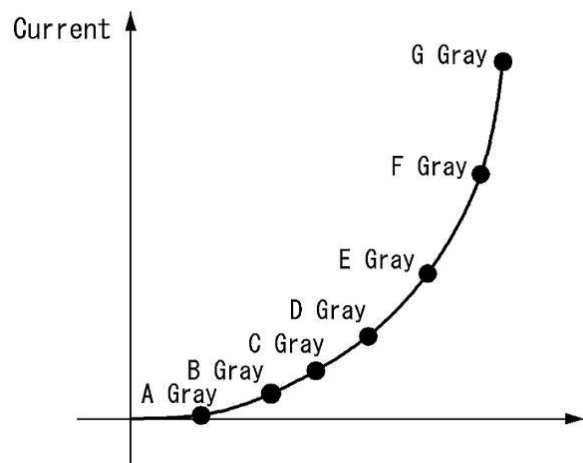
도면1



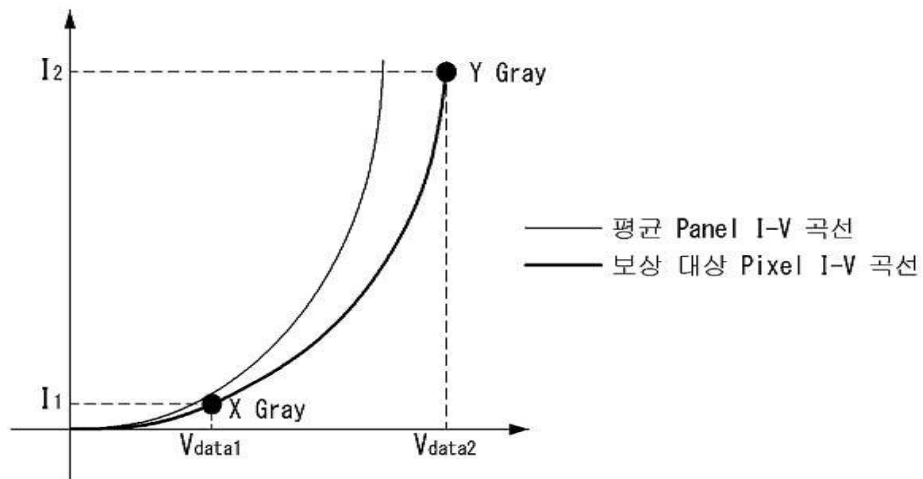
도면2



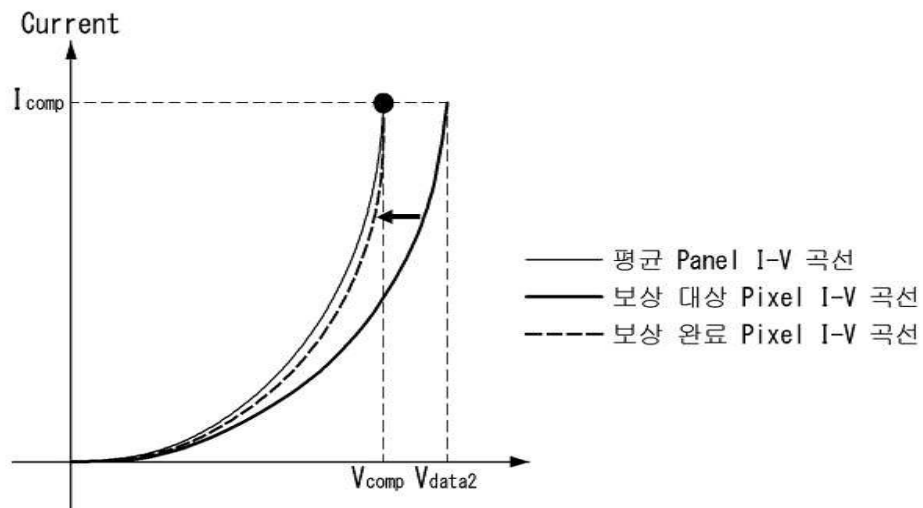
도면3a



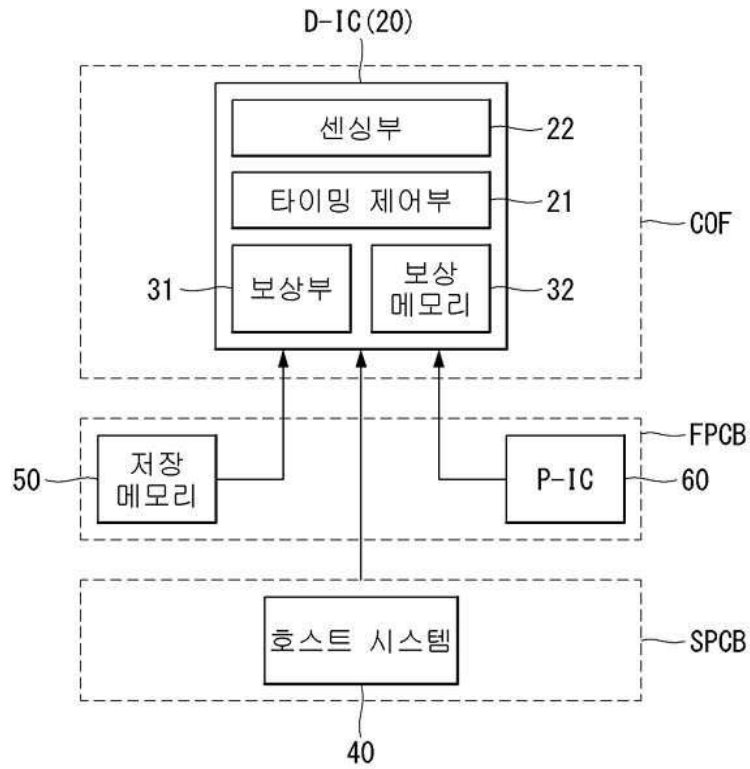
도면3b



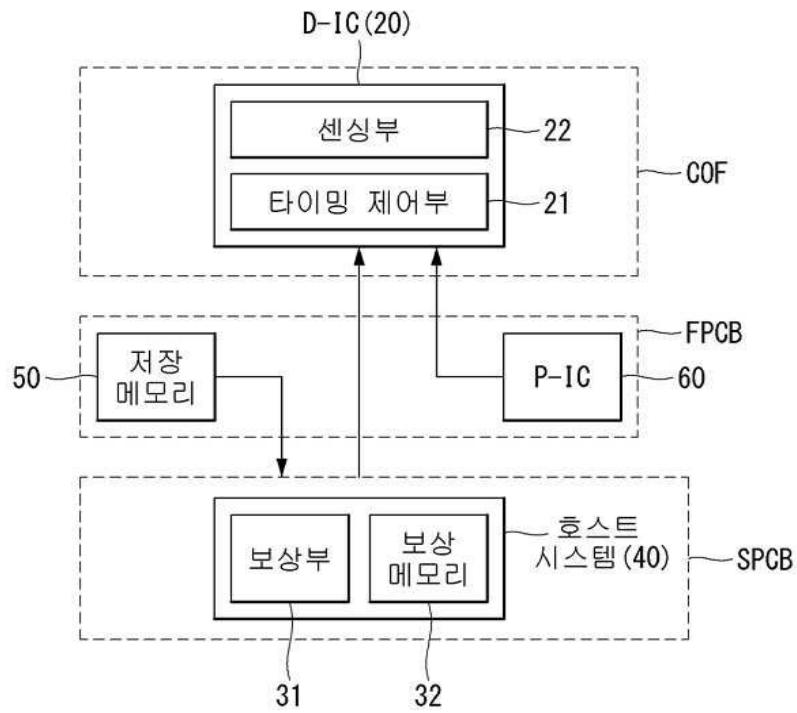
도면3c



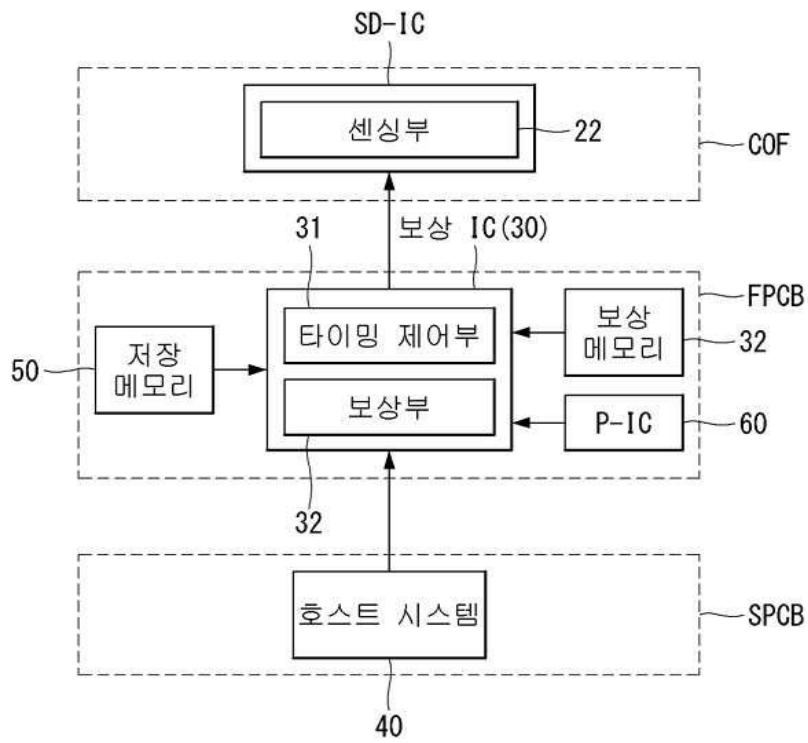
도면4



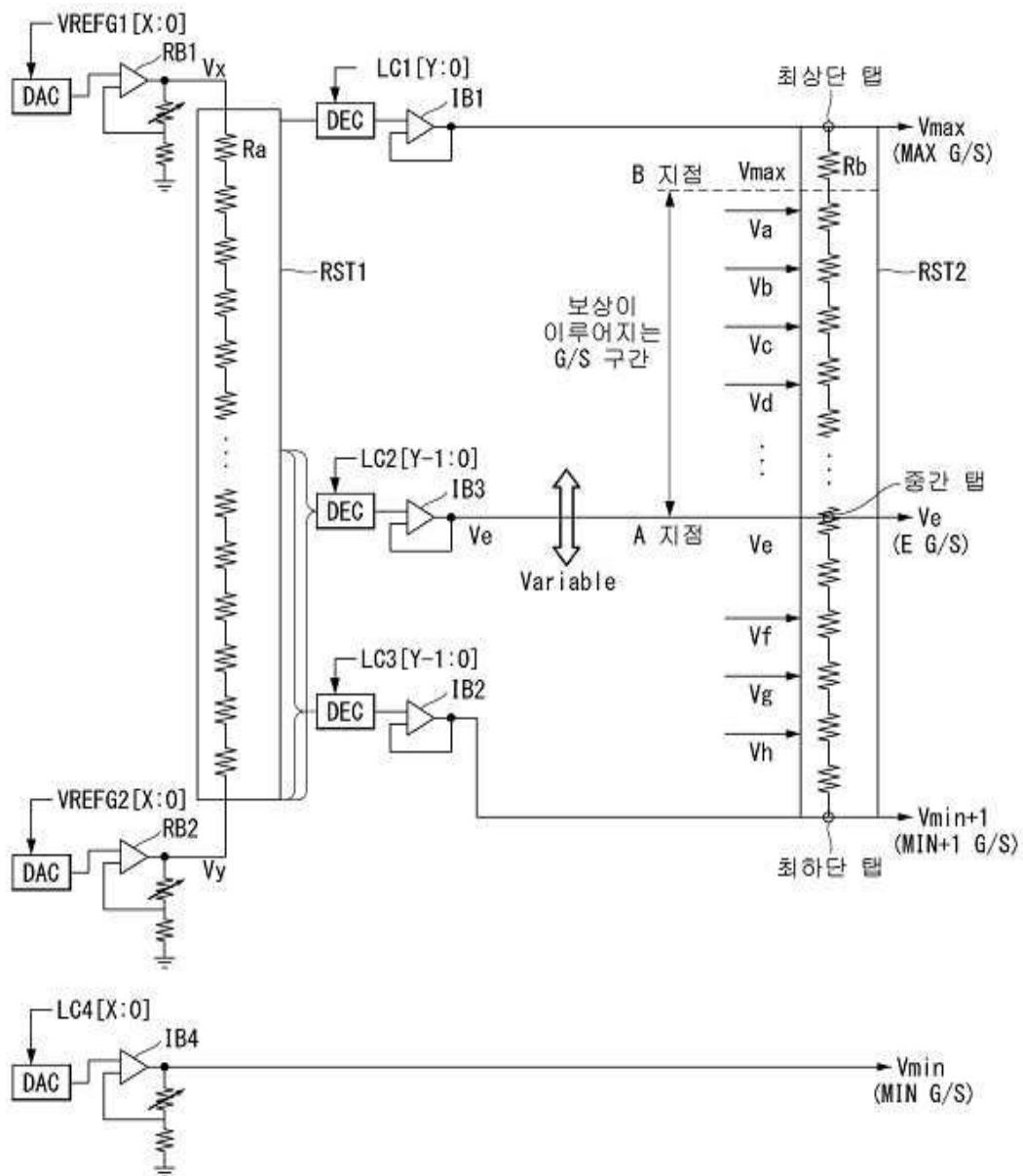
도면5



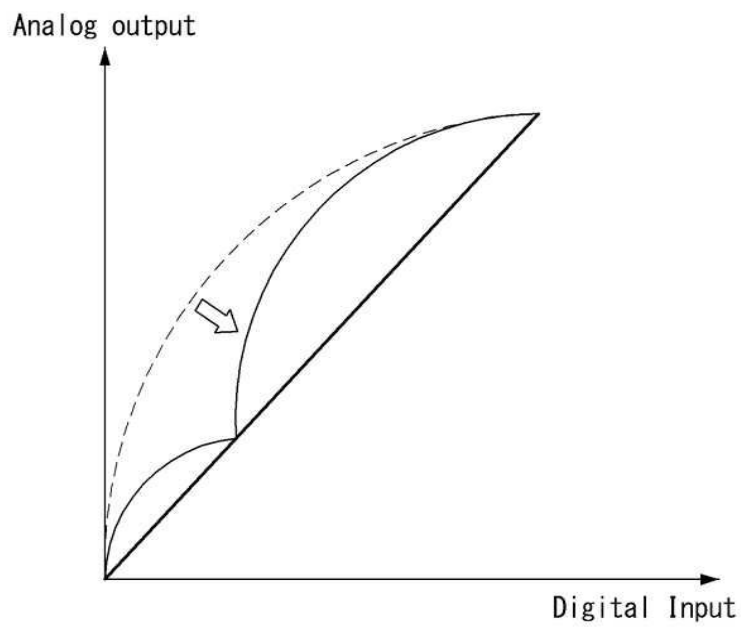
도면6



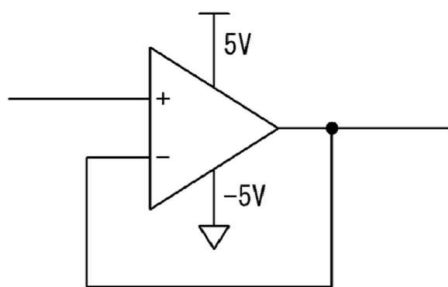
도면7



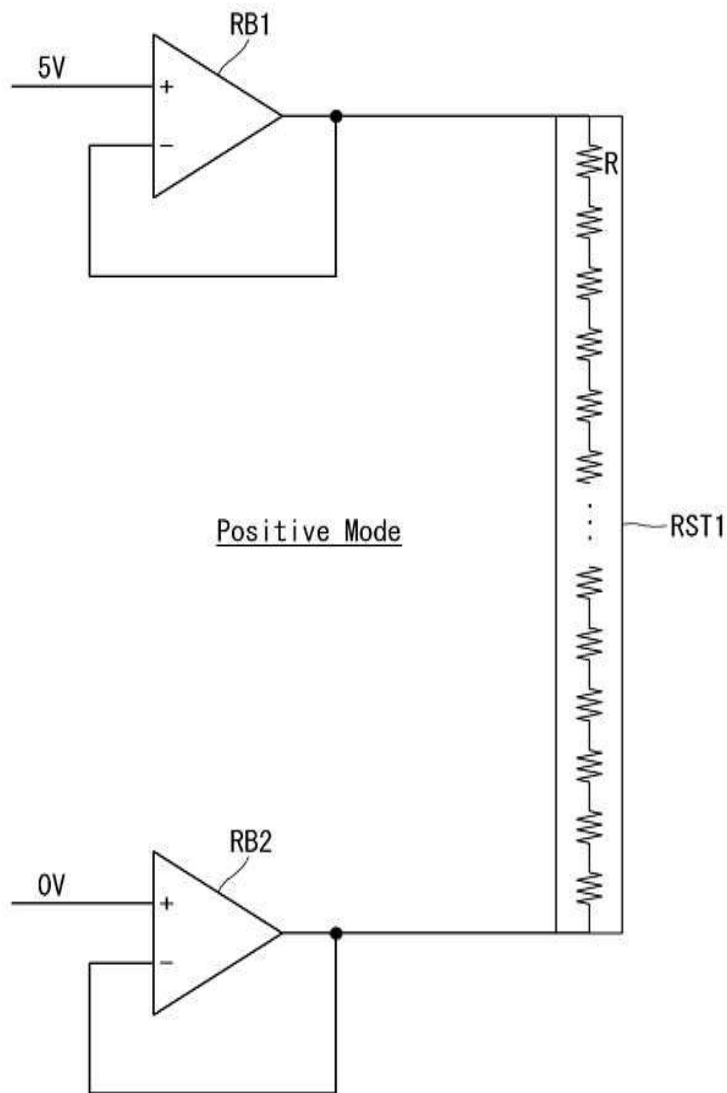
도면8



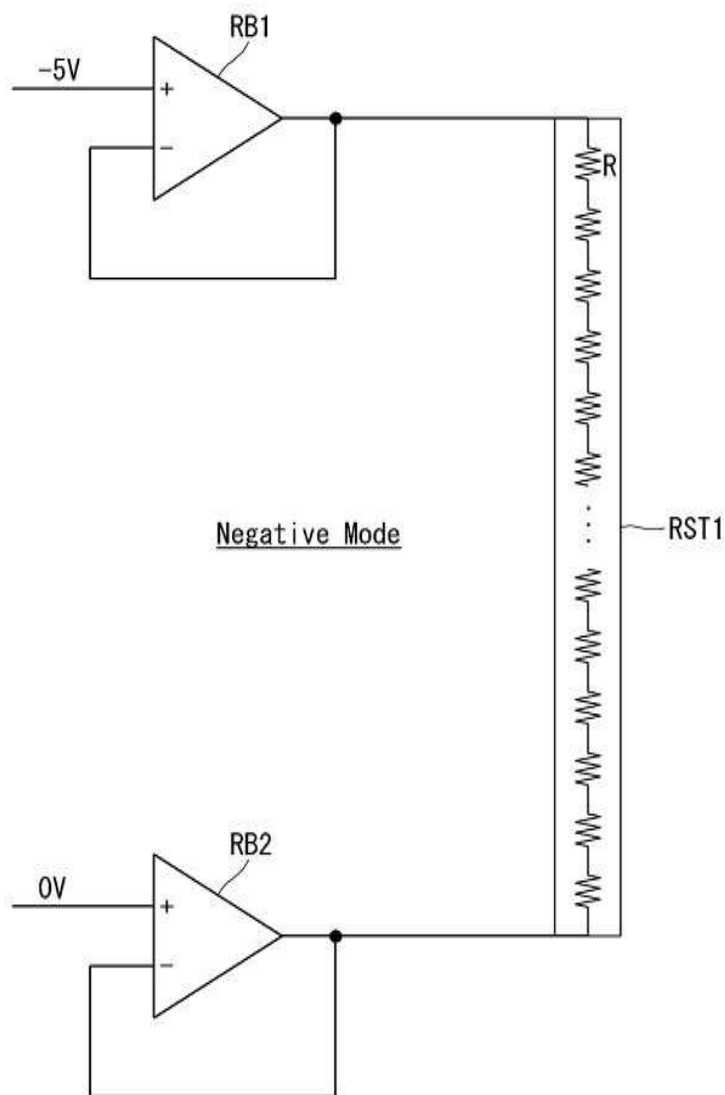
도면9



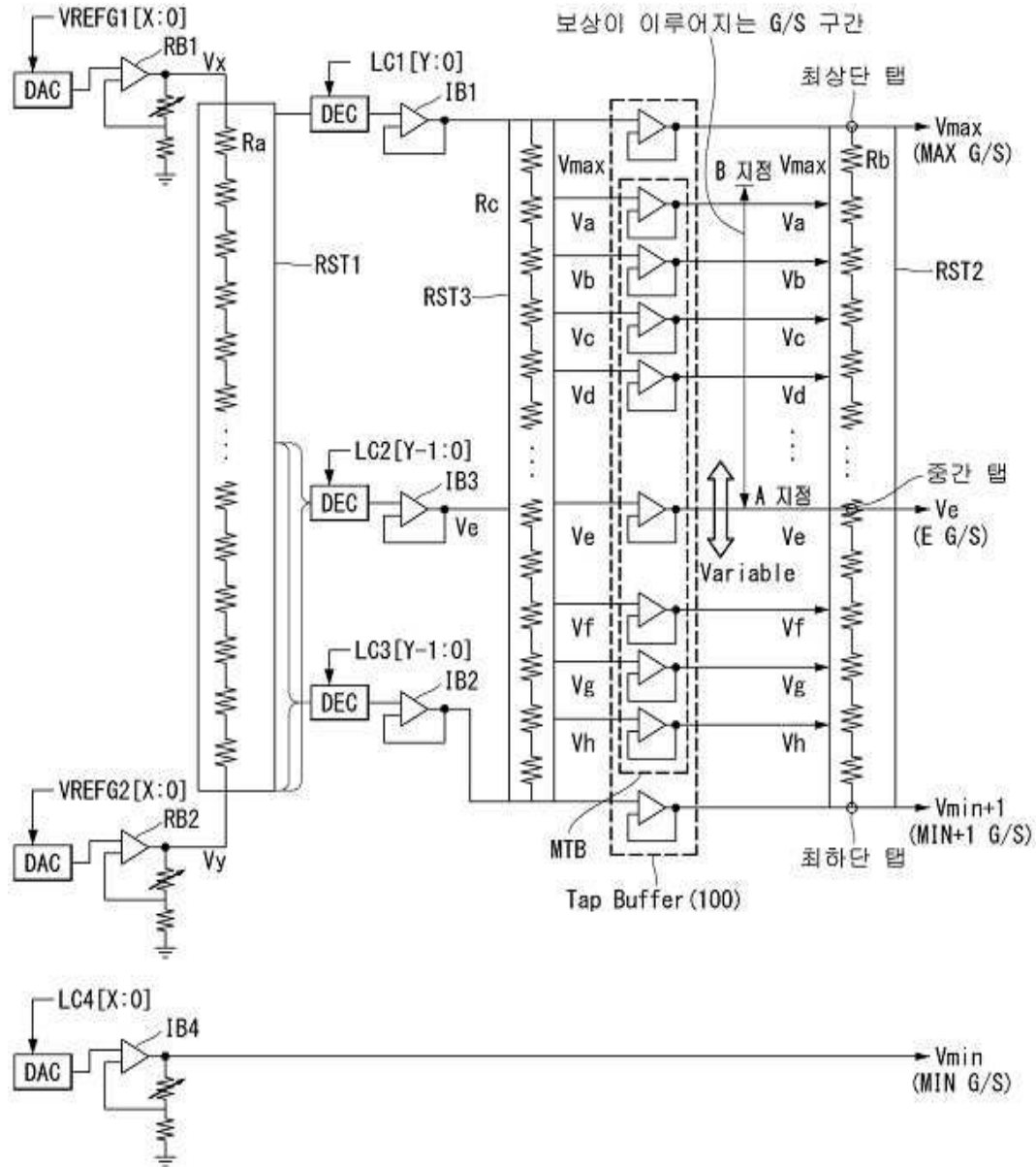
도면10



도면11



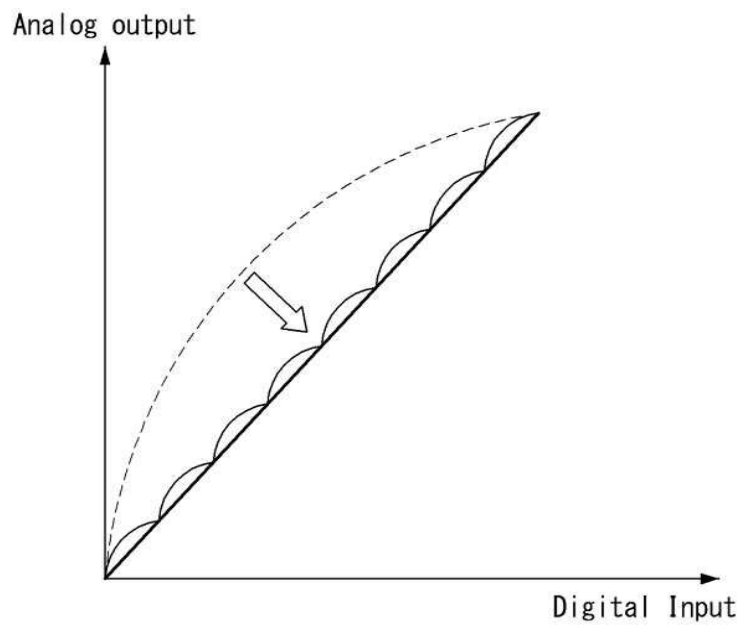
도면12



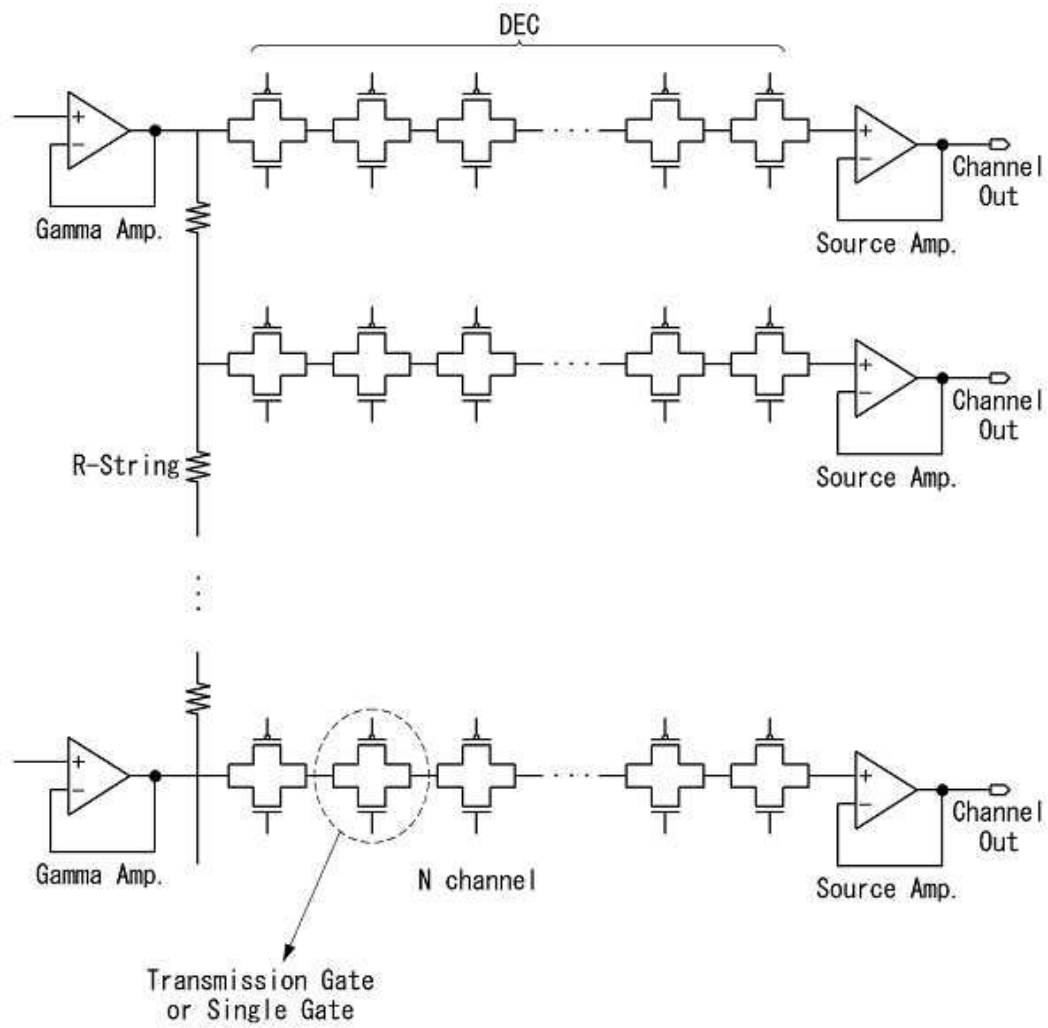
도면13

Tab Buffer (MTB)	ON/OFF function(2bit control), OFF시 Floating 처리			
	default [1:1]	[1:0]	[0:1]	[0:0]
Va	ON	OFF	OFF	OFF
Vb	ON	ON	OFF	OFF
Vc	ON	OFF	OFF	OFF
Vd	ON	OFF	OFF	OFF
Ve	ON	ON	ON	OFF
Vf	ON	OFF	OFF	OFF
Vg	ON	OFF	OFF	OFF
Vh	ON	OFF	OFF	OFF

도면14



도면15



专利名称(译)	数模转换电路和包括其的有机发光显示器		
公开(公告)号	KR1020180043563A	公开(公告)日	2018-04-30
申请号	KR1020160136413	申请日	2016-10-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AN CHANG HO 안창호 KIM BYUNG IL 김병일		
发明人	안창호 김병일		
IPC分类号	G09G3/3208 H03M1/06		
CPC分类号	G09G3/3208 H03M1/0617 G09G2300/0828 H03M2201/814 H03M2201/615 G09G2320/0673		
外部链接	Espacenet		

摘要(译)

根据本发明 - 模拟转换电路的一个实施例的数字是数字地产生对应于数字数据, 根据本发明的模拟转换电路的一个实施例包括: 一个第一电阻器串来设置伽马电压范围内的伽马电压; 第二电阻串, 将伽马电压分压在第一电阻串中设定的电压范围内; 第一内部缓冲器至所述第二被连接到电阻器串的最上面的抽头被设置为第一个选项卡, 对应于第一亮度数据控制所述第一电阻器串的最高灰度级分压电压的伽马电压; 连接到所述第二电阻器串的底部选项卡, 并设置对应于第二亮度控制数据到辅助子灰度的伽马电压抽头的第一电阻串的分压电压的第二内部缓冲器; 和第三内部缓冲器连接到所述第二顶部3000接片和电阻串3000的底部接片之间的中心抽头, 并设置第一电阻器串的对应该第三亮度控制数据到半色调标签伽马电压的分压它包括。

