



(52) CPC특허분류

*H01L 29/78606* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 29/78696* (2013.01)

(72) 발명자

**이정규**

서울특별시 구로구 경인로 382, 124동 1702호 (개  
봉동, 한마을아파트)

**최선영**

경기도 군포시 산본천로217번길 73, 102호 (   
산본동)

**최종현**

서울특별시 강동구 고덕로 210, 506동 107호 (명일  
동, 삼익그린2차아파트)

## 명세서

### 청구범위

#### 청구항 1

표시 영역 및 비표시 영역을 포함하는 기관; 및

상기 기관의 비표시 영역에 형성되어 표시 영역의 화소를 구동하기 위한 신호를 출력하는 구동 드라이버;를 포함하고

상기 구동 드라이버는 상기 신호를 출력하기 위한 복수의 버퍼 트랜지스터를 포함하는 버퍼부;를 포함하고,

상기 버퍼 트랜지스터 각각은

인접하게 배열된 복수의 액티브층;

상기 액티브층 상부에 위치하는 제 1 절연층;

상기 제 1 절연층 상에 위치하고 상기 복수의 액티브층을 가로지르게 연장된 게이트 전극;

게이트 전극과 평행한 소스 전극 및 드레인 전극;

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 위치하는 제 2 절연층을 포함하고,

상기 제 2 절연층은 상기 소스 전극 및 드레인 전극 중 어느 하나와 상기 복수의 액티브층을 전기적으로 연결하는 단일 콘택홀을 갖는 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나는 복수의 상기 액티브층 중 적어도 어느 하나의 측면과 접촉하는 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나는 상기 복수의 액티브층의 3개의 측면과 접촉하는 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 버퍼 트랜지스터는 상기 소스 전극을 중심으로 서로 대칭되어 배치된 적어도 한 쌍의 드레인 전극; 및

상기 소스 전극과 상기 드레인 전극 사이에 배치된 한 쌍의 게이트 전극을 포함하는 표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 소스 전극의 폭은 상기 드레인 전극보다 더 큰 표시장치.

#### 청구항 6

제 4 항에 있어서,

상기 드레인 전극은 상기 복수의 액티브층 중 적어도 어느 하나의 측면과 접촉하는 표시장치.

#### 청구항 7

제 4 항에 있어서,

상기 드레인 전극은 상기 복수의 액티브층 중 적어도 어느 하나의 3개의 측면과 접촉하는 표시장치.

**청구항 8**

제 4 항에 있어서,

상기 제 2 절연층은 상기 소스 전극과 중첩하는 영역 및 상기 드레인 전극과 중첩하는 영역에서 서로 다른 크기 또는 형상의 컨택홀을 갖는 표시장치.

**청구항 9**

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나는 상기 단일 컨택홀을 통해 한 쌍의 액티브층과 접촉하는 표시장치.

**청구항 10**

제 9 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나는 상기 한 쌍의 액티브층 중 적어도 어느 하나의 측면과 접촉하는 표시장치.

**청구항 11**

표시 영역 및 비표시 영역을 포함하는 기관; 및

상기 기관의 비표시 영역에 형성되어 표시 영역의 화소를 구동하기 위한 신호를 출력하는 구동 드라이버;를 포함하고,

상기 구동 드라이버는 상기 신호를 출력하기 위한 복수의 버퍼 트랜지스터를 포함하는 버퍼부;를 포함하며,

상기 버퍼 트랜지스터 각각은

채널 영역을 포함하는 액티브층;

상기 액티브층 상에 위치하는 제 1 절연층;

상기 제 1 절연층 상에 위치하고 상기 복수의 액티브층과 중첩하는 게이트 전극;

게이트 전극과 평행한 소스 전극 및 드레인 전극;

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 위치하고, 상기 소스 전극 및 드레인 전극 중 어느 하나와 상기 액티브층을 전기적으로 연결하는 단일 컨택홀을 갖는 제 2 절연층을 포함하고,

상기 액티브층의 채널은 길이(L)보다 3배 이상의 폭(W)을 갖는 표시장치.

**청구항 12**

제 11 항에 있어서,

상기 단일 컨택홀은 상기 채널 영역의 폭(W)과 실질적으로 동일한 길이를 갖는 표시장치.

**청구항 13**

제 11 항에 있어서,

상기 소스 전극 및 드레인 전극 중 어느 하나는 상기 액티브층의 적어도 어느 하나의 측면과 접촉하는 표시장치.

**청구항 14**

제 11 항에 있어서,

상기 소스 전극을 중심으로 서로 대칭되어 배치된 적어도 한 쌍의 드레인 전극; 및

상기 소스 전극과 상기 드레인 전극 사이에 배치된 한 쌍의 게이트 전극을 포함하는 표시장치.

**청구항 15**

제 14 항에 있어서,

상기 소스 전극은 상기 드레인 전극보다 더 큰 폭을 갖는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기전계발광 표시장치에 있어서, 표시패널의 비표시 영역에 실장된 구동 드라이버의 버퍼부에 대한 것이다.

**배경 기술**

[0002] 유기전계발광 표시장치(organic light emitting display device)는 빛을 방출하는 유기발광소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기전계발광 표시장치는 낮은 소비전력, 높은 휘도 및 높은 반응속도 등의 특성을 가지므로 현재 표시장치로 주목받고 있다.

[0003] 유기전계발광 표시장치는 데이터라인, 주사라인, 및 데이터라인과 주사라인의 교차 영역에 매트릭스(matrix) 형태로 배치된 다수의 표시 화소들을 포함하는 표시패널, 데이터라인들에 데이터 전압들을 공급하는 데이터 구동부, 및 주사라인들에 주사 신호들을 공급하는 주사 구동부를 구비한다. 또한, 표시패널은 다수의 전원전압을 공급하는 전원 공급부를 더 구비한다. 표시 화소들 각각은 구동 트랜지스터 등 다수의 트랜지스터를 이용하여 주사신호가 공급될 때 데이터라인을 통해 공급되는 데이터 전압에 따라 기입되는 유기발광다이오드(organic light emitting diode)로 흐르는 전류량에 따라 소정의 밝기로 발광한다.

[0004] 데이터 구동부 및 주사 구동부는 표시패널의 비표시영역(non display area, NDA)에 ASG(amorphous silicon gate in pixel) 방식 또는 LTPS(gate driver in panel) 방식으로 형성될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 이에 본 발명의 과제는 유기전계발광 표시장치의 표시패널의 비표시 영역에 위치하는 구동 드라이버의 출력단 버퍼 회로를 제공하는 데 있다.

**과제의 해결 수단**

[0006] 본 발명의 일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기판 및 기판의 비표시 영역에 형성되어 표시 영역의 화소를 구동하기 위한 신호를 출력하는 구동 드라이버를 포함하고, 구동 드라이버는 신호를 출력하기 위한 복수의 버퍼 트랜지스터를 포함하는 버퍼부를 포함하고, 버퍼 트랜지스터 각각은 인접하게 배열된 복수의 액티브층, 액티브층 상부에 위치하는 제 1 절연층, 제 1 절연층 상에 위치하고 복수의 액티브층을 가로지르게 연장된 게이트 전극, 게이트 전극과 평행한 소스 전극 및 드레인 전극, 게이트 전극과 소스 전극 및 드레인 전극 사이에 위치하는 제 2 절연층을 포함하고, 제 2 절연층은 상기 소스 전극 및 드레인 전극 중 어느 하나와 복수의 액티브층을 전기적으로 연결하는 단일 콘택홀을 갖는다.

[0007] 본 발명의 일 실시예에 따른 버퍼 트랜지스터의 적어도 하나의 소스 전극 및 드레인 전극은 복수의 액티브층 중 적어도 어느 하나의 측면과 접촉한다.

[0008] 본 발명의 일 실시예에 따른 버퍼 트랜지스터의 적어도 하나의 소스 전극 및 드레인 전극은 복수의 액티브층의 3개의 측면과 접촉한다.

[0009] 본 발명의 다른 실시예에 따른 버퍼 트랜지스터는 소스 전극을 중심으로 서로 대칭되어 배치된 적어도 한 쌍의 드레인 전극, 소스 전극과 드레인 전극 사이에 배치된 한 쌍의 게이트 전극을 포함한다.

- [0010] 본 발명의 다른 실시예에 따른 버퍼 트랜지스터의 소스 전극의 폭은 드레인 전극보다 더 크다.
- [0011] 본 발명의 다른 실시예에 따른 버퍼 트랜지스터의 드레인 전극은 복수의 액티브층 중 적어도 어느 하나의 측면과 접촉한다.
- [0012] 본 발명의 다른 실시예에 따른 버퍼 트랜지스터의 드레인 전극은 복수의 액티브층 중 적어도 어느 하나의 3개의 측면과 접촉한다.
- [0013] 본 발명의 다른 실시예에 따른 버퍼 트랜지스터의 제 2 절연층은 소스 전극과 중첩하는 영역에서 서로 다른 크기 또는 형상의 컨택홀을 갖는다.
- [0014] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터의 적어도 하나의 소스 전극 및 드레인 전극은 단일 컨택홀을 통해 한 쌍의 액티브층과 접촉한다.
- [0015] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터의 적어도 하나의 소스 전극 및 드레인 전극은 한 쌍의 액티브층 중 적어도 어느 하나의 측면과 접촉한다.
- [0016] 본 발명의 또 다른 실시예에 따른 표시장치는 표시 영역 및 비표시 영역을 포함하는 기관, 기관의 비표시 영역에 형성되어 표시 영역의 화소를 구동하기 위한 신호를 출력하는 구동 드라이버를 포함하고, 구동 드라이버는 신호를 출력하기 위한 복수의 버퍼 트랜지스터를 포함하는 버퍼부를 포함하며, 버퍼 트랜지스터 각각은 채널 영역을 포함하는 액티브층, 액티브층 상에 위치하는 제 1 절연층, 상기 제 1 절연층 상에 위치하고 상기 복수의 액티브층과 중첩하는 게이트 전극, 게이트 전극과 평행한 소스 전극 및 드레인 전극, 게이트 전극과 소스 전극 및 드레인 전극 사이에 위치하고, 소스 전극 및 드레인 전극 중 어느 하나와 액티브층을 전기적으로 연결하는 단일 컨택홀을 갖는 제 2 절연층을 포함하고, 액티브층의 채널은 길이(L)보다 3배 이상의 폭(W)을 갖는다.
- [0017] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터의 단일 콘택 홀은 채널 영역의 폭(W)과 실질적으로 동일한 길이를 갖는다.
- [0018] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터의 적어도 하나의 소스 전극 및 드레인 전극은 액티브층의 적어도 어느 하나의 측면과 접촉한다.
- [0019] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터는 소스 전극을 중심으로 서로 대칭되어 배치된 적어도 한 쌍의 드레인 전극; 및 소스 전극과 상기 드레인 전극 사이에 배치된 한 쌍의 게이트 전극을 포함하는 표시장치.
- [0020] 본 발명의 또 다른 실시예에 따른 버퍼 트랜지스터의 소스 전극은 드레인 전극보다 더 큰 폭을 갖는다.

**발명의 효과**

- [0021] 본 발명이 해결하고자 하는 과제는 유기전계발광 표시장치의 비표시 영역에 위치하는 구동 드라이버의 핫캐리어가 개선된 버퍼 트랜지스터를 제공하는 데 있다.

**도면의 간단한 설명**

- [0022] 도 1은 유기전계발광 표시장치의 장치 구성도이다.
- 도 2는 유기전계발광 표시장치의 버퍼부의 평면도이다.
- 도 3은 유기전계발광 표시장치의 버퍼 트랜지스터의 평면도이다.
- 도 4는 도 3의 I - I' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- 도 5는 도 3의 II - II' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- 도 6은 채널의 길이와 HCI 열화 관계를 나타내는 그래프이다.
- 도 7a는 컨택홀의 밀도에 따른 트랜지스터의 특성 표이다.
- 도 7b는 컨택홀의 밀도에 따른 트랜지스터의 출력 전류 그래프이다.
- 도 8은 본 발명의 제 1 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- 도 9는 도 8의 III - III' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- 도 10은 도 8의 IV - IV' 를 따라 자른 버퍼 트랜지스터의 단면도이다.

도 11 은 본 발명의 제 2 실시예에 따른 버퍼 트랜지스터의 평면도이다.

도 12는 도 11의 V - V' 의 선을 따라 자른 버퍼 트랜지스터의 단면도이다.

도 13은 본 발명의 제 3 실시예에 따른 버퍼 트랜지스터의 평면도이다.

도 14는 VI - VI' 의 선을 따라 자른 버퍼 트랜지스터의 단면도이다.

도 15는 본 발명의 제 4 실시예에 따른 버퍼 트랜지스터의 평면도이다.

도 16은 본 발명의 제 5 실시예에 따른 버퍼 트랜지스터의 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0023] 이하, 첨부 도면을 참조하여 본 발명을 상세히 설명한다.
- [0024] 본 발명은 다양한 변경이 가능하고, 여러 가지 형태로 실시될 수 있는바, 특정한 실시예만을 도면에 예시하고 본문에는 이를 중심으로 설명한다. 그렇다고 하여 본 발명의 범위가 상기 특정한 실시예로 한정되는 것은 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 또는 대체물은 본 발명의 범위에 포함되는 것으로 이해되어야 한다.
- [0025] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0026] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙인다.
- [0027] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0028] 도 1은 유기전계발광 표시장치의 장치 구성도이다.
- [0029] 도 2는 유기전계발광 표시장치의 버퍼부의 평면도이다.
- [0030] 도 1 및 도 2를 참조하면, 유기전계발광 표시장치의 비표시 영역(30)에 위치하는 스캔 드라이버(31) 및 EM 드라이버(32)는 제어부(50)로부터 제어 신호를 입력받아 스캔 신호 및 EM 신호를 표시 영역(20)의 화소로 출력한다.
- [0031] 버퍼부는 화소 구동 신호를 출력하는 스캔 드라이버(31), EM 드라이버(32) 및 데이터 드라이버(33) 등의 구동 드라이버의 출력단에 배치된다.
- [0032] 일반적인 회로 장치에서 버퍼부는 신호를 제공하는 쪽의 회로가 신호를 제공받는 쪽의 회로의 특성에 의해서 영향을 받는 것을 방지하기 위해 신호를 제공하는 쪽의 회로의 출력단에 구비되는 회로를 의미한다. 즉, 신호원에 의해서 구동되는 회로로부터 신호원을 격리시키기 위해 설치되는 것이다. 본 발명의 버퍼부는 신호원의 격리뿐 아니라 스캔 라인 또는 EM 라인들에 인가되는 구동 신호의 출력 전류를 증폭하는 기능을 갖는다. 버퍼부는 복수의 버퍼 트랜지스터를 푸시풀 구성하여 신호를 증폭하여 출력한다.
- [0033] 유기전계발광 표시장치는 기관(10) 상의 비표시 영역(30)에 구동 드라이버 회로(31,32,33)를 집적하며, 이로 인해 비표시 영역(30)이 증가하게 된다. 특히, 구동 드라이버 회로 중에서도 큰 전류를 출력하는 버퍼부는 대면적의 버퍼 트랜지스터로 구성된다. 버퍼부의 출력 전류는 버퍼 트랜지스터의 출력 전류에 의해 결정되며, 아래의 식에 표현된 바와 같이 액티브층의 채널폭(W), 채널길이(L)의 비(W/L)와 비례한다.
- [0034] 
$$I_{on} = W/L * C_{ox} * u * (V_{gs} - V_{th})^2$$
- [0035] 패널의 비표시 영역을 줄이기 위해, 트랜지스터 채널 영역의 폭과 길이를 일정 비율로 줄이면, 트랜지스터의 전체 면적을 줄이면서도 출력 전류는 동일하게 유지할 수 있다. 그러나 채널 길이의 축소로 인해 채널 영역에서 전계 집중되어 핫캐리어가 발생하기 쉬워진다.
- [0036] 기관에 실장된 드라이버 회로는 표시패널의 화소를 구성하는 아몰퍼스 실리콘 게이트(Amorphous Silicon Gate, 이하 'ASG'라 한다) 또는 LTPS(Low Temperature Poly Silicon, 이하 'LTPS'라 한다) 기술을 적용하여 집적될

수 있다. LTPS 기술은 ASG 기술보다 집적도가 뛰어나서 다양한 드라이버 회로를 기판 내에 집적할 수 있다. 일반적으로 출력단의 버퍼부는 복수의 버퍼 트랜지스터의 푸시풀 회로로 구성된다.

- [0037] 도 3은 유기전계발광 표시장치의 버퍼 트랜지스터의 평면도이다.
- [0038] 도 4는 도 3의 I - I' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0039] 도 5는 도 3의 II - II' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0040] 도 3 내지 도 5를 참조하면, 버퍼 트랜지스터(300)는 액티브층(313), 제 1 절연층(314), 게이트 전극(315), 제 2 절연층(316), 소스 전극(318) 및 드레인 전극(319)으로 구성된다.
- [0041] 공정 순서상으로는 기판(311) 상에 보호막(312)을 형성하고 액티브층(313), 제 1 절연층(314), 게이트 전극(315)을 순차적으로 형성한다. 액티브층(313)은 게이트 전극(315)과 오버랩된 채널영역(313a)과 오버랩되지 않은 도체화된 영역(313b)으로 구성된다. 게이트 전극(315)은 알루미늄(aluminum; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈륨(tantalum; Ta) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 등의 투명한 도전 물질과 불투명 도전물질이 적층된 다층 구조로 형성될 수 있다.
- [0042] 게이트 전극(315) 상에 제 2 절연층(316)을 형성하고, 액티브층(313)의 상부 영역의 제 2 절연층(316)과 제 1 절연층(314)의 일부 영역을 제거하여 컨택홀(317)을 형성한다. 게이트 전극(315)과 평행하게 연장된 소스 전극(318) 및 드레인 전극(319)을 제 2 절연층(316) 상에 형성하고, 이때 소스 전극(318) 및 드레인 전극(319)은 상기 컨택홀(317)을 통해 액티브층의 도체화된 영역(313b)과 각각 전기적으로 연결된다. 소스 전극(318) 및 드레인 전극(319)은 알루미늄(aluminum; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈륨(tantalum; Ta) 등과 같은 저저항 불투명 도전물질의 이중층 또는 삼중층으로 형성될 수 있다.
- [0043] 버퍼 트랜지스터(300)는 일방향으로 나란히 배열되며 분리된 복수의 액티브층(313)과 복수의 액티브층(313)을 가로지르게 연장된 게이트 전극(315), 소스 전극(318) 및 드레인 전극(319)을 포함한다.
- [0044] 컨택홀(317)은 각 분리된 액티브층(313)의 상부영역에 위치하고, 컨택홀(317)과 컨택홀(317)의 사이에는 제 1 절연층(314) 및 제 2 절연층(316)이 위치한다.
- [0045] 도 6은 채널의 길이와 HCI 열화 관계를 나타내는 그래프이다.
- [0046] 도 7a는 컨택홀의 밀도에 따른 트랜지스터의 특성 표이다.
- [0047] 도 7b는 컨택홀의 밀도에 따른 트랜지스터의 출력전류 그래프이다.
- [0048] 도 6은 컨택홀의 배치 조건에 따른 액티브층의 채널 길이와 핫캐리어 불안정성(Hot Carrier Instability, 이하 HCI)의 관계를 보여준다. 핫캐리어는 트랜지스터의 드레인 영역에 형성된 높은 전계에 의해 발생되며 실리콘 또는 실리콘 산화막(Si/SiO<sub>2</sub>) 계면 내 본드(Bond)를 파괴하거나, 실리콘 산화막(SiO<sub>2</sub>) 내부로 주입되어 트랩핑(Trapping) 되기도 한다. 핫캐리어로 인해 전류가 급격히 증가되는 킹크(Kink) 현상이 발생하면서 트랜지스터가 오동작 할 수도 있다. HCI 열화에 따라서 핫캐리어의 발생 가능성이 커짐을 알 수 있다.
- [0049] 도 6을 참조하면, 일반적인 컨택홀 구조(CNT dummy 미반영)에서 채널의 길이가 4 $\mu$ m에서 2.7 $\mu$ m로 줄어들어 따라서 핫캐리어 불안정성(Hot Carrier Instability, 이하 HCI)은 -0.5%에서 -35%로 악화된다. 기판의 비표시 면적을 줄이기 위해 버퍼 트랜지스터의 크기를 축소함에 따라 액티브층의 채널 영역의 폭(W)과 길이(L)도 같이 축소되어 버퍼 트랜지스터의 HCI는 열화된다.
- [0050] HCI 열화는 컨택홀의 형성 후 진행되는 액티브층의 탈수소 열처리 공정을 통해 개선될 수 있다. 제조 공정 중에 소스/드레인 전극용 컨택홀을 형성하면, 액티브층의 일부 영역은 상부의 절연층이 모두 제거되어 외부에 노출된다. 이후 진행되는 탈수소 열처리 공정은, 트랜지스터에 열을 가하여 액티브층의 수소가 외부로 배출되도록 한다. 이때 절연층에 싸인 부분은 탈수소가 진행되지 못하고 컨택홀에 의해 노출된 액티브층의 영역에서만 탈수소가 이루어진다.
- [0051] 도 6의 다른 그래프는 컨택홀에 더미영역을 추가(CNT dummy 반영)한 조건에서 채널의 길이에 따른 HCI 열화 정도를 나타낸다. 채널 길이가 4 $\mu$ m 일 때는 컨택홀의 면적이 증가하여도 HCI 열화는 개선되지 않는다. 그러나, 채

널 길이가 2.7um인 경우에는 컨택홀에 더미 영역을 반영한 것으로 HCI 열화는 약 10% 정도 개선된다. 즉, 채널 폭이 3um 이하인 버퍼 트랜지스터는 컨택홀의 개구 면적을 증가시켜 핫캐리어 현상을 효과적으로 개선할 수 있다.

- [0052] 도 7a를 참조하면, 컨택홀의 밀도가 없는 NMOS Ver 0.0, NMOS Ver 0.1의 스캔 트랜지스터는 -0.62V ~ 0.5V 의 낮은 Vth 값을 갖는 반면에 컨택홀의 밀도를 높인 NMOS VERO.2의 스캔 트랜지스터는 모빌리티(Mobility)도 특성이 향상된다.
- [0053] 도 7b의 그래프는 컨택홀의 밀도에 따른 트랜지스터의 게이트 전압(Vg)와 그래인 전류(Id)의 관계를 보여준다. 도 7b를 참조하면, 컨택홀의 밀도가 높아짐에 따라 Vth 전압이 상승하고 Vth 임계전압 영역에서 전류의 증가 비율이 완만해진다.
- [0054] 이하 본 발명의 실시예에 따른 버퍼 트랜지스터를 설명한다. 이하의 설명을 진행함에 있어 종래의 트랜지스터의 제조 공정과 동일한 부분의 설명은 중복되므로 생략한다.
- [0055] 도 8은 본 발명의 제 1 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- [0056] 도 9는 도 8의 III - III' 을 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0057] 도 10은 도 8의 IV - IV' 를 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0058] 도 8 내지 도 10을 참조하면, 본 발명의 제 1 실시예에 따른 버퍼 트랜지스터 (400)는 액티브층(413), 제 1 절연층(414), 게이트 전극(415), 제 2 절연층(416), 소스 전극(418) 및 드레인 전극(419)을 포함한다. 버퍼 트랜지스터(400)는 일방향으로 나란히 배열되며 분리된 액티브층(413)과 복수의 액티브층(413)을 가로지르게 연장된 게이트 전극(415), 소스 전극(418) 및 드레인 전극(419)을 포함한다.
- [0059] 본 발명의 제 1 실시예에 따른 소스 전극(418) 및 드레인 전극(419)은 단일 컨택홀(417)을 통해 인접하게 배치된 액티브층(413)들의 상부 영역 및 적어도 일 측면부와 전기적으로 연결된다. 바람직하게는 소스 전극(418) 또는 드레인 전극(419)과 액티브층(413)의 상부면 및 3개의 측면과 모두 접촉하는 것이 가장 바람직하다. 액티브층(413)의 상면 및 측면이 소스 전극(418) 및 드레인 전극(419)과 접촉됨으로써 전기 접촉 저항이 작아진다. 단일 컨택홀(417)은 버퍼 트랜지스터(400)의 액티브층(413) 간의 사이 영역까지 포함하고, 해당 영역에서 소스 전극(418) 및 드레인 전극(419)은 컨택홀(417)을 통해 보호막(412)과도 접촉한다.
- [0060] 본 발명의 제 1 실시예에 따른 컨택홀(417)은 제조 공정 중에 액티브층(413)의 상부 및 단부를 노출하여 열처리 공정에서 탈수소가 진행되는 면적이 증가시키고, 버퍼부 트랜지스터의 핫캐리어 특성을 개선시킨다.
- [0061] 도 11은 본 발명의 제 2 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- [0062] 도 12는 도 11의 V - V' 의 선을 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0063] 도 11과 도 12를 참조하면, 본 발명의 제 2 실시예에 따른 버퍼 트랜지스터(500)는 액티브층(513), 제 1 절연층(514), 2 개의 게이트 전극(515), 제 2 절연층(516), 소스 전극(518) 및 2 개의 드레인 전극(519)을 포함한다.
- [0064] 버퍼 트랜지스터(500)의 구조는 평면적으로 보면 인접하게 배치된 액티브층(513)과 액티브층(513)을 가로지르는 소스 전극(518), 소스 전극(518)을 중심으로 한 쌍의 드레인 전극(519)이 대칭되게 위치하고, 소스 전극(518)과 드레인 전극(519)의 사이에 한 쌍의 게이트 전극(515)이 위치하는 구조이다.
- [0065] 버퍼 트랜지스터(500)는 도 11의 상부에서부터 하부로 드레인 전극(519) - 게이트 전극(515) - 소스 전극(518, 공유) - 게이트 전극(515) - 드레인 전극(519)의 전극 배열을 갖는다. 버퍼 트랜지스터(500)은 소스 전극(518)을 공유하여 2개의 채널 영역을 구성하면서도 버퍼 트랜지스터(500)의 면적을 축소할 수 있다.
- [0066] 본 발명의 제 2 실시예에 따른 컨택홀(517)을 통해 드레인 전극(519)과 대응하는 액티브층(513)의 상부 영역 및 단부 영역은 서로 전기적으로 연결된다. 드레인 전극(519)이 액티브층(513)의 상면 및 측면부와 전기적으로 연결되는 반면, 소스 전극(518)은 컨택홀을 통해 액티브층(513)의 상부 영역과 전기적으로 연결된다. 컨택홀(517)은 액티브층(513)과 인접한 액티브층(513)의 사이 영역까지 확장되며, 해당 영역의 소스 전극(518) 또는 드레인 전극(519)은 컨택홀(517)을 통해 보호막(312)과 접촉한다.
- [0067] 공유된 소스 전극(518)은 2개의 채널 영역에 공유되기 때문에 대응하는 드레인 전극(519)보다 더 큰 전류를 공급한다. 버퍼 트랜지스터(500)의 소스 전극(518)의 폭은 측면의 드레인 전극(519)의 폭보다 더 클 수 있다.
- [0068] 본 발명의 제 2 실시예와 같이 게이트 전극에 대응하는 소스 전극(518)과 드레인 전극(519)의 폭이 비대칭인 경

우, 컨택홀(517)은 소스 전극(518) 및 드레인 전극(519)에서 서로 다른 형상 또는 크기로 구성될 수 있다.

- [0069] 도 13은 본 발명의 제 3 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- [0070] 도 14는 VI - VI'의 선을 따라 자른 버퍼 트랜지스터의 단면도이다.
- [0071] 도 13과 도 14를 참조하면, 본 발명의 제 3 실시예에 따른 컨택홀(617)을 통해 소스 전극(618) 또는 드레인 전극(619)은 2개의 인접한 액티브층(613)의 상부 영역 및 단부와 연결된다. 소스 전극(618) 또는 드레인 전극(619)은 컨택홀 내부에서는 쌍을 이룬 2개의 액티브층(613)의 상부 및 액티브층(613)의 사이 영역에 형성되며, 다른 컨택홀(617)과는 제 2 절연층(616)의 상부를 통과하여 서로 연결된다.
- [0072] 본 발명의 제 3 실시예에 따른 컨택홀(617)은 제조 공정 상에서 컨택홀 제조 공정의 기준이 된 컨택홀과 근접하게 설계된다. 공정 기준 컨택홀과 서로 크기가 다른 컨택홀의 제조를 위해서는 새로운 공정 조건이 필요하다.
- [0073] 본 발명의 제 3 실시예에 따른 컨택홀(617)은 공정 기준 컨택홀과 크기 및 형태가 유사하여 공정 조건의 큰 변화 없이 컨택홀(617)을 형성하고, 이를 통해 버퍼 트랜지스터(600)의 핫캐리어 열화를 개선할 수 있다.
- [0074] 도 15는 본 발명의 제 4 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- [0075] 도 15를 참조하면, 본 발명의 제 4 실시예에 따른 버퍼 트랜지스터(700)는 단일 액티브층(713)과 상기 액티브층(713)을 가로지르는 게이트 전극(715), 게이트 전극(715)과 평행하는 소스 전극(718) 및 드레인 전극(719)을 포함한다. 상기 액티브층(713)과 소스 전극(718) 또는 드레인 전극(719)은 일방향으로 연장된 컨택홀(717)을 통해 전기적으로 연결된다.
- [0076] 버퍼 트랜지스터(700)의 소스 전극(718) 및 드레인 전극(719)과 단일 컨택홀(717)을 통해 연결되는 액티브층(713)은 채널의 길이(L)가 3 $\mu$ m 이하인 경우, 채널 영역의 폭(W)이 길이의 3배 이상 길게 형성될 수 있다. 바람직하게는 6배 이상 길게 형성하는 것이 좋다. 폭(W)이 길이(L)보다 크게 형성된 버퍼 트랜지스터(700)는 큰 구동 전류를 출력할 수 있다. 버퍼 트랜지스터(700)의 구동 전류는 액티브층(713)의 도체화된 영역과 단일 컨택홀(717)을 통해 연결된 소스 전극(718) 또는 드레인 전극(719)을 통해 공급된다. 채널 길이(L)에 대응하여 연장된 단일 컨택홀(717)은 버퍼 트랜지스터(700)의 HCI 열화를 방지하고, 소스 전극(718) 또는 드레인 전극(719)과 액티브층(713)의 접촉 저항을 낮춰 채널 폭(W) 방향의 전계의 분포 편차를 축소한다. 이러한 대용량의 버퍼 트랜지스터(700) 및 컨택홀(717)을 통해서 버퍼 트랜지스터(700)는 안정된 구동 전류를 출력할 수 있다.
- [0077] 도시하지는 않았지만, 본 발명의 제 4 실시예에 따른 컨택홀(717)을 통해 소스 전극(718) 또는 드레인 전극(719)과 연결된 액티브층(713)은 상부 및 단부 영역에서 소스 전극(718) 또는 드레인 전극(719)과 전기적으로 연결될 수도 있다.
- [0078] 도 16은 본 발명의 제 5 실시예에 따른 버퍼 트랜지스터의 평면도이다.
- [0079] 도 16을 참조하면, 본 발명의 제 5 실시예에 따른 버퍼 트랜지스터(800)는 단일 액티브층(813)과 상기 액티브층(813)을 가로지르는 게이트 전극(815), 게이트 전극(815)과 평행하는 소스 전극(818) 및 드레인 전극(819)을 포함한다. 상기 액티브층(813)과 소스 전극(818) 또는 드레인 전극(819)은 일정 영역으로 분할된 복수의 컨택홀(817)을 통해 전기적으로 연결된다. 상기 컨택홀(817)의 길이는 액티브층(813)의 채널 폭(W)보다 3배 이상 길게 형성된다. 도시하지는 않았지만, 본 발명의 제 5 실시예에 따른 소스 전극(818) 또는 드레인 전극(819)은 컨택홀(817)을 통해 액티브층(813)의 상부 및 단부 영역과 전기적으로 연결될 수도 있다.
- [0080] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 유기전계발광 표시장치는 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량할 수 있는 명백하다고 할 것이다.
- [0081] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

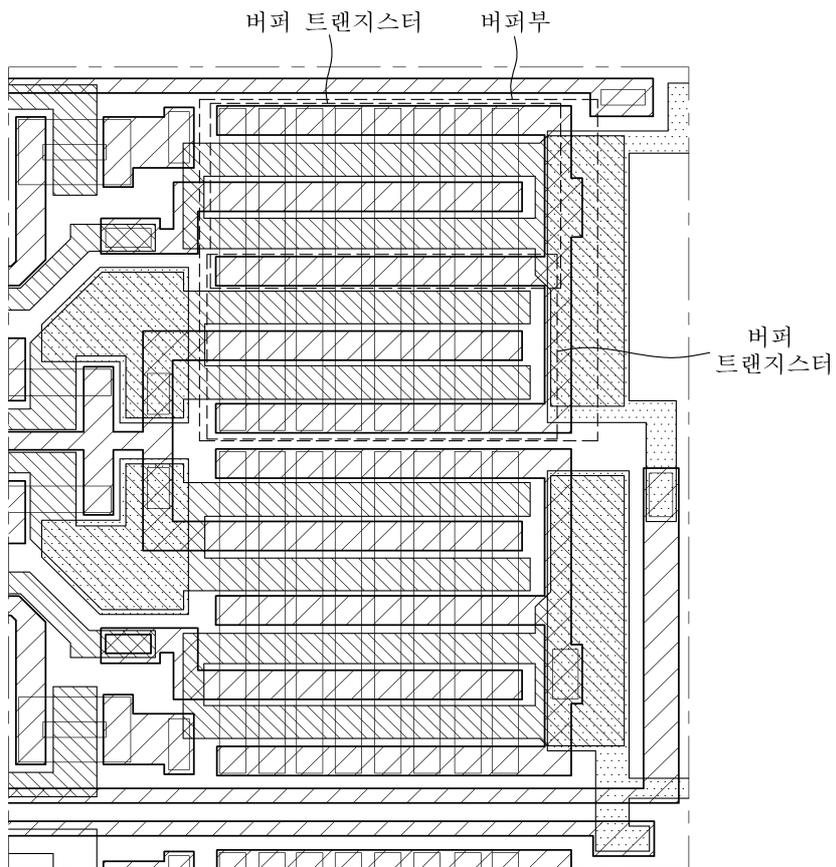
**부호의 설명**

- [0082] 기관                    411, 511, 611
- 보호막            412, 512, 612
- 버퍼 트랜지스터        400, 500, 600, 700, 800

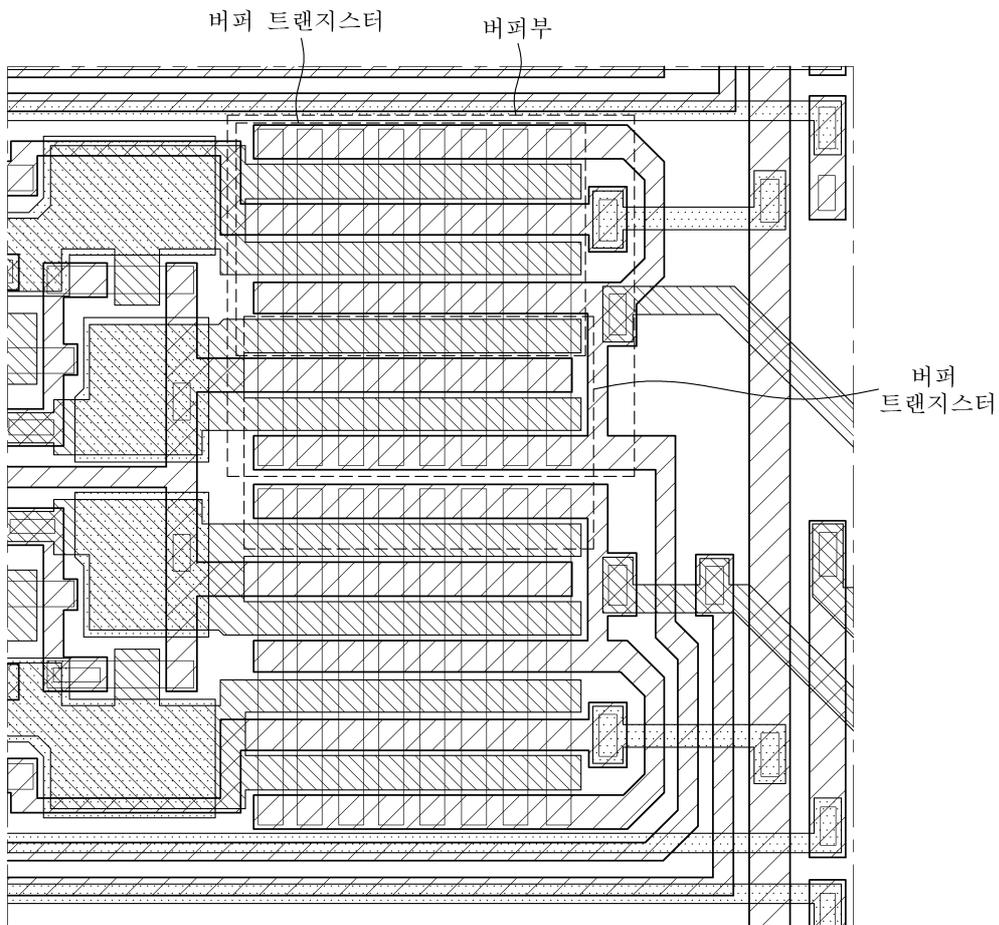
액티브층	413, 513, 613, 713, 813
게이트 전극	415, 515, 615, 715, 815
컨택홀	417, 517, 617, 717, 817
소스 전극	418, 518, 618, 718, 818
드레인 전극	419, 519, 619, 719, 819

도면

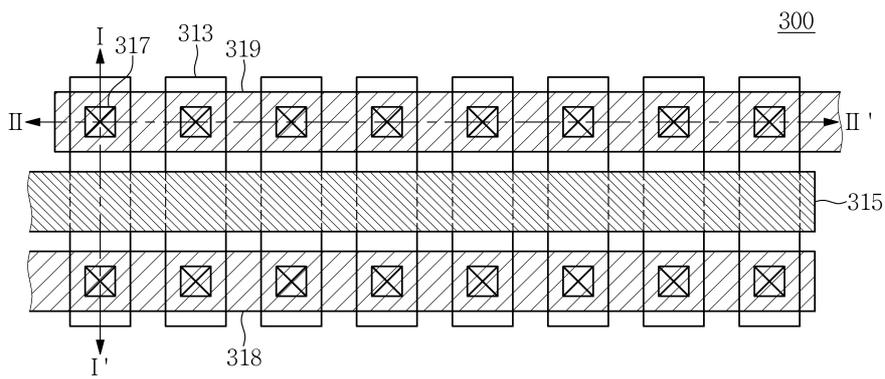
도면1



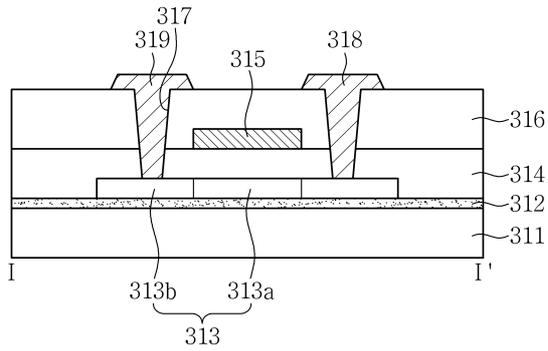
도면2



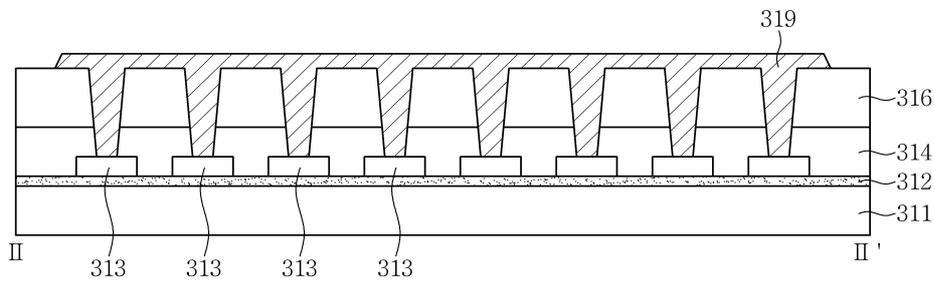
도면3



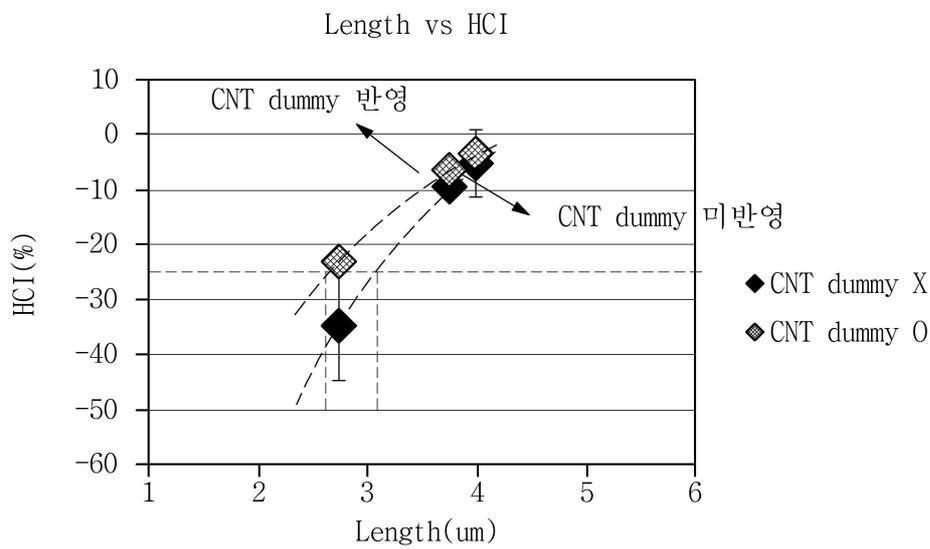
도면4



도면5



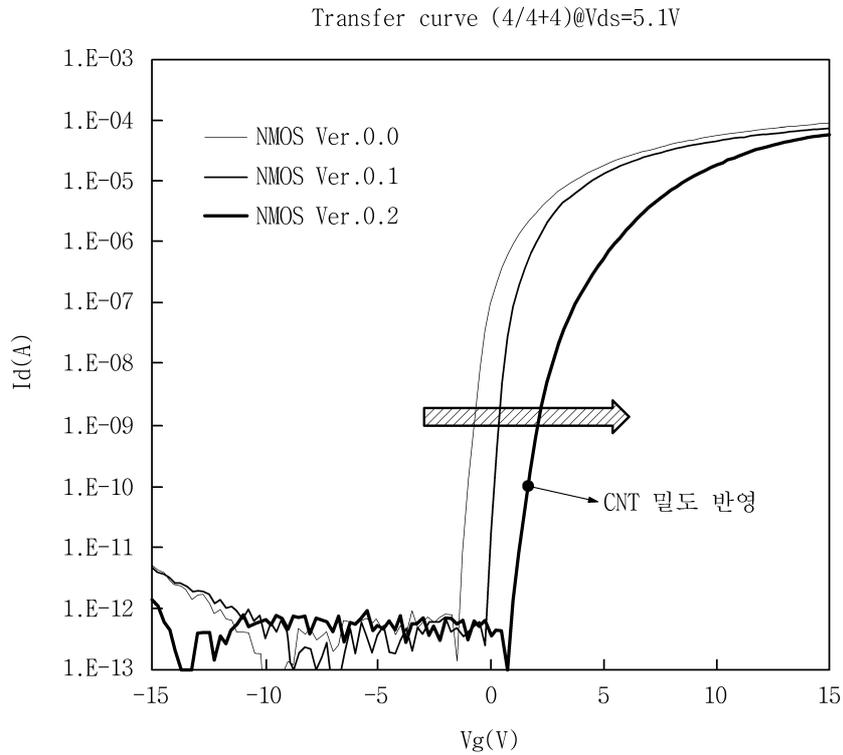
도면6



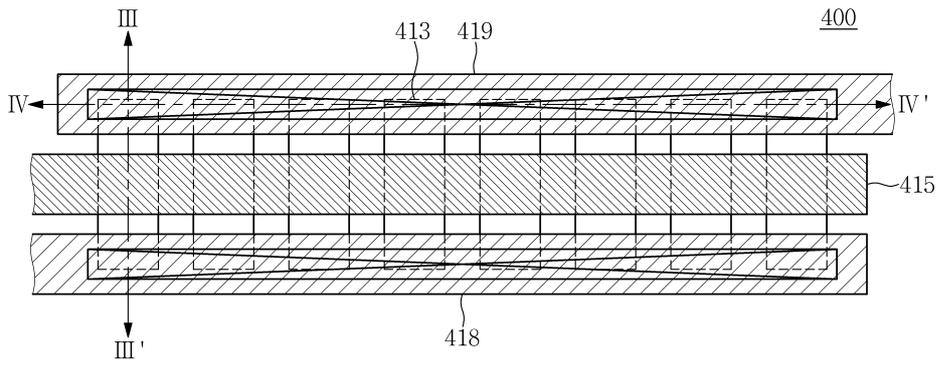
도면7a

Scan TR (4/4+4)		NMOS Ver. 0.0	NMOS Ver. 0.1	NMOS Ver. 0.2
Process conditions	Channel doping	•	B, 10keV 1E12	B, 10keV 3E12
	CNT density	X	X	0
TFT characteristics	Mobility(Lin) [cm <sup>2</sup> /V.s]	91.17	98.83	113.15
	Ion[A]	7.00E-5	5.78E-5	3.41E-5
	Vth[V]	-0.62	0.50	2.49
Vehicle		PMOS 5.5" UHD (1.8/17)	PMOS 5.5" UHD (1.8/17)	PMOS 5.87" Q <sup>2</sup> HD (1.8/11.3)

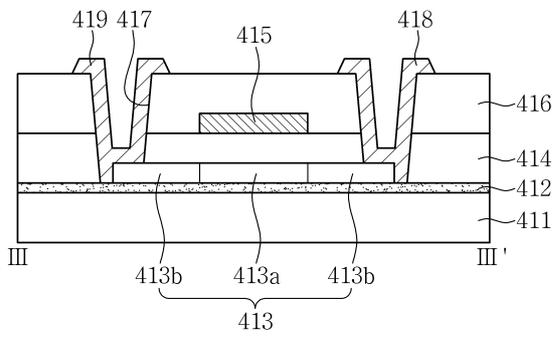
도면7b



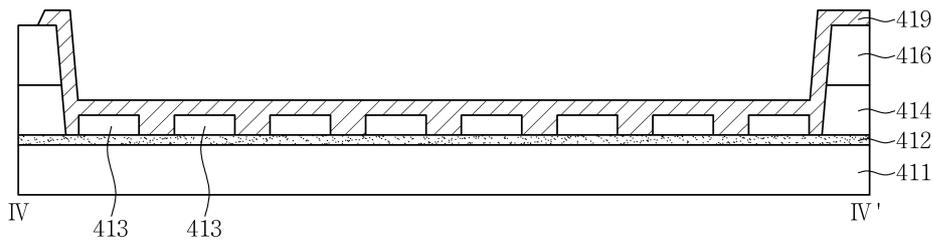
도면8



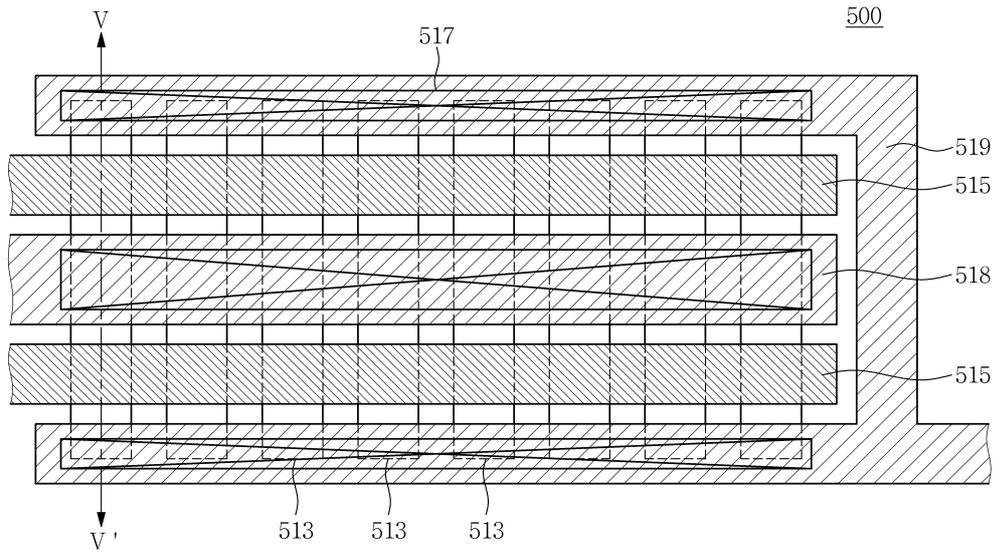
도면9



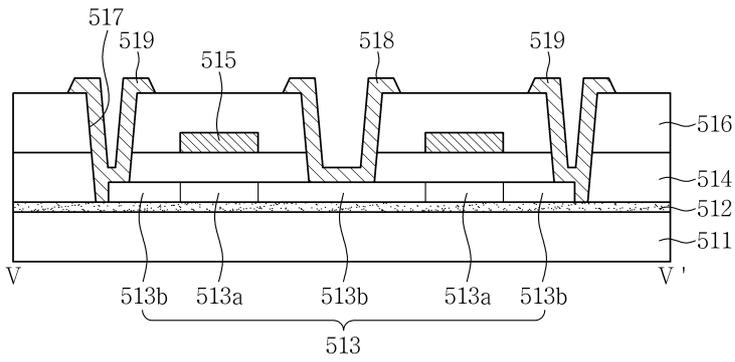
도면10



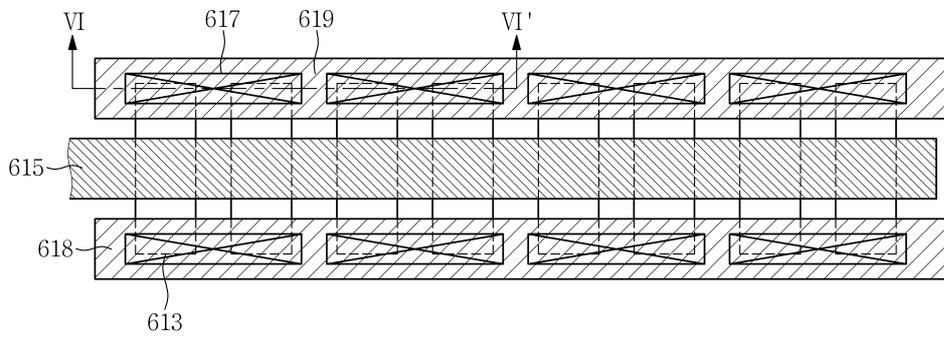
도면11



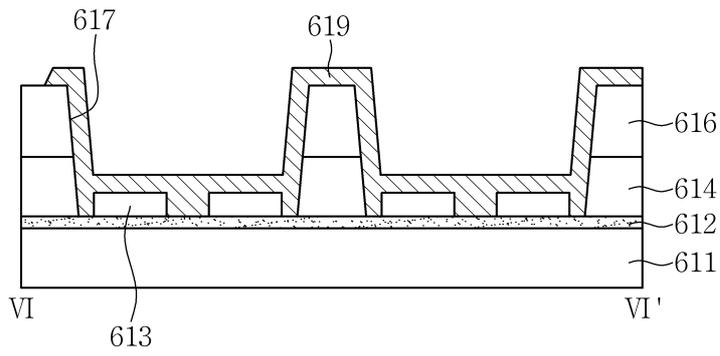
도면12



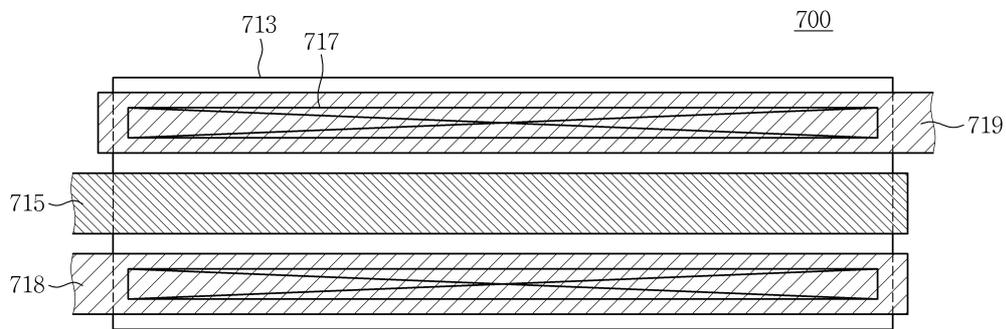
도면13



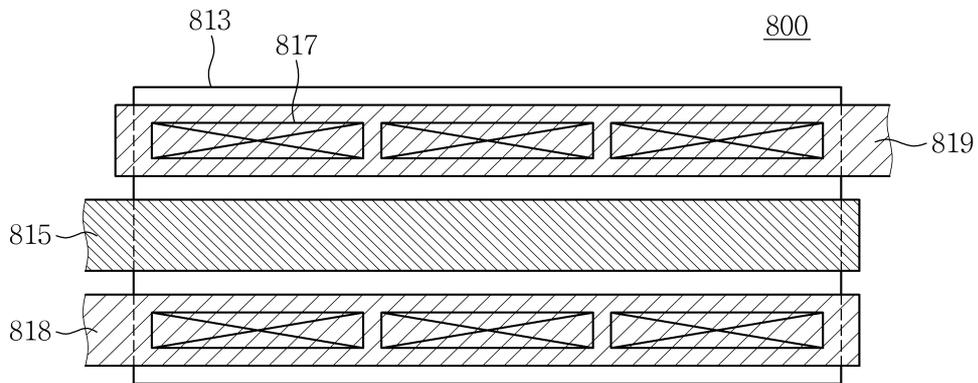
도면14



도면15



도면16



专利名称(译)	有机电致发光显示装置的驱动驱动器		
公开(公告)号	<a href="#">KR1020180009820A</a>	公开(公告)日	2018-01-30
申请号	KR1020160091078	申请日	2016-07-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SEUNG HWAN 조승환 YOON JOO SUN 윤주선 LEE JUNG KYU 이정규 CHOI SEON YOUNG 최선영 CHOI JONG HYUN 최종현		
发明人	조승환 윤주선 이정규 최선영 최종현		
IPC分类号	H01L27/12 H01L29/786		
CPC分类号	H01L27/124 H01L27/1222 H01L29/78696 H01L29/78618 H01L29/78606		
代理人(译)	Yunyeogwang Jowooje 李宰 - 亨 锡盐		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

这份摘要目前正在准备中。最新的KPA将于2018年4月10日以后提供。\*  
 本标题 ( 54 ) 和代表性图由申请人提交。

