



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080775
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0189635
(22) 출원일자 2015년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
홍석현
경기도 수원시 권선구 금호로15번길 15 101동 1202호 (금곡동, 신미주아파트)

임명기
경기도 안산시 상록구 반석로 44 107동 1803호 (본오동, 신안1차아파트)

노주영
경기도 파주시 번영로 55 116동 1702호 (금촌동, 새꽃마을아파트)

(74) 대리인
특허법인로알

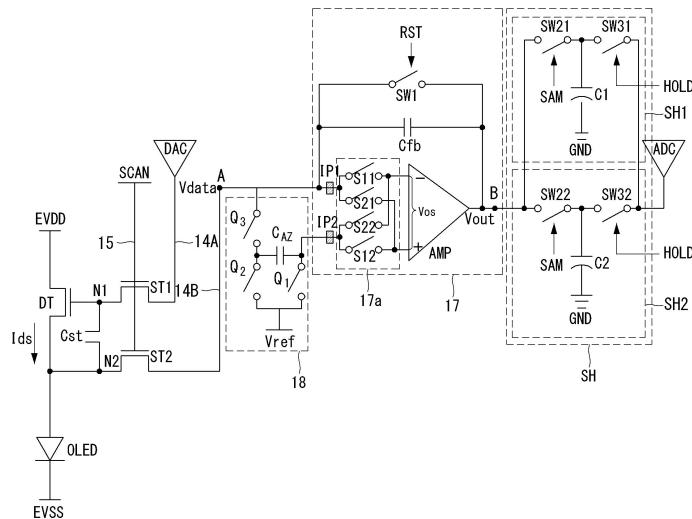
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기발광 표시장치 및 그의 구동방법

(57) 요약

본 발명은 구동 트랜지스터를 가지는 픽셀, 증폭기를 구비하면서, 구동 트랜지스터에 흐르는 전류를 센싱하기 위한 전류 적분기 및 구동 트랜지스터의 게이트-소스간 전압을 초기화하기 위한 초기화 기간 동안, 증폭기의 비반전 입력단자(+)에 제1 기준전압을 인가하고, 반전 입력단자(-)에 인가된 제1 기준전압에 오프셋 전압이 더해진 제2 기준전압을 기초로 제1 기준전압에서 증폭기의 오프셋 전압을 제거한 제3 기준전압을 증폭기의 비반전 입력단자(+)에 다시 인가하는 오프셋 전압 제어부를 포함한다.

대표도 - 도8



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0291 (2013.01)

명세서

청구범위

청구항 1

구동 트랜지스터를 가지는 픽셀;

증폭기를 구비하면서, 상기 구동 트랜지스터에 흐르는 전류를 센싱하기 위한 전류 적분기; 및

상기 구동 트랜지스터의 게이트-소스간 전압을 초기화하기 위한 초기화 기간 동안, 상기 증폭기의 비반전 입력 단자(+)에 제1 기준전압을 인가하고, 상기 반전 입력단자(-)에 인가된 상기 제1 기준전압에 오프셋 전압이 더해진 제2 기준전압을 기초로 상기 제1 기준전압에서 상기 증폭기의 오프셋 전압을 제거한 제3 기준전압을 상기 증폭기의 비반전 입력단자(+)에 다시 인가하는 오프셋 전압 제어부;

를 포함하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 오프셋 전압 제어부는

제3 노드와 제4 노드 사이에 접속된 오프셋 커패시터;

상기 제1 기준전압을 입력하는 제1 기준전압 입력단과 상기 제3 노드 사이에 접속된 제1 오프셋 스위치;

상기 제1 기준전압 입력단과 상기 제4 노드 사이에 접속된 제2 오프셋 스위치; 및

상기 증폭기의 반전 입력단자(-)와 상기 제4 노드 사이에 접속된 제3 오프셋 스위치;를 포함하는 유기발광 표시장치.

청구항 3

제1 항 또는 제2 항에 있어서,

상기 증폭기는

상기 픽셀들로부터 수신된 전류가, 각각의 상기 픽셀에 접속된 상기 반전 입력단자(-)로 입력되어 흐르는 제1 경로와 상기 제1 기준전압 또는 상기 제3 기준전압이, 상기 오프셋 전압 제어부에 접속된 상기 비반전 입력단자(+)로 인가되어 흐르는 제2 경로를 스위칭하는 유기발광 표시장치.

청구항 4

제3 항에 있어서,

상기 전류 적분기의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더와, 상기 제1 출력 전압에 이어서 출력되는 상기 전류 적분기의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더를 포함하고, 상기 제1 및 제2 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부; 및

상기 샘플링부의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력하는 아날로그 디지털 변환기(Analog to Digital Conversion, ADC);

를 포함하는 유기발광 표시장치.

청구항 5

제3 항에 있어서,

상기 증폭기는

상기 비반전 입력단자(+)에 접속되어 상기 센싱라인에 직접 접속된 제1 외부 입력단자와 상기 반전 입력단자

(-)에 접속되어 상기 오프셋 전압 제어부에 직접 접속된 제2 외부 입력단자를 더 구비하고,

상기 제1 외부 입력단자와 상기 비반전 입력단자(+) 사이, 및 상기 제2 외부 입력단자와 상기 반전 입력단자(-) 사이에 접속되어 상기 제1 경로와 상기 제2 경로를 스위칭하는 스위칭부가 구비되는 유기발광 표시장치.

청구항 6

제5 항에 있어서,

상기 스위칭부는

상기 증폭기에서 출력되는 출력전압에 상기 오프셋 전압을 더한 상기 제1 출력 전압이 출력되도록 동작하는 제1 스위프 스위치;와

상기 출력전압에서 상기 오프셋 전압을 뺀 상기 제2 출력 전압이 출력되도록 동작하는 제2 스위프 스위치;를 포함하는 유기발광 표시장치.

청구항 7

제6 항에 있어서,

상기 제1 스위프 스위치는

상기 제1 외부 입력단자와, 상기 반전 입력단자(-)에 접속된 제11 스위프 스위치; 및 상기 제2 외부 입력단자와, 상기 비반전 입력단자(+)에 접속된 제12 스위프 스위치;를 포함하고,

상기 제2 스위프 스위치는

상기 제2 외부 입력단자와, 상기 반전 입력단자(-)에 접속된 제22 스위프 스위치; 및 상기 제1 외부 입력단자와 상기 비반전 입력단자(+)에 접속된 제21 스위프 스위치;를 포함하고,

상기 제11 스위프 스위치의 일단과 상기 제22 스위프 스위치의 일단이 접속되고, 상기 제12 스위프 스위치의 일단과 상기 제21 스위프 스위치의 일단이 접속되는 유기발광 표시장치.

청구항 8

제4 항에 있어서,

상기 제1 샘플 & 홀더는

상기 전류 적분기에서 출력되는 상기 제1 출력 전압을 저장하는 제1 평균 커패시터;와 상기 전류 적분기와 상기 제1 평균 커패시터 사이에 접속되어 상기 제1 출력 전압이 상기 제1 평균 커패시터에 저장되도록 제어하는 제1 샘플 스위치; 및 상기 제1 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되어 상기 제1 평균 커패시터에 저장된 상기 제1 출력 전압을 상기 단일 출력 채널을 통해 출력하도록 제어하는 제1 홀딩 스위치;를 포함하고,

상기 제2 샘플 & 홀더는

상기 전류 적분기에서 출력되는 상기 제2 출력 전압을 저장하는 제2 평균 커패시터;와 상기 전류 적분기와 상기 제2 평균 커패시터 사이에 접속되어 상기 제2 출력 전압이 상기 제2 평균 커패시터에 저장되도록 제어하는 제2 샘플 스위치; 및 상기 제2 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되어 상기 제2 평균 커패시터에 저장된 상기 제2 출력 전압을 상기 단일 출력 채널을 통해 출력하도록 제어하는 제2 홀딩 스위치;를 포함하는 유기발광 표시장치.

청구항 9

구동 트랜지스터를 가지는 픽셀을 구비하는 유기발광 표시장치의 구동방법에 있어서,

상기 구동 트랜지스터의 게이트-소스간 전압을 초기화하기 위한 초기화 기간 동안, 제1 기준전압을 증폭기의 비반전 입력단자(+)에 인가하는 단계,와

상기 제1 기준전압에 오프셋 전압이 더해진 제2 기준전압을 상기 증폭기의 반전 입력단자(-)에 인가하는 단계,와

상기 제2 기준전압을 기초로 상기 제1 기준전압에서 상기 증폭기의 오프셋 전압이 제거된 제3 기준전압을 상기 증폭기의 비반전 입력단자(+)에 다시 인가하는 단계를 포함하는 유기발광 표시장치의 구동방법.

청구항 10

제9 항에 있어서,
 상기 초기화 기간은 제1 초기화 기간과, 상기 제1 초기화 기간 이후 기간인 제2 초기화 기간을 포함하고,
 상기 제1 초기화 기간 동안,
 상기 제1 기준전압이 제1 오프셋 스위치를 통해 상기 증폭기의 비반전 입력단자(+)에 인가되고,
 상기 제2 기준전압이 제3 오프셋 스위치를 통해 오프셋 커패시터에 저장되는 유기발광 표시장치의 구동방법.

청구항 11

제10 항에 있어서,
 상기 제2 초기화 기간 동안,
 상기 제3 오프셋 스위치를 통해 제4 노드에 인가된 상기 제2 기준전압은 제2 오프셋 스위치를 통해 상기 제4 노드에 인가되는 상기 제1 기준전압에 의해 상기 오프셋 전압만큼 낮아지고,
 상기 제1 오프셋 스위치를 통해 제3 노드에 인가된 상기 제1 기준전압은 상기 제4 노드에 인가된 상기 제2 기준전압이 변화된 전위차만큼 변화되어 상기 제3 기준전압이 되고,
 상기 제3 기준전압이 상기 증폭기의 비반전 입력단자(+)에 인가되는 유기발광 표시장치의 구동방법.

청구항 12

제11 항에 있어서,
 상기 증폭기의 비반전 입력단자(+)에 상기 제3 기준전압이 인가되면, 상기 증폭기의 오프셋 전압이 제거된 상기 제1 기준전압이 상기 구동 트랜지스터의 소스 전극에 인가되는 유기발광 표시장치의 구동방법.

청구항 13

제9 항 내지 제12 항 중 어느 한 항에 있어서,
 상기 픽셀들로부터 수신된 전류가, 각각의 상기 픽셀에 접속된 상기 반전 입력단자(-)로 입력되어 흐르는 제1 경로와 상기 제1 기준전압 또는 상기 제3 기준전압이, 상기 비반전 입력단자(+)로 인가되어 흐르는 제2 경로를 스위칭하는 유기발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치 및 그의 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽

셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트 전극과 소스 전극 사이에 걸리는 전압(Vgs)에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 전기적 특성은 구동 시간 경과에 따라 열화되어 픽셀들마다 편차가 생길 수 있다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 비디오 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성 편차를 보상하기 위해 내부 보상 방식과 외부 보상 방식이 알려져 있다. 내부 보상 방식은 구동 TFT들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 구동전류가 구동 TFT의 문턱 전압에 상관없이 결정되도록 해야 하기 때문에, 화소 회로의 구성이 매우 복잡하다. 더욱이, 내부 보상 방식은 구동 TFT들 간의 이동도 편차를 보상하기에는 부적합하다.

[0006] 외부 보상 방식은 구동 TFT들의 전기적 특성(문턱전압, 이동도)에 대응되는 센싱 전압 및 전류를 측정하고, 이 센싱 전압을 기반으로 표시패널에 연결된 외부 회로에서 비디오 데이터를 변조함으로써 전기적 특성 편차를 보상한다. 최근에는 이러한 외부 보상 방식에 대한 연구가 활발히 진행되고 있다.

[0007] 종래의 외부 보상 방식에서, 데이터 구동회로는 센싱라인을 통해 각 픽셀로부터 센싱 전압을 직접 입력받고, 이 센싱 전압을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러에 전송한다. 타이밍 컨트롤러는 디지털 센싱값을 기초로 디지털 비디오 데이터를 변조하여 구동 TFT의 전기적 특성 편차를 보상한다. 구동 TFT는 전류 소자이므로 그의 전기적 특성은, 일정 게이트-소스 간 전압(Vgs)에 따라 드레인-소스 사이에 흐르는 전류(Ids)의 크기로 대변된다.

[0008] 도 1에 도시된 바와 같이, 외부 보상 방식의 데이터 구동회로는, 구동 TFT의 전기적 특성을 센싱하는 센싱 블럭을 포함한다. 센싱 블럭은 증폭기(Amplifier, AMP), 적분 커패시터(Cfb) 및 스위치(SW)로 구성되는 적분기(CI)를 포함한다. 적분기는 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 기준전압(Vref)을 입력받는 비반전 입력단자(+), 적분값을 출력하는 출력 단자를 포함한 증폭기(AMP)와, 증폭기(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 스위치(SW)를 포함한다. 초기화 기간에서 스위치(SW)의 턴 온으로 인해 증폭기(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(Tinit)에서 증폭기(AMP)의 비반전 입력단자(+)와 반전 입력단자(-)는 오프셋(Offset) 값(Vos)이 포함된 기준전압(Vref+Vos)으로 초기화된다. 이러한 오프셋(Offset) 값(Vos)은 각각의 증폭기(AMP)마다 다르다.

[0009] 초기화 기간에는 구동 TFT의 소스 전극에 오프셋(Offset) 값이 포함된 기준전압(Vref+Vos)이 인가되고, 구동 TFT의 게이트 전극에 데이터 구동회로를 통해 데이터 전압이 인가된다. 이에 따라, 구동 TFT는 게이트 전극과 소스 전극의 전위차(Vgs)에 상응하는 소스 드레인 간 전류(Ids)가 흐른다. 픽셀들마다 구동 TFT의 게이트 전극에는 동일한 데이터 전압이 인가되나, 구동 TFT의 소스 노드(Source node)에는 서로 다른 오프셋(Offset) 값이 포함된 기준전압(Vref+Vos)이 인가됨으로써, 게이트 전극과 소스 전극 간의 전위차(Vgs)에 편차가 발생되어 소스 전극과 드레인 전극 간에 흐르는 전류에도 서로 다른 오프셋(Offset) 값만큼의 편차가 발생된다.

[0010] 이와 같이, 편차가 있는 전류를 보상할 경우, 보상된 데이터에서도 서로 다른 오프셋(Offset) 값만큼의 편차가 계속해서 발생된다. 따라서, 센싱기간 동안 전류의 편차에 의해 세로방향으로 배치되는 라인들 간에 라인성 노이즈가 발생된다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 전류 적분기들 간의 오프셋(Offset) 값의 편차를 보상하여 정확한 센싱 값을 센싱하고, 정확한 센싱 값들로 패널을 보상하여 센싱 및 보상의 신뢰성을 제고할 수 있도록 한 유기발광 표시장치 및 그의 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위하여, 본 발명은 구동 트랜지스터를 가지는 픽셀, 증폭기를 구비하면서, 구동 트랜지스터에 흐르는 전류를 센싱하기 위한 전류 적분기 및 구동 트랜지스터의 게이트-소스간 전압을 초기화하기 위한 초기화 기간 동안, 증폭기의 비반전 입력단자(+)에 제1 기준전압을 인가하고, 반전 입력단자(-)에 인가된 제1 기준전압에 오프셋 전압이 더해진 제2 기준전압을 기초로 제1 기준전압에서 증폭기의 오프셋 전압을 제거한 제3

기준전압을 증폭기의 비반전 입력단자(+)에 다시 인가하는 오프셋 전압 제어부를 포함한다.

- [0013] 오프셋 전압 제어부는 제3 노드와 제4 노드 사이에 접속된 오프셋 커패시터, 제1 기준전압을 입력하는 제1 기준 전압 입력단과 제3 노드 사이에 접속된 제1 오프셋 스위치, 제1 기준전압 입력단과 제4 노드 사이에 접속된 제2 오프셋 스위치 및 증폭기의 반전 입력단자(-)와 제4 노드 사이에 접속된 제3 오프셋 스위치를 포함한다.
- [0014] 전류 적분기는 픽셀들로부터 수신된 전류가, 각각의 픽셀에 접속된 반전 입력단자(-)로 입력되어 흐르는 제1 경로와 제1 기준전압 또는 제3 기준전압이, 오프셋 전압 제어부에 접속된 비반전 입력단자(+)로 인가되어 흐르는 제2 경로를 스와핑한다.
- [0015] 전류 적분기의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더와, 제1 출력 전압에 이어서 출력되는 전류 적분기의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더를 포함하고, 제1 및 제2 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부 및 샘플링부의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력하는 아날로그 디지털 변환기(Analog to Digital Conversion, ADC);를 포함한다.
- [0016] 증폭기는 비반전 입력단자(+)에 접속되어 상기 센싱라인에 직접 접속된 제1 외부 입력단자와 반전 입력단자(-)에 접속되어 오프셋 전압 제어부에 직접 접속된 제2 외부 입력단자를 더 구비하고, 제1 외부 입력단자와 비반전 입력단자(+) 사이, 및 제2 외부 입력단자와 반전 입력단자(-) 사이에 접속되어 제1 경로와 제2 경로를 스와핑하는 스와핑부를 구비한다.
- [0017] 스와핑부는 증폭기에서 출력되는 출력전압에 오프셋 전압을 더한 제1 출력 전압이 출력되도록 동작하는 제1 스위프 스위치와 출력전압에서 오프셋 전압을 뺀 제2 출력 전압이 출력되도록 동작하는 제2 스위프 스위치를 포함한다.
- [0018] 제1 스위프 스위치는 제1 외부 입력단자와, 반전 입력단자(-)에 접속된 제11 스위프 스위치 및 제2 외부 입력단자와, 비반전 입력단자(+)에 접속된 제12 스위프 스위치를 포함하고, 제2 스위프 스위치는 제2 외부 입력단자와, 반전 입력단자(-)에 접속된 제22 스위프 스위치 및 제1 외부 입력단자와 비반전 입력단자(+)에 접속된 제21 스위프 스위치를 포함하고, 제11 스위프 스위치의 일단과 제22 스위프 스위치의 일단이 접속되고, 제12 스위프 스위치의 일단과 제21 스위프 스위치의 일단이 접속된다.
- [0019] 제1 샘플 & 홀더는 전류 적분기에서 출력되는 제1 출력 전압을 저장하는 제1 평균 커패시터와 전류 적분기와 제1 평균 커패시터 사이에 접속되어 제1 출력 전압이 제1 평균 커패시터에 저장되도록 제어하는 제1 샘플 스위치 및 제1 평균 커패시터와 아날로그 디지털 변환기 사이에 접속되어 제1 평균 커패시터에 저장된 제1 출력 전압을 단일 출력 채널을 통해 출력하도록 제어하는 제1 홀딩 스위치를 포함하고, 제2 샘플 & 홀더는 전류 적분기에서 출력되는 상기 제2 출력 전압을 저장하는 제2 평균 커패시터와 전류 적분기와 제2 평균 커패시터 사이에 접속되어 제2 출력 전압이 제2 평균 커패시터에 저장되도록 제어하는 제2 샘플 스위치 및 제2 평균 커패시터와 아날로그 디지털 변환기 사이에 접속되어 제2 평균 커패시터에 저장된 제2 출력 전압을 단일 출력 채널을 통해 출력하도록 제어하는 제2 홀딩 스위치를 포함한다.
- [0020] 본 발명의 구동방법은 구동 트랜지스터의 게이트-소스간 전압을 초기화하기 위한 초기화 기간 동안, 제1 기준전압을 증폭기의 비반전 입력단자(+)에 인가하는 단계와 제1 기준전압에 오프셋 전압이 더해진 제2 기준전압을 증폭기의 반전 입력단자(-)에 인가하는 단계와 제2 기준전압을 기초로 제1 기준전압에서 증폭기의 오프셋 전압이 제거된 제3 기준전압을 증폭기의 비반전 입력단자(+)에 다시 인가하는 단계를 포함한다.
- [0021] 초기화 기간은 제1 초기화 기간과, 제1 초기화 기간 이후 기간인 제2 초기화 기간을 포함하고, 제1 초기화 기간 동안, 제1 기준전압이 제1 오프셋 스위치를 통해 증폭기의 비반전 입력단자(+)에 인가되고, 제2 기준전압이 제3 오프셋 스위치를 통해 오프셋 커패시터에 저장되는 것을 포함할 수 있다.
- [0022] 제2 초기화 기간 동안, 제3 오프셋 스위치를 통해 제4 노드에 인가된 제2 기준전압은 제2 오프셋 스위치를 통해 제4 노드에 인가되는 제1 기준전압에 의해 오프셋 전압만큼 낮아지고, 제1 오프셋 스위치를 통해 제3 노드에 인가된 제1 기준전압은 제4 노드에 인가된 상기 제2 기준전압이 변화된 전위차만큼 변화되어 제3 기준전압이 되고, 제3 기준전압이 증폭기의 비반전 입력단자(+)에 인가되는 것을 포함할 수 있다.
- [0023] 증폭기의 비반전 입력단자(+)에 제3 기준전압이 인가되면, 증폭기의 오프셋 전압이 제거된 제1 기준전압이 구동 트랜지스터의 소스 전극에 인가되는 것을 포함할 수 있다.
- [0024] 픽셀들로부터 수신된 전류가, 각각의 픽셀에 접속된 반전 입력단자(-)로 입력되어 흐르는 제1 경로와 제1 기준 전압 또는 제3 기준전압이, 비반전 입력단자(+)로 인가되어 흐르는 제2 경로를 스와핑하는 것을 포함할 수

있다.

발명의 효과

- [0025] 본 발명은 전류 적분기들 간의 오프셋(Offset) 값의 편차를 보상함으로써 보다 정확한 센싱값을 센싱하고, 정확한 센싱 값들로 패널을 보상할 수 있어 센싱 및 보상의 신뢰성을 크게 높일 수 있다.
- [0026] 더욱이 본 발명은, 구동소자의 전기적 특성 편차를 센싱함에 있어 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다.

도면의 간단한 설명

- [0027] 도 1은 종래의 전류 적분기가 초기화 기간 동안 오프셋 값이 포함된 기준전압을 픽셀에 인가하는 것을 보여주는 도면.
- 도 2는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주는 도면.
- 도 3은 도 2의 표시패널에 형성된 픽셀 어레이를 보여주는 도면.
- 도 4 및 도 5는 본 발명의 오프셋 전압 제어부가 구비된 센싱블록의 접속 구조, 및 센싱 원리를 보여주는 도면.
- 도 6 및 도 7은 본 발명의 오프셋 전압 제어부가 동작하는 것을 보여주는 도면.
- 도 8 및 도 9는 본 발명의 오프셋 전압 제어부와 전류 적분기가 구비된 센싱블록의 접속 구조, 및 센싱 원리를 보여주는 도면.
- 도 10a 내지 도 11b는 본 발명의 오프셋 전압 제어부와 전류 적분기가 동작하는 것을 보여주는 도면.
- 도 12 및 도 13은 본 발명의 따라 보상되는 오프셋 전압을 보여주는 도면.
- 도 14는 본 발명에 따라 세로방향으로 배치되는 라인들 간에 라인성 노이즈가 제거되는 것을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 도 3 내지 도 12를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0029] 도 2는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주고, 도 3은 도 2의 표시패널에 형성된 픽셀 어레이를 보여준다.
- [0030] 도 2 및 도 3을 참조하면, 본 발명의 실시 예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.
- [0031] 표시패널(10)에는 다수의 데이터라인 및 센싱라인(14B)들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀들(Pixel)이 매트릭스 형태로 배치된다.
- [0032] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인(14B)들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터라인(14A)과 전기적으로 연결되어 데이터라인(14A)으로부터 데이터전압을 입력받고, 센싱라인(14B)을 통해 센싱신호를 출력한다.
- [0033] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT(Thin Film Transistor), 제1 및 제2 스위치 TFT(Thin Film Transistor), 및 스토리지 커패시터(Capacitor)를 포함할 수 있다. 픽셀(P)을 구성하는 TFT(Thin Film Transistor)들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT(Thin Film Transistor)들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0034] 픽셀(P) 각각은 화상 구현을 위한 노멀(normal) 구동시와, 센싱값 획득을 위한 센싱(sensing) 구동시에 서로 다르게 동작할 수 있다. 센싱 구동은 노멀 구동에 앞서 소정 시간 동안 수행되거나 또는, 노멀 구동 중의 수직 블랭크(verticality blank) 기간들에서 수행될 수 있다.
- [0035] 노멀 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 노멀 동작으로 이

루어질 수 있다. 센싱 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 센싱 동작으로 이루어질 수 있다. 그리고, 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(11)에서 수행된다.

- [0036] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit, SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 각 센싱라인(14B)에 연결된 다수의 센싱 블록들과, 센싱 블록들의 출력단들에 공통으로 연결된 아날로그- 디지털 컨버터(이하, ADC)를 포함한다.
- [0037] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 데이터 전압을 생성한다.
- [0038] 데이터 드라이버 IC(SDIC)의 각 센싱 블록은 센싱라인(14B)을 통해 입력되는 픽셀(P)의 센싱 신호 즉, 구동 TFT의 소스-드레인 간 전류를 적분하는 전류 적분기(17, CI)와, 전류 적분기(17, CI)의 출력을 샘플링 및 홀딩하는 샘플링부(SH)를 포함한다. 데이터 드라이버 IC(SDIC)의 ADC는 샘플링부(SH)들의 출력을 순차적으로 디지털 처리하여 타이밍 컨트롤러(11)에 전송한다.
- [0039] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 길 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임 내에, 한 개 또는 다수 개 포함될 수 있다. 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인(L#1, L#2, ...)의 픽셀들을 동시에 센싱하는데 할애되는 스캔 시간을 의미한다.
- [0040] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 컨트롤러(11)는 소정의 참조 신호(구동전원 인에이블 신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로 노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다. 아울러, 타이밍 컨트롤러(11)는 센싱 구동에 필요한 추가 제어신호(도 4의 RST, SAM, HOLD 등)를 생성할 수 있다.
- [0041] 타이밍 컨트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 타이밍 컨트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출한 후 그 편차들을 보상할 수 있는 보상 데이터를 메모리(16)에 저장한다.
- [0042] 타이밍 컨트롤러(11)는 노멀 구동시 메모리(16)에 저장된 보상 데이터와 오프셋 값(또는 오프셋 전압(V_{os}))을 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.
- [0043] 도 4 및 도 5는 본 발명의 오프셋 전압 제어부(18)가 구비된 센싱 블록의 접속 구조, 및 센싱 원리를 보여주고, 도 6 및 도 7은 본 발명의 오프셋 전압 제어부(18)가 동작하는 것을 보여준다. 도 4 및 도 5는 전류 센싱 방식의 구동 이해를 돕기 위한 일 예시에 불과하다. 본 발명의 전류 센싱이 적용되는 픽셀 구조 및 그 구동 타이밍은 다양한 변형이 가능하므로, 본 발명의 기술적 사상은 이 실시 예에 한정되지 않는다.
- [0044] 도 4를 참조하면, 본 발명의 픽셀(P)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.
- [0045] OLED는 제2 노드(N2)에 접속된 애노드 전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드 전극과, 애노드 전극과 캐소드 전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(V_{gs})에 따라 OLED에 입력되는 전류량을 제어한다.
- [0046] 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트 전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인 전극, 및 제2 노드(N2)에 접속된 소스 전극을 구비한다.
- [0047] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.

- [0048] 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터라인(14A)상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15)에 접속된 게이트 전극, 데이터라인(14A)에 접속된 드레인 전극, 및 제1 노드(N1)에 접속된 소스 전극을 구비한다.
- [0049] 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)와 센싱라인(14B) 간의 전류 흐름을 스위칭한다. 또는 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)에 제1 기준전압이 인가되도록 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15)에 접속된 게이트 전극, 센싱라인(14B)에 접속된 드레인 전극, 및 제2 노드(N2)에 접속된 소스 전극을 구비한다.
- [0050] 본 발명의 센싱 블록에 구비된 오프셋 전압 제어부(18)는 전류 적분기(17)에 구비된 증폭기(AMP)의 비반전 입력단자(+)에 제1 기준전압을 인가하고, 반전 입력단자(-)에 인가된 제2 기준전압(Vref+Vos)을 피드백받아 이를 기초로 제3 기준전압(Vref-Vos)을 전류 적분기(17)의 비반전 입력단자(-)에 다시 인가한다. 여기서 제2 기준전압(Vref+Vos)은 제1 기준전압에 오프셋 전압(Vos)이 더해진 기준전압이고, 제3 기준전압(Vref-Vos)은 제1 기준전압에서 증폭기(AMP)의 오프셋 전압(Vos)을 제거한 기준전압이다.
- [0051] 오프셋 전압 제어부(18)는 제3 노드(N3)와 제4 노드(N4) 사이에 접속된 오프셋 커패시터(CAZ), 제1 기준전압을 입력하는 제1 기준전압 입력단과 제3 노드(N3) 사이에 접속된 제1 오프셋 스위치(Q1), 제1 기준전압 입력단과 제2 노드(N2) 사이에 접속된 제2 오프셋 스위치(Q2) 및 증폭기(AMP)의 반전 입력단자(-)와 제2 노드(N2) 사이에 접속된 제3 오프셋 스위치(Q3)를 포함한다.
- [0052] 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 입력되는 제1 기준전압을 이용하여 증폭기(AMP)의 오프셋 전압(Vos)을 검출하고, 검출된 오프셋 전압(Vos)을 제1 오프셋 스위치(Q1) 내지 제3 오프셋 스위치(Q3)의 스위칭 동작을 통해 증폭기(AMP)에 피드백(Feedback)시켜 검출된 오프셋 전압(Vos)을 제거(Cancellation)할 수 있다. 이에 따라, 오프셋 전압 제어부(18)는 증폭기(AMP)의 오프셋 전압(Vos)을 제거한 제1 기준전압을 픽셀에 구비된 구동 TFT의 소스 전극에 인가할 수 있다.
- [0053] 본 발명의 센싱 블록에 구비된 전류 적분기(17, CI)는 센싱라인(14B)에 연결되어 센싱라인(14B)으로부터 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 제1 기준전압(Vref) 또는 제3 기준전압(Vref-Vos)을 입력받는 비반전 입력단자(+), 적분값(Vsen)을 출력하는 출력단자(Vout)를 포함한 증폭기(AMP)와, 증폭기(AMP)의 반전 입력단자(-)와 출력단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 제1 스위치(SW1)를 포함한다.
- [0054] 본 발명의 센싱 블록에 속하는 샘플링부(SH)는 샘플링 신호(SAM)에 따라 스위칭되는 샘플 스위치(SW2), 홀딩 신호(HOLD)에 따라 스위칭되는 홀딩 스위치(SW3), 및 샘플 스위치(SW2)와 홀딩 스위치(SW3) 사이에 일단이 접속되고 타단이 기저전압원(GND)에 접속된 홀딩 커패시터(Ch)를 포함한다.
- [0055] 도 5 내지 도 7에는 동일 행에 배치된 픽셀들을 센싱하기 위해 센싱용 게이트펄스(SCAN)의 온 펄스 구간으로 정의되는 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대한 1회 센싱 파형이 도시되어 있다. 도 5를 참조하면, 센싱 구동은 초기화 기간(Tinit), 센싱 기간(Tsen), 및 샘플링 기간(Tsam)을 포함하여 이루어진다.
- [0056] 초기화 기간(Tinit)에서 제1 스위치(SW1)의 턴 온(turn on)으로 인해 증폭기(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(Tinit)에서 증폭기(AMP)의 비반전 입력단자(+), 반전 입력단자(-), 센싱라인(14B), 및 제2 노드(N2)는 제2 기준전압(Vref+Vos)에서 제1 기준전압(Vref)으로 초기화된다. 초기화 기간(Tinit)은 제1 초기화 기간(Ti1)과, 제1 초기화 기간(Ti1) 이후 기간인 제2 초기화 기간(Ti2)을 포함한다.
- [0057] 도 6을 참조하면, 제1 초기화 기간(Ti1)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준전압을 입력받는다. 오프셋 전압 제어부(18)에 구비된 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 온(turn on)되고, 제2 오프셋 스위치(Q2)가 턴 오프(turn off)된다. 제1 기준전압은 제1 오프셋 스위치(Q1)를 통해 증폭기(AMP)의 비반전 입력단자(+)에 인가된다. 증폭기(AMP)의 반전 입력단자(-)에는 비반전 입력단자(+)를 통해 입력된 제1 기준전압에, 증폭기(AMP)의 오프셋 전압(Vos)이 더해진 제2 기준전압(Vref+Vos)이 인가된다. 제2 기준전압(Vref+Vos)은 증폭기(AMP)의 반전 입력단자(-)에 접속된 제3 오프셋 스위치(Q3)를 통해 오프셋 커패시터(CAZ)에 저장된다. 이에 따라, 제3 노드(N3)에는 제1 기준전압이 인가되고, 제4 노드(N4)에는 제2 기준전압(Vref+Vos)이 인가된다. 따라서, 제3 노드(N3)와 제4 노드(N4)에는 오프셋 전압(Vos)만큼의 전위차가 발생한다.
- [0058] 도 7을 참조하면, 제2 초기화 기간(Ti2)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준

전압을 계속해서 입력받는다. 오프셋 전압 제어부(18)에 구비된 제2 오프셋 스위치(Q2)가 턴 온(turn on)되고, 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 오프(turn off)된다. 제1 기준전압은 제2 오프셋 스위치(Q2)를 통해 제4 노드(N4)에 인가된다. 제4 노드(N4)에 걸려 있던 제2 기준전압(Vref+Vos)은 제2 오프셋 스위치(Q2)를 통해 인가되는 제1 기준전압에 의해 오프셋 전압(Vos)만큼 낮아진다. 이에 따라, 제4 노드(N4)에는 제2 기준전압(Vref+Vos)에서 제1 기준전압으로 낮아진다.

[0059] 이와 동시에 제3 노드(N3)는 제4 노드(N4)와 커플링된다. 제3 노드(N3)는 제4 노드(N4)의 전위 차만큼 변화한다. 제3 노드(N3)에 걸려 있던 제1 기준전압은 오프셋 전압(Vos)만큼 낮아진다. 이에 따라, 제1 기준전압에서 오프셋 전압(Vos)을 뺀 제3 기준전압(Vref-Vos)이 제3 노드(N3)에 인가된다. 제3 기준전압(Vref-Vos)은 제3 노드(N3)에 접속된 증폭기(AMP)의 비반전 입력단자(+)에 인가된다. 증폭기(AMP)의 반전 입력단자(-)에는 비반전 입력단자(+)를 통해 입력된 제3 기준전압(Vref-Vos)에, 증폭기(AMP)의 오프셋 전압(Vos)이 더해진 제1 기준전압이 인가된다. 제1 기준전압은 증폭기(AMP)의 반전 입력단자(-)에 접속된 센싱라인(14B)을 통해 제2 노드(N2)에 인가된다. 제2 노드(N2)는 픽셀에 구비된 구동 TFT의 소스 전극에 접속된다.

[0060] 제1 기준전압이 제2 노드(N2)에 인가되는 동안 데이터 전압은 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차(Vdata-Vref)에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다.

[0061] 센싱 기간(Tsen)에서 제1 스위치(SW1)의 턴 오프(turn off)로 인해 증폭기(AMP)는 전류 적분기(17, CI)로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(Tsen)에서 증폭기(AMP)의 반전 입력단자(-)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과할수록, 즉 축적되는 전류값(Ids)이 증가할수록 커진다. 그런데, 증폭기(AMP)의 특성상 반전 입력단자(-) 및 비반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이므로, 센싱 기간(Tsen)에서 반전 입력단자(-)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(Tsen)에서 센싱라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압 값인 적분값(Vsen)으로 생성된다. 전류 적분기(17) 출력값(Vout)의 하강 기울기는 센싱라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(Tsen)에서 적분값(Vsen)은 샘플 스위치(SW2)를 경유하여 홀딩 커패시터(Ch)에 저장된다.

[0062] 샘플링 기간(Tsam)에서 홀딩 스위치(SW3)가 턴 온(turn on) 되면, 홀딩 커패시터(Ch)에 저장된 적분값(Vsen)이 홀딩 스위치(SW3)를 경유하여 ADC에 입력된다. 적분값(Vsen)은 ADC에서 디지털 센싱값(SD)으로 변환된 후 타이밍 컨트롤러(11)에 전송된다. 디지털 센싱값(SD)은 타이밍 컨트롤러(11)에서 구동 TFT의 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출하는데 사용된다. 타이밍 컨트롤러(11)에는 적분 커패시터(Cfb)의 커패시턴스, 기준전압(Vref), 센싱 시간(Tsen)이 미리 디지털 코드로 저장되어 있다. 따라서, 타이밍 컨트롤러(11)는 적분값(Vsen)에 대한 디지털 코드인 디지털 센싱값(SD)으로부터 구동 TFT(DT)에 흐르는 소스-드레인 간 전류($I_{ds} = C_{fb} \cdot \Delta V / \Delta t$, 여기서, $\Delta V = V_{ref} - V_{sen}$, $\Delta t = T_{sen}$)를 계산할 수 있다.

[0063] 타이밍 컨트롤러(11)는 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 보상 알고리즘에 적용하여 편차값들(문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK))과 편차 보상을 위한 보상 데이터($V_{th} + \Delta V_{th}, K + \Delta K$)를 도출한다. 보상 알고리즘은 룩업 테이블 또는, 계산 로직으로 구현될 수 있다. 이러한 본 발명의 전류 적분기(17, CI)에 포함되는 적분 커패시터(Cfb)의 커패시턴스는 센싱라인(14B)에 존재하는 기생 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(Vsen) 수준까지 전류(Ids)를 인입하는데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다. 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세츄레이션된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 매우 길어졌지만, 본 발명의 전류 센싱 방식에서는 문턱전압 및 이동도 센싱시 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링할 수 있어 센싱 시간을 크게 단축할 수 있다.

[0064] 또한, 본 발명의 전류 적분기(17, CI)에 포함되는 적분 커패시터(Cfb)는 센싱라인(14B)의 기생 커패시터와 달리, 표시 부하에 따라 저장값이 변동되지 않고, 캘리브레이션이 용이하여 정확한 센싱값 획득이 가능하다.

[0065] 이와 같이, 본 발명의 전류 센싱 방식은 종래 전압 센싱 방식에 비해, 저전류 센싱이 가능하고 또한 고속 센싱이 가능한 잇점이 있다. 저전류 및 고속 센싱 가능하기 때문에, 본 발명의 전류 센싱 방식은 센싱 성능을 제고하기 위해 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대해 다수 회 센싱하는 것도 가능하다.

- [0066] 또한, 본 발명은 전류 적분기(17)의 비반전 입력단자(+)에 오프셋 전압 제어부(18)를 접속하도록 구성함으로써, 채널마다 존재하는 증폭기(AMP) 자체의 오프셋 전압(Vos)을 제거할 수 있다. 이에 따라, 채널들 간의 편차를 제거하여 전류 적분기(17)를 통해 구동되는 패널을 균일하게 출력할 수 있다.
- [0067] 도 8 및 도 9는 본 발명의 오프셋 전압 제어부와 전류 적분기가 구비된 센싱 블록의 접속 구조, 및 센싱 원리를 보여주고, 도 10a 내지 도 11b는 본 발명의 오프셋 전압 제어부와 전류 적분기가 동작하는 것을 보여준다. 도 8 및 도 9는 전류 센싱 방식의 구동 이해를 돕기 위한 일 예시에 불과하다. 본 발명의 전류 센싱이 적용되는 픽셀 구조 및 그 구동 타이밍은 다양한 변형이 가능하므로, 본 발명의 기술적 사상은 이 실시 예에 한정되지 않는다.
- [0068] 도 8 및 도 9에서는 도 4 및 도 5에서 설명한 내용과 중첩되는 내용은 생략하기로 한다.
- [0069] 도 8을 참조하면, 본 발명의 픽셀(P)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다. 센싱 블록에 구비되는 오프셋 전압 제어부(18)에 대한 자세한 설명은 도 4에서 이미 설명하였으므로 여기서는 생략하기로 한다.
- [0070] 전류 적분기(17)(17, CI)에 구비되는 증폭기(AMP)는 픽셀들(P)로부터 수신된 전류가, 각각의 픽셀(P)에 접속된 반전 입력단자(-)로 입력되어 흐르는 제1 경로와 제1 기준전압 또는 제3 기준전압(Vref-Vos)이, 오프셋 전압 제어부(18)에 접속된 비반전 입력단자(+)로 인가되어 흐르는 제2 경로를 스와핑한다. 증폭기(AMP)는 비반전 입력단자(+)에 접속되어 센싱라인(14B)에 직접 접속된 제1 외부 입력단자(IP1)와 반전 입력단자(-)에 접속되어 오프셋 전압 제어부(18)에 직접 접속된 제2 외부 입력단자(IP2)를 구비하고, 제1 외부 입력단자(IP1)와 반전 입력단자(-) 사이에 접속되는 제1 경로 및 제2 외부 입력단자와 비반전 입력단자(+) 사이에 접속되는 제2 경로를 스와핑하는 스와핑부(17a)가 구비된다. 제1 경로는 스와핑부(17a)의 제어 하에 제1 외부 입력단자(IP1)와 반전 입력단자(-) 사이에 접속되거나 제1 외부 입력단자(IP1)와 비반전 입력단자(+) 사이에 접속된다. 이에 따라, 픽셀들로부터 수신된 전류는 제1 경로를 통해 반전 입력단자(-)에 인가되거나 비반전 입력단자(+)에 인가될 수 있다.
- [0071] 제2 경로는 스와핑부(17a)의 제어 하에 제2 외부 입력단자(IP2)와 비반전 입력단자(+) 사이에 접속되거나 제2 외부 입력단자(IP2)와 반전 입력단자(-) 사이에 접속된다. 이에 따라, 제1 기준전압 또는 제2 기준전압(Vref+Vos)은 제1 경로를 통해 비반전 입력단자(+)에 인가되거나 반전 입력단자(-)에 인가될 수 있다.
- [0072] 스와핑부(17a)는 증폭기(AMP)에서 출력되는 출력전압에 오프셋 전압(Vos)을 더한 제1 출력 전압이 출력되도록 동작하는 제1 스와프 스위치(S11,S12)와 출력전압에서 오프셋 전압(Vos)을 뺀 제2 출력 전압이 출력되도록 동작하는 제2 스와프 스위치(S21,S22)를 포함한다.
- [0073] 제1 스와프 스위치(S11,S12)는 제11 스와프 스위치(S11)와 제12 스와프 스위치(S12)를 구비한다. 제11 스와프 스위치(S11)는 제1 외부 입력단자(IP1)와, 반전 입력단자(-)에 접속되어, 제1 경로를 형성한다. 제12 스와프 스위치(S12)는 제2 외부 입력단자(IP2)와 비반전 입력단자(+)에 접속되어 제2 경로를 형성한다.
- [0074] 제2 스와프 스위치(S21,S22)는 제21 스와프 스위치(S21)와 제22 스와프 스위치(S22)를 구비한다. 제21 스와프 스위치(S21)는 제1 외부 입력단자(IP1)와 비반전 입력단자(+)에 접속되어, 제1 경로를 형성한다. 제22 스와프 스위치(S22)는 제2 외부 입력단자(IP2)와 반전 입력단자(-)에 접속되어 제2 경로를 형성한다. 제11 스와프 스위치(S11)의 일단은 증폭기(AMP)의 반전 입력단자(-)와 제22 스와프 스위치(S22)의 일단에 접속된다. 제12 스와프 스위치(S12)의 일단은 증폭기(AMP)의 비반전 입력단자(+)와 제21 스와프 스위치(S21)의 일단에 접속된다.
- [0075] 샘플링부(SH)는 전류 적분기(17)의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더(SH1)와, 제1 출력 전압에 이어서 출력되는 전류 적분기(17)의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더(SH2)를 포함한다. 샘플링부(SH)는 제1 및 제2 샘플 & 홀더들(SH1,SH2) 각각에 샘플링된 전압을, 단일 출력 채널을 통해 동시에 출력한다.
- [0076] 제1 샘플 & 홀더(SH1)는 제1 홀딩 커패시터(C1), 제1 샘플 스위치(SW21) 및 제1 홀딩 스위치(SW31)를 포함한다. 제1 홀딩 커패시터(C1)는 전류 적분기(17)에서 출력되는 제1 출력 전압을 저장한다. 제1 샘플 스위치(SW21)는 전류 적분기(17)와 제1 홀딩 커패시터(C1) 사이에 접속되어 제1 출력 전압이 제1 홀딩 커패시터(C1)에 저장되도록 제어한다. 제1 샘플 스위치(SW21)는 제1 스와프 스위치(S11,S12)에 동기되어 전류 적분기(17)에서 출력되는 제1 출력 전압을 제1 홀딩 커패시터(C1)에 저장한다. 제1 홀딩 스위치(SW31)는 제1 홀딩 커패시터(C1)와 아날로그 디지털 변환기(ADC) 사이에 접속되어 제1 홀딩 커패시터(C1)에 저장된 제1 출력 전압을 단일 출력 채널을 통해 출력하도록 제어한다.
- [0077] 제2 샘플 & 홀더(SH2)는 제2 홀딩 커패시터(C2), 제2 샘플 스위치(SW22) 및 제2 홀딩 스위치(SW32)를 포함한다. 제2 홀딩 커패시터(C2)는 전류 적분기(17)에서 출력되는 제2 출력 전압을 저장한다. 제2 샘플 스위치(SW22)는

전류 적분기(17)와 제2 홀딩 커패시터(C2) 사이에 접속되어 제2 출력 전압이 제2 홀딩 커패시터(C2)에 저장되도록 제어한다. 제2 샘플 스위치(SW31)는 제2 스위프 스위치(S21, S22)에 동기되어 전류 적분기(17)에서 출력되는 제2 출력 전압을 제2 홀딩 커패시터(C2)에 저장한다. 제2 홀딩 스위치(SW32)는 제2 홀딩 커패시터(C2)와 아날로그 디지털 변환기(ADC) 사이에 접속되어 제2 홀딩 커패시터(C2)에 저장된 제2 출력 전압을 단일 출력 채널을 통해 출력하도록 제어한다.

- [0078] 제1 홀딩 스위치(SW31)와 제2 홀딩 스위치(SW32)는 동시에 턴 온(turn on)되어, 제1 홀딩 커패시터(C1)에 저장된 제1 출력 전압과 제2 홀딩 커패시터(C2)에 저장된 제2 출력 전압을 단일 출력 채널을 통해 동시에 출력한다. 도 8에서는 제1 홀딩 스위치(SW31)와 제2 홀딩 스위치(SW32)가 분리되는 것을 도시하였으나, 이에 한정되는 것은 아니며, 제1 홀딩 스위치(SW31)와 제2 홀딩 스위치(SW32)가 하나의 홀딩 스위치로 구비될 수 있다.
- [0079] 아날로그 디지털 변환기(Analog to Digital Conversion, ADC)는 샘플링부(SH)의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력한다.
- [0080] 도 9 내지 도 11b에는 동일 행에 배치된 픽셀들을 센싱하기 위해 센싱용 게이트펄스(SCAN)의 온 펄스 구간으로 정의되는 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대한 1회 센싱 파형이 도시되어 있다. 도 9를 참조하면, 센싱 구동은 제1 스테이트와 제2 스테이트로 이루어질 수 있다. 제1 스테이트는 전류 적분기(17)를 통해 제1 출력전압이 출력되는 기간이고, 제2 스테이트는 전류 적분기(17)를 통해 제2 출력전압이 출력되는 기간이다. 제1 출력전압은 출력되는 출력전압에 오프셋 전압(Vos)이 합해진 전압이고, 제2 출력전압은 출력되는 출력전압에 오프셋 전압(Vos)이 빠진 전압으로 정의된다.
- [0081] 제1 스테이트와 제2 스테이트 각각은 초기화 기간(Tinit), 센싱 기간(Tsen), 및 샘플링 기간(Tsam)을 포함하여 이루어진다.
- [0082] 제1 스테이트의 초기화 기간(Tinit)에서 제1 스위치(SW1)의 턴 온(turn on)으로 인해 증폭기(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(Tinit)에서 증폭기(AMP)의 제1 외부 입력단자(IP1), 제2 외부 입력단자(IP2), 센싱라인(14B), 및 제2 노드(N2)는 제2 기준전압(Vref+Vos)에서 제1 기준전압(Vref)으로 초기화된다. 초기화 기간(Tinit)은 제1 초기화 기간(Ti1)과, 제1 초기화 기간(Ti1) 이후 기간인 제2 초기화 기간(Ti2)을 포함한다.
- [0083] 도 10a를 참조하면, 제1 초기화 기간(Ti1)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준전압을 입력받는다. 오프셋 전압 제어부(18)에 구비된 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 온(turn on)되고, 제2 오프셋 스위치(Q2)가 턴 오프(turn off)된다. 제1 스위프 스위치(S11, S12)는 턴 온(turn on)되고, 제2 스위프 스위치(S21, S22)는 턴 오프(turn off)된다.
- [0084] 제12 스위프 스위치(S12)는 제2 외부 입력단자(IP2)와 비반전 입력단자(+)에 접속되어 제2 경로를 형성한다. 이에 제1 기준전압은 제1 오프셋 스위치(Q1)를 통해 증폭기(AMP)의 제2 외부 입력단자(IP2)에 인가되어 제2 경로를 통해 비반전 입력단자(+)에 입력된다.
- [0085] 제11 스위프 스위치(S11)는 제1 외부 입력단자(IP1)와, 반전 입력단자(-)에 접속되어, 제1 경로를 형성한다. 증폭기(AMP)의 제1 외부 입력단자(IP1)에는 제2 외부 입력단자(IP2)을 통해 입력된 제1 기준전압에, 증폭기(AMP)의 오프셋 전압(Vos)이 더해진 제2 기준전압(Vref+Vos)이 제1 경로를 통해 인가된다. 제2 기준전압(Vref+Vos)은 증폭기(AMP)의 제1 외부 입력단자(IP1)에 접속된 제3 오프셋 스위치(Q3)를 통해 오프셋 커패시터(CAZ)에 저장된다. 이에 따라, 제3 노드(N3)에는 제1 기준전압이 인가되고, 제4 노드(N4)에는 제2 기준전압(Vref+Vos)이 인가된다. 따라서, 제3 노드(N3)와 제4 노드(N4)에는 오프셋 전압(Vos)만큼의 전위 차가 발생한다.
- [0086] 도 10b를 참조하면, 제2 초기화 기간(Ti2)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준전압을 계속해서 입력받는다. 오프셋 전압 제어부(18)에 구비된 제2 오프셋 스위치(Q2)가 턴 온(turn on)되고, 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 오프(turn off)된다. 제1 스위프 스위치(S11, S12)는 턴 온(turn on)되고, 제2 스위프 스위치(S21, S22)는 턴 오프(turn off)된다. 제12 스위프 스위치(S12)는 제2 외부 입력단자(IP2)와 비반전 입력단자(+)에 접속되어 제2 경로를 형성한다.
- [0087] 제1 기준전압은 제2 오프셋 스위치(Q2)를 통해 제4 노드(N4)에 인가된다. 제4 노드(N4)에 걸려 있던 제2 기준전압(Vref+Vos)은 제2 오프셋 스위치(Q2)를 통해 인가되는 제1 기준전압에 의해 오프셋 전압(Vos)만큼 낮아진다. 이에 따라, 제4 노드(N4)에는 제2 기준전압(Vref+Vos)에서 제1 기준전압으로 낮아진다.
- [0088] 이와 동시에 제3 노드(N3)는 제4 노드(N4)와 커플링된다. 제3 노드(N3)는 제4 노드(N4)의 전위 차만큼

변화한다. 제3 노드(N3)에 걸려 있던 제1 기준전압은 오프셋 전압(Vos)만큼 낮아진다. 이에 따라, 제1 기준전압에서 오프셋 전압(Vos)을 뺀 제3 기준전압(Vref-Vos)이 제3 노드(N3)에 인가된다. 이에 제3 기준전압(Vref-Vos)은 제3 노드(N3)에 접속된 증폭기(AMP)의 제2 외부 입력단자(IP2)에 인가되어 제2 경로를 통해 비반전 입력단자(+)에 입력된다.

[0089] 제11 스위프 스위치(S11)는 제1 외부 입력단자(IP1)와, 반전 입력단자(-)에 접속되어, 제1 경로를 형성한다. 증폭기(AMP)의 제1 외부 입력단자(IP1)에는 비반전 입력단자(+)을 통해 입력된 제3 기준전압(Vref-Vos)에, 증폭기(AMP)의 오프셋 전압(Vos)이 더해진 제1 기준전압이 제1 경로를 통해 인가된다. 제1 기준전압은 증폭기(AMP)의 반전 입력단자(-)에 접속된 센싱라인(14B)을 통해 제2 노드(N2)에 인가된다. 제2 노드(N2)는 픽셀에 구비된 구동 TFT의 소스 전극에 접속된다.

[0090] 제1 기준전압이 제2 노드(N2)에 인가되는 동안 데이터 전압은 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차(Vdata-Vref)에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다. 하지만, 초기화 기간(Tinit) 중에 증폭기(AMP)는 계속해서 유닛 게인 버퍼로 동작하므로, 출력 단자는 기준전압(Vref)으로 유지된다.

[0091] 센싱 기간(Tsen)에서 제1 스위치(SW1)의 턴 오프(turn off)로 인해 증폭기(AMP)는 전류 적분기(17, CI)로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(Tsen)에서 증폭기(AMP)의 제1 외부 입력단자(IP1)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과할수록, 즉 축적되는 전류값(Ids)이 증가할수록 커진다. 그런데, 증폭기(AMP)의 특성상 반전 입력단자(-) 및 비반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이 것이 이상적이거나, 실질적으로는 오프셋 전압(Vos)만큼의 전위가 발생한다. 이에 따라 센싱 기간(Tsen)에서 반전 입력단자(-)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)에 오프셋 전압(Vos)을 더한 제2 기준전압(Vref+Vos)으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(Tsen)에서 센싱라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압값인 제1 적분값(Vsen1)으로 생성된다. 여기서 제1 적분값은 오프셋 전압(Vos)이 합해진 제1 출력전압으로 정의된다. 전류 적분기(17)에서 출력되는 출력값(Vout)의 하강 기울기는 센싱라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 제1 적분값(Vsen1)의 크기는 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(Tsen)에서 적분값(Vsen)은 제1 샘플 스위치(SW21)를 경유하여 제1 홀딩 커패시터(C1)에 저장된다.

[0092] 제2 스테이트의 초기화 기간(Tinit)에서 제1 스위치(SW1)의 턴 온(turn on)으로 인해 증폭기(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(Tinit)에서 증폭기(AMP)의 제1 외부 입력단자(IP1), 제2 외부 입력단자(IP2), 센싱라인(14B), 및 제2 노드(N2)는 제2 기준전압(Vref+Vos)에서 제1 기준전압(Vref)으로 초기화된다.

[0093] 도 11a를 참조하면, 제1 초기화 기간(Ti1)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준전압을 입력받는다. 오프셋 전압 제어부(18)에 구비된 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 온(turn on)되고, 제2 오프셋 스위치(Q2)가 턴 오프(turn off)된다. 제2 스위프 스위치(S21,S22)는 턴 온(turn on)되고, 제1 스위프 스위치(S11,S12)는 턴 오프(turn off)된다.

[0094] 제22 스위프 스위치(S22)는 제2 외부 입력단자(IP2)와 반전 입력단자(-)에 접속되어 제2 경로를 형성한다. 이에 제1 기준전압은 제1 오프셋 스위치(Q1)를 통해 증폭기(AMP)의 제2 외부 입력단자(IP2)에 인가되어 제2 경로를 통해 반전 입력단자(-)에 입력된다.

[0095] 제21 스위프 스위치(S21)는 제1 외부 입력단자(IP1)와, 비반전 입력단자(+)에 접속되어, 제1 경로를 형성한다. 증폭기(AMP)의 제1 외부 입력단자(IP1)에는 반전 입력단자(-)를 통해 입력된 제1 기준전압에, 증폭기(AMP)의 오프셋 전압(Vos)이 제거된 제3 기준전압(Vref-Vos)이 제1 경로를 통해 인가된다. 제3 기준전압(Vref-Vos)은 증폭기(AMP)의 제1 외부 입력단자(IP1)에 접속된 제3 오프셋 스위치(Q3)를 통해 오프셋 커패시터(CAZ)에 저장된다. 이에 따라, 제3 노드(N3)에는 제1 기준전압이 인가되고, 제4 노드(N4)에는 제3 기준전압(Vref-Vos)이 인가된다. 따라서, 제3 노드(N3)와 제4 노드(N4)에는 오프셋 전압(Vos)만큼의 전위 차가 발생한다.

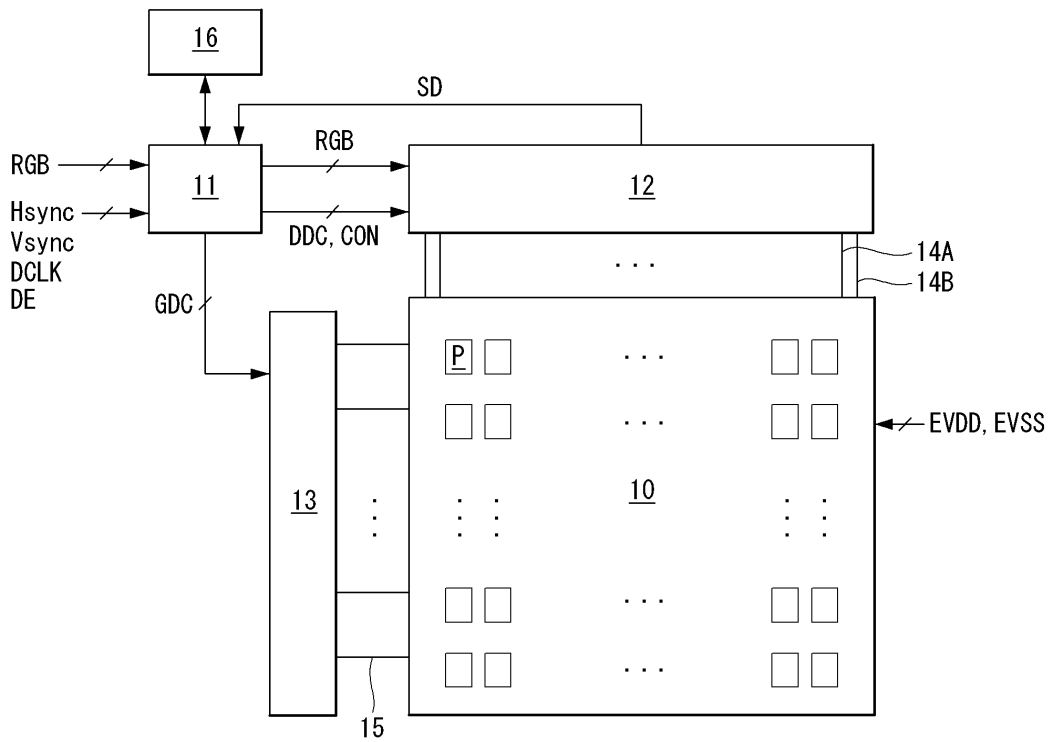
[0096] 도 10b를 참조하면, 제2 초기화 기간(Ti2)동안, 오프셋 전압 제어부(18)는 제1 기준전압 입력단으로부터 제1 기준전압을 계속해서 입력받는다. 오프셋 전압 제어부(18)에 구비된 제2 오프셋 스위치(Q2)가 턴 온(turn on)되고, 제1 오프셋 스위치(Q1) 및 제3 오프셋 스위치(Q3)가 동시에 턴 오프(turn off)된다. 제2 스위프 스위치(S21,S22)는 턴 온(turn on)되고, 제1 스위프 스위치(S11,S12)는 턴 오프(turn off)된다. 제22 스위프 스위치(S12)는 제2 외부 입력단자(IP2)와 반전 입력단자(-)에 접속되어 제2 경로를 형성한다.

- [0097] 제1 기준전압은 제2 오프셋 스위치(Q2)를 통해 제4 노드(N4)에 인가된다. 제4 노드(N4)에 걸려 있던 제3 기준전압(Vref-Vos)은 제2 오프셋 스위치(Q2)를 통해 인가되는 제1 기준전압에 의해 오프셋 전압(Vos)만큼 높아진다. 이에 따라, 제4 노드(N4)에는 제3 기준전압(Vref-Vos)에서 제1 기준전압으로 높아진다.
- [0098] 이와 동시에 제3 노드(N3)는 제4 노드(N4)와 커플링된다. 제3 노드(N3)는 제4 노드(N4)의 전위 차만큼 변화한다. 제3 노드(N3)에 걸려 있던 제1 기준전압은 오프셋 전압(Vos)만큼 높아진다. 이에 따라, 제1 기준전압에서 오프셋 전압(Vos)을 더한 제2 기준전압(Vref+Vos)이 제3 노드(N3)에 인가된다. 이에 제2 기준전압(Vref+Vos)은 제3 노드(N3)에 접속된 증폭기(AMP)의 제2 외부 입력단자(IP2)에 인가되어 제2 경로를 통해 반전 입력단자(-)에 입력된다.
- [0099] 제21 스와프 스위치(S11)는 제1 외부 입력단자(IP1)와, 비반전 입력단자(+)에 접속되어, 제1 경로를 형성한다. 증폭기(AMP)의 제1 외부 입력단자(IP1)에는 제2 외부 입력단자(IP2)를 통해 입력된 제2 기준전압(Vref+Vos)에, 증폭기(AMP)의 오프셋 전압(Vos)이 제거된 제1 기준전압이 제1 경로를 통해 인가된다. 제1 기준전압은 증폭기(AMP)의 제1 외부 입력단자(IP1)에 접속된 센싱라인(14B)을 통해 제2 노드(N2)에 인가된다. 제2 노드(N2)는 픽셀에 구비된 구동 TFT의 소스 전극에 접속된다.
- [0100] 제1 기준전압이 제2 노드(N2)에 인가되는 동안 데이터 전압은 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차(Vdata-Vref)에 반응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다.
- [0101] 센싱 기간(Tsen)에서 제1 스위치(SW1)의 턴 오프(turn off)로 인해 증폭기(AMP)는 전류 적분기(17, CI)로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(Tsen)에서 증폭기(AMP)의 제1 외부 입력단자(IP1)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과할수록, 즉 축적되는 전류값(Ids)이 증가할수록 커진다. 그런데, 증폭기(AMP)의 특성상 반전 입력단자(-) 및 비반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이 것이 이상적이거나, 실질적으로는 오프셋 전압(Vos)만큼의 전위가 발생한다. 이에 따라 센싱 기간(Tsen)에서 반전 입력단자(-)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)에 오프셋 전압(Vos)을 제거한 제3 기준전압(Vref-Vos)으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(Tsen)에서 센싱라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압값인 제2 적분값(Vsen2)으로 생성된다. 여기서 제2 적분값은 오프셋 전압(Vos)이 제거된 제2 출력전압으로 정의된다. 전류 적분기(17)에서 출력되는 출력값(Vout)의 하강 기울기는 센싱라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 제2 적분값(Vsen2)의 크기는 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(Tsen)에서 적분값(Vsen)은 제2 샘플 스위치(SW22)를 경유하여 제2 홀딩 커패시터(C2)에 저장된다.
- [0102] 샘플링 기간(Tsam)에서 제1 홀딩 스위치(SW31)와 제2 홀딩 스위치(SW32)가 동시에 턴 온(turn on) 되면, 제1 홀딩 커패시터(C1)에 저장된 제1 적분값(Vsen1)이 제1 홀딩 스위치(SW31)를 경유하고, 제2 홀딩 커패시터(C2)에 저장된 제2 적분값(Vsen2)이 제2 홀딩 스위치(SW32)를 경유하여 단일 출력 채널을 통해 동시에 출력한다. 이와 같이, 단일 출력 채널을 통해 동시에 출력됨으로써, 제1 적분값(Vsen1)과 제2 적분값(Vsen2)이 평균화되어 분배될 수 있다. 이에 따라, 제1 적분값(Vsen1)과 제2 적분값(Vsen2)은 평균화된 적분값으로 샘플링되어 단일 출력 채널을 통해 ADC에 입력된다. ADC는 샘플링부(SH)에서 출력되는 평균화된 적분값(Vsen)으로 샘플링된 적분값(Vsen)을 디지털 처리하여 오프셋 전압(Vos)의 편차 보정용 디지털 센싱값들을 생성한 후, 타이밍 컨트롤러(11)에 전송한다. 타이밍 컨트롤러(11)는 오프셋 전압(Vos)의 편차 보정용 디지털 센싱값들에 기초하여 전류 적분기(17)들(17, CI) 간의 오프셋 전압(Vos)의 편차를 산출하고, 이 산출된 편차 값들을 보상할 수 있다. 또한, 디지털 센싱값(SD)은 타이밍 컨트롤러(11)에서 구동 TFT의 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출하는데 사용된다. 타이밍 컨트롤러(11)에는 적분 커패시터(Cfb)의 커패시턴스, 기준전압(Vref), 센싱 시간(Tsen)이 미리 디지털 코드로 저장되어 있다. 따라서, 타이밍 컨트롤러(11)는 평균화된 적분값(Vsen)에 대한 디지털 코드인 디지털 센싱값(SD)으로부터 구동 TFT(DT)에 흐르는 소스-드레인 간 전류($I_{ds}=C_{fb} \cdot \Delta V / \Delta t$, 여기서, $\Delta V=V_{ref}-V_{sen}$, $\Delta t=T_{sen}$)를 계산할 수 있다.
- [0103] 타이밍 컨트롤러(11)는 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 보상 알고리즘에 적용하여 편차값들(문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK))과 편차 보상을 위한 보상 데이터($V_{th}+\Delta V_{th}, K+\Delta K$)를 도출한다. 보상 알고리즘은 룩업 테이블 또는, 계산 로직으로 구현될 수 있다.
- [0104] 이러한 본 발명의 전류 적분기(17, CI)에 포함되는 적분 커패시터(Cfb)의 커패시턴스는 센싱라인(14B)에 존재하는 기생 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(Vsen) 수준

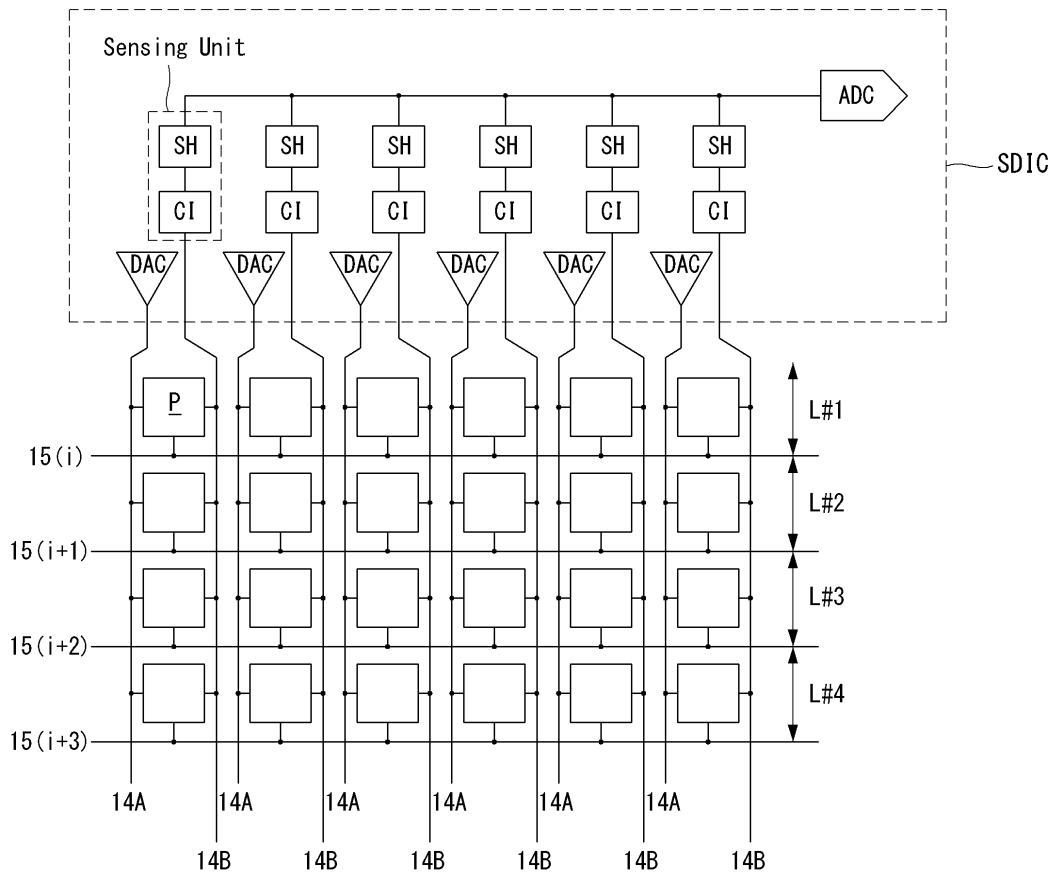
까지 전류(Ids)를 인입하는데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다. 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세츄레이션된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 매우 길어졌지만, 본 발명의 전류 센싱 방식에서는 문턱전압 및 이동도 센싱시 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링할 수 있어 센싱 시간을 크게 단축할 수 있다.

- [0105] 또한, 본 발명의 전류 적분기(17, CI)에 포함되는 적분 커패시터(Cfb)는 센싱라인(14B)의 기생 커패시터와 달리, 표시 부하에 따라 저장값이 변동되지 않고, 캘리브레이션이 용이하여 정확한 센싱값 획득이 가능하다.
- [0106] 또한, 본 발명은 오프셋 전압 제어부(18), 증폭기(AMP)에 내장된 스와핑부(17a) 및 샘플링부(SH)를 통해 전류 적분기(17, CI)의 오프셋(Offset) 전압의 편차를 보상하여 설정된 오차범위 내에서 샘플링된 적분값을 출력함으로써, 보다 정확한 센싱값 획득이 가능하다.
- [0107] 이와 같이, 본 발명의 전류 센싱 방식은 종래 전압 센싱 방식에 비해, 저전류 센싱이 가능하고 또한 고속 센싱이 가능한 잇점이 있다. 저전류 및 고속 센싱 가능하기 때문에, 본 발명의 전류 센싱 방식은 센싱 성능을 제고하기 위해 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대해 다수 회 센싱하는 것도 가능하다.
- [0108] 도 12 및 도 13은 본 발명의 따라 보상되는 오프셋 전압을 보여주고, 도 14는 본 발명에 따라 세로방향으로 배치되는 라인들 간에 라인성 노이즈가 제거되는 것을 보여준다.
- [0109] 도 12의 (a)는 본 발명의 실시 예에 따라 오프셋 전압 제어부(18)를 이용하여 증폭기(AMP)의 오프셋 전압(Vos)을 절감시키는 것을 보여준다. 오프셋 전압 제어부(18)는 전류 적분기(17)에 구비된 증폭기(AMP)의 비반전 입력단자(+)에 제1 기준전압을 인가하고, 반전 입력단자(-)에 인가된 제2 기준전압(Vref+Vos)을 피드백받아 이를 기초로 제3 기준전압(Vref-Vos)을 전류 적분기(17)의 비반전 입력단자(-)에 다시 인가한다. 이와 같이, 오프셋 전압 제어부(18)는 제1 오프셋 스위치(Q1) 내지 제3 오프셋 스위치(Q3)를 스위칭 동작하여 증폭기(AMP)의 오프셋 전압(Vos)을 검출하고, 검출된 증폭기(AMP)의 오프셋 전압(Vos)을 피드백하여 증폭기(AMP)의 오프셋 전압(Vos)을 용이하게 제거할 수 있다.
- [0110] 이에 따라, 도 13을 참조하면, 오프셋 전압 제어부(18)를 적용하지 아니한 종래의 전류 적분기를 통해 출력되는 적분값은 증폭기(AMP)의 오프셋 전압(Vos)이 반영되어, 최소 출력 전압이 -50mV이고, 최대 출력 전압 +50mV인 오차범위를 가진다. 증폭기(AMP)의 오프셋 전압(Vos)이 그대로 적용될 경우 최대 출력 전압과 최소 출력 전압 간에 100mV 차이가 발생한다. 이와 같이, 센싱기간 동안 채널들 간의 전류의 편차가 크게 발생되기 때문에 도 14의 (a)에 도시된 바와 같이, 세로방향으로 배치되는 라인들 간에 라인성 노이즈가 발생되며, 정확한 센싱값을 획득할 수 없다.
- [0111] 이와 달리, 오프셋 전압 제어부(18)를 적용한 본 발명의 전류 적분기를 통해 출력되는 적분값은 증폭기(AMP)의 오프셋 전압(Vos)이 반영되는 것을 최소화할 수 있어, 최소 출력 전압이 -11mV이고, 최대 출력 전압 +11mV의 오차범위를 가진다. 본 발명은 오프셋 전압 제어부(18)를 적용함으로써, 증폭기(AMP)의 오프셋 전압(Vos)을 제거하여 최대 출력 전압과 최소 출력 전압 간에 22mV 차이가 발생한다. 이에 종래보다 정확한 센싱값을 획득하는데 78%가 개선됨을 알 수 있다.
- [0112] 도 12의 (b)는 본 발명의 실시 예에 따라 스와핑부(17a)를 이용하여 증폭기(AMP)의 오프셋 전압(Vos)을 절감시키는 것을 보여준다.
- [0113] 스와핑부(17a)는 제1 외부 입력단자를 통해 인가되는 제1 경로와 제2 외부 입력단자를 통해 인가되는 제2 경로를 스와핑함으로써, 출력단자를 통해 출력되는 출력전압에서 오프셋 전압을 합한 제1 출력전압과 출력전압에서 오프셋 전압을 제거한 제2 출력전압을 합하여 분배한다. 이와 같이, 본 발명의 전류 적분기는 스와핑부(17a)를 통해 평균적인 출력전압을 출력함으로써, 증폭기(AMP)의 오프셋 전압(Vos)을 용이하게 제거할 수 있다.
- [0114] 스와핑부(17a)를 적용한 본 발명의 전류 적분기를 통해 출력되는 적분값은 증폭기(AMP)의 오프셋 전압(Vos)이 반영되는 것을 최소화할 수 있어, 최소 출력 전압이 -8mV이고, 최대 출력 전압 +8mV의 오차범위를 가진다. 본 발명은 오프셋 전압 제어부(18)를 적용함으로써, 증폭기(AMP)의 오프셋 전압(Vos)을 제거하여 최대 출력 전압과 최소 출력 전압 간에 16mV 차이가 발생한다. 이에 종래보다 정확한 센싱값을 획득하는데 84%가 개선됨을 알 수 있다.
- [0115] 도 12의 (c)는 본 발명의 실시 예에 따라 오프셋 전압 제어부(18)와 스와핑부(17a)를 이용하여 증폭기(AMP)의 오프셋 전압(Vos)을 절감시키는 것을 보여준다.

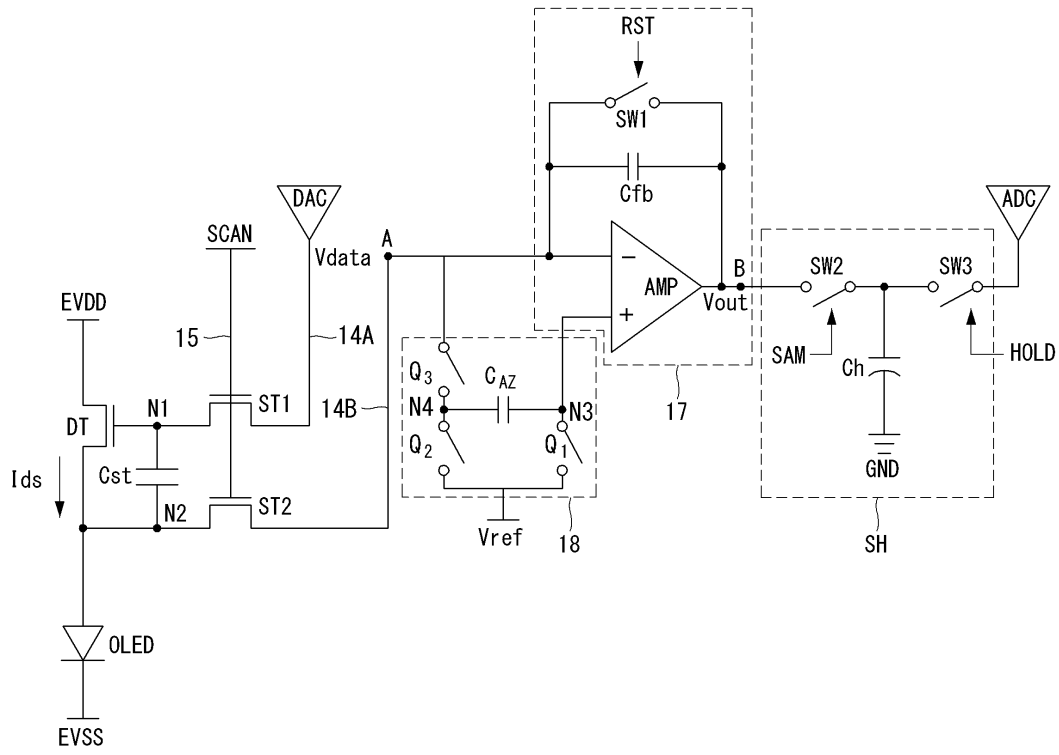
도면2



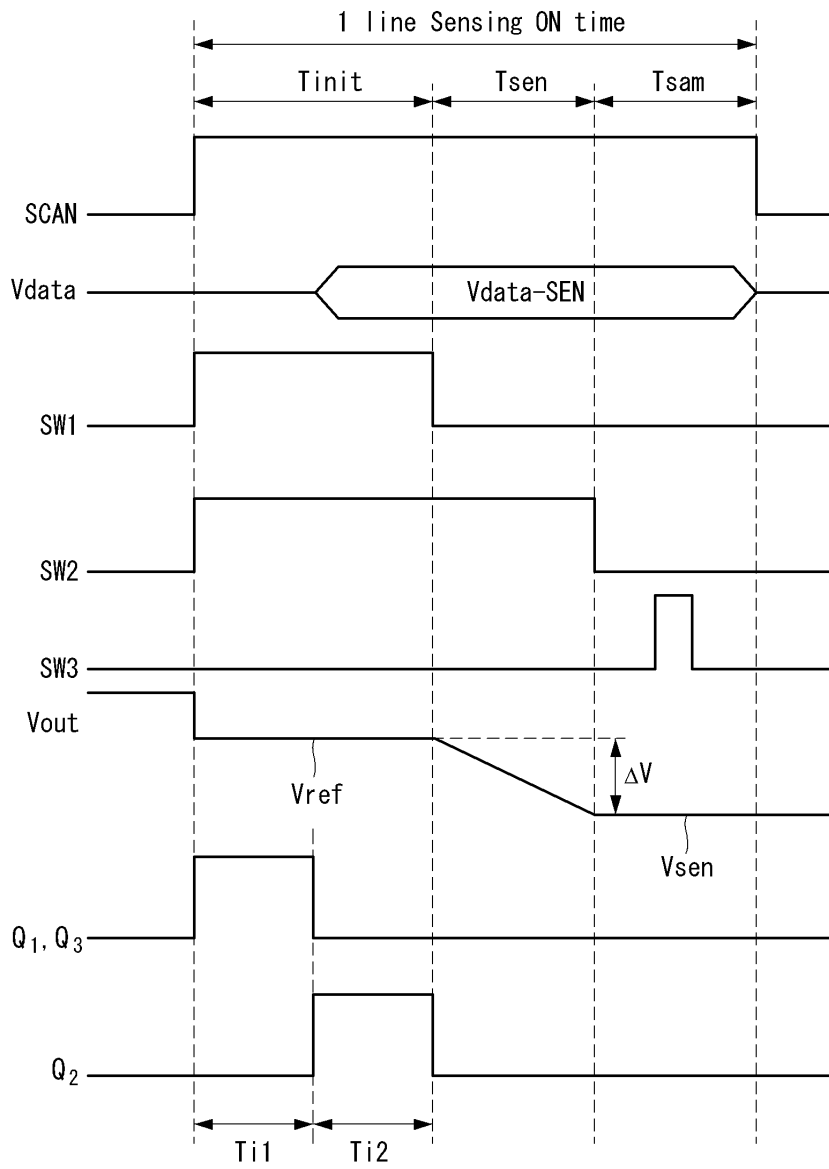
도면3



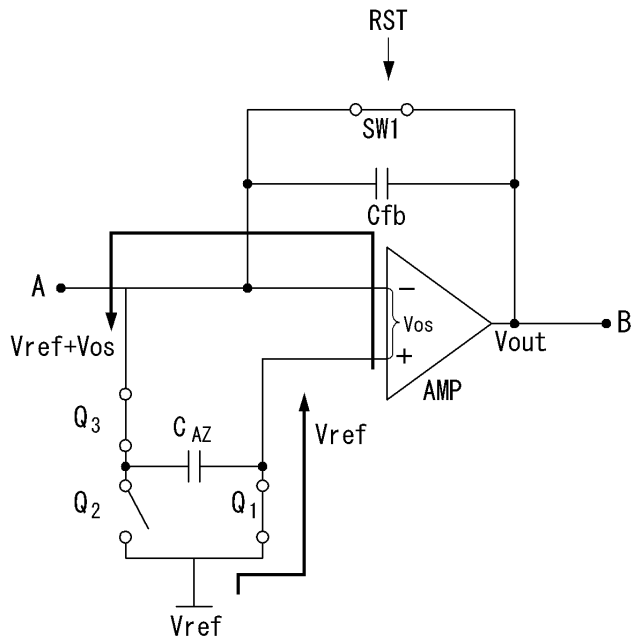
도면4



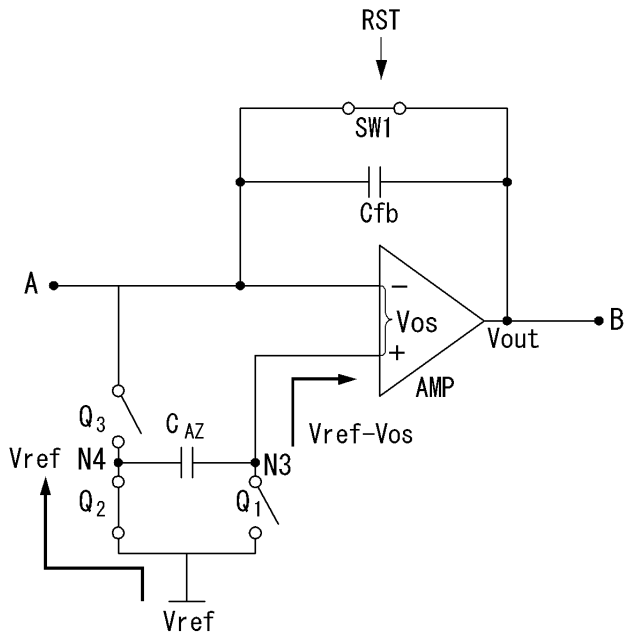
도면5



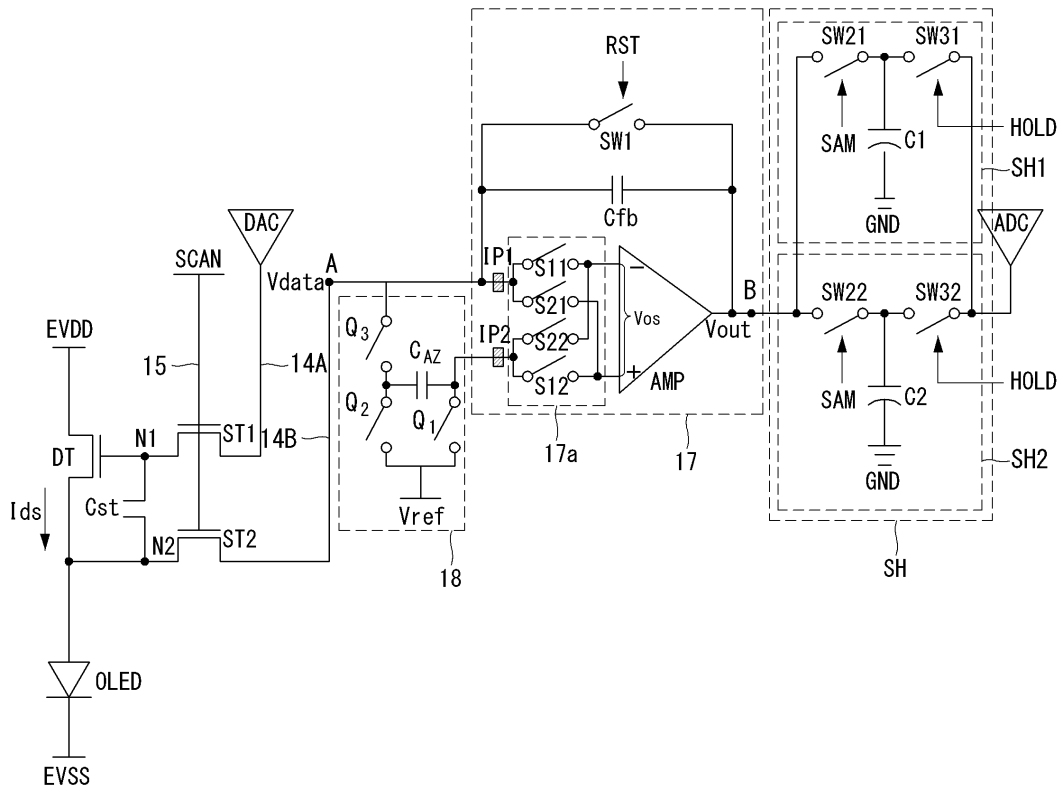
도면6



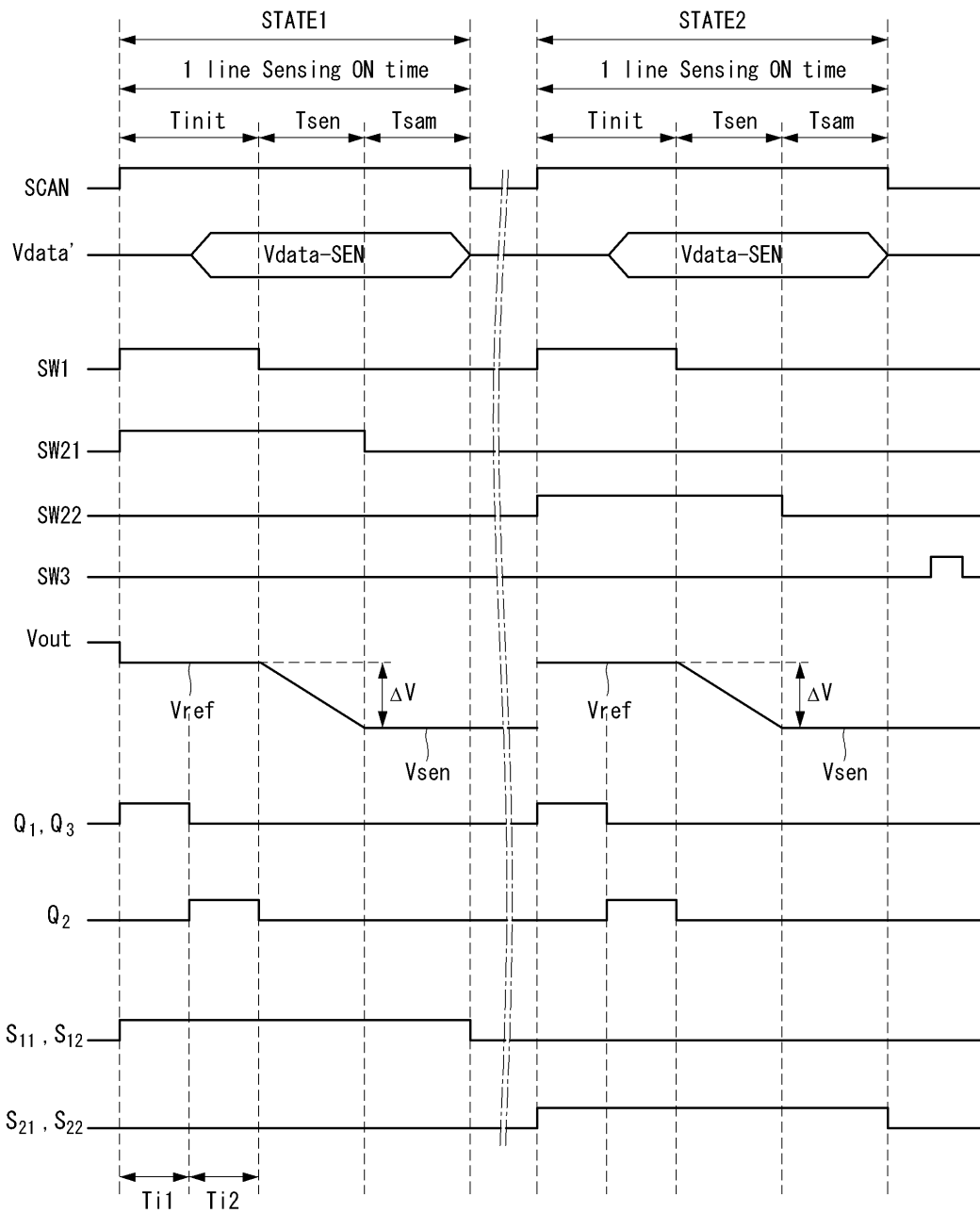
도면7



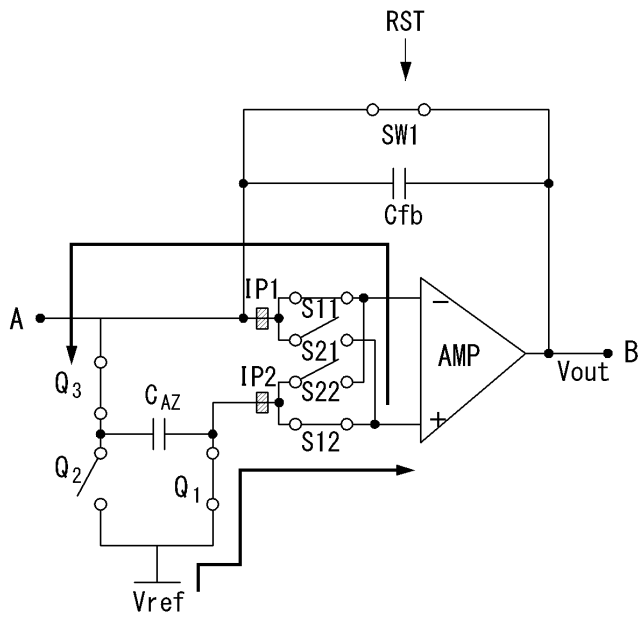
도면8



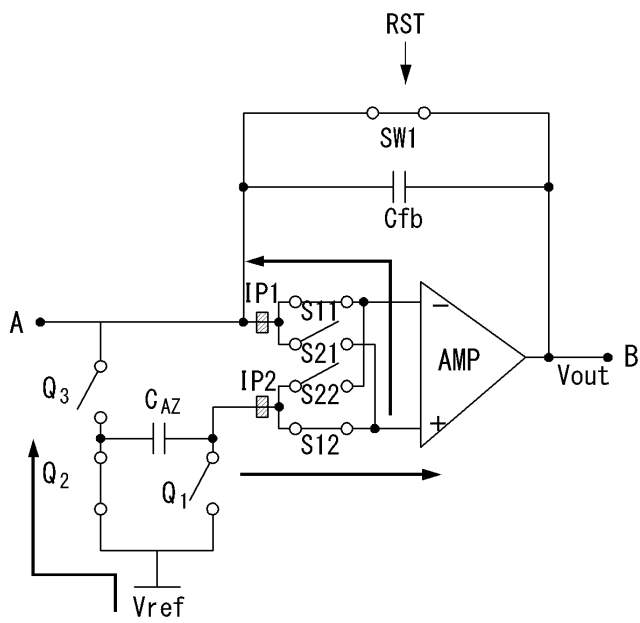
도면9



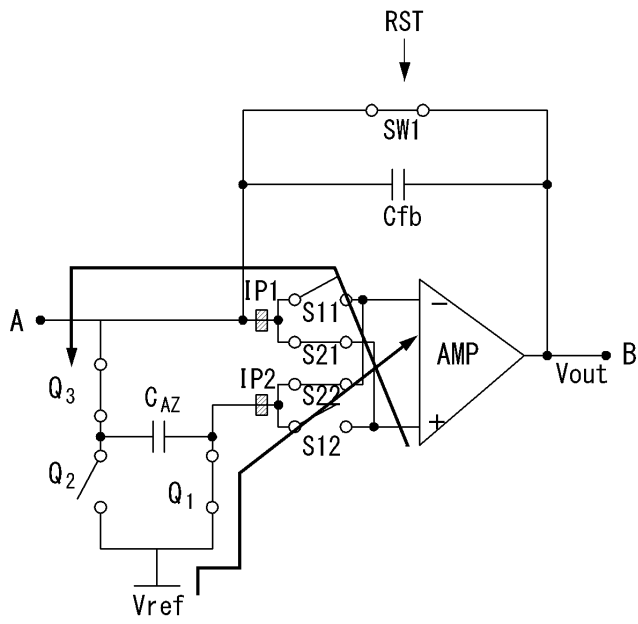
도면10a



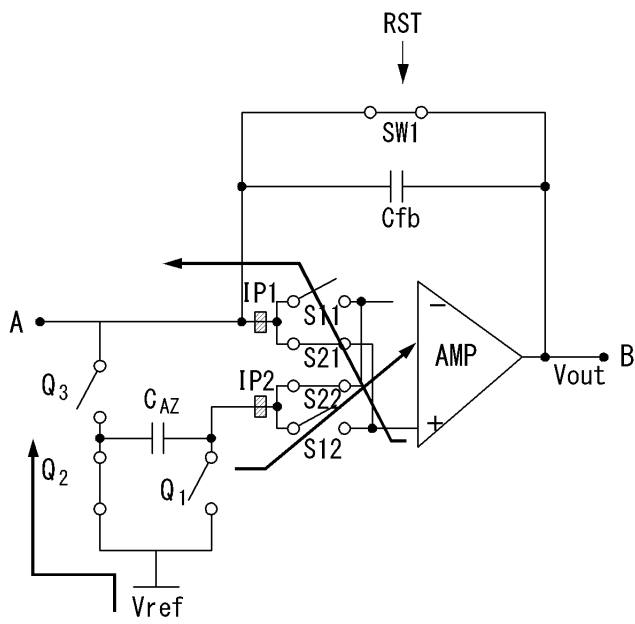
도면10b



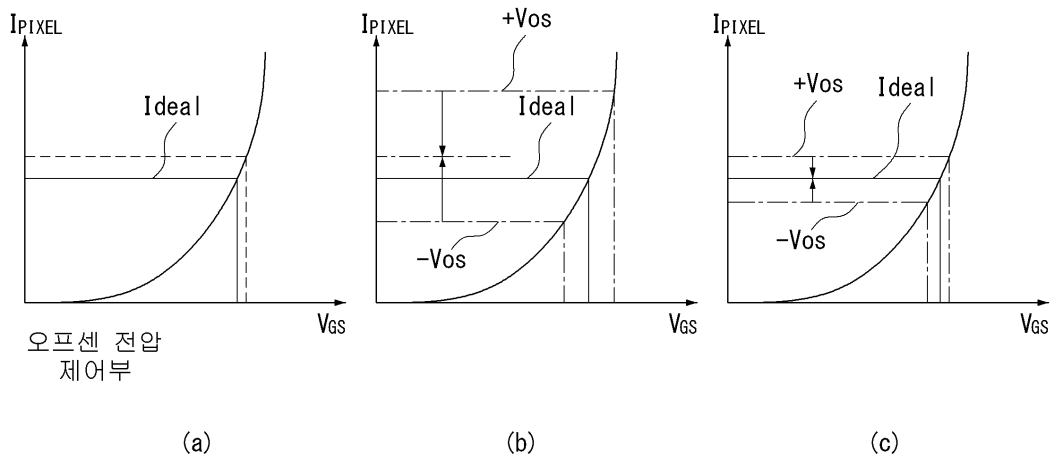
도면11a



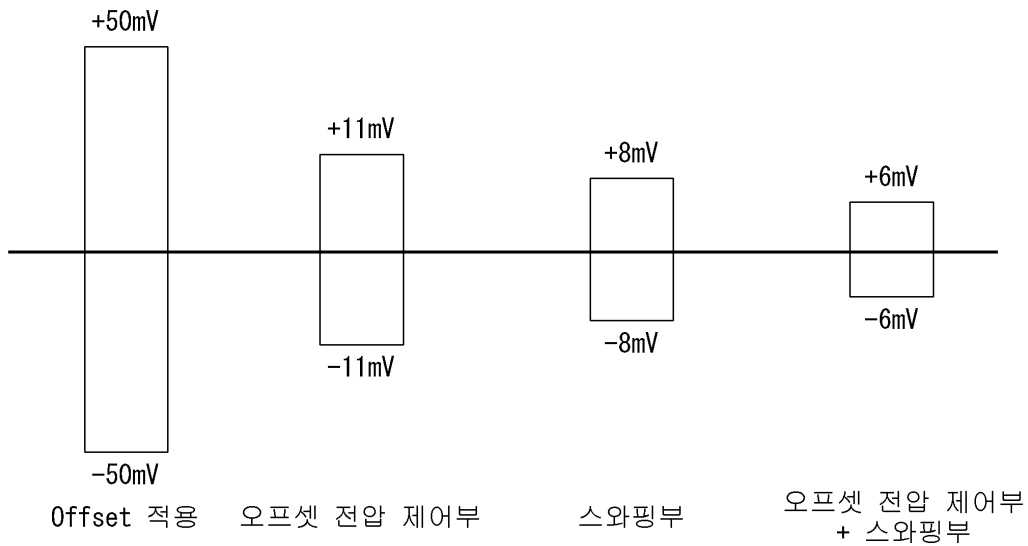
도면11b



도면12

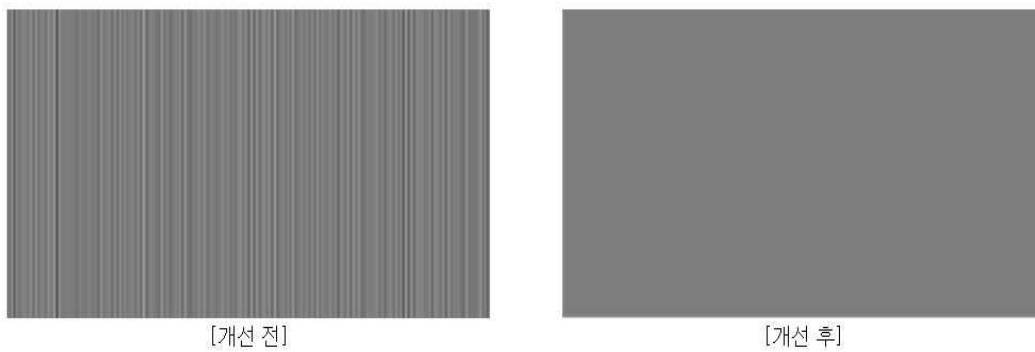


도면13



개선율	78%	84%	88%
-----	-----	-----	-----

도면14



专利名称(译)	标题 : OLED显示装置及其驱动方法		
公开(公告)号	KR1020170080775A	公开(公告)日	2017-07-11
申请号	KR1020150189635	申请日	2015-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG SEOK HYUN 홍석현 LIM MYUNG GI 임명기 NOH JU YOUNG 노주영		
发明人	홍석현 임명기 노주영		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2310/0291 G09G2300/0828		
外部链接	Espacenet		

摘要(译)

本发明涉及放大器的非反相输入端 (+)，用于初始化驱动晶体管的栅极 - 源极电压的初始化时段和用于感测流过驱动晶体管的电流的电流积分器，并且基于通过将偏移电压加到施加到反相输入端子的第一参考电压而获得的第二参考电压，从第一参考电压减去放大器的偏移电压而获得的第三参考电压到放大器的非反相输入端子 (+)。

