



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080352
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0191826

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

고호영

경기도 파주시 월롱면 엘씨디로8번길 62 (예가빌딩) 204호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

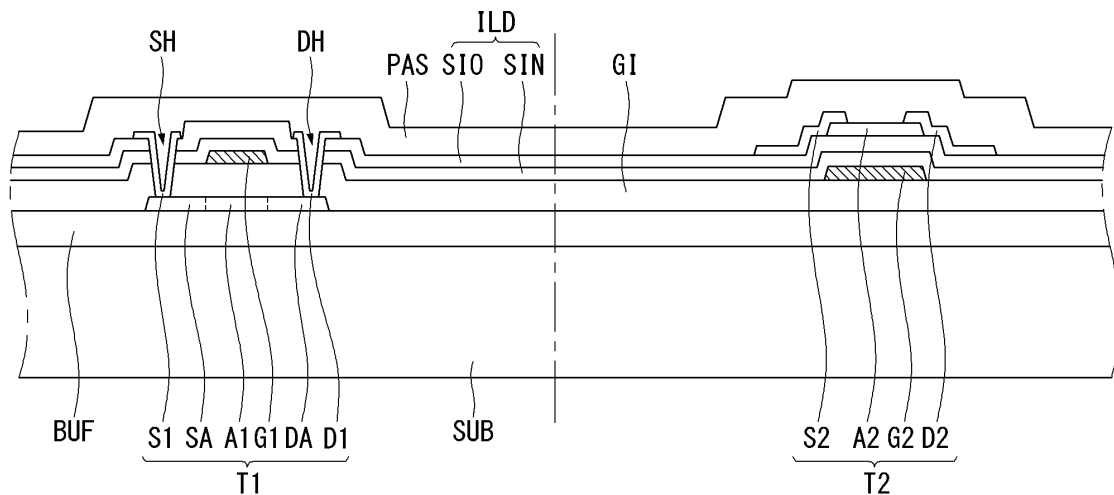
(54) 발명의 명칭 표시장치

(57) 요약

본 발명에 의한 표시장치는 화소 어레이, 타이밍 컨트롤러, 게이트 구동부를 포함한다. 화소 어레이는 데이터라인들과 게이트라인들이 교차되고 화소들이 매트릭스 형태로 배치된다. 타이밍 컨트롤러는 저속 구동 모드 동작을 위해서, 제1 프레임 기간 동안 하나의 프레임을 화소 어레이에 표시하도록 타이밍 제어신호를 출력하고, 소정의

(뒷면에 계속)

대표도 - 도5



프레임 기간 동안 프레임의 영상을 유지하도록 타이밍 제어신호를 출력하지 않는다 게이트 구동부는 제1 프레임 기간 동안, 화소 어레이에 게이트신호를 제공하는 쉬프트 레지스터를 포함한다. 쉬프트 레지스터는 Q노드 및 QB 노드의 전압에 대응하여 상기 게이트신호를 출력하는 출력단의 전압을 상승시키거나 방전시키며, 제1 전극이 Q노드 또는 QB 노드에 접속하고, 제2 전극이 저전위전압 입력단에 연결되어서, 게이트전극 전압에 입력되는 신호의 타이밍에 따라 Q노드 또는 QB 노드를 저전위전압으로 방전시키는 방전 제어부를 포함한다. 방전 제어부는 풀업 트랜지스터 및 풀다운 트랜지스터는 다결정 반도체 물질을 포함하고, QB 노드 방전 제어부는 산화물 반도체 물질을 포함한다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0214 (2013.01)

명세서

청구범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 화소들이 매트릭스 형태로 배치되는 화소 어레이;

저속 구동 모드 동작을 위해서, 제1 프레임 기간 동안 하나의 프레임을 상기 화소 어레이에 표시하도록 타이밍 제어신호를 출력하고, 소정의 프레임 기간 동안 상기 프레임의 영상을 유지하도록 타이밍 제어신호를 출력하지 않는 타이밍 컨트롤러; 및

상기 제1 프레임 기간 동안, 상기 타이밍 제어신호에 응답하여 상기 화소 어레이에 게이트신호를 제공하는 쉬프트 레지스터를 포함하는 게이트 구동부를 포함하고,

상기 쉬프트 레지스터는

Q노드 및 QB노드의 전압에 대응하여 상기 게이트신호를 출력하는 출력단의 전압을 상승시키거나 방전시키며,

제1 전극이 상기 Q노드 또는 QB 노드에 접속하고, 제2 전극이 저전위전압 입력단에 연결되어서, 게이트전극에 입력되는 신호 타이밍에 따라 상기 Q노드 또는 QB 노드를 저전위전압으로 방전시키는 방전 제어부를 포함하되,

상기 방전 제어부는

상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터는 다결정 반도체 물질을 포함하고, 상기 QB 노드 방전 제어부는 산화물 반도체 물질을 포함하는 표시장치.

청구항 2

제 1 항에 있어서,

상기 방전 제어부는

상기 QB 노드 및 저전위전압 입력단 사이에 접속하고, 상기 출력단 전압이 상승되는 구간에서 상기 QB 노드를 저전위전압으로 방전시키는 QB 노드 방전제어부를 포함하는 표시장치.

청구항 3

제 2 항에 있어서,

상기 쉬프트레지스터는

스타트펄스 입력단에 연결되는 게이트전극, 고전위전압 입력단에 연결되는 제1 전극 및 상기 Q노드에 연결되는 제2 전극을 포함하는 스타트 제어부를 더 포함하고,

상기 QB 노드 방전 제어부는

게이트 전극이 스타트펄스 입력단에 연결되며, 제1 전극이 상기 QB 노드에 연결되고, 제2 전극이 상기 저전위전압 입력단에 연결되는 표시장치.

청구항 4

제 3 항에 있어서,

상기 QB 노드 방전 제어부는

게이트 전극이 상기 Q노드에 연결되며, 제1 전극이 상기 QB 노드에 연결되고, 제2 전극이 상기 저전위전압 입력단에 연결되는 표시장치.

청구항 5

제 3 항에 있어서,

상기 쉬프트레지스터는

고전위전압과 상기 QB 노드 사이에 접속하여, 상기 출력단 전압이 상승되지 않는 구간에서 소정의 클럭신호에 의해서 턴-온되어 상기 고전위전압으로 상기 Q노드를 충전하는 QB 노드 충전 제어부를 더 포함하고,

상기 QB 노드 충전 제어부는

상기 제1 프레임 기간에만 상기 게이트클럭 입력받아서 턴-온되는 표시장치.

청구항 6

제 5 항에 있어서,

상기 QB 노드 충전 제어부는 다결정 반도체층을 포함하는 표시장치.

청구항 7

제 1 항에 있어서,

상기 방전 제어부는

제1 전극이 상기 Q노드에 연결되고, 제2 전극이 저전위전압 입력단에 연결되며, 게이트전극이 캐리신호를 입력 받는 Q노드 방전 제어부를 포함하는 표시장치.

청구항 8

제 7 항에 있어서,

고전위전압 입력단에 연결되는 제1 전극, 상기 Q노드에 연결되는 제2 전극 및 소정의 클럭신호에 응답하는 Q노드 충전 제어부를 더 포함하는 표시장치.

청구항 9

제 7 항에 있어서,

상기 Q노드 충전 제어부는 다결정 반도체 물질을 포함하는 트랜지스터로 이루어지는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 저속 구동을 수행하는 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 표시장치에서 입력 영상의 변화가 거의 없으면, 표시장치의 소비 전력을 줄이기 위하여 화소들을 저속 구동할 수 있다. 저속 구동 방법은 다양한 방법이 제안되고 있으나 구동의 신뢰성이 저하되거나 화질이 저하되는 문제가 발생할 수 있다. 따라서, 저속 구동 과정에서 구동의 신뢰성을 높일 수 있는 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 저속 구동시에 구동의 신뢰성을 높일 수 있는 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 상술한 과제 해결 수단으로 본 발명에 의한 표시장치는 화소 어레이, 타이밍 콘트롤러 및 게이트 구동부를 포함한다. 화소 어레이는 데이터라인들과 게이트라인들이 교차되고 화소들이 매트릭스 형태로 배치된다. 타이밍 콘트롤러는 저속 구동 모드 동작을 위해서, 제1 프레임 기간 동안 하나의 프레임을 화소 어레이에 표시하도록 타이밍 제어신호를 출력하고, 소정의 프레임 기간 동안 프레임의 영상을 유지하도록 타이밍 제어신호를 출력하지 않는다. 게이트 구동부는 제1 프레임 기간 동안, 화소 어레이에 게이트신호를 제공하는 쉬프트 레지스터를 포함한다. 쉬프트 레지스터는 Q노드 및 QB노드의 전압에 대응하여 상기 게이트신호를 출력하는 출력단의 전압을 상승시키거나 방전시키며, 제1 전극이 Q노드 또는 QB 노드에 접속하고, 제2 전극이 저전위전압 입력단에 연결되어서, 게이트전극 전압에 입력되는 신호의 타이밍에 따라 Q노드 또는 QB 노드를 저전위전압으로 방전시키는 방전 제어부를 포함한다. 방전 제어부는 풀업 트랜지스터 및 풀다운 트랜지스터는 다결정 반도체 물질을 포함하고, QB 노드 방전 제어부는 산화물 반도체 물질을 포함한다.

발명의 효과

[0006] 본 발명은 쉬프트레지스터의 홀딩 제어부를 산화물 반도체층을 포함한 트랜지스터를 이용하여 홀딩 제어부의 누설 전류로 인한 문제점을 개선할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면.
 도 2는 본 발명의 표시장치의 저속 구동 모드 타이밍을 나타내는 도면.
 도 3은 도 1에 도시된 쉬프트레지스터를 나타내는 도면.
 도 4는 도 3에 도시된 스테이지를 나타내는 도면.
 도 5는 본 발명에 의한 스테이지에서 트랜지스터들의 단면 구조를 나타내는 도면.
 도 6은 도 1에 도시된 화소구조의 일례를 나타내는 도면.
 도 7은 도 6에 도시된 화소를 구동하기 위한 스캔신호 및 발광제어신호의 타이밍을 나타내는 도면.
 도 8은 제2 스캔신호 스테이지의 회로도.
 도 9는 발광제어신호 스테이지의 회로도.
 도 10은 도 8 및 도 9에 도시된 스테이지의 입력과 출력을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0008] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다

[0009] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면이다.

[0010] 도 1을 참조하면, 본 발명에 의한 표시장치는 표시패널(100), 타이밍 콘트롤러(T110), 데이터 구동부(120) 및 게이트 구동부(130,140)가 포함된다.

[0011] 표시패널(100)은 서브 화소들이 형성되는 표시영역(100A)과 표시영역(100A)의 외측으로 각종 신호라인들이나 패드 등이 형성되는 비표시영역(100B)을 포함한다. 표시영역(100A)은 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 화소(P)들은 수평라인들 각각에 복수 개가 매트릭스 형태로 배치된다. 각각의 화소(P)들은 서로 직교하는 데이터라인부(DL) 및 게이트라인부(GL)와 접속한다.

[0012] 각 화소(P)는 게이트라인(GL)과 데이터라인(DL)에 연결된 스위칭 소자(SW)를 통해 공급된 스캔신호에 대응하여 공급된 데이터신호(DATA)에 대응하여 동작하는 화소회로(PC)를 포함한다. 화소회로(PC) 및 스위칭 소자(SW)는 표시패널의 종류에 따라서 다른 형태로 구현될 수 있다.

[0013] 타이밍 콘트롤러(110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로 등을 통해 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DLCK) 등의 타이밍신호를 입력받는다.

타이밍 콘트롤러(T110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터제어신호(DDC) 및 스캔구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트제어신호(GDC)를 생성한다.

[0014] 특히, 본 발명에 의한 타이밍 콘트롤러(110)는 저속 구동 모드를 수행한다. 일반적인 기본 구동 모드의 프레임 레이트는 60Hz 이상이지만, 저속 구동 모드의 프레임 주파수는 기본 구동 모드 보다 낮은 프레임 레이트로 구동된다. 예컨대, 저속 구동 모드는 도 2에서와 같이 1Hz의 프레임 레이트로 구동될 수 있다. 프레임 레이트는 1초 동안 표시하는 프레임의 수로 정의될 수 있다. 즉, 60Hz의 프레임 레이트는 1초 동안에 프레임을 60회 표시한다는 의미이고, 1Hz의 프레임 레이트는 1초 동안 프레임을 1회 표시한다는 의미이다. 저속 구동을 수행하기 위해서, 타이밍 콘트롤러(110)는 단위 기간을 구동기간(T_d) 및 홀딩기간(T_h)으로 구분하고, 구동기간 동안에만 게이트 구동부(130)에 클럭신호 등의 게이트 타이밍 제어신호를 입력한다. 단위 기간은 1초로 설정될 수 있다. 구동기간(T_d)은 한 프레임을 표시하는 프레임 기간을 의미하고, 수직 동기신호의 주기에 대응한다. 예컨대, 타이밍 콘트롤러(110)가 입력받는 수직 동기신호(Vsync)가 60Hz일 경우에 1프레임 기간은 1/60초가 되고, 구동기간(T_d) 역시 1/60초에 해당한다. 그리고, 홀딩기간(T_h)은 제2 내지 제60 프레임 기간인 59/60초에 해당될 수 있다.

[0015] 또한, 타이밍 콘트롤러(110)는 구동기간(T_d) 동안에만 데이터 구동부(120)에 영상 데이터를 제공한다.

[0016] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(T110)로부터 디지털 비디오 데이터들(RGB)과 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터들(RGB)을 감마전압으로 변환하여 데이터전압을 생성하고, 데이터전압을 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다. 데이터 구동부(120)는 구동기간(T_d) 동안에만 데이터전압을 출력한다.

[0017] 게이트 구동부(130,140)는 레벨 시프터(130) 및 쉬프트 레지스터(140)를 포함한다. 게이트 구동부(130)는 레벨 시프터(130)와 쉬프트 레지스터(140)가 구분되고, 쉬프트 레지스터(140)가 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.

[0018] 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성된다. 레벨 시프터(130)는 타이밍 콘트롤러(11)의 제어하에 클럭신호들(CLK) 및 스타트펄스(VST)를 레벨 쉬프팅한 후 쉬프트 레지스터(140)에 공급한다. 쉬프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 TFT)조합으로 형성된다. 쉬프트 레지스터(140)는 게이트클럭(CLK) 및 스타트펄스(VST)에 대응하여 게이트신호를 시프트하고 출력하는 스테이지들로 구성된다. 특히, 쉬프트 레지스터(140)는 구동기간(T_d) 동안에만 게이트클럭(CLK) 및 소정의 클럭신호들을 입력받아서 게이트신호를 출력한다.

[0019] 도 3은 본 발명에 의한 쉬프트레지스터를 나타내는 도면이고, 도 4는 도 3에 도시된 스테이지의 구성을 나타내는 도면이다.

[0020] 도 3을 참조하면, 본 발명에 의한 쉬프트레지스터(140)는 종속적으로 접속된 다수의 스테이지(STG1~STGn, n은 2 이상의 자연수)를 구비한다. 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다. 예컨대, 제k(k는 $1 < k < n$ 인 자연수) 스테이지(STk)를 기준으로, 전단 스테이지는 제1 스테이지(ST1) 내지 제k-1 스테이지(ST(k-1)), 제1 내지 제3 더미 스테이지(DST1~DST3) 중 어느 하나를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제k($1 < k < n$) 스테이지(STk)를 기준으로, 후단 스테이지는 제k+1 스테이지(ST(k+1)) 내지 제n 스테이지 중 어느 하나를 지시한다.

[0021] 제1 내지 제n 스테이지들(STG1~STGn)은 스캔펄스(Gout(1)~Gout(n))를 순차적으로 출력한다. 제1 내지 제n 스테이지들(STG1~STGn)에는 순차적으로 지연되는 i(i는 자연수)상 게이트클럭들 중에서 어느 하나의 게이트클럭이 입력된다.

[0022] 도 4는 도 3에 i(i는 $2 < i < n$ 인 자연수)스테이지의 회로 구성의 실시 예를 나타내는 도면이다.

[0023] 도 4를 참조하면, 제i 스테이지(STGi)는 풀업 트랜지스터(Pull-up transistor, Tpu), 풀다운 트랜지스터(Pull-down transistor, Tpd), 충전 제어부(141) 및 방전 제어부(143)를 포함한다.

[0024] 풀업 트랜지스터(Tpu)는 Q 노드에 응답하여, 제1 전극을 통해서 입력받는 제i(n 이하의 자연수) 클럭신호(CLK i)의 전압으로 출력단(out)을 충전한다. 풀다운 트랜지스터(T2)는 QB 노드 전압에 응답하여, 출력단(out)을 저전위 전압(VSS)으로 방전시킨다.

- [0025] 충전 제어부(141)는 Q노드(Q)를 충전하거나 QB노드(QB)를 충전하여, 풀업 트랜지스터(Tpu)와 풀다운 트랜지스터(Tpd)의 게이트전압을 제어한다.
- [0026] 충전 제어부(141)는 스타트펄스(VST) 또는 캐리신호로 Q노드를 충전시키는 Q노드 충전 제어부를 포함할 수 있다. 충전 제어부(141)는 스타트펄스(VST) 또는 캐리신호를 게이트전극으로 입력받으며, 제1 전극이 고전위전압(VGH) 입력단에 연결되고, 제2 전극이 Q노드에 연결된다. 충전 제어부(141)는 스테이지의 구동 초기에 Q노드(Q)를 프리차지한다. Q노드가 프리차지된 상태에서 풀업 트랜지스터(T1)의 제1 전극으로 제i 클럭신호(CLK i)가 입력되면, 풀업 트랜지스터(Tpu)는 부트스트래핑(bootstrapping)되면서 턴-온된다. Q노드 충전 제어부는 스타트펄스(VST) 또는 캐리신호 이외에도 소정의 클럭신호를 입력받아서 Q노드를 충전할 수 있다.
- [0027] 충전 제어부(141)는 소정의 클럭신호를 이용하여 QB노드를 충전하는 QB노드 충전 제어부를 포함할 수 있다. QB노드 충전 제어부는 제1 전극이 고전위전압(VGH) 입력단에 연결되고, 제2 전극이 QB노드에 연결되며, 게이트전극이 소정의 클럭신호 입력단에 연결된다. QB노드 충전 제어부는 QB노드를 충전시켜서 풀다운 트랜지스터(Tpd)를 동작시킨다. 풀다운 트랜지스터(Tpd)가 턴-온됨에 따라서, 출력단(OUT)은 저전위전압(VGL)으로 방전된다. 즉, QB노드 충전 제어부는 출력단(OUT)을 통해서 출력되는 게이트신호를 중지시킨다. 이를 위해서 QB노드 충전 제어부의 게이트전극에 입력되는 소정의 클럭신호는 풀업 트랜지스터의 제1 전극에 입력되는 게이트클럭의 종료 시점에 인가될 수 있다.
- [0028] 방전 제어부(143)는 Q노드 방전 제어부 및 QB노드 방전 제어부 중에서 어느 하나 이상을 포함할 수 있다.
- [0029] QB노드 방전 제어부는 스타트펄스(VST)에 응답하여 QB노드를 방전시킨다. QB노드 방전 제어부는 제1 전극이 QB노드에 연결되며, 제2 전극이 저전위전압(VGL) 입력단에 연결되고, 게이트전극이 스타트펄스(VST) 입력단에 연결되는 트랜지스터로 이루어질 수 있다. QB노드 방전 제어부는 Q노드가 충전되는 구간에 QB노드를 방전시켜서, 게이트신호가 출력되는 구간에 풀다운 트랜지스터(Tpd)가 동작하는 것을 방지한다.
- [0030] Q노드 방전 제어부는 제1 전극이 Q노드에 연결되고, 제2 전극이 저전위전압(VGL) 입력단에 연결되며, 게이트전극이 QB노드에 연결되는 트랜지스터로 이루어질 수 있다. Q노드 방전 제어부는 QB노드가 충전되었을 때에 Q노드를 방전시킨다. 즉, Q노드 방전 제어부는 풀다운 트랜지스터(Tpd)가 동작하는 구간에서 풀업 트랜지스터(Tpu)가 동작하는 것을 방지한다.
- [0031] 본 발명의 쉬프트레지스터(140)의 스테이지들(STG)에서 방전 제어부(143)는 산화물 반도체층을 포함하는 트랜지스터로 이루어진다. 그리고 스테이지들(STG)에서 충전제어부(141), 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)는 다결정 반도체층을 포함하는 트랜지스터로 이루어진다.
- [0032] 다결정 반도체 물질은 이동도가 높아(100cm²/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 화소들을 구동하기 위한 구동 회로에 적용될 수 있다.
- [0033] 산화물 반도체 물질은 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지할 수 있다. 본 발명의 스테이지(STG)에서 방전 제어부(143)를 산화물 반도체 트랜지스터로 구현함으로써, 방전 제어부(143)를 경유하는 누설전류가 Q노드 또는 QB노드로 인입되는 것을 방지할 수 있다.
- [0034] 저속 구동 모드로 동작하기 위해서, 쉬프트레지스터(140)의 스테이지(STG)는 구동기간(T_d)으로 설정된 제1 프레임 기간에만 게이트신호를 출력한다. 스테이지(STG)가 게이트신호를 출력하는 구동기간(T_d) 동안에만 동작한다면, Q노드 또는 QB노드는 방전 제어부(143)를 경유하는 누설전류로 인해서 전압이 낮아진다. 그 결과, 출력단(OUT) 전위가 원하는 상태로 유지하지 못하게 된다. 종래에는 이를 방지하기 위해서 저속 구동을 할 때, 실제로 게이트신호를 출력하지 않는 홀딩기간(T_h) 동안에도 충전 제어부(141)를 이용하여 Q노드 또는 QB노드에 지속적으로 고전위전압을 충전하였다. 그 결과 충전 제어부(141)를 동작시키기 위해서 홀딩기간(T_h) 동안에도 클럭신호를 스테이지(STG)에 인가하였기 때문에 소비전력이 증가하는 단점이 발생하였다.
- [0035] 이에 반해서, 본 발명의 스테이지(STG)는 방전 제어부(143)를 산화물 반도체 트랜지스터로 이용하기 때문에 긴 시간 동안 방전 제어부(143)의 오프 상태를 안정적으로 유지할 수 있다. 즉, 방전 제어부(143)의 누설전류로 인해서 Q노드 또는 QB노드의 전압이 낮아지지 않기 때문에, 홀딩기간(T_h) 동안 Q노드 또는 QB노드를 충전하지 않아도 출력단(OUT)의 전압이 안정적으로 유지된다. 그 결과, 홀딩기간(T_h) 동안 클럭신호를 입력하여 충전 제어부(141)를 구동하는 방법에 비교하여, 본 발명은 도 2에서와 같이 홀딩기간(T_h) 동안 클럭신호를 입력하지 않음으로써 소비전력을 대폭 감소시킬 수 있다. 실제 측정 결과 본 발명에 의한 스테이지(STG)에서 소비되는 전력은 종래에 대비하여 1/40 정도의 수준으로 나타났다.

- [0036] 이와 같이, 본 발명은 서로 다른 두 종류의 트랜지스터를 동일 기판 위에 동시에 배치함으로써, 최적의 트랜지스터 어레이 기판을 구현할 수 있다.
- [0037] 다결정 반도체 물질로 반도체층을 형성하는 경우, 불순물 주입공정 및 고온 열처리 공정을 필요로 한다. 반면에, 산화물 반도체 물질로 반도체층을 형성하는 경우에는 상대적으로 낮은 온도에서 공정을 수행한다. 따라서, 가혹한 조건에서 공정을 수행하는 다결정 반도체층을 먼저 형성한 후, 산화물 반도체층을 나중에 형성할 수 있다. 이를 위해 도 5에서와 같이, 스테이지(STG)의 충전 제어부(141), 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)는 저온 폴리 실리콘(Low Temperature Poly Silicon; LTPS) 트랜지스터(Tpol)로 이루어질 수 있고, 방전 제어부(143)는 산화물 반도체 트랜지스터(Oxide TFT)(Toxi)로 이루어질 수 있다. 저온-폴리 실리콘 트랜지스터(Tpol)는 탑-게이트 구조로 구현될 수 있고, 산화물 반도체 트랜지스터(Oxide TFT)(Toxi)는 바텀-게이트 구조로 구현될 수 있다.
- [0038] 이하의 설명에서는, 저온-폴리 실리콘 트랜지스터(Tpol)는 다결정 트랜지스터, 산화물 반도체 트랜지스터는 산화물 트랜지스터(Toxi)로 칭하기로 한다.
- [0039] 도 5는 본 발명의 실시예에 따른 쉬프트레지스터(140)의 스테이지(STG) 단면 구조를 보여 주는 도면이다.
- [0040] 도 5를 참조하면, 도 4에 도시된 스테이지(STG)의 충전 제어부(141), 풀업 트랜지스터(Tpu), 풀다운 트랜지스터(Tpd)는 다결정 트랜지스터(Tpol)로 이루어지고, 방전 제어부(143)는 산화물 트랜지스터(Toxi)로 이루어진다.
- [0041] 기판(SUB)의 전체 표면 위에는 버퍼층(BUF)이 적층되어 있다. 경우에 따라서, 버퍼층(BUF)은 생략될 수도 있다. 또는, 버퍼층(BUF)은 복수 개의 박막층이 적층된 구조를 가질 수도 있다.
- [0042] 버퍼층(BUF) 위에는 제1 반도체층(A1)이 배치되어 있다. 제1 반도체층(A1)은 다결정 트랜지스터(Tpol)의 채널 영역을 포함한다. 채널 영역은 제1 게이트 전극(G1)과 제1 반도체층(A1)이 중첩되는 영역으로 정의된다. 제1 게이트 전극(G1)이 다결정 트랜지스터(Tpol)의 중앙부와 중첩하므로, 다결정 트랜지스터(Tpol)의 중앙부가 채널 영역이 된다. 채널 영역의 양측변부는 불순물이 도핑된 영역으로서, 소스 영역(SA)과 드레인 영역(DA)으로 정의된다.
- [0043] 다결정 트랜지스터(Tpol)는 p type MOSFET 혹은 n type MOSFET 구조의 TFT로 구현되거나 CMOS(Complementary metal oxide semiconductor)로 구현될 수 있다. 다결정 트랜지스터(Tpol)의 반도체 물질은 다결정 실리콘(Poly-Silicon)과 같은 반도체 물질일 수 있다. 다결정 트랜지스터(Tpol)는 탑-게이트 (Top-Gate) 구조로 구현될 수 있다.
- [0044] 제1 반도체층(A1)이 배치된 기판(SUB)의 전체 표면 위에는 게이트 절연막(GI)이 적층되어 있다. 게이트 절연막(GI)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성할 수 있다. 게이트 절연막(GI)은 소자의 안정성 및 특성을 고려하여 1,000Å ~ 1,500Å 정도의 두께로 형성될 수 있다. 게이트 절연막(GI)을 질화 실리콘(SiNx)으로 형성할 경우, 제조 공정상 게이트 절연막(GI) 내에 수소를 다량 포함할 수 있다. 이러한 수소들은 후속 공정에서 게이트 절연막(GI) 외부로 확산될 수 있어, 게이트 절연막(GI)을 산화 실리콘 물질로 형성하는 것이 바람직하다.
- [0045] 다결정 실리콘 물질을 포함하는 제1 반도체층(A1)은 수소 확산이 긍정적인 효과를 나타낼 수 있다. 하지만, 다결정 트랜지스터(Tpol)와 다른 성질을 갖는 산화물 트랜지스터(Toxi)에는 부정적인 효과를 줄 수 있다. 게이트 절연막(GI)을 제1 실시예에서 설명하는 경우와 달리, 2,000Å ~ 4,000Å 정도로 두껍게 형성할 경우가 있다. 게이트 절연막(GI)을 질화 실리콘(SiNx)으로 형성할 경우에는 수소의 확산 정도가 심할 수 있다. 따라서, 여러 경우를 고려했을 때, 게이트 절연막(GI)은 산화 실리콘(SiOx)으로 형성될 수 있다.
- [0046] 게이트 절연막(GI) 위에는 제1 게이트 전극(G1)과 제2 게이트 전극(G2)이 배치되어 있다. 제1 게이트 전극(G1)은 제1 반도체층(A1)의 중앙부와 중첩하도록 배치된다. 제2 게이트 전극(G2)은 산화물 트랜지스터(Toxi) 부분에 배치된다. 제1 게이트 전극(G1)과 제2 게이트 전극(G2)을 동일한 층 상에 동일한 물질로 동일한 마스크로 형성하므로, 제조 공정을 단순화할 수 있다.
- [0047] 제1 및 제2 게이트 전극들(G1, G2)을 덮도록 중간 절연막(ILD)이 형성되어 있다. 특히, 중간 절연막(ILD)은 질화 실리콘(SiNx)을 포함하는 질화막(SIN)과 산화 실리콘(SiOx)을 포함하는 산화막(SIO)이 교대로 적층된 다중층의 구조로 구현될 수 있다. 여기서, 편의상 최소한의 구성 요소로서 질화막(SIN) 위에 산화막(SIO)이 적층된 이중층 구조로 설명한다.
- [0048] 질화막(SIN)은 후속 열처리 공정을 통해 내부에 포함된 수소를 확산하여 다결정 실리콘을 포함하는 제1 반도체

층(A1)의 수소화 처리를 수행하기 위한 것이다. 반면에 산화막(SiO)은 후속 열처리 공정에 의해 질화막(SiN)에서 방출되는 수소가 산화물 트랜지스터(Toxi)의 반도체 물질로 너무 많이 확산되는 것을 방지하기 위한 것이다.

[0049] 예를 들어, 질화막(SiN)에서 방출되는 수소는 그 아래에 게이트 절연막(GI)을 사이에 두고 배치된 제1 반도체층(A1)으로 확산될 수 있다. 따라서, 질화막(SiN)은 게이트 절연막(GI) 위에서 제1 반도체층(A1)과 가깝게 배치될 수 있다. 반면에, 질화막(SiN)에서 방출되는 수소는 그 위에 형성되는 산화물 트랜지스터(Toxi)의 반도체 물질로 지나치게 많이 확산되는 것을 방지할 수 있다. 따라서, 질화막(SiN) 위에는 산화막(SiO)이 형성될 수 있다. 제조 공정을 고려할 때, 중간 절연막(ILD)의 전체 두께는 2,000Å ~ 6,000Å의 두께일 수 있다. 질화막(SiN) 및 산화막(SiO) 각각의 두께가 1,000Å ~ 3,000Å일 수 있다. 또한, 질화막(SiN) 내의 수소가 제1 반도체층(A1)으로 다량 확산되는 반면, 제2 반도체층(A2)으로는 가급적 적게 영향을 주도록 하기 위해서는, 산화막(SiO)의 두께는 게이트 절연막(GI)보다 더 두꺼울 수 있다. 특히, 산화막(SiO)은 질화막(SiN)에서 방출되는 수소의 확산 정도를 조절하기 위한 용도로 이용될 수 있기 때문에, 산화막(SiO)은 질화막(SiN)보다 두껍게 형성될 수 있다.

[0050] 중간 절연막(ILD)의 산화막(SiO) 위에는, 제2 게이트 전극(G2)과 중첩하는 제2 반도체층(A2)이 배치되어 있다. 제2 반도체층(A2)은 산화물 트랜지스터(Toxi)의 채널 영역을 포함한다. 제2 반도체층(A2)은 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐-아연 산화물(Indium Zinc Oxide: IZO)과 같은 산화물 반도체 물질을 포함할 수 있다. 산화물 반도체 물질은, Off 전류(Off Current)가 낮은 특성이 있어, 화소의 전압 유지 기간이 길어지므로 저속 구동 및 저 소비 전력을 요구하는 표시장치에 적합하다. Off 전류란 트랜지스터의 오프 상태에서 트랜지스터의 채널을 통해 흐르는 누설 전류이다.

[0051] 제2 반도체층(A2)과 중간 절연막(ILD) 위에, 소스-드레인 전극들이 배치되어 있다. 제1 소스 전극(S1)과 제1 드레인 전극(D1)은 제1 게이트 전극(G1)을 중심으로 일정거리 이격하여 마주보도록 배치된다. 제1 소스 전극(S1)은 소스 콘택홀(SH)을 통해 노출된 제1 반도체층(A1)의 일측부인 소스 영역(SA)과 연결된다. 소스 콘택홀(SH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체층(A1)의 일측부인 소스 영역(SA)을 노출한다. 제1 드레인 전극(D1)은 드레인 콘택홀(DH)을 통해 노출된 제1 반도체층(A1)의 타측부인 드레인 영역(DA)과 연결된다. 드레인 콘택홀(DH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체층(A1)의 타측부인 드레인 영역(DA)을 노출한다.

[0052] 제2 소스 전극(S2)과 제2 드레인 전극(D2)은 각각 제2 반도체층(A2)의 일측부와 타측부의 상부 표면과 직접 접촉하며 일정 거리 이격하여 배치된다. 제2 소스 전극(S2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체층(A2)의 일측부 상부 표면과 직접 접촉하도록 배치된다. 제2 드레인 전극(D2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체층(A2)의 타측부 상부 표면과 직접 접촉하도록 배치된다.

[0053] 다결정 트랜지스터(Tpol)와 산화물 트랜지스터(Toxi) 위에는 보호막(PAS)이 덮고 있다. 이후, 보호막(PAS)을 패터닝하여 제1 드레인 전극(D1) 및/또는 제2 드레인 전극(D2)을 노출하는 콘택홀이 더 형성될 수 있다. 또한, 보호막(PAS) 위에는 콘택홀을 통해 제1 드레인 전극(D1) 및/또는 제2 드레인 전극(D2)과 접촉하는 화소 전극을 더 포함할 수 있다. 여기서는, 편의상, 본 발명의 주요 특징을 나타내는 TFT들의 구조를 나타내는 부분들만 도시하고 설명하였다.

[0054] 이와 같이, 본 발명의 제1 실시예에 의한 평판 표시장치용 TFT 어레이 기판은, 다결정 반도체 물질을 포함하는 다결정 트랜지스터(Tpol)와 산화물 반도체 물질을 포함하는 산화물 트랜지스터(Toxi)가 동일 기판(SUB) 위에 형성된 구조를 갖는다. 특히, 다결정 트랜지스터(Tpol)를 구성하는 제1 게이트 전극(G1)과 산화물 트랜지스터(Toxi)를 구성하는 제2 게이트 전극(G2)이 동일 물질로 동일 층에 형성된다.

[0055] 다결정 트랜지스터(Tpol)의 다결정 반도체 물질을 포함하는 제1 반도체층(A1)은 제1 게이트 전극(G1) 아래에 배치되고, 산화물 트랜지스터(Toxi)의 산화물 반도체 물질을 포함하는 제2 반도체층(A2)은 제2 게이트 전극(G2) 상부에 배치된다. 따라서, 상대적으로 고온에서 형성되는 제1 반도체층(A1)을 먼저 형성한 후에, 상대적으로 저온에서 형성되는 제2 반도체층(A2)을 나중에 형성함으로써, 제조 공정 중에 산화물 반도체 물질이 고온 상태에 노출되는 상황을 회피할 수 있는 구조를 갖는다. 따라서, 제1 TFT는, 제1 게이트 전극(G1)보다 제1 반도체층(A1)을 먼저 형성하여야 하므로 탑-게이트 구조를 갖는다. 제2 TFT는, 제2 게이트 전극(G2)보다 제2 반도체층(A2)을 나중에 형성하여야 하므로 바텀-게이트 구조를 갖는다.

[0056] 산화물 반도체 물질을 포함하는 제2 반도체층(A2)을 열처리하는 과정에서 다결정 반도체 물질을 포함하는 제1 반도체층(A1)에 수소 처리 공정을 동시에 수행할 수 있다. 이를 위해, 중간 절연막(ILD)은 하부에 질화막(SiN)이 상부에 산화막(SiO)이 적층된 구조를 갖는다. 제조 공정상의 특징으로 질화막(SiN) 내부에 포함된 수소를

열처리 공정에 의해 제1 반도체층(A1)으로 확산시키는 수소화 공정이 필요하다. 또한, 산화물 반도체 물질을 포함하는 제2 반도체층(A2)의 안정화를 위한 열처리 공정도 필요하다. 수소화 공정은 제1 반도체층(A1) 위에 중간 절연막(ILD)을 적층한 후에 실시하고, 열 처리 공정은 제2 반도체층(A2)을 형성한 후에 실시할 수 있다. 본 발명의 제1 실시예에 의하면, 제2 반도체층(A2) 아래에서 질화막(SIN) 위에 적층된 산화막(SIO)에 의해 질화막(SIN)에 내포된 수소가 산화물 반도체 물질을 포함하는 제2 반도체층(A2)으로 과도하게 확산되는 것을 방지할 수 있는 구조를 갖는다. 따라서, 산화물 반도체 물질의 안정화를 위한 열처리 공정에서 수소화 공정을 동시에 수행할 수도 있다.

- [0057] 이하, 본 발명이 적용된 쉬프트레지스터의 구체적인 실시 예를 살펴보면 다음과 같다.
- [0058] 도 6은 실시 예에 의한 쉬프트레지스터를 이용하여 구동할 수 있는 화소의 일례를 나타내는 도면이고, 도 7은 도 6에 도시된 화소를 구동하는 구동신호들을 나타내는 도면이다.
- [0059] 도 6을 참조하면, 본 발명의 일 실시 예에 따른 화소(P)는 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1 내지 제3 스위칭 트랜지스터(ST1-ST3), 스토리지 커패시터(Cst) 및 보조 커패시터(Csub)를 구비한다.
- [0060] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 구동트랜지스터(DT)의 소스전극에 접속되고, 캐소드전극은 접지단(VSS)에 연결된다.
- [0061] 구동트랜지스터(DT)는 자신의 게이트-소스 간의 전압으로 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 이를 위해서 구동트랜지스터(DT)의 게이트전극은 데이터전압(Vdata)의 입력단에 연결되고, 드레인전극은 구동전압(VDD)의 입력단에 연결되며, 소스전극은 저전압구동전압(VSS)과 연결된다.
- [0062] 제1 스위칭 트랜지스터(ST1)는 발광제어신호(EM)에 응답하여, 구동전압(VDD) 입력단과 구동트랜지스터(DT) 간의 전류 경로를 제어한다. 이를 위해서 제1 스위칭 트랜지스터(ST1)의 게이트 전극은 에미션라인(15c)에, 드레인전극은 구동전압(VDD) 입력단에, 소스전극은 구동트랜지스터(DT)에 연결된다.
- [0063] 제2 스위칭 트랜지스터(ST2)는 제2 스캔신호(SCAN2[n])에 응답하여, 초기화라인(14a)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)로 제공한다. 이를 위해서 제2 스위칭 트랜지스터(ST2)의 게이트 전극은 제2 스캔라인(15a)에, 드레인전극은 초기화라인(14a)에 소스전극은 제2 노드(n2)에 연결된다.
- [0064] 제3 스위칭 트랜지스터(ST3)는 제1 스캔신호(SCAN1[n])에 응답하여, 데이터라인(14b)으로부터 제공받는 기준전압(Vref) 또는 데이터전압(Vdata)을 구동트랜지스터(DT)에 제공한다. 이를 위해서, 제3 스위칭 트랜지스터(ST3)의 게이트 전극은 제1 스캔라인(15b)에, 드레인전극은 데이터라인(14b)에, 소스전극은 구동트랜지스터(DT)에 연결된다.
- [0065] 스토리지 커패시터(Cst)는 데이터라인(14b)으로부터 제공받는 데이터전압(Vdata)을 한 프레임동안 유지하여 구동트랜지스터(DT)가 일정한 전압을 유지하도록 한다. 이를 위해서 스토리지 커패시터(Cst)는 구동트랜지스터(DT)의 게이트 전극과 소스 전극에 연결된다. 보조커패시터(Csub)는 제2 노드(n2)에서 스토리지 커패시터(Cst)와 직렬로 연결되어, 데이터전압(Vdata)의 효율을 높여준다.
- [0066] 도 7을 참조하면, 본 발명에 따른 화소(P)의 스캔기간은 구동트랜지스터(DT)의 게이트-소스 전위를 특정 전압으로 초기화하는 초기화기간(Ti), 구동트랜지스터(DT)의 문턱전압을 검출 및 저장하는 샘플링기간(Ts), 데이터전압(Vdata)을 인가하는 라이팅 기간(Tw), 문턱전압과 데이터전압(Vdata)을 이용하여 유기발광다이오드(OLED)에 인가되는 구동 전류를 문턱전압과 무관하게 보상하여 발광하는 발광기간(Te)을 포함한다. 스캔 기간은 대략 1 수평 기간(1H)으로 설정되어 화소 어레이의 1 수평 라인에 배열된 화소들에 데이터를 기입한다.
- [0067] 초기화기간(Ti) 동안에 제2 스위칭 트랜지스터(ST2)는 제2 스캔신호(SCAN2[n])에 응답하여 초기화라인(14a)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)에 공급한다. 따라서, 제2 노드(n2)의 전압인 구동트랜지스터(DT)의 소스전압(Vs)은 초기화전압(Vini)의 전위를 갖는다. 그리고 제3 스위칭 트랜지스터(ST3)는 제1 스캔신호(SCAN1[n])에 응답하여 데이터라인(14b)으로부터 제공받는 기준전압(Vref)을 구동트랜지스터(DT)의 게이트전극의 제1 노드(n1)에 공급한다. 따라서, 제1 노드(n1)의 전압인 구동트랜지스터(DT)의 게이트전압(Vg)은 기준전압(Vref)의 전위를 갖는다.

- [0068] 초기화기간(Ti)에서 제2 노드(n2)에 공급되는 초기화전압(Vini)은 화소(P)를 일정 수준으로 초기화하기 위한 것으로서, 이때 초기화전압(Vini)의 크기는 유기발광다이오드(OLED)가 발광하지 않도록 유기발광다이오드(OLED)의 동작전압 보다 작은 전압값으로 설정된다. 예컨대, 초기화전압(Vini)은 -1 내지 +1(V)의 크기를 갖는 전압으로 설정할 수 있다.
- [0069] 샘플링기간(Ts) 동안에, 제3 스위칭 트랜지스터(ST3)는 제1 스캔신호(SCAN1[n])에 응답하여 데이터라인(14b)으로부터 제공받는 기준전압(Vref)을 제1 노드(n1)로 공급한다. 그리고 제1 스위칭 트랜지스터(ST1)는 발광제어 신호(EM)에 응답하여 구동전압(EVDD)을 구동트랜지스터(DT)로 공급한다. 이때, 구동트랜지스터 게이트전극전압(Vg)은 기준전압(Vref)을 유지한다. 그리고 제2 노드(n2)가 플로팅(floating) 상태임에 따라서, 제2 노드(n2)의 전압은 구동전압(EVDD)에서 제1 스위칭 트랜지스터(ST1)와 구동트랜지스터(DT)를 통해 흐르는 전류가 축적된다. 샘플링기간(Ts)을 통해서 상승한 전압은 기준전압(Vref)과 구동트랜지스터(DT)의 문턱전압(Vth) 간의 차이에 해당하는 크기를 갖는 전압으로 포화(saturation)된다. 즉, 샘플링 기간(Ts)을 통해서, 구동트랜지스터(DT)의 게이트-소스 간의 전위차는 문턱전압(Vth)의 크기가 된다.
- [0070] 라이팅 기간(Tw) 동안에 제1 및 제2 스위칭 트랜지스터(ST1,ST2)는 턴-오프 된다. 그리고 제3 스위칭 트랜지스터(ST3)는 턴-온 되면서 데이터라인(14b)으로부터 제공받는 데이터전압(Vdata)을 제1 노드(n1)로 공급한다. 이때, 플로팅(floating) 상태인 제2 노드(n2) 전압은 스토리지 커패시터(Cs) 및 보조커패시터(C1)의 비율에 의해서 커플링(Coupling)되어서 상승하거나 하강한다.
- [0071] 발광기간(Te) 동안에 제2 스위칭 트랜지스터(ST2)는 턴-오프 상태를 유지하고, 제3 트랜지스터(T3)는 턴-오프되며, 제1 스위칭 트랜지스터(ST1)는 턴-온된다. 발광기간 동안에 스토리지 커패시터(Cs)에 저장된 데이터전압(Vdata)은 유기발광다이오드(OLED)로 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(Vdata)에 비례하는 밝기로 발광한다. 이때, 라이팅 기간(Tw)에서 결정된 제1 노드(n1) 및 제2 노드(n2)의 전압에 의해서 구동트랜지스터(DT)에 전류가 흐르게 되어 유기발광다이오드(OLED)로 원하는 전류가 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(Vdata)에 의해 밝기를 조절할 수 있다.
- [0072] 도 8은 제2 스캔신호 스테이지(S_STG2)를 나타내는 도면이고, 도 9는 본 발명에 따른 발광제어신호 스테이지(E_STG)를 나타내는 도면이다.
- [0073] 제2 스캔신호 스테이지(S_STG2)는 스타트펄스(VST) 및 제1 게이트클럭(GCLK1), 제3 게이트클럭(GCLK3) 및 제4 게이트클럭(GCLK4)을 이용하여 제2 스캔신호(SCAN2)를 출력한다.
- [0074] 제2 스캔신호 스테이지(S_STG2)에 입력되는 제1 게이트클럭(GCLK1)은 첫 번째 스테이지의 제2 스캔신호(SCAN2[1]) 출력기간을 결정한다. 제3 게이트클럭(GCLK3)은 제2 스캔신호(SCAN2[1])의 종료시점을 결정하고, 제4 게이트클럭(GCLK4)은 제1 스캔신호(SCAN1)의 출력 이전에 제1 Q노드(Q)를 충전시키는 동작을 수행한다. 실시 예에서 게이트클럭(GCLK) 및 에미션클럭(ECLK)은 4상으로 구현되고, 각 클럭신호들은 연속적이다.
- [0075] 도 5를 참조하여, 제2 스캔신호 스테이지(S_STG2)의 회로 구성을 살펴보면 다음과 같다.
- [0076] 제2 스캔신호 스테이지(S_STG2)는 게이트클럭(CLK)들을 이용하여 i 번째 제2 스캔신호(SCAN2[i])로 출력하기 위한 제1 내지 제8 트랜지스터(T1-T8) 및 제A 트랜지스터(TA)를 포함한다.
- [0077] 제1 트랜지스터(T1)의 제1 전극은 고전위전압(VGH) 입력단과 연결되고, 제2 전극은 제2 트랜지스터(T2)의 제1 전극과 연결되며, 게이트전극은 스타트펄스(VST) 입력단과 연결된다. 제2 트랜지스터(T2)의 제1 전극은 제1 트랜지스터(T1)의 제1 전극에 연결되고, 제2 전극은 QH노드(QH)와 연결되고, 게이트전극은 제4 클럭신호(CLK4) 입력단과 연결된다. 제1 및 제2 트랜지스터(T1,T2)는 서로 직렬로 연결되기 때문에, 제1 및 제2 트랜지스터(T1,T2)는 동시에 턴-온 될 때, 고전위전압(VGH)을 QH노드(QH)에 충전한다. 즉, 제1 및 제2 트랜지스터(T1,T2)는 스타트펄스(VST) 및 제4 게이트클럭(GCLK4)이 동기될 때에 QH 노드(QH)를 충전한다.
- [0078] 제1 Q노드(Q1)와 QH 노드(QH1)는 제A 트랜지스터(TA)에 의해서 등전위를 유지하기 때문에, 실시 예에서 제A 트랜지스터(TA)가 생략되고 제1 Q노드(Q1)와 QH 노드(QH)를 등전위 노드로 형성할 수도 있다.
- [0079] 제3 트랜지스터(T3)의 제1 전극은 제1 Q노드(Q1)와 연결되고, 제2 전극은 저전위전압(VGL) 입력단과 연결되며, 게이트전극은 제1 QB노드(QB1)에 연결된다. 따라서, 제3 트랜지스터(T3)는 제1 QB노드(QB1)의 전위에 응답하여, 제1 Q노드(Q1)의 전위를 저전위전압(VGL)으로 방전한다.
- [0080] QB노드 충전부(T4)(이하, 제4 트랜지스터)는 제1 전극을 통해서 고전위전압(VDD)을 제공받고, 제2 전극은 제1 QB노드(QB)와 연결되며, 게이트전극은 제3 게이트클럭(GCLK3)과 연결된다. 이에 따라서, 제4 트랜지스터(T4)는

제3 게이트클럭(GCLK3)에 응답하여, 제1 QB노드(QB1)를 충전한다. 즉, 제4 트랜지스터(T4)는 제3 게이트클럭(GCLK3)에 응답하여, 스캔 출력단(Sout)을 방전시킨다.

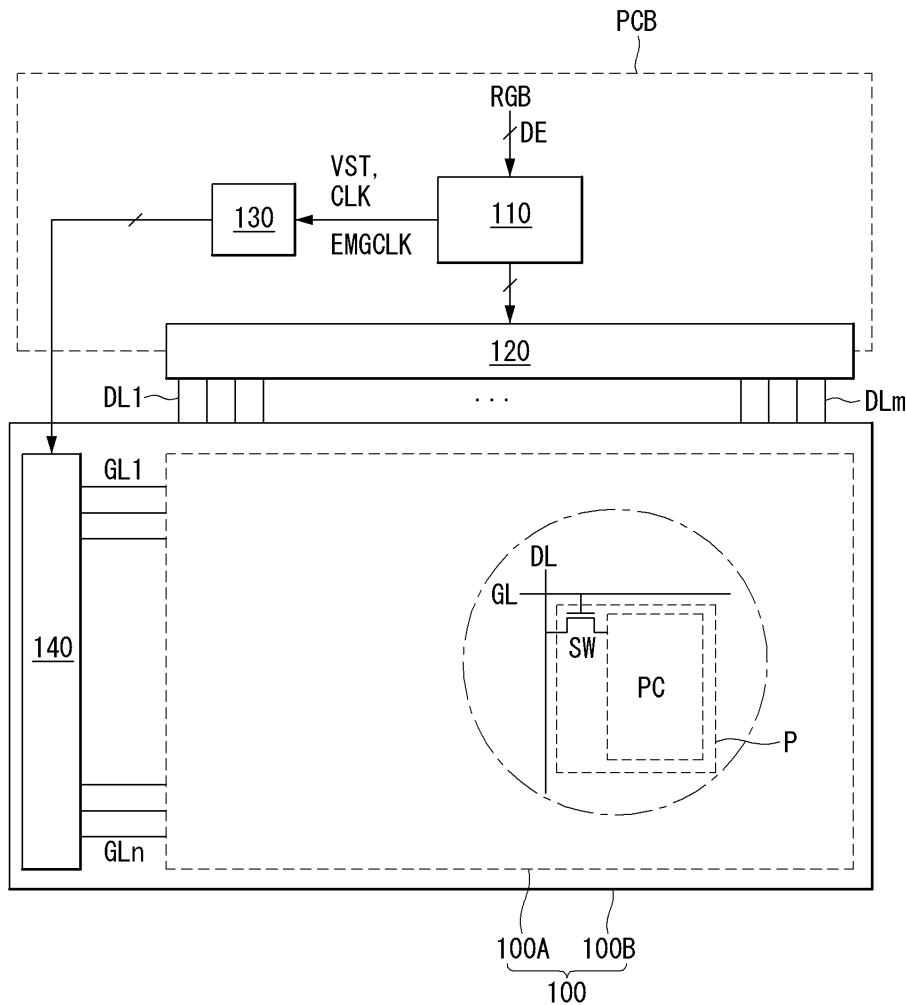
- [0081] 제4 트랜지스터(T4)는 저속 구동을 수행하는 과정에서 구동기간(T_d) 동안에만 제3 게이트클럭(CLK3)을 입력받는다. 즉, 홀딩기간(T_h) 동안에는 제3 게이트클럭(CLK)을 입력받지 않기 때문에 소비전력을 줄일 수 있다.
- [0082] 제1 QB노드 방전 제어부(T5)(이하, 제5 트랜지스터)의 제1 전극은 제1 QB노드(QB1)에 연결되고, 제2 전극은 저전위전압(VGL)에 연결되며, 게이트전극은 스타트펄스(VST) 입력단에 연결된다. 제5 트랜지스터(T5)는 스타트펄스(VST)에 응답하여 제1 QB노드(QB1)를 저전위전압(VGL)으로 방전한다. 제5 트랜지스터(T5)는 산화물 트랜지스터(Toxi)로 이루어진다. 그 결과, 저속 구동시에 길게 유지되는 홀딩기간(T_h) 동안에도 제5 트랜지스터(T5)의 누설전류 문제점이 완화되기 때문에, 홀딩기간(T_h) 동안 제1 QB노드(QB1)의 전압이 낮아지는 것을 개선할 수 있다.
- [0083] 제6 트랜지스터(T6)의 게이트전극은 제1 Q노드(Q1)에 연결되고, 제1 전극이 제1 클럭신호(CLK1) 입력단에 연결되며, 제2 전극이 스캔 출력단(Sout)에 연결된다. 이에 따라서, 제6 트랜지스터(T6)는 제1 Q노드(Q1)의 전위에 대응하여 제1 게이트클럭(GCLK1)으로 스캔 출력단(Sout)의 전압을 상승시킨다. 스캔 출력단(Sout)의 전압이 상승됨에 따라 스캔 출력단(Sout)을 통해서 제2 스캔신호(SCAN2)가 출력된다.
- [0084] 제7 트랜지스터(T7)는 제1 QB노드(QB1)에 게이트전극이 연결되고 제1 전극이 저전위전압(VGL) 입력단에 연결되고, 제2 전극이 스캔 출력단(Sout)에 연결된다. 이에 따라서, 제7 트랜지스터(T7)는 제1 QB노드(QB1)의 전위에 대응하여 스캔 출력단(Sout)의 전위를 저전위전압(VGL)으로 방전한다.
- [0085] 제2 QB노드 방전 제어부(T8)(이하, 제8 트랜지스터)는 제1 전극이 제1 QB노드(QB1)에 연결되고, 제2 전극이 저전위전압(VGL) 입력단에 연결되며, 게이트전극이 QH노드(QH)에 연결된다. 이에 따라서, 제8 트랜지스터(T8)는 QH노드(QH)의 전위에 대응하여 제1 QB노드(QB1)의 전위를 저전위전압(VSS)으로 방전한다.
- [0086] 제8 트랜지스터(T8)는 산화물 트랜지스터(Toxi)로 이루어진다. 그 결과, 저속 구동시에 길게 유지되는 홀딩기간(T_h) 동안에도 제8 트랜지스터(T8)의 누설전류 문제점이 완화되기 때문에, 홀딩기간(T_h) 동안 제1 QB노드(QB1)의 전압이 낮아지는 것을 개선할 수 있다.
- [0087] 발광제어신호 스테이지(E_STG)는 제9 내지 제13 트랜지스터(T9~T13)를 포함한다.
- [0088] Q노드 방전 제어부(T9)(이하, 제9 트랜지스터)의 제1 전극은 제2 Q노드(Q2)에 연결되고 제2 전극은 저전위전압(VSS)에 연결되며, 게이트전극은 제2 QB노드(QB2)에 연결된다. 이에 따라서, 제9 트랜지스터(T9)는 제2 QB노드(QB2)의 전위에 대응하여, 제2 Q노드(Q2)의 전위를 저전위전압(VSS)으로 방전한다. 제9 트랜지스터(T9)는 산화물 트랜지스터(Toxi)로 이루어진다. 그 결과, 저속 구동시에 길게 유지되는 홀딩기간(T_h) 동안에도 제9 트랜지스터(T9)의 누설전류 문제점이 완화되기 때문에, 홀딩기간(T_h) 동안 제2 QB노드(QB2)의 전압이 낮아지는 것을 개선할 수 있다.
- [0089] 제10 트랜지스터(T10)의 제1 전극은 고전위전압(VGH) 입력단에 연결되고, 제2 전극은 에미션 출력단(E_OUT)에 연결되며, 게이트전극은 제2 Q노드(Q2)에 연결된다. 이에 따라서, 제12 트랜지스터(T12)는 제2 Q노드(Q2)의 전위에 대응하여, 에미션 출력단(E_OUT)으로 고전위전압(VDD)에 대응하는 발광제어신호(EM)를 출력한다.
- [0090] Q노드 충전 제어부(T12)(이하 제12 트랜지스터)의 제1 전극은 고전위전압(VGH) 입력단에 연결되고, 제2 전극은 제2 QB노드(Q2)에 연결되며, 게이트전극은 제3 이엠펙클럭(EMG CLK3)에 응답하여 제2 Q노드(Q2)를 충전한다.
- [0091] 제12 트랜지스터(T12)는 저속 구동시에 홀딩기간(T_h)에는 동작하지 않는다. 제9 트랜지스터(T9)가 산화물 트랜지스터(Toxi)로 구현되기 때문에 누설전류 문제를 개선할 있고, 제12 트랜지스터(T12)는 홀딩기간(T_h) 동안에 제2 Q노드(Q2)를 충전하지 않아도 제2 Q노드(Q2)의 전위가 안정적으로 유지될 수 있다.
- [0092] 제11 트랜지스터(T11)의 제1 전극은 제2 QB노드(QB2)에 연결되고, 제2 전극은 저전위전압(VGL) 입력단에 연결되며, 게이트전극은 이엠펙 신호(EMGout) 출력단에 연결된다. 이엠펙 신호(EMGout)는 이엠펙 스테이지의 출력이고, 이엠펙 스테이지는 도 8에 도시된 스캔 스테이지와 동일한 회로를 이용할 수 있다. 이엠펙 스테이지의 풀업 트랜지스터는 이엠펙 클럭(EMGCLK)을 입력받아서 이엠펙 신호(EMGout)를 출력한다.
- [0093] 도 8 및 도 9에 도시된 실시 예에서, 제5 트랜지스터(T5), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9) 이외에는 저온 폴리 실리콘 반도체층을 갖는 트랜지스터로 이루어진다.

[0094]

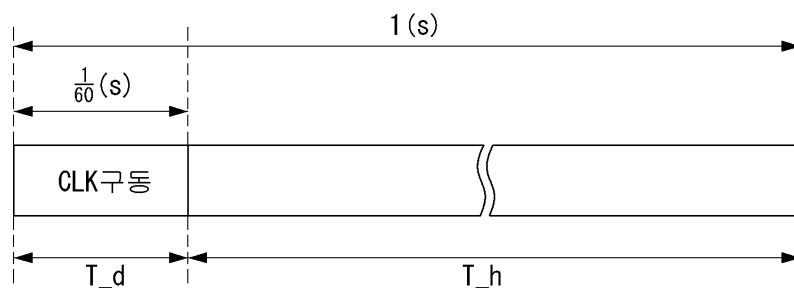
이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

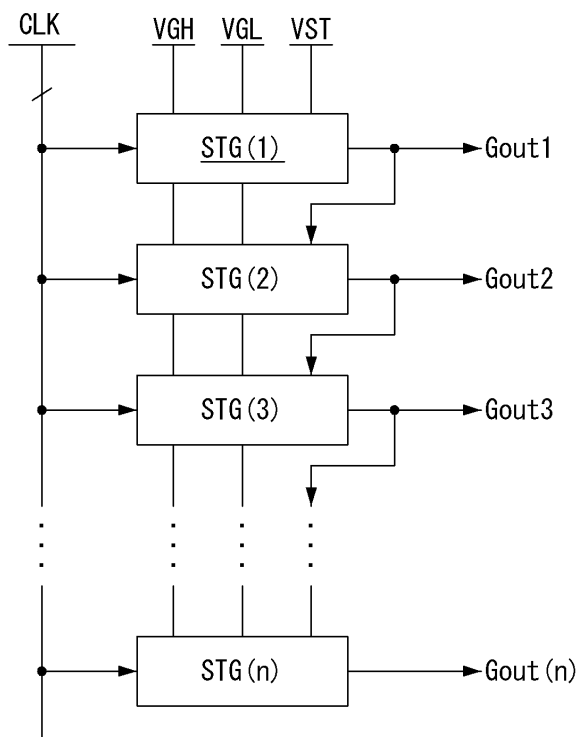
도면1



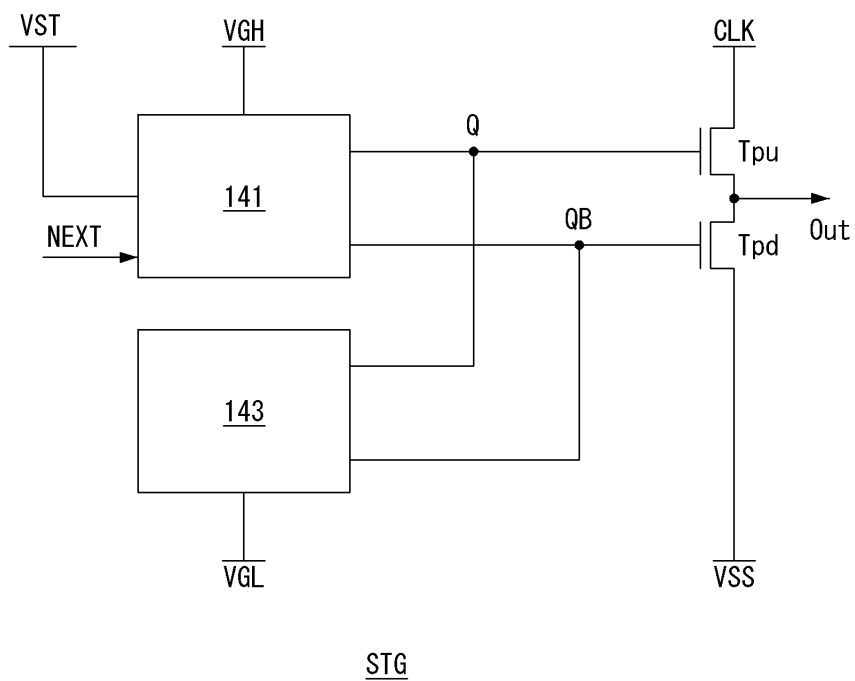
도면2



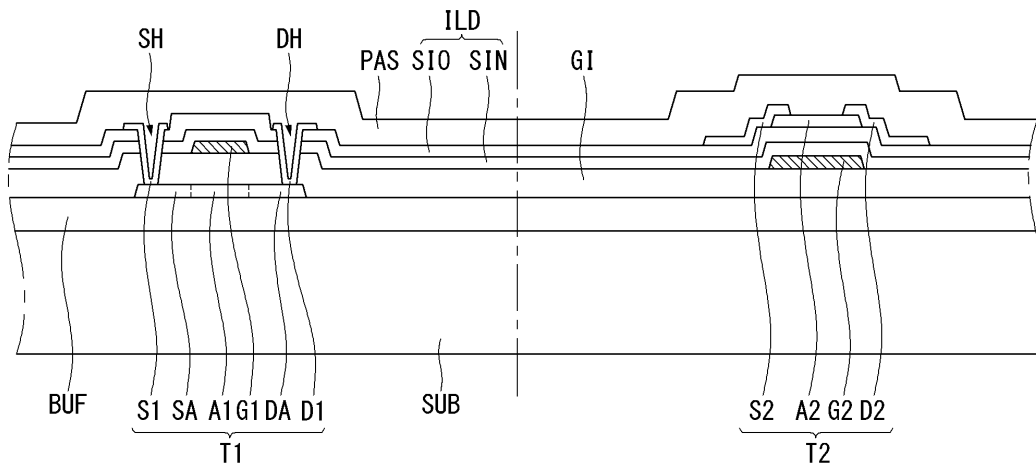
도면3



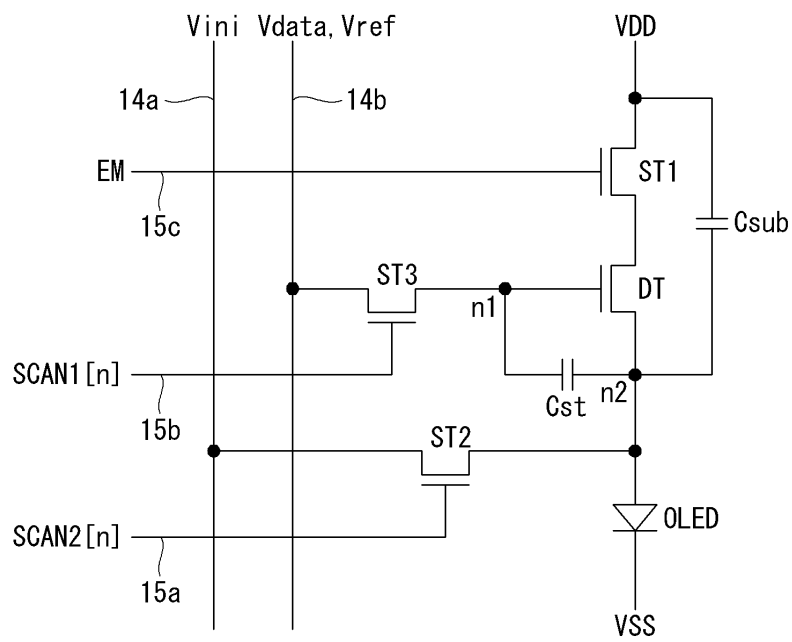
도면4



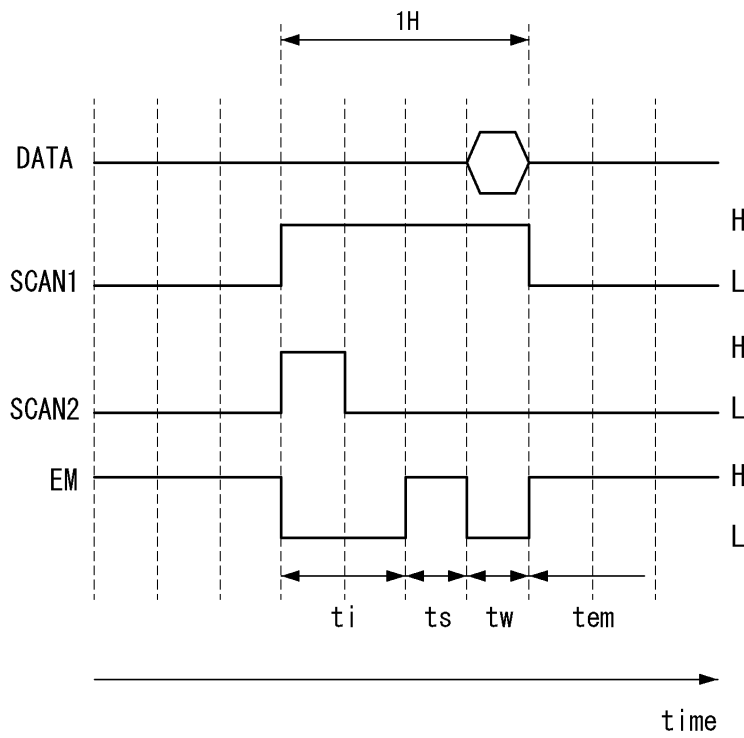
도면5



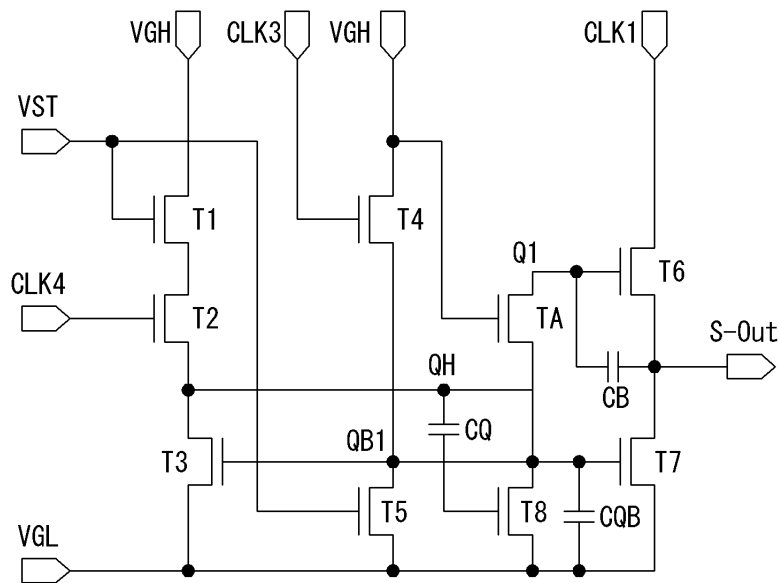
도면6



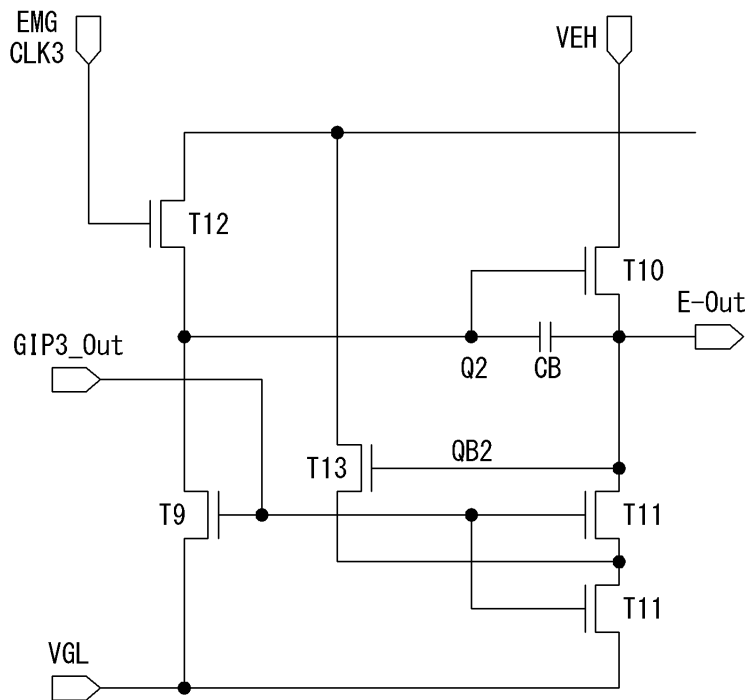
도면7



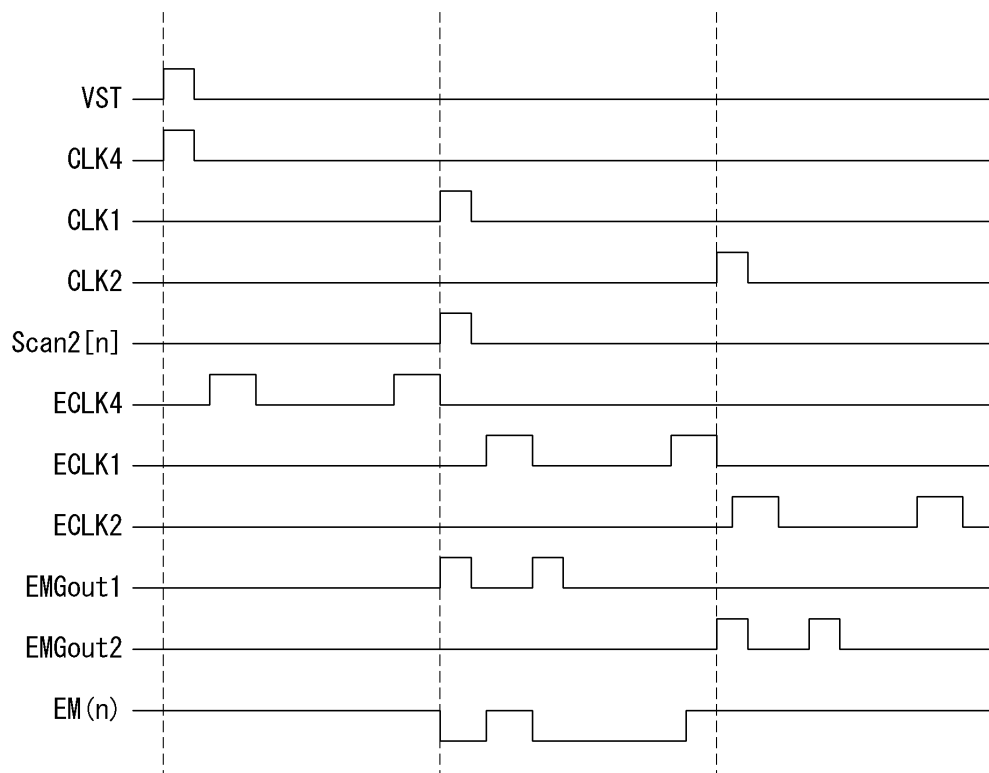
도면8



도면9



도면10



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020170080352A	公开(公告)日	2017-07-10
申请号	KR1020150191826	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KO HO YOUNG 고호영		
发明人	고호영		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2310/0286 G09G2320/0214 G09G2310/08 G09G2230/00 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

根据本发明的显示装置包括像素阵列，时序控制器和栅极驱动单元。关于像素阵列，交叉和像素的数据线和栅极线被布置为矩阵的形式。定时控制器输出用于低速驱动模式操作的定时控制信号，以便在第一帧持续时间内指示像素阵列中的一帧，并且栅极驱动单元包括向像素阵列提供栅极信号的移位寄存器。第一帧持续时间不输出定时控制信号，以便在预定帧持续时间内保持帧的图像。移位寄存器包括Q节点，第一电极是Q节点，根据Q节点输入信号的时序或栅电极电压或放电控制部分将QB节点放电到低电平电压，第二电极连接到低电平电压输入端子连接到QB节点，它放电输出端子的电压，输出端子信号，它对应于QB节点的电压增加。放电控制部分包括上拉晶体管，QB节点放电控制部分是氧化物半导体材料，下拉晶体管包括多晶半导体材料。

