



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0070331
(43) 공개일자 2017년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/32* (2016.01)
H01L 21/02 (2006.01) *H01L 29/786* (2006.01)
H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)
G09G 3/3225 (2013.01)

(21) 출원번호 10-2015-0177100
(22) 출원일자 2015년12월11일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박준호
경기도 파주시 한빛로 70 518동 1402호 (야당동,
한빛마을5단지캐슬앤파크아파트)
오충완
경기도 파주시 해솔로 20 (목동동, 해솔마을4단지
벽산우남연리지) 412동 701호
(뒷면에 계속)
(74) 대리인
특허법인로얄

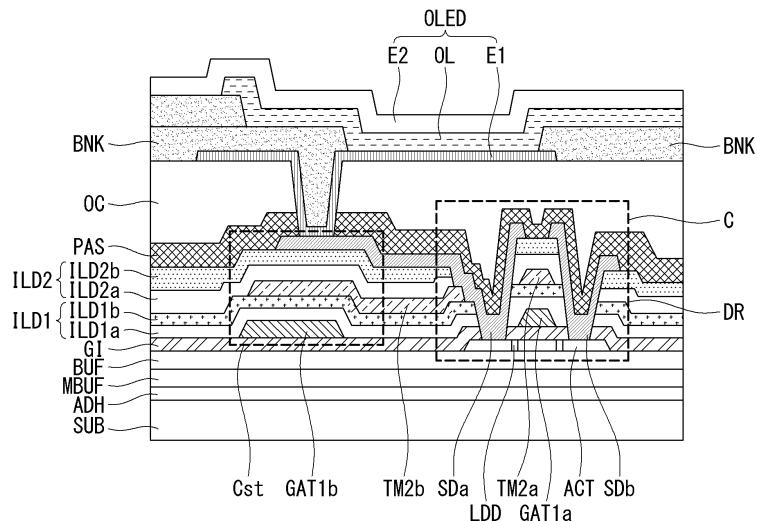
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

(57) 요 약

본 발명은 채널 수소화율 향상 및 막질 강건화를 통해 구동 트랜지스터의 문턱전압 특성 및 HCS 신뢰성을 개선하고, 고 해상도 및 고 정세 구현에 적합한 커페시터의 정전용량을 마련하고, 소자의 신뢰성 및 초기 성능을 향상하는 것이다. 본 발명은 채널 수소화율 향상 및 막질 강건화를 위해 제1층간 절연층 및 제2층간 절연층 중 적어도 하나를 복층(multi layer)으로 구성한다.

대 표 도 - 도7



(52) CPC특허분류

H01L 21/02326 (2013.01)

H01L 21/02332 (2013.01)

H01L 27/3265 (2013.01)

H01L 29/78603 (2013.01)

H01L 29/78606 (2013.01)

H01L 51/5253 (2013.01)

H01L 51/5278 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

김동준

경기도 고양시 덕양구 화신로 105 2316동 804호 (행신동, 햇빛마을23단지아파트)

김상우

광주광역시 광산구 신창로161번길 19 301동 704호 (신창동, 신창3차호반베르디움아파트)

이정규

경기도 파주시 월롱면 엘씨디로 231 G동 211호 (덕운리, 정다운마을)

명세서

청구범위

청구항 1

제1기판 상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연층;

상기 게이트 절연층 상에 위치하는 게이트 금속층;

상기 게이트 금속층 상에 위치하는 제1층간 절연층;

상기 제1층간 절연층 상에 위치하는 중간 금속층;

상기 중간 금속층 상에 위치하는 제2층간 절연층; 및

상기 제2층간 절연층 상에 위치하는 소오스 드레인 금속층을 포함하며,

상기 제1층간 절연층 및 상기 제2층간 절연층 중 적어도 하나는 복층으로 구성된 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1 및 상기 제2층간 절연층은

실리콘산화막(SiO₂) 또는 실리콘질화막(SiNx)을 포함하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제2층간 절연층은 적어도 이중층으로 구성되며,

상기 이중층의 상부층과 하부층은 서로 상이한 재료로 구성되는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 제2층간 절연층의 하부층은 실리콘산화막(SiO₂)으로 선택되고,

상기 제2층간 절연층의 상부층은 실리콘질화막(SiNx)으로 선택되는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제1층간 절연층은 적어도 이중층으로 구성되며,

상기 이중층의 상부층과 하부층은 서로 상이한 재료로 구성되는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 제1층간 절연층의 하부층은 실리콘산화막(SiO₂)으로 선택되고,

상기 제1층간 절연층의 상부층은 실리콘질화막(SiNx)으로 선택되는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 제1층간 절연층의 하부층과 상부층의 두께 비율은
30% : 70% ~ 50% : 50%인 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 게이트 금속층의 일부, 상기 중간 금속층의 일부 및 상기 소오스 드레인 금속층의 일부는 복층 커패시터를 형성하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 소오스 드레인 금속층 상에 위치하는 보호막과,

상기 보호막 상에 위치하는 평탄화층과,

상기 평탄화층 상에 위치하는 하부 전극과,

상기 하부 전극 상에 위치하는 유기 발광층과,

상기 유기 발광층 상에 위치하는 상부 전극을 더 포함하고,

상기 하부 전극은 상기 게이트 금속층의 일부, 상기 중간 금속층의 일부 및 상기 소오스 드레인 금속층의 일부로 구성되는 복층 커패시터 상에서 상기 소오스 드레인 금속층의 일부와 전기적으로 연결되는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(election) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태로부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 유기전계발광소자를 이용하여 표시 패널을 형성한다. 표시 패널은 빛이 방출되는 방향에 따라 상부발광(Top-Emission) 방식, 하부발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등으로 구현될 수 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 구현될 수 있다.

[0004] 유기전계발광표시장치는 고 휘도 및 고 색재현율을 가지고 있어 다양한 크기 및 다양한 장치에 사용되고 있다. 또한, 최근에는 유기전계발광표시장치에 연성을 부여하여 곡면을 갖게 하거나 인위적으로 또는 기계적으로 구부러지게 하는 등 다양한 형태로 구현하는 연구가 진행되고 있다.

[0005] 유기전계발광표시장치는 고 해상도 및 고 정세 구현을 목표로 할 때 서브 픽셀의 설계 마진을 고려해야 함은 물론 서브 픽셀의 내부에 추가된 보상회로가 차지하는 공간을 고려하여 레이아웃을 설계해야 한다.

[0006] 그런데 종래에 제안된 제조방법에 따라 표시 패널을 제조할 경우 박막의 구조적 특성에 따라 소자의 신뢰성이 저하되고 문턱전압이 이동하는 문제가 있어 고 해상도 및 고 정세 구현에 어려움이 있다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 채널 수소화율 향상 및 막질 강건화를 통해 구동 트랜지

스터의 문턱전압 특성 및 HCS 신뢰성을 개선하고, 고 해상도 및 고 정세 구현에 적합한 커패시터의 정전용량을 마련하고, 소자의 신뢰성 및 초기 성능을 향상하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명은 반도체층, 게이트 절연층, 게이트 금속층, 제1층간 절연층, 중간 금속층, 제2층간 절연층 및 소오스 드레인 금속층을 포함하는 유기전계발광표시장치를 제공한다. 반도체층은 제1기판 상에 위치한다. 게이트 절연층은 반도체층 상에 위치한다. 게이트 금속층은 게이트 절연층 상에 위치한다. 제1층간 절연층은 게이트 금속층 상에 위치한다. 중간 금속층은 제1층간 절연층 상에 위치한다. 제2층간 절연층은 중간 금속층 상에 위치한다. 소오스 드레인 금속층은 제2층간 절연층 상에 위치한다. 제1층간 절연층 및 제2층간 절연층 중 적어도 하나는 복층(multi layer)으로 구성된다.
- [0009] 제1 및 제2층간 절연층은 실리콘산화막(SiO₂) 또는 실리콘질화막(SiNx)을 포함할 수 있다.
- [0010] 제2층간 절연층은 적어도 이중층으로 구성되며, 이중층의 상부층과 하부층은 서로 상이한 재료로 구성될 수 있다.
- [0011] 제2층간 절연층의 하부층은 실리콘산화막(SiO₂)으로 선택되고, 제2층간 절연층의 상부층은 실리콘질화막(SiNx)으로 선택될 수 있다.
- [0012] 제1층간 절연층은 적어도 이중층으로 구성되며, 이중층의 상부층과 하부층은 서로 상이한 재료로 구성될 수 있다.
- [0013] 제1층간 절연층의 하부층은 실리콘산화막(SiO₂)으로 선택되고, 제1층간 절연층의 상부층은 실리콘질화막(SiNx)으로 선택될 수 있다.
- [0014] 제1층간 절연층의 하부층과 상부층의 두께 비율은 30% : 70% ~ 50% : 50%일 수 있다.
- [0015] 게이트 금속층의 일부, 중간 금속층의 일부 및 소오스 드레인 금속층의 일부는 복층 커패시터를 형성할 수 있다.
- [0016] 소오스 드레인 금속층 상에 위치하는 보호막과, 보호막 상에 위치하는 평탄화층과, 평탄화층 상에 위치하는 하부 전극과, 하부 전극 상에 위치하는 유기 발광층과, 유기 발광층 상에 위치하는 상부 전극을 더 포함하고, 하부 전극은 게이트 금속층의 일부, 중간 금속층의 일부 및 소오스 드레인 금속층의 일부로 구성되는 복층 커패시터 상에서 소오스 드레인 금속층의 일부와 전기적으로 연결될 수 있다.

발명의 효과

- [0017] 본 발명은 채널 수소화율 향상 및 막질 강건화를 통해 구동 트랜지스터의 문턱전압 특성 및 HCS(Hot Carrier Stress) 신뢰성을 개선하여 제품의 신뢰성을 향상할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현 시 소자의 신뢰성 및 초기 성능을 향상할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현을 목표로 할 때 서브 픽셀의 설계 마진과 보상회로가 차지하는 공간을 수렴할 수 있는 서브 픽셀의 설계 방식을 제공할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현에 적합한 형태로 커패시터의 정전용량을 마련할 수 있는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.
 도 2는 서브 픽셀의 개략적인 회로 구성도 예시도.
 도 3은 도 2의 보상회로를 구체화한 서브 픽셀의 회로 구성 예시도.
 도 4는 도 3의 서브 픽셀의 구동 파형 예시도.
 도 5는 종래에 제안된 서브 픽셀의 단면도.
 도 6은 본 발명의 제1실시예에 따른 서브 픽셀의 단면도.
 도 7은 본 발명의 제2실시예에 따른 서브 픽셀의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도 예시도이고, 도 3은 도 2의 보상회로를 구체화한 서브 픽셀의 회로 구성 예시도이며, 도 4는 도 3의 서브 픽셀의 구동 과정 예시도이다.
- [0021] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시 패널(150)이 포함된다.
- [0022] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(110)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0023] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0024] 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(120)는 제어 회로기판에 IC 형태로 형성된다.
- [0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 데이터 회로기판에 IC 형태로 형성된다.
- [0026] 게이트 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL1 ~ GLm)을 통해 게이트 신호를 출력한다. 게이트 구동부(140)는 게이트 회로기판에 IC 형태로 형성되거나 표시 패널(150)에 게이트인페널(Gate In Panel) 방식으로 형성된다. 게이트 구동부(140)에서 게이트인페널 방식으로 형성되는 부분은 시프트 레지스터 등이다.
- [0027] 표시 패널(150)은 데이터 구동부(130) 및 게이트 구동부(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0028] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 발광 영역(빛이 출사 되는 영역)이나 회로 영역(트랜지스터 등이 형성되는 영역)이 하나 이상 다른 면적을 가질 수 있다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0030] 스위칭 트랜지스터(SW)는 제1게이트라인(GL1)을 통해 공급된 게이트신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 고전위 전원라인(EVDD)과 저전위 전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다.
- [0031] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터 등으로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하다. 트랜지스터는 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic)을 기반으로 구현될 수 있다.
- [0032] 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 커패시터(C), 센싱 트랜지스터(ST), 센싱 트랜지스터(ST)를 제어하는 제1b게이트라인(GL1b), 센싱 트랜지스터(ST)를 통해 노드B(B)를 센싱하거나 초기화전압(Vini)을 공급하는 초기화라인(VINI), 발광제어 트랜지스터(ET), 발광제어 트랜지스터(ET)를 제어하는 제1c게이트라인(GL1c)이 포함된다. 도 3에서 "Colled"는 유기 발광다이오드의 기생 커패시터를 의미한다.

- [0033] 서브 픽셀에 포함된 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 센싱 트랜지스터(ST) 및 발광제어 트랜지스터(ET)는 N타입 트랜지스터(NMOS TFT)를 기반으로 한다. 그러나 서브 픽셀에 포함되는 트랜지스터들은 이에 한정되지 않고 P타입 트랜지스터(PMOS TFT) 등으로도 구현 가능하다.
- [0034] 도 3 및 도 4에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀은 초기화 기간(ti), 샘플링 기간(ts), 프로그래밍 기간(tw) 및 발광 기간(tem)의 순으로 동작한다. 서브 픽셀을 구동하기 위한 기간에 대해 간략히 설명하면 다음과 같다.
- [0035] 초기화 기간(ti) 동안, 제1데이터라인(DL1)에는 소정의 기준전압(Vref)이 공급된다. 초기화 기간(ti) 동안 제A노드(A)의 전압은 기준전압(Vref)으로 초기화되고, 제B노드(B)의 전압은 소정의 초기화전압(Vini)으로 초기화된다.
- [0036] 샘플링 기간(ts) 동안 소스 팔로워(source-follower) 방식에 따라 구동 트랜지스터(DR)의 게이트-소오스 간의 전압(Vgs)은 구동 트랜지스터(DR)의 문턱전압(Vth)으로서 샘플링되고 샘플링된 문턱전압(Vth)은 커패시터(Cst)에 저장된다. 샘플링 기간(ts) 동안 제A노드(A)의 전압은 기준전압(Vref)이 되고, 제B노드(B)의 전압은 Vref-Vth가 된다.
- [0037] 프로그래밍 기간(tw) 동안 제1데이터라인(DL1)을 통해 데이터전압(Vdata)이 공급되고, 커패시터(Cst)에는 문턱전압분이 보상된 데이터전압(Vdata-Vref+Vth-C'*(Vdata-Vref))이 프로그래밍된다. 여기서, C'는 보상 커패시터(C)에 충전된 전압으로서 Cst/(Cst+C)로 정의된 값을 갖는다. 커패시터들(Cst, C)은 프로그래밍 기간(tw) 동안 데이터전압(Vdata)에 따라 제A노드(A)의 전위가 변할 때, 그 변화분을 전압 분배하여 제B노드(B)에 반영한다.
- [0038] 발광 기간(tem) 동안 유기 발광다이오드(OLED)는 커패시터(Cst)에 저장된 데이터전압을 기반으로 발생한 구동전류에 대응하여 빛을 발광한다. 한편, 초기화 기간(ti), 샘플링 기간(ts) 및 프로그래밍 기간(tw)이 1 수평 시간(1H) 내에 이루어지는 것을 일례로 하였으나 본 발명은 이에 한정되지 않는다.
- [0039] 이하, 앞서 설명한 4T(Transistor) 2C(Capacitor) 구조의 보상회로가 추가된 서브 픽셀을 기반으로 고 해상도 및 고 정세의 유기전계발광표시장치 제작시 발생할 수 있는 문제에 대해 고찰한다. 한편, 이하에서는 구동 트랜지스터, 커패시터 및 유기 발광다이오드의 단면을 기반으로 설명하고 나머지 회로는 생략한다. 그리고 트랜지스터는 저온 폴리실리콘(LTPS)을 기반으로 하는 것을 일례로 설명한다.
- [0040] <종래 구조>
- [0041] 도 5는 종래에 제안된 서브 픽셀의 단면도이다.
- [0042] 도 5에 도시된 바와 같이, 제1기판(SUB) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF) 상에는 불순물 영역(LDD)(또는 lightly doped drain; LDD)을 갖는 반도체층(ACT)이 형성된다. 반도체층(ACT) 상에는 게이트 절연층(GI)이 형성된다. 게이트 절연층(GI) 상에는 게이트 금속층(GAT1a, GAT1b)이 형성된다.
- [0043] 게이트 금속층(GAT1a, GAT1b) 상에는 중간 절연층(ILD)이 형성된다. 중간 절연층(ILD) 상에는 소오스 드레인 금속층(SDa ~ SDc)이 형성된다. 소오스 드레인 금속층(SDa ~ SDc) 상에는 보호막(PAS)이 형성된다. 보호막(PAS) 상에는 평탄화층(OC)이 형성된다.
- [0044] 평탄화층(OC) 상에는 하부 전극(E1)이 형성된다. 하부 전극(E1) 상에는 개구영역을 갖는 뱅크층(BNK)이 형성된다. 뱅크층(BNK)의 비개구영역 상에는 스페이서(SPC)가 형성된다. 뱅크층(BNK)의 개구영역 상에는 유기 발광층(OL)이 형성된다. 유기 발광층(OL) 상에는 상부 전극(E2)이 형성된다.
- [0045] 구동 트랜지스터(DR)는 제1기판(SUB) 상에 위치하는 반도체층(ACT), 제A게이트 금속층(GAT1a), 제A 및 제B소오스 드레인 금속층(SDa, SDb)으로 이루어진다. 커패시터(Cst)는 제B게이트 금속층(GAT1b) 및 제C소오스 드레인 금속층(SDc)으로 이루어진다. 유기 발광다이오드(OLED)는 하부 전극(E1), 유기 발광층(OL) 및 상부 전극(E2)으로 이루어진다.
- [0046] 유기전계발광표시장치는 고 해상도 및 고 정세 구현을 목표로 할 때 서브 픽셀의 설계 마진을 고려해야 함은 물론 서브 픽셀의 내부에 추가된 보상회로가 차지하는 공간을 고려하여 레이아웃을 설계해야 한다.

- [0048] 더 구체적으로 설명하면, 고 해상도 및 고 정세 구현을 목표할 때 서브 픽셀의 설계 가능 면적은 줄어들지만 보상회로 등의 추가로 인하여 회로를 구성하는 전극이나 신호라인이 복잡도는 상승한다. 하지만, 종래에 제안된 제조방법은 여전히 낮은 박막 적층 구조를 사용하고 있는바 이를 달성하기에는 어려움이 있다.
- [0049] 예컨대, 종래에 제안된 제조방법에 따라 표시 패널을 제조할 경우 한정된 면적 내에서 고 해상도 및 고 정세 구현에 적합한 형태로 커패시터(Cst)의 정전용량을 마련할 수 없다. 그 이유는 $C = \epsilon * A/d$ (C : 커패시터의 정전용량, ϵ : 유전율, A : 면적, d : 거리)로 정의되기 때문이다. 이 밖에도, 종래에 제안된 제조방법을 따를 경우 고 해상도 및 고 정세 구현에 어려움이 있다.
- [0050] 이하, 본 발명에서는 종래에 제안된 제조방법의 문제를 해소함과 더불어 고해상도 및 고정세 표시 패널을 개발할 수 있는 실시예들을 도출한바 이를 설명하면 다음과 같다.
- [0051] <제1실시예>
- [0052] 도 6은 본 발명의 제1실시예에 따른 서브 픽셀의 단면도이다.
- [0053] 도 6에 도시된 바와 같이, 제1기판(SUB) 상에는 접착층(ADH)이 형성된다. 접착층(ADH) 상에는 멀티 베퍼층(MBUF)이 형성된다. 멀티 베퍼층(MBUF) 상에는 베퍼층(BUF)이 형성된다. 베퍼층(BUF) 상에는 불순물 영역(LDD) (또는 lightly doped drain; LDD)을 갖는 반도체층(ACT)이 형성된다.
- [0054] 반도체층(ACT) 상에는 게이트 절연층(GI)이 형성된다. 게이트 절연층(GI) 상에는 게이트 금속층(GAT1a, GAT1b)이 형성된다. 게이트 금속층(GAT1a, GAT1b)은 몰리브덴(Mo), 알루미늄(A1), 인듐주석산화물(ITO), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0055] 게이트 금속층(GAT1a, GAT1b) 상에는 제1층간 절연층(ILD1)이 형성된다. 제1층간 절연층(ILD1)은 단일층 또는 복층(multi layer)으로 이루어질 수 있다. 제1층간 절연층(ILD1) 상에는 중간 금속층(TM2a, TM2b)이 형성된다. 중간 금속층(TM2a, TM2b)은 몰리브덴(Mo), 알루미늄(A1), 인듐주석산화물(ITO), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0056] 중간 금속층(TM2a, TM2b) 상에는 제2 층간 절연층(ILD2)가 위치하며, 제2층간 절연층(ILD2)은 단일층 또는 복층(multi layer)으로 이루어질 수 있다. 제1실시예에서는 제2층간 절연층(ILD2)이 제2하부 층간 절연층(ILD2a)과 제2상부 층간 절연층(ILD2b)을 포함하는 이중층으로 형성된다. 제2하부 및 제2상부 층간 절연층(ILD2a, ILD2b) 상에는 소오스 드레인 금속층(SDa ~ SDc)이 형성된다. 소오스 드레인 금속층(SDa ~ SDc) 상에는 보호막(PAS)이 형성된다. 보호막(PAS) 상에는 평탄화층(OC)이 형성된다.
- [0057] 평탄화층(OC) 상에는 하부 전극(E1)이 형성된다. 하부 전극(E1)은 제A소오스 드레인 금속층(SDa)에 전기적으로 연결된다. 하부 전극(E1) 상에는 개구영역을 갖는 뱅크층(BNK)이 형성된다. 뱅크층(BNK)의 비개구영역 상에는 스페이서(SPC)가 형성된다. 뱅크층(BNK)의 개구영역 상에는 유기 발광층(OL)이 형성된다. 유기 발광층(OL) 상에는 상부 전극(E2)이 형성된다.
- [0058] 구동 트랜지스터(DR)는 제1기판(SUB) 상에 위치하는 반도체층(ACT), 제1A게이트 금속층(GAT1a), 제A 및 제B소오스 드레인 금속층(SDa, SDb)으로 이루어진다. 커패시터(Cst)는 제B게이트 금속층(GAT1b), 제B중간 금속층(TM2b) 및 제A소오스 드레인 금속층(SDa)으로 이루어진다. 유기 발광다이오드(OLED)는 하부 전극(E1), 유기 발광층(OL) 및 상부 전극(E2)으로 이루어진다.
- [0059] 제1실시예에서는 제1층간 절연층(ILD1) 상에 중간 금속층(TM2a, TM2b)을 더 추가한다. 중간 금속층(TM2a, TM2b)은 게이트 금속층 또는 소오스 드레인 금속층과 동일한 재료로 형성된다. 중간 금속층(TM2a, TM2b)은 한정된 면적 내에서 커패시터(Cst)의 정전용량을 증가시킬 수 있는 이점을 제공함과 더불어 구동 트랜지스터의 게이트 전극을 더블(또는 2 게이트전극)로 하여 구동 특성(전류 구동 능력 향상)을 향상할 수 있는 이점이 있다.
- [0060] 제1실시예에서는 게이트 절연층(GI)으로 실리콘산화막(SiO₂)을 사용하였고, 제1층간 절연층(ILD1)으로 실리콘산화막(SiO₂)을 사용하고, 제2하부 및 제2상부 층간 절연층(ILD2a, ILD2b)으로 실리콘산화막(SiO₂)과 실리콘질화막(SiNx)을 사용한다.
- [0061] 제1실시예를 평가한 결과, 중간 금속층(TM2a, TM2b)의 추가로 고 해상도 및 고 정세 구현에 적합한 형태로 커패시터(Cst)와 보상 커패시터(C)의 정전용량을 마련함과 더불어 서브 픽셀 레이아웃 시 복잡도가 상승하는 문제를

해소할 수 있는 것으로 나타났다.

[0062] 더 구체적으로 설명하면, 제1실시예에서는 게이트 금속층 상에 위치하는 중간 금속층 또는 소오스 드레인 금속층을 더 이용하여 커패시터(Cst)를 형성한다. 즉, 제1실시예는 종래 구조 대비 높은 박막 적층 구조를 사용하므로 서브 픽셀의 설계 마진율을 높인다. 또한, 제1실시예에서는 제조 공정상 게이트 금속층과 중간 금속층 간의 구조적인 문제로 유발될 수 있는 셀트를 방지하기 위해 최소한의 전극 또는 라인에 대해 건식 식각(Dry Etch) 공정을 진행한다.

[0063] <제2실시예>

[0064] 도 7은 본 발명의 제2실시예에 따른 서브 픽셀의 단면도이다.

[0065] 도 7에 도시된 바와 같이, 제1기판(SUB) 상에는 접착층(ADH)이 형성된다. 접착층(ADH) 상에는 멀티 베퍼층(MBUF)이 형성된다. 멀티 베퍼층(MBUF) 상에는 베퍼층(BUF)이 형성된다. 베퍼층(BUF) 상에는 불순물 영역(LDD) (또는 lightly doped drain; LDD)을 갖는 반도체층(ACT)이 형성된다.

[0066] 반도체층(ACT) 상에는 게이트 절연층(GI)이 형성된다. 게이트 절연층(GI) 상에는 게이트 금속층(GAT1a, GAT1b)이 형성된다. 게이트 금속층(GAT1a, GAT1b)은 몰리브덴(Mo), 알루미늄(Al), 인듐주석산화물(ITO), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0067] 게이트 금속층(GAT1a, GAT1b) 상에는 제1층간 절연층(ILD1)은 단일층 또는 복층(multi layer)으로 이루어질 수 있다. 제2실시예에서는 제1층간 절연층(ILD1)이 제1하부 층간 절연층(ILD1a)과 제1상부 층간 절연층(ILD1b)을 포함하는 이중층으로 형성된다. 제1상부 층간 절연층(ILD1b) 상에는 중간 금속층(TM2a, TM2b)이 형성된다. 중간 금속층(TM2a, TM2b)은 몰리브덴(Mo), 알루미늄(Al), 인듐주석산화물(ITO), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0068] 중간 금속층(TM2a, TM2b) 상에는 제2 층간 절연층(ILD2)가 위치하며, 제2층간 절연층(ILD2)은 단일층 또는 복층(multi layer)으로 이루어질 수 있다. 제2실시예에서는 제2층간 절연층(ILD2)이 제2하부 층간 절연층(ILD2a)과 제2상부 층간 절연층(ILD2b)을 포함하는 이중층으로 형성된다. 제2상부 층간 절연층(ILD2b) 상에는 소오스 드레인 금속층(SDa ~ SDc)이 형성된다. 소오스 드레인 금속층(SDa ~ SDc) 상에는 보호막(PAS)이 형성된다. 보호막(PAS) 상에는 평탄화층(OC)이 형성된다.

[0069] 평탄화층(OC) 상에는 하부 전극(E1)이 형성된다. 하부 전극(E1)은 제A소오스 드레인 금속층(SDa)에 전기적으로 연결된다. 하부 전극(E1)은 커패시터(Cst)가 위치하는 영역에서 제A소오스 드레인 금속층(SDa)과 전기적인 연결이 이루어진다.

[0070] 하부 전극(E1) 상에는 개구영역을 갖는 뱅크층(BNK)이 형성된다. 뱅크층(BNK)의 비개구영역 상에는 스페이서(SPC)가 형성된다. 뱅크층(BNK)의 개구영역 상에는 유기 발광층(OL)이 형성된다. 유기 발광층(OL) 상에는 상부 전극(E2)이 형성된다.

[0071] 구동 트랜지스터(DR)는 제1기판(SUB) 상에 위치하는 반도체층(ACT), 제1A게이트 금속층(GAT1a), 제A 및 제B소오스 드레인 금속층(SDa, SDb)으로 이루어진다. 커패시터(Cst)는 제B게이트 금속층(GAT1b), 제B중간 금속층(TM2b) 및 제A소오스 드레인 금속층(SDa)으로 이루어진다. 유기 발광다이오드(OLED)는 하부 전극(E1), 유기 발광층(OL) 및 상부 전극(E2)으로 이루어진다.

[0072] 제2실시예에서는 제1하부 층간 절연층(ILD1b) 상에 중간 금속층(TM2a, TM2b)을 더 추가한다. 중간 금속층(TM2a, TM2b)은 게이트 금속층 또는 소오스 드레인 금속층과 동일한 재료로 형성된다.

[0073] 중간 금속층(TM2a, TM2b)은 한정된 면적 내에서 커패시터(Cst)의 정전용량을 증가(복층 커패시터 구조에 의한 정전용량 증가 및 면적 감소)시킬 수 있는 이점을 제공함과 더불어 구동 트랜지스터의 게이트전극을 더블(또는 2 게이트전극)로 하여 구동 특성(전류 구동 능력 향상)을 향상할 수 있는 이점이 있다.

[0074] 한편, 제1실시예에서는 게이트 절연층(GI)으로 실리콘산화막(SiO₂)을 사용하였고, 제1층간 절연층(ILD1)으로 실리콘산화막(SiNx)을 사용하고, 제2하부 및 제2상부 층간 절연층(ILD2)으로 실리콘산화막(SiO₂)과 실리콘질화막(SiNx)을 사용한다.

[0075] 이와 달리, 제2실시예에서는 제1층간 절연층(ILD1)을 실리콘질화막(SiNx)의 단일층보다 실리콘질화막(SiNx)(상

부층)/실리콘산화막(SiO₂)(하부층)의 이중층을 사용한다.

[0076] 이 구조에 의해, 제2실시에는 제1층간 절연층(ILD1)을 구성하는 실리콘질화막(SiNx)으로부터의 수소 공급이 원활히 이루어져 중간 금속층(TM2a, TM2b)으로 인하여 수소의 이동거리가 증가하는 문제가 해소되는 것으로 나타났다. 그 결과, 제2실시에는 이중층의 제1층간 절연층 구조로 수소 공급을 강화하고 이를 통해 소자의 신뢰성을 더욱 향상할 수 있었다.

[0077] 또한, 제2실시에는 이중층의 제1층간 절연층 구조를 사용함에 따라 제1실시에 대비 전식 식각 플라즈마(Dry Etch Plasma) 및 실란계(Silane) 가스(Gas)에 의한 게이트 절연층(GI)의 손상 문제를 완화할 수 있었다.

[0078] 그 결과, 제2실시에는 제1실시와 대비하여 고 해상도 및 고 정세 구현이 가능한 표시 패널 제작시 소자의 신뢰성을 더욱 향상(스트레스 인가 테스트 이후 전류 이동도 저하 발생 문제 완화)시킬 수 있는 것으로 나타났다. 또한, 제2실시에는 제1실시와 대비하여 구동 트랜지스터의 문턱전압이 이동하는 문제를 더욱 확실하게 방지(고온 신뢰성 테스트 이후 문턱전압이 네거티브 방향으로 이동 문제 방지)할 수 있는 것으로 나타났다.

[0079] 한편, 본 발명의 제1실시와 제2실시에서는 실리콘질화막(SiNx)과 실리콘산화막(SiO₂)이 층간 절연층의 재료로 선택된 것을 일례로 하였다. 그러나, 이는 하나의 예시일 뿐 층간 절연층은 실리콘 카바이트(SiC) 등과 같이 실리콘을 포함하는 재료에서 선택할 수 있다.

[0080] 제1실시와 제2실시의 주요 구조층에 사용된 재료를 표로 나타내면 다음의 표 1과 같다. 실시예들의 평가 결과를 얻기 위한 실험 조건은 다음의 표 1과 같다. 이하 표 1에서 두께의 단위는 Å(옹스트롬)이다.

표 1

	제1실시예	제2실시예
제2층간 절연층 (두께)	SiNx/SiO ₂ (2300/2700 Å)	SiNx/SiO ₂ (4000/2000 Å)
중간 금속층 (두께)	Mo (2500 Å)	Mo (2000 Å)
제1층간 절연층 (두께)	SiNx (1300 Å)	SiNx/SiO ₂ (750/500 Å)
게이트 금속층 (두께)	Mo (2500 Å)	Mo (2500 Å)
게이트 절연층 (두께)	SiO ₂ (1100 Å)	SiO ₂ (1300 Å)

[0083] 본 발명의 제2실시예를 기반으로 평가를 다양한 진행한 결과, 제1하부 및 제1상부 층간 절연층(ILD1a, ILD1b)에 사용되는 실리콘산화막(SiO₂)과 실리콘질화막(SiNx)의 두께는 트레이드 오프(trade off) 관계에 있음을 밝혀내었다.

[0084] 그 예로, 실리콘질화막(SiNx)의 두께가 증가할수록 소자의 신뢰성 향상되고 및 구동 트랜지스터의 문턱전압은 포지티브 방향으로 이동(V_{th} + Shift)(문턱전압 특성 향상)하는 것으로 나타났다. 그러나 이와 반대로 실리콘질화막(SiNx)의 두께가 증가할수록 고온 신뢰성을 좌우하는 BTS (Bias Temperature Stress) 특성은 저하되는 것으로 나타났다.

[0085] 이와 달리, 실리콘산화막(SiO₂)의 두께가 증가할수록 소자의 초기 성능은 향상되지만 소자의 신뢰성 및 구동 트랜지스터의 문턱전압 특성(문턱전압이 네거티브 방향으로 이동)은 저하되는 것으로 나타났다.

[0086] 제1하부 층간 절연층(ILD1a)을 구성하는 실리콘산화막(SiO₂)의 두께는 10% ~ 90% 이내의 범위로 형성할 경우, 제1실시예와 대비하여 소자의 신뢰성 개선 효과가 있었다. 그러나 앞서 설명한 바와 같이 제1하부 및 제1상부 층간 절연층(ILD1a, ILD1b)에 사용되는 실리콘산화막(SiO₂)과 실리콘질화막(SiNx)의 두께는 트레이드 오프 관계를 갖는바 이를 모두 수렴하기 위한 범위는 다음의 표 2와 같다.

표 2

제1상부 층간 절연층(SiNx)	제1하부 층간 절연층(SiO2)	신뢰성 및 초기 성능 평가 결과
70%	30%	좋음
60%	40%	매우 좋음
50%	50%	좋음
신뢰성 향상과 관계함	초기 성능 향상과 관계	

[0087]

표 2를 통해 알 수 있듯이, 제1하부 층간 절연층(SiO2)과 제1상부 층간 절연층(SiNx)의 두께 비율은 30% : 70% ~ 50% : 50%으로 설정하는 것이 바람직하다. 기타, 제1하부 층간 절연층(SiO2)과 제1상부 층간 절연층(SiNx)의 두께 비율이 위의 범위를 벗어는 경우 신뢰성 및 초기 성능 평가 결과는 좋지 않은 결과가 나타났다.

[0089]

표 2는 제1하부 및 제1상부 층간 절연층(ILD1a, ILD1b)에 사용되는 실리콘산화막(SiO2)과 실리콘질화막(SiNx)의 두께를 최적화하기 위한 실험을 반복하여 얻은 결과이다. 즉, 제2실시예는 총 4층의 층간 절연층 구조를 사용하여 채널 수소화율 향상 및 막질 강건화는 물론 소자의 신뢰성과 초기 성능을 향상시킨 결과를 얻었다.

[0091]

표 2는 저온 폴리실리콘(LTPS) 트랜지스터를 기반으로 하는 4T2C 구조의 보상회로가 추가된 표시 패널의 실험 결과이다. 제2실시예에서는 저온 폴리실리콘(LTPS) 트랜지스터를 기반으로 위와 같은 평가 결과를 얻었지만, 이 결과는 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic) 트랜지스터를 기반으로 하는 표시 패널에도 적용할 수 있을 것이다.

[0092]

한편, 제2실시예와 같은 구조는 소자의 신뢰성과 초기 성능을 향상할 수 있는 조건을 가지고 있어 트랜지스터의 게이트 전극 형성시, 싱글 게이트 전극 구조(게이트 전극이 게이트 절연층 상에서 두 개의 부분으로 나누어진 구조가 아닌 하나로 이루어진 구조)를 취할 수 있을 것으로 기대된다. 이 효과에 따르면 고 해상도 및 고 정세 구현시에도 트랜지스터가 차지하는 면적을 최소화할 수 있다.

[0093]

이상 본 발명은 채널 수소화율 향상 및 막질 강건화를 통해 구동 트랜지스터의 문턱전압 특성 및 HCS(Hot Carrier Stress) 신뢰성을 개선하여 제품의 신뢰성을 향상할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현 시 소자의 신뢰성 및 초기 성능을 향상할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현을 목표로 할 때 서브 픽셀의 설계 마진과 보상회로가 차지하는 공간을 수렴할 수 있는 서브 픽셀의 설계 방식을 제공할 수 있는 효과가 있다. 또한, 본 발명은 고 해상도 및 고 정세 구현에 적합한 형태로 커패시터의 정전용량을 마련할 수 있는 효과가 있다.

[0094]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0095]

110: 영상 처리부 120: 타이밍 제어부

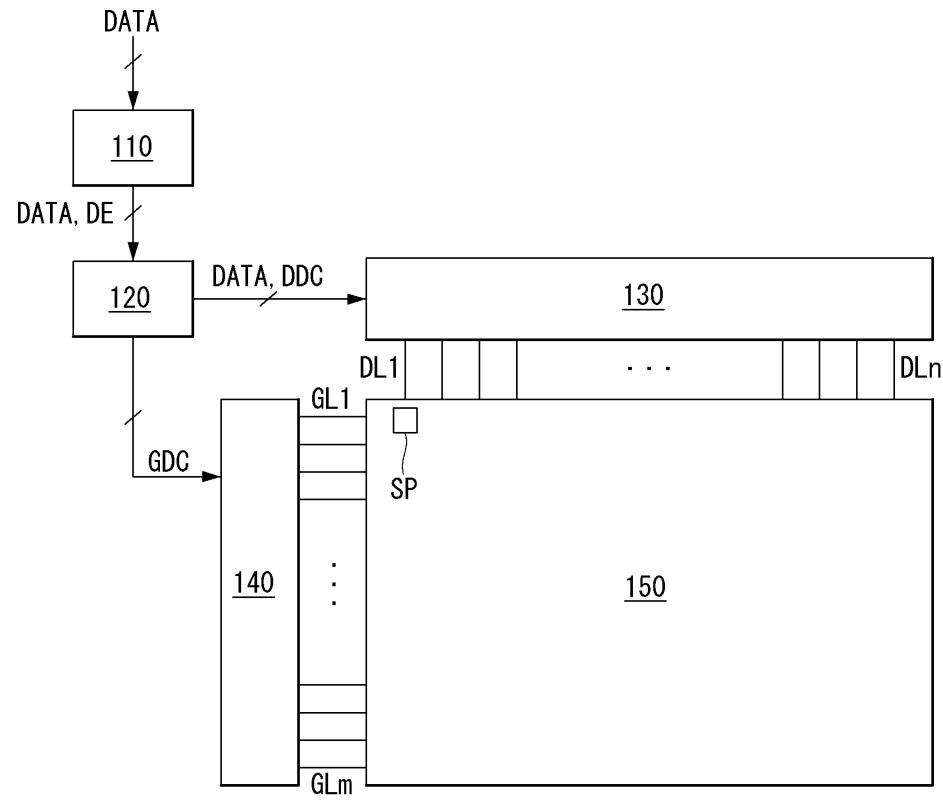
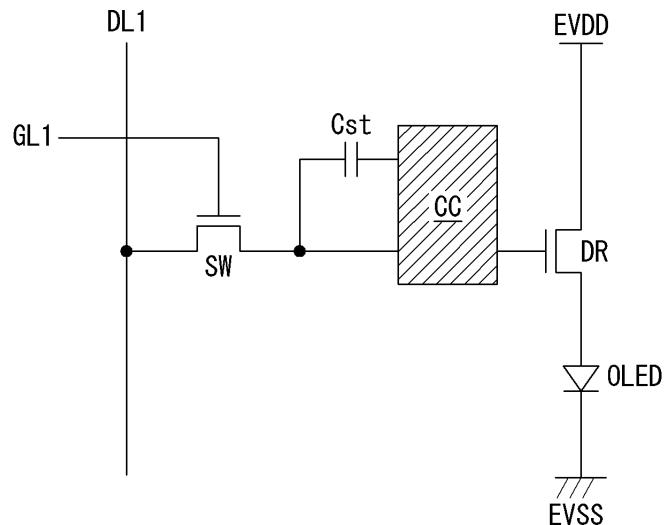
130: 데이터 구동부 140: 게이트 구동부

150: 표시 패널 GI: 게이트 절연층

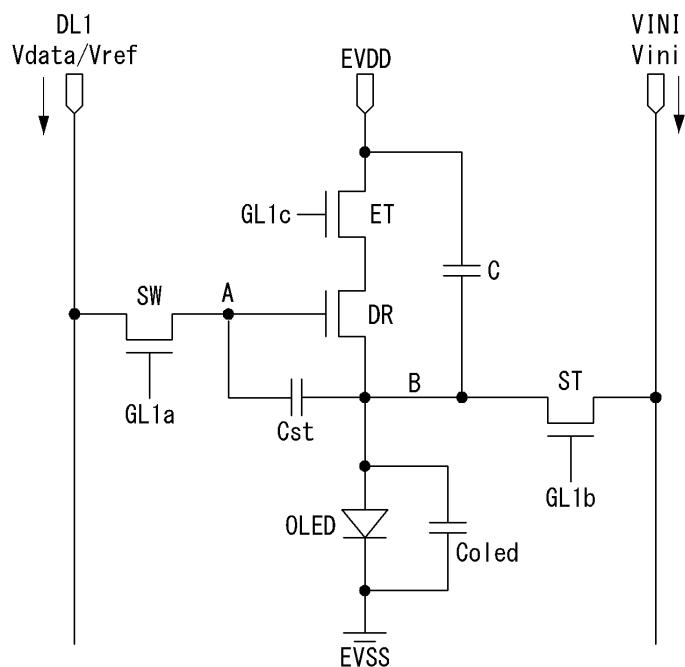
ILD1: 제1층간 절연층 ILD2: 제2층간 절연층

GAT1a, GAT1b: 게이트 금속층 TM2a, TM2b: 중간 금속층

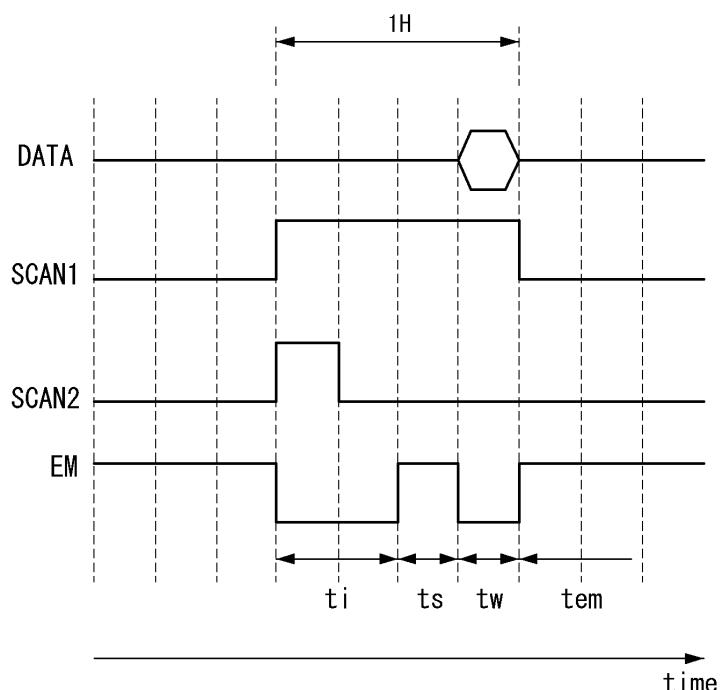
SDa ~ SDc: 소오스 드레인 금속층

도면**도면1****도면2**

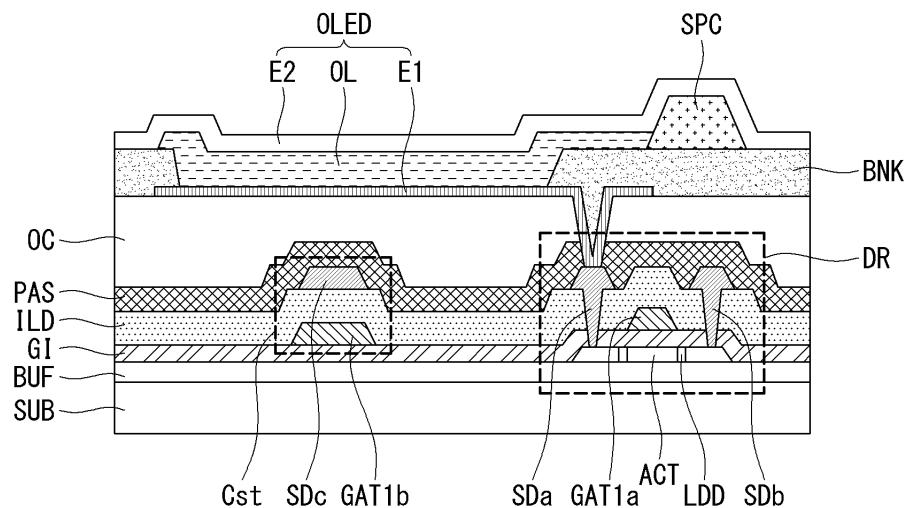
도면3



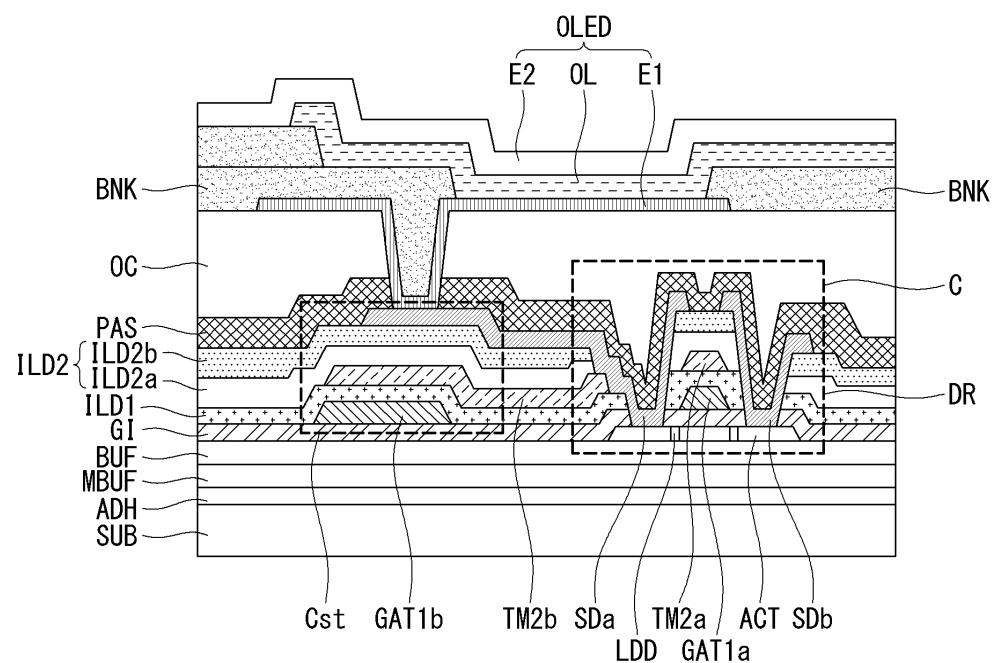
도면4



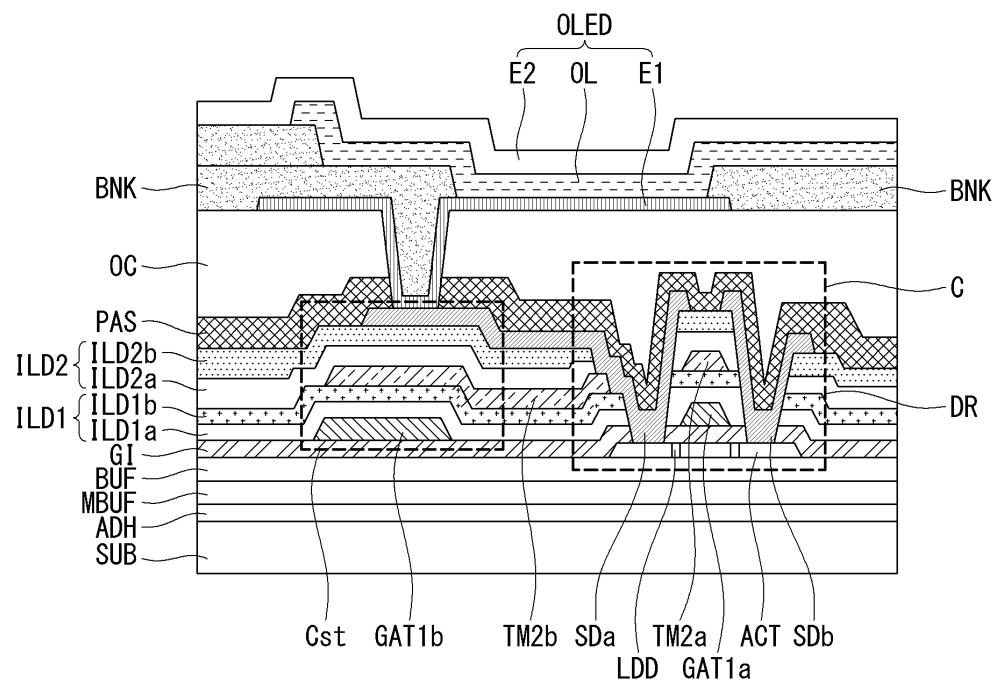
도면5



도면6



도면7



专利名称(译)	标题 : 有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020170070331A	公开(公告)日	2017-06-22
申请号	KR1020150177100	申请日	2015-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK CHOON HO 박춘호 OH CHUNG WAN 오충완 KIM DONG JUN 김동준 KIM SANG WOO 김상우 LEE JUNG GYU 이정규		
发明人	박춘호 오충완 김동준 김상우 이정규		
IPC分类号	H01L27/32 G09G3/32 H01L21/02 H01L29/786 H01L51/52		
CPC分类号	H01L27/3262 H01L29/78606 H01L29/78603 H01L21/02332 H01L21/02326 H01L27/3265 H01L51/5253 H01L51/5278 G09G3/3225 H01L2227/32		
外部链接	Espacenet		

摘要(译)

本发明通过消化改善的通道速率和薄膜鲁棒性的数量改善了驱动晶体管的阈值电压特性和HCS可靠性，并且准备了适用于高分辨率和高分辨率实现的电容器的静电容量。设备的可靠性和初始性能得到改善。本发明在双层(多层)上组织至少一个用于第一金属间介电层和第二层间介电层之间的消化改善和薄膜稳健性的沟道速率的数量。

