



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0065941
(43) 공개일자 2017년06월14일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3202 (2013.01)

H01L 27/3213 (2013.01)

(21) 출원번호 10-2015-0172340

(22) 출원일자 2015년12월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정기문

경기도 파주시 해솔로 85 (목동동, 해솔마을1단지
두산위브) 108동 503호

(74) 대리인

특허법인인벤투스

전체 청구항 수 : 총 11 항

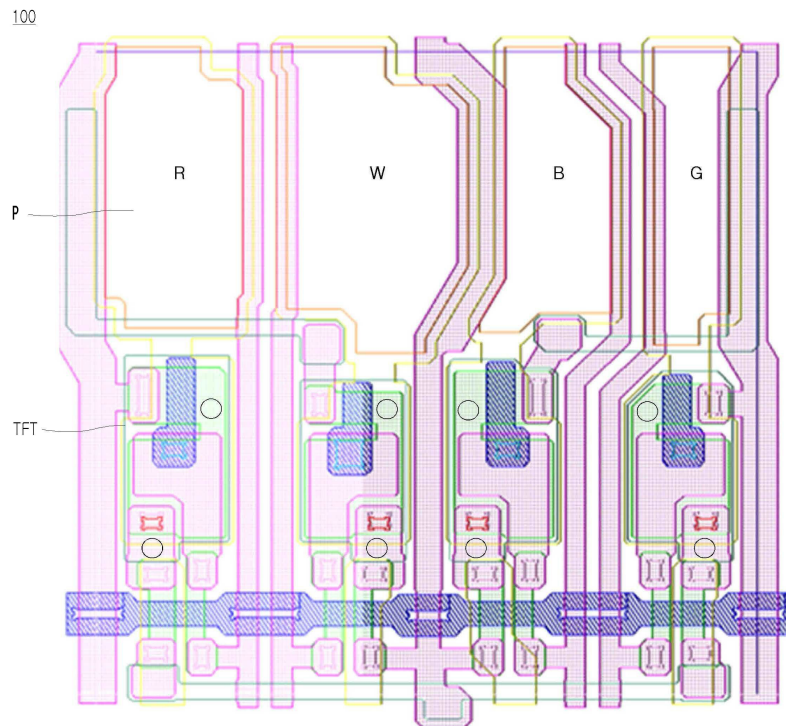
(54) 발명의 명칭 표시장치

(57) 요약

실시예는 장기 구동에 따른 문턱 전압 값 상승 방지 및 구동 시간의 비율이 높은 화소들의 장기 구동에 따른 스트레스에 의한 휘도가 저하되는 것을 방지하기 위해 게이트 전극과 소스 전극 사이에 전류 경로를 추가하는 구조로 형성할 수 있다.

(뒷면에 계속)

대표도 - 도1



이를 위해 실시예에 따른 표시장치는 기판과, 상기 기판 상의 빛 차단층과, 상기 빛 차단층 상의 제1 절연층과, 상기 제1 절연층 상에 배치되어 상기 제1 절연층에 이격 형성된 제1 홀들을 통해 상기 빛 차단층과 전기적으로 연결된 액티브 층과, 상기 액티브 층 상의 게이트 절연층과, 상기 게이트 절연층 상의 게이트 전극과, 상기 게이트 전극 상의 제2 절연층과, 상기 제2 절연층 상에 형성되며 상기 제2 절연층에 형성된 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극을 포함할 수 있다.

실시예는 구동 TFT로부터 OLED 사이의 구간에 별도의 전류 경로를 추가함으로써, 문턱 전압값 상승 방지 및 장기 구동에 따른 화소의 저하가 발생하는 것을 방지할 수 있게 된다.

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

R 화소 영역, W 화소 영역, B 화소 영역, G 화소 영역을 포함하는 표시장치에 있어서, 화이트 색상을 구현하기 위한 R 화소 영역, W 화소 영역, B 화소 영역 들 중 어느 하나를 포함하는 화소 영역은

기판;

상기 기판 상의 빛 차단층;

상기 빛 차단층 상의 제1 절연층;

상기 제1 절연층 상에 배치되어 상기 제1 절연층에 이격 형성된 제1 홀들을 통해 상기 빛 차단층과 전기적으로 연결된 액티브 층;

상기 액티브 층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극;

상기 게이트 전극 상의 제2 절연층; 및

상기 제2 절연층 상에 형성되며 상기 제2 절연층에 형성된 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극;으로 이루어진 표시장치.

청구항 2

제 1 항에 있어서,

상기 액티브 층은 상기 게이트 전극과 상기 소스 전극 사이의 영역에서 이격 형성된 제1 홀들을 통해 상기 빛 차단층과 전기적으로 연결되는 표시장치.

청구항 3

제 1 항에 있어서,

상기 드레인 전극 및 상기 소스 전극 상에는 보호층이 더 배치되고, 상기 보호층 상에는 유기 발광층이 더 배치되는 표시장치.

청구항 4

제 3 항에 있어서,

상기 유기 발광층은 제1 전극층과, 상기 제1 전극층 상에 배치된 발광층과, 상기 발광층 상에 배치된 제2 전극층을 포함하는 표시장치.

청구항 5

제 5 항에 있어서,

상기 제1 전극층은 상기 보호층 상에 형성된 홀을 통해 소스 전극과 전기적으로 연결되는 표시장치.

청구항 6

제 1 항에 있어서,

상기 화이트 색상을 구현하지 않는 화소 영역은

기판;

상기 기판 상의 빛 차단층;

상기 빛 차단층 상의 제1 절연층;

상기 제1 절연층 상의 액티브 층;

상기 액티브 층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극;

상기 게이트 전극 상의 제2 절연층; 및

상기 제2 절연층 상에 배치되며 상기 제2 절연층의 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극; 을 포함하는 표시장치.

청구항 7

기판;

상기 기판 상의 빛 차단층;

상기 빛 차단층 상의 제1 절연층;

상기 제1 절연층 상에 배치되어 상기 제1 절연층에 형성된 제1 홀을 통해 상기 빛 차단층과 전기적으로 연결된 액티브 층;

상기 액티브 층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극;

상기 게이트 전극 상의 제2 절연층; 및

상기 제2 절연층 상에 형성되며 상기 제2 절연층에 형성된 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극; 을 포함하고,

상기 소스 전극은 상기 제1 절연층 및 상기 제2 절연층에 형성된 제4 홀을 통해 상기 빛 차단층과 전기적으로 연결된 표시장치.

청구항 8

제 7 항에 있어서,

상기 제4 홀은 상기 액티브 층이 형성되지 않은 제1 절연층 및 상기 제2 절연층을 관통하는 표시장치.

청구항 9

제 7 항에 있어서,

상기 드레인 전극 및 상기 소스 전극 상에는 보호층이 더 배치되고, 상기 보호층 상에는 유기 발광층이 더 배치되는 표시장치.

청구항 10

제 9 항에 있어서,

상기 유기 발광층은 제1 전극층과, 상기 제1 전극층 상에 배치된 발광층과, 상기 발광층 상에 배치된 제2 전극층을 포함하는 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 전극층은 상기 보호층 상에 형성된 홀을 통해 소스 전극과 전기적으로 연결되는 표시장치.

발명의 설명

기술 분야

[0001] 실시예는 품질을 향상시키기 위한 표시장치에 관한 것이다.

배경 기술

[0002] 정보 통신 발달과 함께 표시장치가 급격하게 발전해오고 있다. 표시장치 중 유기발광 표시장치는 자발광 소자로서, 별도의 백라이트 유닛을 구비하지 않아도 되므로, 다른 표시장치에 비해 얇게 형성하며 낮은 소비전력을 가질 수 있다.

[0003] 유기발광 표시장치는 구동 트랜지스터(TFT)에 인가되는 전압을 제어하여 유기발광다이오드에 흐르는 전류를 조절할 수 있으며, 상기 전류에 의해 유기발광다이오드의 발광 정도를 조절된다.

[0004] 유기발광 표시장치는 화이트 컬러를 표현하기 위해 W,R,G,B 화소 중 2개 이상의 조합으로 구동할 수 있으며, 그 하나의 방법으로 W,R,B 화소를 동시에 구동하여 구현할 수 있다. 이로 인해 W,R,B 화소는 다른 화소에 비해 구동 시간의 비율이 높아지게 된다.

[0005] W,R,B의 구동 시간의 비율이 높아지게 되면, 구동 TFT의 문턱 전압(V_{th})이 점점 커지게 되고, 이로 인해 게이트 단자와 소스 단자 사이의 전압(V_{gs})은 더 커져야 한다.

[0006] 하지만, 구동 TFT에 인가되는 전압(V_{data})은 한계가 있기 때문에 문턱 전압(V_{th})이 증가함에 따라 그에 대응되는 게이트 단자와 소스 단자 사이의 전압(V_{gs})을 상승시키는 것에 제한이 있다.

[0007] 따라서, 게이트 단자와 소스 단자 사이의 전압(V_{gs})의 최대값이 유지되는 동안 문턱 전압(V_{th}) 값만 커지게 되면, 유기발광 표시장치에 공급되는 전류의 크기가 감소되어 휘도가 저하되는 문제점이 발생된다.

발명의 내용

해결하려는 과제

[0008] 상기와 같은 문제점을 해결하기 위해, 실시예는 장기 구동에 따른 문턱 전압값이 상승하는 것을 방지하기 위한 표시장치를 제공하는 것을 그 목적으로 한다

[0009] 또한, 실시예는 구동 시간의 비율이 높은 화소들의 장기 구동에 따른 스트레스에 의한 휘도 저하를 방지하기 위한 표시장치를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0010] 상술한 목적을 달성하기 위하여, 실시예는 유기 발광층에 공급되는 전류가 감소되는 것을 방지하기 위해 게이트 전극과 소스 전극 사이에 전류 경로를 추가하는 구조로 형성할 수 있다. 이러한 구조의 표시장치는 기판과, 상기 기판 상의 빛 차단층과, 상기 빛 차단층 상의 제1 절연층과, 상기 제1 절연층 상에 배치되어 상기 제1 절연층에 이격 형성된 제1 홀들을 통해 상기 빛 차단층과 전기적으로 연결된 액티브 층과, 상기 액티브 층 상의 게이트 절연층과, 상기 게이트 절연층 상의 게이트 전극과, 상기 게이트 전극 상의 제2 절연층과, 상기 제2 절연층 상에 형성되며 상기 제2 절연층에 형성된 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극을 포함할 수 있다.

[0011] 또한, 다른 실시예에 따른 표시장치는 기판과, 상기 기판 상의 빛 차단층과, 상기 빛 차단층 상의 제1 절연층과, 상기 제1 절연층 상에 배치되어 상기 제1 절연층에 형성된 제1 홀을 통해 상기 빛 차단층과 전기적으로 연결된 액티브 층과, 상기 액티브 층 상의 게이트 절연층과, 상기 게이트 절연층 상의 게이트 전극과, 상기 게이트 전극 상의 제2 절연층과, 상기 제2 절연층 상에 형성되며 상기 제2 절연층에 형성된 제2 홀 및 제3 홀을 통해 상기 액티브 층과 전기적으로 연결된 드레인 전극 및 소스 전극을 포함하고, 상기 소스 전극은 상기 제1 절연층 및 상기 제2 절연층에 형성된 제4 홀을 통해 상기 빛 차단층과 전기적으로 연결될 수 있다.

발명의 효과

[0012] 실시예는 전류 경로를 병렬 구조로 형성함으로써, 전류 흐름이 개선되어 구동 TFT에 인가되는 스트레스를 감소시켜 문턱 전압값이 증가하는 것을 방지할 수 있는 효과가 있다.

[0013] 또한, 실시예는 게이트 단자와 소스 단자 사이의 전압(V_{gs})을 낮추더라도 일정한 전류를 유지할 수 있게 되어 휘도 저하가 발생하는 것을 방지할 수 있게 된다.

[0014] 또한, 실시예는 전류 경로를 기존에 형성된 액티브 층과 빛 차단층을 이용하여 형성하기 때문에 개구부가 감소하는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0015] 도 1은 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도이다.
 도 2는 제1 실시예에 따른 유기발광 표시장치의 화소 구조를 나타낸 회로도이다.
 도 3은 제1 실시예에 따른 유기발광 표시장치의 R 화소 영역의 단면도이다.
 도 4는 도 3의 A-A'-B를 나타낸 단면도이다.
 도 5는 제1 실시예에 따른 유기발광 표시장치의 전류 흐름을 나타낸 도면이다.
 도 6은 제1 실시예에 따른 유기발광 표시장치의 G 화소 영역의 단면도이다.
 도 7은 제2 실시예에 따른 유기발광 표시장치의 R 화소 영역의 단면도이다.
 도 8은 도 7의 A-A'-B를 나타낸 단면도이다.
 도 9는 제2 실시예에 따른 유기발광 표시장치의 전류 흐름을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 도면을 참조하여 실시예를 상세히 설명하기로 한다.

[0017] 도 1은 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도이고, 도 2는 제1 실시예에 따른 유기발광 표시장치의 화소 구조를 나타낸 회로도이고, 도 3은 제1 실시예에 따른 유기발광 표시장치의 R 화소 영역의 단면도이고, 도 4는 도 3의 A-A'-B를 나타낸 단면도이고, 도 5는 제1 실시예에 따른 유기발광 표시장치의 전류 흐름을 나타낸 도면이고, 도 6은 제1 실시예에 따른 유기발광 표시장치의 G 화소 영역의 단면도이다.

[0018] 도 1을 참조하면, 제1 실시예에 따른 유기발광 표시장치(100)는 OLED 발광부과, 상기 OLED 발광부를 구동시키기 위한 구동 회로부(TFT)를 포함할 수 있다.

[0019] OLED 발광부는 화소 영역(P)을 포함할 수 있다. 화소 영역(P)에는 R, W, B, G 화소들 중 어느 하나가 배치되며, 4개의 화소가 하나의 화소 군을 이루도록 형성될 수 있다. 화소 군은 R, W, B, G 화소가 일렬로 배치되어 형성될 수 있다. 물론, R, W, B, G 화소의 배열 구조는 변경될 수 있다. W 화소의 크기는 다른 서브 화소의 크기보다 크게 형성될 수 있다. R 화소는 B 화소, G 화소보다 크게 형성될 수 있다.

[0020] OLED 발광부의 일측에는 구동 회로부(TFT)를 배치될 수 있다. 구동 회로부(TFT)는 OLED 발광부를 구동시키는 역할을 한다.

[0021] 도 2에 도시된 바와 같이, R, W, G, B 화소의 각 구동 회로부(TFT)는 스캔 스위치(SC TFT), 구동 스위치(DR TFT), 센싱 스위치(SE TFT) 그리고 유기발광다이오드(OLED)와 스토리지 커패시터(Cst)를 포함할 수 있다.

[0022] 스캔 TFT(SC TFT)는 스캔 펄스에 의해 제어되고 소스 라인(SL) 상의 데이터를 화소 영역(P)에 공급하기 위한 트랜지스터로써 소스 라인(SL)과 제1 노드(N1) 사이에 연결될 수 있다. 구동 TFT(DR TFT)는 자신의 게이트-소스인 제1 노드(N1)와 제2 노드(N2) 사이의 전압에 의해 유기발광다이오드(OLED)에 흐르는 전류를 조절하는 트랜지스터로써, 게이트 단자(G)가 제1 노드(N1)에 연결되고, 소스 단자(S)가 제2 노드(N2)에 연결되고, 드레인 단자(D)가 제1 구동 전원(EVDD)에 연결될 수 있다.

[0023] 센싱 TFT(SE TFT)는 제2 노드(N2)를 초기화 및 센싱 제어 라인을 통해 구동 스위치(DR TFT)의 문턱 전압(V_{th})을 검출할 수 있도록 제어하는 트랜지스터로써, 센싱 제어 라인 상의 센싱 제어 신호(SCS)에 의해 제어될 수 있다. 여기서, 센싱 제어 라인은 게이트 라인과 평행하게 배치될 수 있다. 센싱 TFT(SE TFT)에는 샘플링 신호 스위치(미도시) 및 컨버터(미도시)가 연결되고, 센싱 TFT(SE TFT)와 샘플링 신호 스위치(미도시) 사이의 단자로부터 초기화 제어신호 스위치(미도시)가 연결될 수 있다.

[0024] 상기 유기발광다이오드(OLED)의 애노드 단자는 제2 노드(N2)에 연결되고, 캐소드 단자는 제2 구동 전원(EVSS)에 연결될 수 있다. 상기 스토리지 커패시터(Cst)는 제1 및 제2 노드(N1, N2) 사이, 즉 구동 스위치(DR TFT)의 게이트 및 소스 단자 사이에 연결될 수 있다.

- [0025] 빛 차단층(Light Shield Layer, LS)은 구동 회로부(TFT)가 형성된 전체 영역에 형성될 수 있다. 구동 TFT(DR TFT)와 빛 차단층(LS) 사이에는 병렬 구조의 전류 경로(Path)를 형성할 수 있다. 이를 위해 구동 TFT(DR TFT)는 빛 차단층(LS)과 2개의 접점을 이용하여 구동 TFT(DR TFT)와 빛 차단층(LS)을 병렬 구조로 형성할 수 있다.
- [0026] 본 실시예에서 빛 차단층(LS)은 화이트 컬러를 표시하기 위한 화소에서 구동 TFT(DR TFT) 사이에서 전류 경로를 형성할 수 있다. 보다 상세하게, R 화소, W 화소, B 화소에서 구동 TFT(DR TFT)와 빛 차단층(LS) 사이에서 전류 경로를 병렬 구조로 형성할 수 있다.
- [0027] 따라서, 구동 시간이 높은 화소 예컨대, R 화소, W 화소, B 화소에 따른 문턱 전압의 상승을 방지할 수 있으며, 문턱 전압 상승에 따라 휘도가 저하되는 것을 방지할 수 있게 된다.
- [0028] R 화소, W 화소, B 화소, G 화소를 모두 병렬 구조의 전류 경로를 형성하게 되면 장기간 비구동을 하는 화소는 문턱 전압값이 점차 작아지게 되는 상황이 발생된다. 이렇게 되면, 장기간 비구동 하는 화소는 게이트 전극과 소스 전극 사이의 전압(Vgs)을 인가하지 않아도 발광이 될 수 있다.
- [0029] 하지만, 전체 화소 중 일부 화소 예컨대, R 화소, W 화소, B 화소만을 병렬 구조로 형성하여 화소들 간 비대칭 구조로 설계하게 되면, 장기간 비구동하는 화소가 불필요하게 발광되는 것을 방지할 수 있게 된다.
- [0030] 이하에서는 빛 차단층과 구동 TFT 사이에 전류 경로가 형성되는 구조 및 그 동작을 보다 상세히 설명하기로 한다.
- [0031] 도 3 및 도 4에 도시된 바와 같이, R,W,B 영역의 유기발광 표시장치(100)는 기판(110)과, 상기 기판(110) 상의 빛 차단층(120)과, 상기 빛 차단층(120) 상의 제1 절연층(191)과, 상기 제1 절연층(191) 상에 배치되어 상기 제1 절연층(191)에 이격 형성된 제1 홀(H1)들을 통해 상기 빛 차단층(120)과 전기적으로 연결된 액티브 층(130)과, 상기 액티브 층(130) 상의 게이트 절연층(195)과, 상기 게이트 절연층(195) 상의 게이트 전극(140)과, 상기 게이트 전극(140) 상의 제2 절연층(193)과, 상기 제2 절연층(193) 상에 형성되며 상기 제2 절연층(193)에 형성된 제2 홀(H2) 및 제3 홀(H3)을 통해 상기 액티브 층(130)과 전기적으로 연결된 드레인 전극(150) 및 소스 전극(160)과, 상기 드레인 전극(150)과 소스 전극(160) 상에 배치된 보호층(170)과, 상기 보호층(170) 상에 배치된 유기 발광층(180)을 포함할 수 있다.
- [0032] 기판(110)은 투명한 재질로 형성될 수 있다. 기판(110)은 리지드하거나, 플렉시블한 재질로 형성될 수 있다. 기판(110)은 투명한 유리 또는 플라스틱 재질로 형성될 수 있다.
- [0033] 빛 차단층(Light Shield Layer, 120)은 불투명한 재질로 형성될 수 있다. 빛 차단층(120)은 불투명한 금속 재질로 형성될 수 있다. 빛 차단층(120)은 화소를 구동하는 구동 회로부(TFT)가 형성된 영역에만 한정되어 형성될 수 있다.
- [0034] 빛 차단층(120) 상에는 제1 절연층(191)이 형성될 수 있다. 제1 절연층(191)은 유기막을 포함할 수 있다. 제1 절연층(191)은 폴리이미드(Poly Imide, PI), 폴리아마이드(Poly Amide, PA)를 포함할 수 있다.
- [0035] 제1 절연층(191) 상에는 액티브 층(130)이 형성될 수 있다. 액티브 층(130)은 액티브 층(130)과 연결되는 도전성 라인(131)을 더 포함할 수 있다. 여기서, 액티브 층(130)은 반도체층이며, 도전성 라인(131)은 도체층일 수 있다. 도전성 라인(131)은 액티브 층(130)과 하나의 구성요소, 예컨대, 액티브 층(130)으로 지칭될 수 있다. 액티브 층(130)은 광을 투과할 수 있는 투명한 재질의 인듐-틴-옥사이드(ITO) 재질로 형성될 수 있으며, 기판(110) 상에 증착된 ITO를 포토 공정 및 식각 공정으로 패터닝하여 각 화소에 배치되도록 형성할 수 있다.
- [0036] 액티브 층(130)은 제1 절연층(191)에 서로 이격 형성된 제1 홀(H1)들을 통해 빛 차단층(120)과 전기적으로 연결될 수 있다. 제1 홀(H1)들은 게이트 전극(140)과 소스 전극(160) 사이의 영역에 형성될 수 있다. 액티브 층(130)은 게이트 전극(140)과 소스 전극(160) 사이의 영역에서 제1 홀(H1)들을 통해 빛 차단층(120)과 전기적으로 연결될 수 있다. 제1 홀(H1)들에 의해 액티브 층(130)과 빛 차단층(120)은 병렬 구조를 이룰 수 있다.
- [0037] 액티브 층(130) 상에는 게이트 절연층(195)이 배치될 수 있다. 게이트 절연층(195) 상에는 게이트 전극(140)이 형성될 수 있다.
- [0038] 게이트 전극(140) 상에는 제2 절연층(193)이 형성될 수 있다. 제2 절연층(193)은 제1 절연층(191)의 재질과 동일한 재질로 형성될 수 있다. 제2 절연층(193)은 게이트 전극(140) 및 액티브 층(130)을 덮도록 형성될 수 있다.
- [0039] 제2 절연층(193) 상에는 드레인 전극(150) 및 소스 전극(160)이 형성될 수 있다. 드레인 전극(150)은 게이트 전

극(140)의 일측에 이격되어 형성될 수 있다. 드레인 전극(150)은 제2 절연층(193) 상에 형성되어 액티브 층(130)과 전기적으로 연결되도록 형성될 수 있다. 이를 위해 제2 절연층(193)에는 제2 홀(H2)이 형성될 수 있다.

[0040] 소스 전극(160)은 드레인 전극(150)과 이격 배치될 수 있다. 소스 전극(160)은 게이트 전극(150)의 타측에 이격되어 형성될 수 있다. 소스 전극(160)은 제2 절연층(193) 상에 형성되어 액티브 층(130)과 전기적으로 연결되도록 형성될 수 있다. 이를 위해 제2 절연층(193)에는 제3 홀(H3)이 형성될 수 있다.

[0041] 드레인 전극(150)과 소스 전극(160) 상에는 보호층(170)이 형성될 수 있다. 보호층(170)은 절연 재질을 포함할 수 있다. 보호층(170)은 평탄화층일 수 있다.

[0042] 유기 발광층(180)은 보호층(170) 상에 형성될 수 있다. 유기 발광층(180)은 제1 전극층(181)과 제2 전극층(184) 사이에 개재된 발광층(EML; Elctron Emission Layer, 183)을 포함할 수 있다. 여기서, 유기 발광층(100)은 정공주입층(HIL; Hole Injuction Layer, 미도시), 정공수송층(HTL; Hole Transfer Layer, 미도시), 전자수송층(ETL; Elctron Transfer Layer, 미도시), 및 전자주입층(EIL; Elctron Injection Layer, 미도시)을 더 포함할 수 있다.

[0043] 제1 전극층(181)은 소스 전극(160)과 전기적으로 접속될 수 있다. 이를 위해 제1 전극층(181)은 보호층(170)에 형성된 홀을 통해 소스 전극(160)과 접촉될 수 있다. 제1 전극층(181)은 애노드 전극, 또는 캐소드 전극일 수 있다. 제1 전극층(181)은 ITO, IZO 등의 산화물을 포함하는 투명 도전체로 형성될 수 있으며, 불투명 금속 재질을 가지는 반사막 상에서 화소 단위로 패터닝될 수 있다. 제1 전극층(181)은 소스 전극(160)을 경유하여 공급되는 전류를 발광층(183)에 인가한다.

[0044] 제1 전극층(181)과 발광층(183) 사이에는 बैं크층(182)이 형성될 수 있다. बैं크층(182)은 일정 영역에 홀이 형성되는 구조일 수 있다. बैं크층(182)은 절연 재질로 형성될 수 있다. बैं크층(182)이 형성되지 않은 영역에 배치된 발광층(183)은 화상을 표시하게 되며, बैं크층(182) 상에 형성된 발광층(183)은 बैं크층(182)에 의해 화상이 표시되지 않는다.

[0045] 제2 전극층(184)은 제1 전극층(181)이 애노드 전극일 경우, 캐소드 전극일 수 있다. 제2 전극층(184)으로는 금속 재질의 단층 구조로 형성될 수 있다. 이와 달리, 제2 전극층(184)은 유전층들 사이에 배치된 제1 및 제2 층의 금속층을 가지는 다층 구조로 형성될 수 있다.

[0046] 도 5에 도시된 바와 같이, 제1 실시예에 따른 유기발광 표시장치의 전류 흐름을 살펴보게 되면, 게이트 전극과 소스 전극 사이의 전압(V_{gs})에 의해 출력되는 기준 전류(I)는 액티브 층(130)의 도전성 라인(131)과 빛 차단층(120)의 병렬 구조에 의해 도전성 라인(131)과 빛 차단층(120)이 최초로 전기적으로 접촉되는 시점을 기준으로 액티브 층의 도전성 라인(131)에 제1 전류(I_1)가 흐르게 되고, 빛 차단층(120)에는 제2 전류(I_2)가 흐르게 된다.

[0047] 제1 전류(I_1) 및 제2 전류(I_2)는 액티브 층의 도전성 라인(131)과 빛 차단층(120)이 전기적으로 재접촉되는 시점을 기준으로 액티브 층의 도전성 라인(131)에는 제1 전류(I_1)와 제2 전류(I_2)가 합쳐지게 되어 최초의 기준 전류(I)가 공급된다. 이때, 기준 전류(I)가 액티브 층의 도전성 라인(131)과 빛 차단층(120)에 나누어 흐르게 됨에 따라 각 층의 내부 저항에 따른 전류의 영향을 최소화시킬 수 있으며, 이로 인해 게이트와 소스 사이의 전압(V_{gs})는 종래에 비해 현저히 낮출 수 있게 된다.

[0048] 따라서, 실시예는 전류 경로를 병렬 구조로 형성함으로써, 문턱 전압이 상승하는 것을 방지할 수 있는 효과가 있다.

[0049] 또한, 실시예는 게이트 단자와 소스 단자 사이의 전압(V_{gs})을 낮추더라도 일정한 전류를 유지할 수 있게 되어 휘도 저하가 발생하는 것을 방지할 수 있게 된다.

[0050] 또한, 전류 경로를 기존에 형성된 액티브 층과 빛 차단층을 이용하여 형성하기 때문에 개구부가 감소하는 것을 방지할 수 있는 효과가 있다.

[0051] 도 6에 도시된 바와 같이, G 화소 영역의 유기발광 표시장치는 기관(110)과, 상기 기관(110) 상에 형성된 빛 차단층(120)과, 상기 빛 차단층 상에 형성된 제1 절연층(191)과, 상기 제1 절연층(191) 상에 형성된 액티브 층(130)과, 상기 액티브 층(130) 상의 게이트 절연층(195)과, 상기 게이트 절연층(195) 상에 형성된 게이트 전극(140)과, 상기 게이트 전극(140) 상에 형성된 제2 절연층(193)과, 상기 제2 절연층(193) 상에 이격 형성되며 상기 제2 절연층(193)에 형성되어 제2 홀(H2) 및 제3 홀(H3)을 통해 상기 액티브 층(130)과 전기적으로 연결된 드레인 전극(150) 및 소스 전극(160)과, 상기 드레인 전극(150) 및 소스 전극(160) 상에 형성된 보호층(170)과,

상기 보호층(170) 상에 형성된 유기 발광층(180)을 포함할 수 있다.

- [0052] G 화소 영역의 유기발광 표시장치는 R,W,B 화소 영역의 유기발광 표시장치와 다르게 액티브 층(130)과 빛 차단층(120)이 전기적으로 연결되지 않은 구조이며, 나머지 구성 요소는 도 4의 구조와 동일하므로 생략한다.
- [0053] 도 7은 제2 실시예에 따른 유기발광 표시장치의 R 화소 영역의 단면도이고, 도 8은 도 7의 A-A'-B를 나타낸 단면도이고, 도 9는 제2 실시예에 따른 유기발광 표시장치의 전류 흐름을 나타낸 도면이다.
- [0054] 도 7 및 도 8을 참조하면, R,W,B 영역의 유기발광 표시장치(200)는 기판(210)과, 상기 기판(210) 상의 빛 차단층(220)과, 상기 빛 차단층(220) 상의 제1 절연층(291)과, 상기 제1 절연층(291) 상에 배치되어 상기 제1 절연층(291)에 형성된 제1 홀(H1)을 통해 상기 빛 차단층(220)과 전기적으로 연결된 액티브 층(230)과, 상기 액티브 층(230) 상의 게이트 절연층(295)과, 상기 게이트 절연층(295) 상의 게이트 전극(240)과, 상기 게이트 전극(240) 상의 제2 절연층(293)과, 상기 제2 절연층(293) 상에 형성되며 상기 제2 절연층(293)에 형성된 제2 홀(H2) 및 제3 홀(H3)을 통해 상기 액티브 층(230)과 전기적으로 연결된 드레인 전극(250) 및 소스 전극(260)을 포함하고, 상기 소스 전극(260)은 상기 제1 절연층(291) 및 상기 제2 절연층(293)에 형성된 제4 홀(H4)을 통해 상기 빛 차단층(220)과 전기적으로 연결될 수 있다. 여기서, 제1 실시예에 따른 유기발광 표시장치의 구성과 중복되는 구성 요소의 설명은 생략한다.
- [0055] 액티브 층(230)은 제1 절연층(291)에 서로 이격 형성된 제1 홀(H1)들을 통해 빛 차단층(220)과 전기적으로 연결될 수 있다. 빛 차단층(220)은 액티브 층(230)의 도전성 라인(231)과 직접 연결될 수 있다.
- [0056] 제1 홀(H1)은 게이트 전극(240)과 소스 전극(260) 사이의 영역에 형성될 수 있다. 액티브 층(230)은 게이트 전극(240)과 소스 전극(260) 사이의 영역에서 제1 홀(H1)들을 통해 빛 차단층(220)과 전기적으로 연결될 수 있다.
- [0057] 소스 전극(260)은 제2 절연층(293) 상에서 드레인 전극(250)과 이격 배치될 수 있다. 소스 전극(260)은 게이트 전극(250)의 타측에 이격되어 형성될 수 있다. 소스 전극(260)은 액티브 층(230)과 전기적으로 연결되도록 형성될 수 있다. 이를 위해 제2 절연층(293)에는 제3 홀(H3)이 형성될 수 있다.
- [0058] 소스 전극(260)은 빛 차단층(220)과 전기적으로 연결될 수 있다. 이를 위해 제1 절연층(291)과 제2 절연층(293)에는 제4 홀(H4)이 형성될 수 있다. 제4 홀(H4)은 제3 홀(H3)과 이격 형성될 수 있다. 제4 홀(H4)은 빛 차단층(220)이 형성되지 않은 제1 절연층(291)과 제2 절연층(293)을 관통하도록 형성될 수 있다.
- [0059] 도 9에 도시된 바와 같이, 제2 실시예에 따른 유기발광 표시장치의 전류 흐름을 살펴보면, 게이트 전극과 소스 전극 사이의 전압(V_{gs})에 의해 출력되는 기준 전류(I)는 액티브 층의 도전성 라인(231)과 빛 차단층(220)이 접촉되는 시점을 기준으로 액티브 층의 도전성 라인(231)에 제1 전류(I_1)가 흐르게 되고, 빛 차단층(220)에는 제2 전류(I_2)가 흐르게 된다.
- [0060] 제1 전류(I_1)는 액티브 층의 도전성 라인(231)과 연결된 소스 전극(260)에 흐르게 되고, 제2 전류(I_2)는 빛 차단층(220)과 연결된 소스 전극(260)에 흐르게 된다. 소스 전극(260)에는 제1 전류(I_1)와 제2 전류(I_2)가 합쳐지게 되어 기준 전류(I)가 흐르게 된다.
- [0061] 즉, 기준 전류(I)는 액티브 층의 도전성 라인(231)과 빛 차단층(220)에 나누어 흐르게 됨에 따라 각 층의 저항에 따른 전류의 영향을 최소화시킬 수 있으며, 이로 인해 게이트와 소스 사이의 전압(V_{gs})은 종래에 비해 현저히 낮출 수 있게 된다.
- [0062] 따라서, 실시예는 별도의 전류 경로를 추가함으로써, 게이트 단자와 소스 단자 사이의 전압(V_{gs})을 낮추더라도 일정한 전류를 유지할 수 있게 되어 휘도 저하가 발생하는 것을 방지할 수 있게 된다.
- [0063] 상기에서는 도면 및 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 실시예의 기술적 사상으로부터 벗어나지 않는 범위 내에서 실시예는 다양하게 수정 및 변경시킬 수 있음은 이해할 수 있을 것이다. 또한, 각 실시예들은 단독 또는 조합되어 이루어질 수 있다.

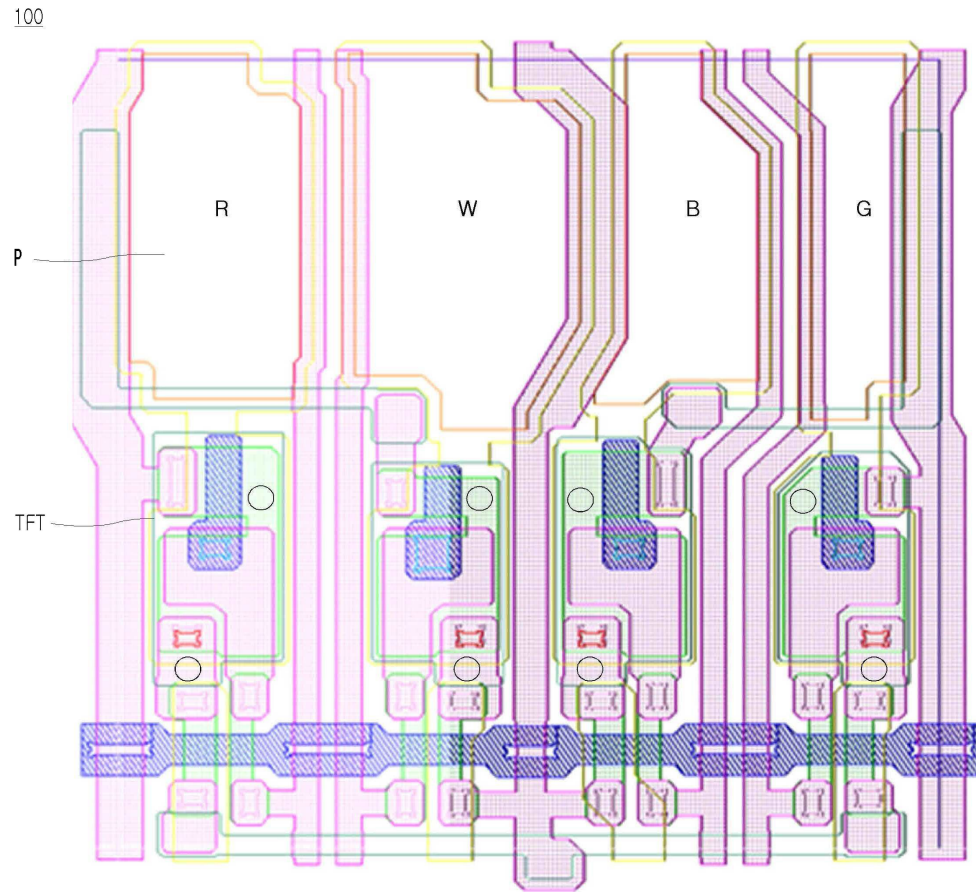
부호의 설명

- [0064] 110: 기판 120: 빛 차단층
130: 전극층 140: 게이트 전극

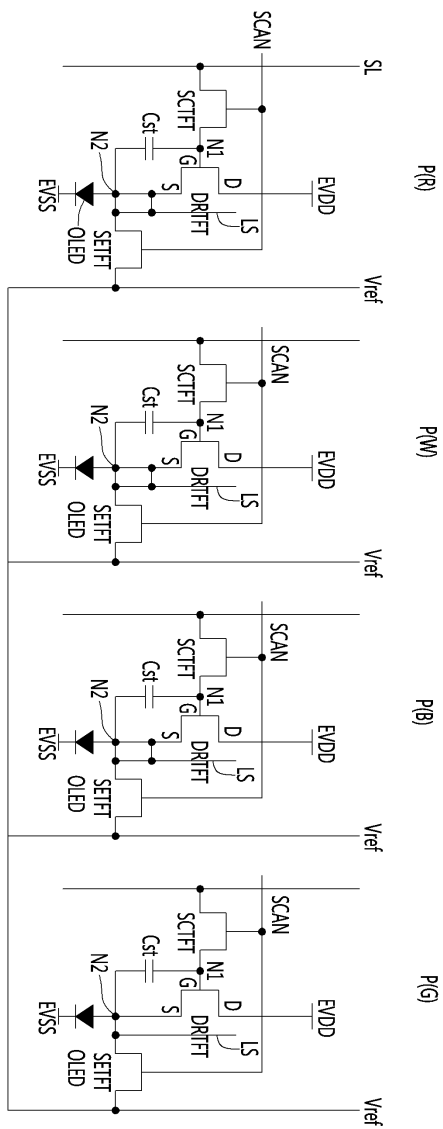
150: 드레인 전극 160: 소스 전극
170: 보호층 180: 유기 발광층

도면

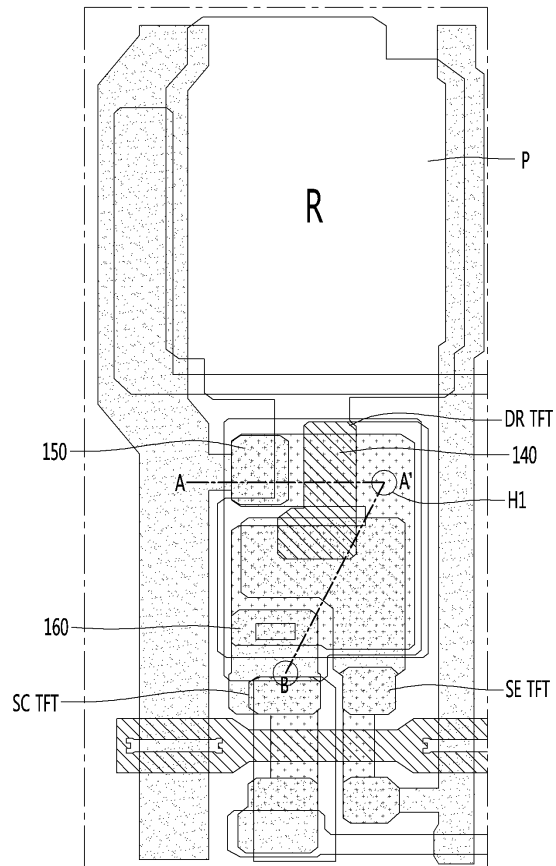
도면1



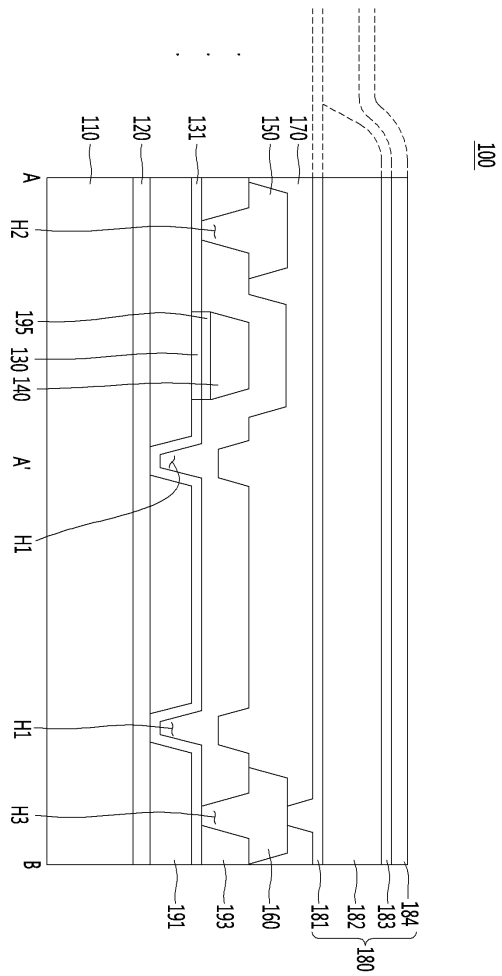
도면2



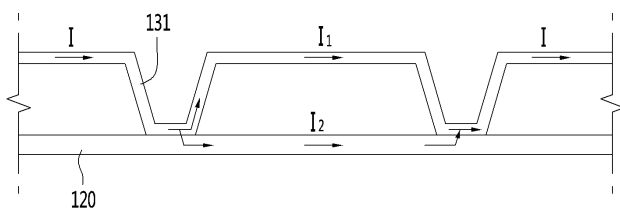
도면3



도면4

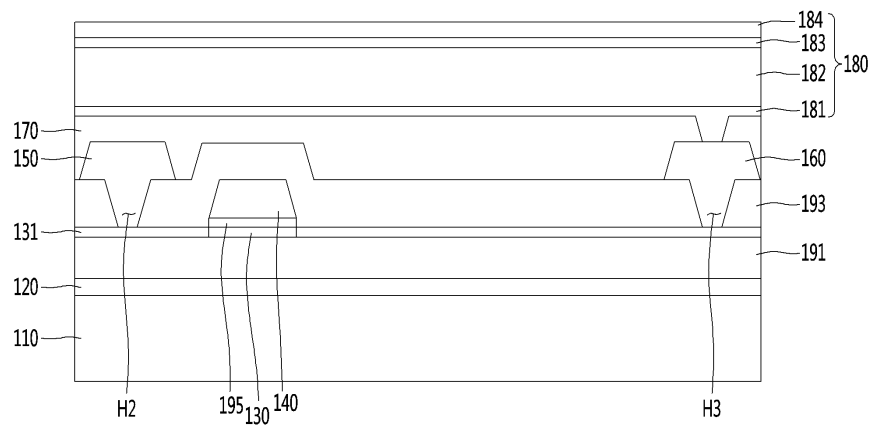


도면5

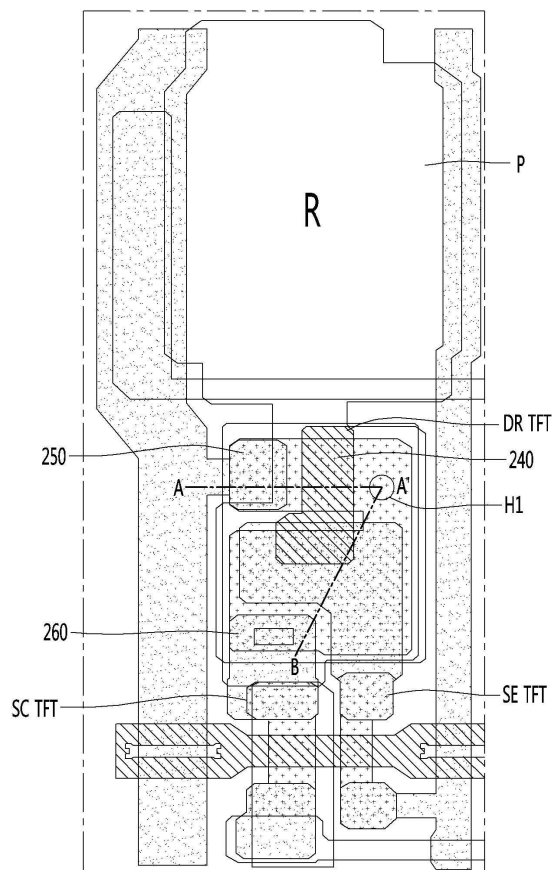


도면6

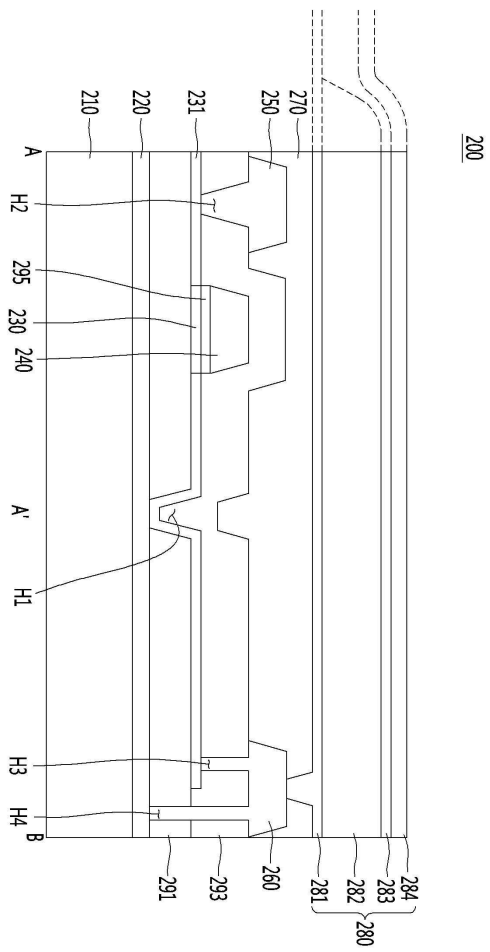
100



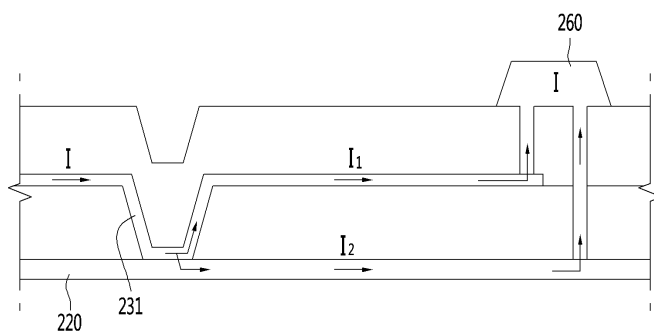
도면7



도면8



도면9



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020170065941A	公开(公告)日	2017-06-14
申请号	KR1020150172340	申请日	2015-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG KI MOON 정기문		
发明人	정기문		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3202 H01L27/3213 H01L27/3258 H01L27/3272 H01L27/3262 H01L2227/32		
外部链接	Espacenet		

摘要(译)

因此，该实施例通过根据像素的长期驱动的应力降低，电流路径防止根据长期驱动和启动时间的阈值电压值增加保护的速率高的亮度可以形成在栅电极和源电极之间添加的结构。为此，根据该实施例的显示装置包括通过基板上的光拦截层上的第一绝缘层的光拦截层，以及布置在第一绝缘层上并且分开形成的基板和光拦截层以及第一孔。在有源层上的栅极绝缘层上的第一绝缘层和栅电极上，电连接有源层和栅极绝缘层，以及栅电极和漏电极上的第二绝缘层以及电的源电极通过形成在第二绝缘层中的第二孔和第三孔连接，同时在第二绝缘层上形成有源层。该实施例将单独的电流路径添加到来自驱动TFT的OLED之间的部分。以这种方式，它根据阈值电压值增加保护和长期驱动来防止像素的劣化。

