(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026009
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2015-0123247
(22) 출원일자 2015년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정상훈
경기도 고양시 일산서구 강선로 141 (일산동,후곡마을16단지아파트) 1605동 601호
(74) 대리인
특허법인로얄

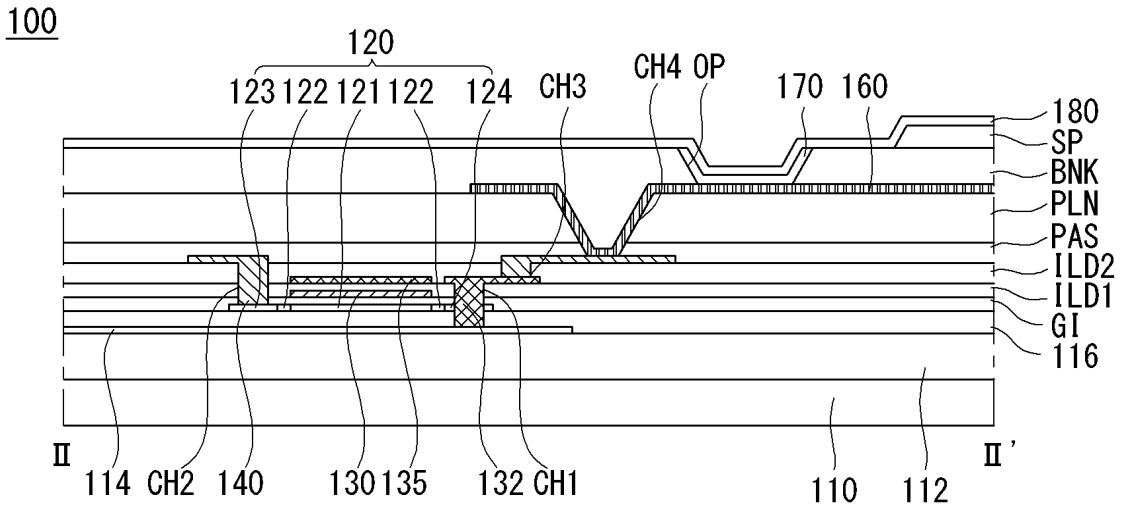
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **유기발광표시장치**

(57) 요 약

본 발명은 콘택홀의 개수를 줄여 고해상도에 적합한 유기발광표시장치를 제공하기 위한 것으로, 제2 게이트 전극과 연결전극이 제1 층간 절연막 상에 위치하고, 제2 게이트 전극은 제1 게이트 전극과 대응하게 위치하며, 연결전극은 반도체층을 관통하여 쉴드층에 연결된다. 드레인 전극은 제2 층간 절연막 상에 위치하여 반도체층에 연결되고, 소스 전극은 제2 층간 절연막 상에 위치하여 반도체층에 연결된 연결전극에 연결된다. 따라서, 하나의 콘택홀을 통해 반도체층과 쉴드층에 연결된 연결전극에 소스 전극이 연결됨으로써, 콘택홀의 개수를 줄일 수 있다.

대 표 도 - 도8



(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3272 (2013.01)
H01L 2227/32 (2013.01)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 위치하는 쉴드층;

상기 쉴드층 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 제1 게이트 전극;

상기 제1 게이트 전극 상에 위치하는 제1 층간 절연막;

상기 제1 층간 절연막 상에 위치하며, 상기 제1 게이트 전극과 대응하는 제2 게이트 전극, 및 상기 반도체층을 관통하여 상기 쉴드층에 연결된 연결전극;

상기 제2 게이트 전극과 상기 연결전극 상에 위치하는 제2 층간 절연막;

상기 제2 층간 절연막 상에 위치하며, 상기 반도체층에 연결된 드레인 전극 및 상기 연결전극에 연결된 소스 전극;

상기 드레인 전극 및 소스 전극 상에 위치하는 평탄화막; 및

상기 평탄화막 상에 위치하며 상기 소스 전극에 연결된 제1 전극을 포함하는 유기발광표시장치.

청구항 2

제1 항에 있어서,

상기 연결전극은 상기 제1 층간 절연막, 상기 게이트 절연막, 상기 반도체층 및 상기 버퍼층을 관통하는 제1 콘택홀을 통해 상기 쉴드층과 연결되는 유기발광표시장치.

청구항 3

제2 항에 있어서,

상기 연결전극은 상기 제1 콘택홀의 내주면에 노출된 상기 반도체층과 콘택하는 유기발광표시장치.

청구항 4

제3 항에 있어서,

상기 반도체층은 채널, 저농도 도핑영역, 소스 영역 및 드레인 영역을 포함하는 유기발광표시장치.

청구항 5

제4 항에 있어서,

상기 연결전극은 상기 반도체층의 소스 영역과 콘택하는 유기발광표시장치.

청구항 6

제1 항에 있어서,

상기 소스 전극은 상기 제2 층간 절연막, 상기 제1 층간 절연막 및 상기 게이트 절연막을 관통하는 제2 콘택홀을 통해 상기 반도체층과 연결되는 유기발광표시장치.

청구항 7

제1 항에 있어서,

상기 소스 전극은 상기 제2 층간 절연막을 관통하는 제3 콘택홀을 통해 상기 연결전극에 연결되는 유기발광표시장치.

청구항 8

제1 항에 있어서,

상기 연결전극은 상기 제2 게이트 전극과 동일 층에 위치하는 유기발광표시장치.

청구항 9

제1 항에 있어서,

상기 소스 전극은 상기 반도체층과 이격되어 위치하는 유기발광표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광표시장치에 관한 것으로, 보다 자세하게는 콘택홀의 개수를 줄여 고해상도를 구현할 수 있는 유기발광표시장치에 관한 것이다.

배 경 기 술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기발광표시장치(OLED : Organic Light Emitting Display) 등이 있다. 이 중에서 유기발광표시장치는(Organic Light Emitting Display)는 유기화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 유기발광표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0003] 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

[0004] 디스플레이 분야의 기술이 고도화됨에 따라 사용자들의 요구 또한 증가되고 있다. 특히, 고해상도의 표시장치에 대한 요구에 부합하기 위해, 화소의 크기를 점점 작게 설계해야 한다. 그러나, 종래에 제안된 유기발광표시장치의 화소 구조는 많은 콘택홀들이 존재하여 고해상도에 적합하지 않은 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0005] 상술한 배경기술의 문제점을 해결하기 위해 본 발명은 콘택홀의 개수를 줄여 고해상도를 구현할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

[0006] 상술한 과제 해결 수단으로, 본 발명의 유기발광표시장치는 기판, 쉴드층, 버퍼층, 반도체층, 게이트 절연막, 제1 게이트 전극, 제1 층간 절연막, 제2 게이트 전극과 연결전극, 제2 층간 절연막, 소스 전극과 드레인 전극 및 제1 전극을 포함한다. 쉴드층은 기판 상에 위치하고, 버퍼층은 쉴드층 상에 위치한다. 반도체층은 버퍼층 상에 위치하고, 게이트 절연막은 반도체층 상에 위치한다. 제1 게이트 전극은 게이트 절연막 상에 위치하고, 제1 층간 절연막은 제1 게이트 전극 상에 위치한다. 제2 게이트 전극과 연결전극은 제1 층간 절연막 상에 위치하는

데, 제2 게이트 전극은 제1 게이트 전극과 대응하게 위치하고, 연결전극은 반도체층을 관통하여 쉴드층에 연결된다. 제2 층간 절연막은 제2 게이트 전극과 연결전극 상에 위치한다. 드레인 전극은 제2 층간 절연막 상에 위치하여 반도체층에 연결되고, 소스 전극은 제2 층간 절연막 상에 위치하여 반도체층에 연결된 연결전극에 연결된다. 평탄화막은 소스 전극 및 드레인 전극 상에 위치하고, 제1 전극이 평탄화막 상에 위치하여 소스 전극에 연결된다.

[0007] 연결전극은 제1 층간 절연막, 게이트 절연막, 반도체층 및 버퍼층을 관통하는 제1 콘택홀을 통해 쉴드층과 연결된다. 그리고, 연결전극은 제1 콘택홀의 내주면에 노출된 반도체층과 콘택한다. 반도체층은 채널, 저농도 도핑 영역, 소스 영역 및 드레인 영역을 포함하고, 연결전극은 반도체층의 소스 영역과 콘택한다.

[0008] 드레인 전극은 제2 층간 절연막, 제1 층간 절연막 및 게이트 절연막을 관통하는 제2 콘택홀을 통해 반도체층과 연결되고, 소스 전극은 제2 층간 절연막을 관통하는 제3 콘택홀을 통해 연결전극에 연결된다. 연결전극은 제2 게이트 전극과 동일 층에 위치한다. 소스 전극은 반도체층과 이격되어 위치한다.

발명의 효과

[0009] 본 발명에 따른 유기발광표시장치는 반도체층을 관통하여 쉴드층을 노출하는 콘택홀을 형성함으로써, 연결전극이 하나의 콘택홀을 통해 반도체층과 쉴드층에 연결될 수 있다. 따라서, 반도체층에 연결되는 콘택홀 및 쉴드층에 연결되는 콘택홀 총 2개의 콘택홀을 1개로 줄일 수 있는 이점이 있다.

[0010] 그러므로, 본 발명에 따른 유기발광표시장치는 화소 내부에 형성된 콘택홀의 개수를 줄임으로써, 줄어든 콘택홀의 개수만큼 화소 크기를 줄일 수 있어 고해상도를 구현할 수 있는 이점이 있다.

도면의 간단한 설명

[0011] 도 1은 유기발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도.

도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도.

도 4는 본 발명의 제1 실시예에 따른 유기발광표시장치의 일부를 나타낸 평면도.

도 5는 도 4의 I-I'의 절취선에 따른 단면도.

도 6a 내지 도 6l은 본 발명의 제1 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도.

도 7은 본 발명의 제2 실시예에 따른 유기발광표시장치의 일부를 나타낸 평면도.

도 8은 도 7의 Ⅱ-Ⅱ'의 절취선에 따른 단면도.

도 9a 내지 도 9l은 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도.

도 10은 본 발명의 유기발광표시장치의 제1 콘택홀을 나타낸 단면도.

도 11은 도 10에 도시된 제1 콘택홀의 SEM 이미지.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0013] 본 발명에 따른 표시장치는 유연한 플라스틱 기판 상에 표시소자가 형성된 플라스틱 표시장치이다. 플라스틱 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다. 그러나, 본 발명에 따른 유기발광표시장치는 플라스틱 기판 외에

유리 기판에 형성될 수도 있다.

[0014] 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.

[0015] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도이고, 도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도이다.

[0016] 도 1을 참조하면, 유기발광표시장치는 영상 처리부(10), 타이밍 제어부(20), 데이터 구동부(30), 게이트 구동부(40) 및 표시 패널(50)을 포함한다.

[0017] 영상 처리부(10)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(10)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(10)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.

[0018] 타이밍 제어부(20)는 영상 처리부(10)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.

[0019] 타이밍 제어부(20)는 구동신호에 기초하여 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(20)는 제어 회로기판에 IC 형태로 형성된다.

[0020] 데이터 구동부(30)는 타이밍 제어부(20)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(20)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(30)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(30)는 데이터 회로기판에 IC 형태로 형성된다.

[0021] 게이트 구동부(40)는 타이밍 제어부(20)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(40)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(40)는 게이트 회로기판에 IC 형태로 형성되거나 표시 패널(50)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0022] 표시 패널(50)은 데이터 구동부(30) 및 게이트 구동부(40)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(50)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.

[0023] 도 2를 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0024] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다.

[0025] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.

[0026] 또한, 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

[0027] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(30) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다.

[0028] 또한, 도 2 및 도 3에서는 보상회로(CC)가 스위칭 트랜지스터(SW)와 구동 트랜지스터(DR) 사이에 위치하는 것으로 도시하였지만, 구동 트랜지스터(DR)와 유기발광다이오드(OLED) 사이에도 더 위치할 수도 있다. 보상회로(CC)의 위치와 구조는 도 2와 도 3에 한정되지 않는다.

[0029] 하기에서는 전술한 구동 트랜지스터(DR)와 발광다이오드(OLED)가 연결된 다양한 구조를 개시한다.

[0030] <제1 실시예>

[0031] 도 4는 본 발명의 제1 실시예에 따른 유기발광표시장치의 일부를 나타낸 평면도이고, 도 5는 도 4의 I-I'의 절취선에 따른 단면도이다.

[0032] 도 4를 참조하면, 기판(110) 상에 구동 트랜지스터(DR)와 제1 전극(160)이 구동 트랜지스터(DR)와 연결된다. 구동 트랜지스터(DR)는 쉴드층(114) 상에 위치한 반도체층(120)과, 반도체층(120)에 대응되는 제1 게이트 전극(130)과, 제1 게이트 전극(130)과 대응하여 제1 게이트 전극(130)과 이격된 제2 게이트 전극(135)과, 반도체층(120)의 양측에 각각 연결된 드레인 전극(140) 및 소스 전극(145)을 포함한다.

[0033] 구동 트랜지스터(DR)의 드레인 전극(140)은 제2 콘택홀(CH2)을 통해 반도체층(120)에 연결되고, 소스 전극(145)은 제3 콘택홀(CH3)을 통해 반도체층(120)에 연결된다. 또한, 소스 전극(145)은 제4 콘택홀(CH4)을 통해 연결전극(132)과 연결되고, 연결전극(132)은 제1 콘택홀(CH1)을 통해 쉴드층(114)과 연결되어 최종적으로 소스 전극(145)이 쉴드층(114)에 전기적으로 연결된다. 구동 트랜지스터(DR)의 소스 전극(145)은 제5 콘택홀(CH5)을 통해 제1 전극(160)에 연결된다. 제1 전극(160)은 뱅크층(미도시)의 개구부(OP)에 의해 노출된다.

[0034] 보다 구체적으로 도 5를 참조하면, 본 발명의 제1 실시예에 따른 유기발광표시장치(100)는 기판(110) 상에 제1 버퍼층(112)이 위치한다. 제1 버퍼층(112)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 제1 버퍼층(112) 상에 쉴드층(114)이 위치한다. 쉴드층(114)은 폴리이미드 기판을 사용함으로써 발생할 수 있는 패널구동 전류가 감소되는 것을 방지하는 역할을 한다. 쉴드층(114) 상에 제2 버퍼층(116)이 위치한다. 제2 버퍼층(116)은 쉴드층(114)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다.

[0035] 제2 버퍼층(116) 상에 반도체층(120)이 위치한다. 반도체층(120)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100㎠/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(120)은 p형 또는 n형의 불순물을 포함하는 드레인 영역(123) 및 소스 영역(124)을 포함하고 이들 사이에 채널(121)을 포함한다. 또한, 반도체층(120)은 채널(121)과 인접한 드레인 영역(123) 및 소스 영역(124) 사이에 저농도 도핑 영역(122)을 포함한다.

[0036] 반도체층(120) 상에 게이트 절연막(GI)이 위치하고, 게이트 절연막(GI) 상에 상기 반도체층(120)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널(121)과 대응되는 위치에 제1 게이트 전극(130)이 위치한다. 제1 게이트 전극(130)은 구동 트랜지스터(DR)의 게이트 전극으로 작용한다. 제1 게이트 전극(130)의 일측에 연결전극(132)이 위치한다. 연결전극(132)은 게이트 절연막(GI)과 제2 버퍼층(116)을 관통하는 제1 콘택홀(CH1)을 통해 쉴드층(114)에 연결된다.

[0037] 제1 게이트 전극(130) 상에 제1 게이트 전극(130)을 절연시키는 제1 층간 절연막(ILD1)이 위치한다. 제1 층간 절연막(ILD1) 상에 제2 게이트 전극(135)이 위치한다. 제2 게이트 전극(135)은 제1 게이트 전극(130)과 커패시터(capacitor)을 이루는 커패시터 전극으로, 구동 트랜지스터(DR)의 게이트 전극으로 작용하지 않는다. 제2 게이트 전극(135) 상에 제2 게이트 전극(135)을 절연시키는 제2 층간 절연막(ILD2)이 위치한다. 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)의 일부 영역에 반도체층(120)의 일부를 노출시키는 제2 및 제3 콘택홀들(CH2, CH3)이 위치한다. 제2 콘택홀(CH2)은 반도체층(120)의 드레인 영역(123)을 노출하고, 제3 콘택홀(CH3)은 반도체층(120)의 소스 영역(124)을 노출한다. 또한, 제2 층간 절연막(ILD2) 및 제1 층간 절연막(ILD1)의 일부 영역에 연결전극(132)을 노출시키는 제4 콘택홀(CH4)이 위치한다.

[0038] 제2 층간 절연막(ILD2) 상에 드레인 전극(140)과 소스 전극(145)이 위치한다. 드레인 전극(140)은 반도체층(120)의 드레인 영역(123)을 노출하는 제2 콘택홀(CH2)을 통해 반도체층(120)에 연결되고, 소스 전극(145)은 반

도체층(120)의 소스 영역(124)을 노출하는 제3 콘택홀(CH3)을 통해 반도체층(120)에 연결된다. 또한, 소스 전극(145)은 제2 층간 절연막(ILD2)과 제1 층간 절연막(ILD1)을 관통하여 연결전극(132)을 노출하는 제4 콘택홀(CH4)을 통해 연결전극(132)에 연결된다. 따라서, 반도체층(120), 제1 게이트 전극(130), 드레인 전극(140) 및 소스 전극(145)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0039] 구동 트랜지스터(DR)를 포함하는 기판(110) 상에 패시베이션막(PAS)이 위치하고, 패시베이션막(PAS) 상에 하부를 평탄화시키는 평탄화막(PLN)이 위치한다. 패시베이션막(PAS)과 평탄화막(PLN)의 일부 영역에는 소스 전극(145)을 노출시키는 제5 콘택홀(CH5)이 위치한다. 평탄화막(PLN) 상에 제1 전극(160)이 위치한다. 제1 전극(160)은 화소 전극으로 작용하며, 제5 콘택홀(CH5)을 통해 구동 트랜지스터(DR)의 소스 전극(145)에 연결된다. 제1 전극(160)을 포함하는 기판(110) 상에 화소를 구획하는 뱅크층(BNK)이 위치하고, 뱅크층(BNK)은 제1 전극(160)을 노출시키는 개구부(OP)가 위치한다. 뱅크층(BNK)의 개구부(OP)에는 제1 전극(160)에 컨택하는 발광층(170)이 위치하고, 발광층(170) 상에 제2 전극(180)이 위치한다.

[0040] 전술한 본 발명의 제1 실시예에 따른 유기발광표시장치는 쉴드층(114)과 구동 트랜지스터(DR)의 소스 전극(145)을 연결하기 위해, 제1 콘택홀(CH1)과 제4 콘택홀(CH4)을 형성하는 것을 개시한다. 이하, 본 발명의 제1 실시예에 따른 유기발광표시장치의 제조방법을 설명하기로 한다.

[0041] 도 6a 내지 도 6l은 본 발명의 제1 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도이다.

[0042] 도 6a를 참조하면, 기판(110)을 준비한다. 기판(110)은 유리, 플라스틱 또는 금속 등으로 이루어진다. 본 발명에서 기판(110)은 플라스틱으로 이루어지되 구체적으로 폴리이미드(Polyimide) 기판일 수 있다. 따라서, 본 발명의 기판(110)은 유연한(flexible)한 특성을 가진다. 기판(110) 상에 제1 버퍼층(112)을 형성한다. 제1 버퍼층(112)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 제1 버퍼층(112) 상에 불투명한 재료를 적층하고 제1 마스크로 패터닝하여 쉴드층(114)을 형성한다. 쉴드층(114)은 도전성의 물질로 실리콘(Si) 등의 반도체나 금속으로 이루어질 수 있다.

[0043] 도 6b를 참조하면, 쉴드층(114)이 형성된 기판(110) 상에 제2 버퍼층(116)을 형성한다. 제2 버퍼층(116)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 제2 버퍼층(116) 상에 실리콘 반도체나 산화물 반도체를 적층하여 제2 마스크로 패터닝하여 반도체층(120)을 형성한다.

[0044] 다음, 도 6c를 참조하면, 반도체층(120)을 포함하는 기판(110) 상에 게이트 절연막(GI)을 형성한다. 게이트 절연막(GI)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 제2 버퍼층(116)과 게이트 절연막(GI)을 제3 마스크로 식각하여 쉴드층(114)을 노출하는 제1 콘택홀(CH1)을 형성한다.

[0045] 이어, 도 6d를 참조하면, 제1 콘택홀(CH1)이 형성된 기판(110) 상에 금속 물질을 적층하고 제4 마스크로 패터닝하여 제1 게이트 전극(130)과 연결전극(132)을 형성한다. 제1 게이트 전극(130)과 연결전극(132)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 제1 게이트 전극(130)과 연결전극(132)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 제1 게이트 전극(130)과 연결전극(132)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다. 연결전극(132)은 제1 콘택홀(CH1)을 통해 쉴드층(114)에 연결된다.

[0046] 이어, 기판(110) 전면에 N형 불순물을 저농도 도핑(N-dopping)하여, 반도체층(120)을 도핑한다. 이때 반도체층(120) 상부에 제1 게이트 전극(130)이 마스크로 작용하여 제1 게이트 전극(130)의 하부를 제외한 나머지 반도체층(120) 영역이 도핑된다.

[0047] 다음, 도 6e를 참조하면, 기판(110) 전면에 N형 불순물을 고농도 도핑(N+dopping)하여, 반도체층(120)을 도핑한다. 이때, 제5 마스크를 이용하여 반도체층(120)의 일정 영역을 마스킹하여 도핑함으로써, 반도체층(120)에 채널(121), 저농도 도핑 영역(122), 드레인 영역(123) 및 소스 영역(124)이 형성된다.

[0048] 이어, 도 6f를 참조하면, 제1 게이트 전극(130)과 연결전극(132)이 형성된 기판(110) 상에 제1 층간 절연막(ILD1)을 형성한다. 제1 층간 절연막(ILD1)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 다음, 기판(110) 상에 금속 물질

을 적층하고 제6 마스크로 패터닝하여 제2 게이트 전극(135)을 형성한다. 제2 게이트 전극(135)은 제1 게이트 전극(130)과 중첩되도록 형성하여 커패시턴스를 형성할 수 있도록 한다.

[0049] 다음, 도 6g를 참조하면, 제2 게이트 전극(135)이 형성된 기판(110) 상에 제2 층간 절연막(ILD2)을 형성한다. 제2 층간 절연막(ILD2)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 제2 층간 절연막(ILD2) 상에 포토레지스트를 도포하고 제7 마스크를 이용하여 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD2) 및 게이트 절연막(GI)을 식각한다. 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)이 식각되어, 반도체층(120)의 드레인 영역(123)을 노출하는 제2 콘택홀(CH2), 반도체층(120)의 소스 영역(124)을 노출하는 제3 콘택홀(CH3)이 형성된다. 또한, 제2 층간 절연막(ILD2)과 제1 층간 절연막(ILD1)이 식각되어, 연결전극(132)을 노출하는 제4 콘택홀(CH4)이 형성된다.

[0050] 이어, 도 6h를 참조하면, 제2 층간 절연막(ILD2)이 형성된 기판(110) 상에 금속 물질을 적층하고 제8 마스크로 패터닝하여 드레인 전극(140)과 소스 전극(145)을 형성한다. 드레인 전극(140) 및 소스 전극(145)은 단일층 또는 다중층으로 이루어질 수 있으며, 드레인 전극(140) 및 소스 전극(145)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 드레인 전극(140) 및 소스 전극(145)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

[0051] 드레인 전극(140)은 제2 콘택홀(CH2)을 통해 반도체층(120)의 드레인 영역(123)에 연결되고, 소스 전극(145)은 제3 콘택홀(CH3)을 통해 반도체층(120)의 소스 영역(124)에 연결된다. 또한, 소스 전극(145)은 제4 콘택홀(CH4)을 통해 연결전극(132)에 연결된다. 따라서, 반도체층(120), 제1 게이트 전극(130), 드레인 전극(140) 및 소스 전극(145)을 포함하는 구동 트랜지스터(DR)가 형성된다.

[0052] 다음, 도 6i를 참조하면, 구동 트랜지스터(DR)를 포함하는 기판(110) 상에 패시베이션막(PAS)을 형성한다. 패시베이션막(PAS)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 제9 마스크를 이용하여 패시베이션막(PAS)을 식각하여, 소스 전극(145)을 노출하는 제5 콘택홀(CH5)을 형성한다.

[0053] 다음, 도 6j를 참조하면, 제5 콘택홀(CH5)이 형성된 기판(110) 상에 평탄화막(PLN)을 형성한다. 평탄화막(PLN)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 평탄화막(PLN)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 다음, 제10 마스크를 이용하여 평탄화막(PLN)을 식각하여, 패시베이션막(PAS)의 제5 콘택홀(CH5)을 연장한다.

[0054] 다음, 도 6k를 참조하면, 평탄화막(PLN) 상에 투명도전막을 적층하고 제11 마스크로 패터닝하여 제1 전극(160)을 형성한다. 제1 전극(160)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 제1 전극(160)이 반사 전극인 경우, 제1 전극(160)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 따라서, 제1 전극(160)은 제5 콘택홀(CH5)을 매우며, 구동 트랜지스터(DR)의 소스 전극(145)과 연결될 수 있다.

[0055] 다음, 도 6l을 참조하면, 제1 전극(160)을 포함하는 기판(110) 상에 뱅크층(BNK)과 스페이서(SP)를 형성한다. 뱅크층(BNK)은 제1 전극(160)의 일부를 노출하여 화소를 정의하는 화소정의막이고, 스페이서(SP)는 후속하는 발광층의 형성 시 마스크가 기판에 닿는 것을 방지한다. 뱅크층(BNK)과 스페이서(SP)는 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(BNK)과 스페이서(SP)는 하프톤 마스크인 제12 마스크를 이용하여 뱅크층(BNK)에 제1 전극(160)을 노출하는 개구부(OP)를 형성하고, 스페이서(SP)를 패터닝한다. 그리고, 뱅크층(BNK)의 개구부(OP)에 의해 노출된 제1 전극(160) 상에 유기 발광층(170)을 형성한다. 유기 발광층(170)은 전자와 정공이 결합하여 발광하는 층으로, 유기 발광층(170)과 제1 전극(160) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기 발광층(170) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.

[0056] 다음, 유기 발광층(170)이 형성된 기판(110) 상에 제2 전극(180)을 형성한다. 제2 전극(180)은 기판(110) 전면에 형성되되 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금

으로 형성한다. 제2 전극(180)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 형성하고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 형성한다. 따라서, 총 12매의 마스크를 이용하여 본 발명의 제1 실시예에 따른 유기발광표시장치를 제조한다.

[0057] 전술한 본 발명의 제1 실시예에 따른 유기발광표시장치는 쉴드층(114)과 구동 트랜지스터(DR)의 소스 전극(145)을 연결하여, 쉴드층(114)에 소스 전압을 인가하였다. 쉴드층(114)에 소스 전압이 인가되면, 반도체층(120)의 소스 영역(124)과 채널 영역(CH) 사이의 수평 에너지 필드(E-field) 차이를 완화할 수 있다. 따라서, 반도체층(120)의 계면이나 게이트 절연막(GI)으로 전자들이 유입되는 핫 캐리어(hot carrier)를 방지하여, 트랜지스터의 전자 이동도 및 온(On) 전류가 감소되는 것을 방지할 수 있다. 또한, 트랜지스터의 오프(Off) 시 오프-전류(Off current)를 저감할 수 있다.

[0058] 한편, 전술한 제1 실시예에 따른 유기발광표시장치는 소스 전극, 쉴드층 및 제1 전극의 연결 구조에 4개의 콘택홀이 형성되었다. 따라서, 고해상도에 적용할 수 있도록 콘택홀을 저감하는 제2 실시예에 대해 설명하기로 한다. 하기에서는 전술한 제1 실시예와 동일한 구성에 대해 동일한 도면 부호를 붙여 그 설명을 간략히 한다.

[0059] <제2 실시예>

[0060] 도 7은 본 발명의 제2 실시예에 따른 유기발광표시장치의 일부를 나타낸 평면도이고, 도 8은 도 7의 Ⅱ-Ⅱ'의 절취선에 따른 단면도이다.

[0061] 도 7을 참조하면, 기판(110) 상에 구동 트랜지스터(DR)와 제1 전극(160)이 구동 트랜지스터(DR)와 연결된다. 구동 트랜지스터(DR)는 쉴드층(114) 상에 위치한 반도체층(120)과, 반도체층(120)에 대응되는 제1 게이트 전극(130)과, 제1 게이트 전극(130)과 대응하여 제1 게이트 전극(130)과 이격된 제2 게이트 전극(135)과, 반도체층(120)의 양측에 각각 연결된 드레인 전극(140) 및 소스 전극(145)을 포함한다.

[0062] 연결전극(132)은 제1 콘택홀(CH1)을 통해 쉴드층(114) 및 반도체층(120)에 연결된다. 구동 트랜지스터(DR)의 소스 전극(145)은 제3 콘택홀(CH3)을 통해 연결전극(132)에 연결됨으로써, 반도체층(120)에 전기적으로 연결된다. 구동 트랜지스터(DR)의 드레인 전극(140)은 제2 콘택홀(CH2)을 통해 반도체층(120)에 연결된다. 또한, 소스 전극(145)은 연결전극(132)과 연결되어 최종적으로 소스 전극(145)이 쉴드층(114)에 전기적으로 연결된다. 구동 트랜지스터(DR)의 소스 전극(145)은 제4 콘택홀(CH4)을 통해 제1 전극(160)에 연결된다. 제1 전극(160)은 뱅크층(미도시)의 개구부(OP)에 의해 노출된다.

[0063] 보다 구체적으로 도 8을 참조하면, 본 발명의 제2 실시예에 따른 유기발광표시장치(100)는 기판(110) 상에 제1 버퍼층(112)이 위치하고, 제1 버퍼층(112) 상에 쉴드층(114)이 위치한다. 쉴드층(114)은 폴리이미드 기판을 사용함으로써 발생할 수 있는 패널구동 전류가 감소되는 것을 방지하는 역할을 한다. 쉴드층(114) 상에 제2 버퍼층(116)이 위치하고, 제2 버퍼층(116) 상에 반도체층(120)이 위치한다. 반도체층(120)은 p형 또는 n형의 불순물을 포함하는 드레인 영역(123) 및 소스 영역(124)을 포함하고 이들 사이에 채널(121)을 포함한다. 또한, 반도체층(120)은 채널(121)과 인접한 드레인 영역(123) 및 소스 영역(124) 사이에 저농도 도핑 영역(122)을 포함한다.

[0064] 반도체층(120) 상에 게이트 절연막(GI)이 위치하고, 게이트 절연막(GI) 상에 상기 반도체층(120)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널(121)과 대응되는 위치에 제1 게이트 전극(130)이 위치한다. 제1 게이트 전극(130)은 구동 트랜지스터(DR)의 게이트 전극으로 작용한다. 제1 게이트 전극(130) 상에 제1 게이트 전극(130)을 절연시키는 제1 층간 절연막(ILD1)이 위치한다. 제1 층간 절연막(ILD1) 상에 제2 게이트 전극(135)과 연결전극(132)이 위치한다. 제2 게이트 전극(135)은 제1 게이트 전극(130)과 커패시터(capacitor)을 이루는 커패시터 전극으로, 구동 트랜지스터(DR)의 게이트 전극으로 작용하지 않는다. 연결전극(132)은 제1 층간 절연막(ILD1), 게이트 절연막(GI), 반도체층(120) 및 제2 버퍼층(116)을 관통하는 제1 콘택홀(CH1)을 통해 쉴드층(114)에 연결된다. 또한, 연결전극(132)은 제1 콘택홀(CH1)을 통해 반도체층(120)에 연결된다. 제1 콘택홀(CH1)은 반도체층(120)의 소스 영역(124)을 관통하는 구조로 이루어져, 제1 콘택홀(CH1)을 연결전극(132)이 매우게 되면 반도체층(120)과 측면 컨택하게 되어 전기적으로 연결될 수 있다. 따라서, 연결전극(132)은 제1 콘택홀(CH1)을 통해 반도체층(120) 및 쉴드층(114)에 일괄적으로 연결될 수 있다.

[0065] 제2 게이트 전극(135)과 연결전극(132) 상에 제2 게이트 전극(135)을 절연시키는 제2 층간 절연막(ILD2)이 위치한다. 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)의 일부 영역에 반도체층(120)의 일부를 노출시키는 제2 및 제3 콘택홀들(CH2, CH3)이 위치한다. 제2 콘택홀(CH2)은 반도체층(120)의 드레인 영역(123)을 노출하고, 제3 콘택홀(CH3)은 연결전극(132)을 노출한다.

[0066] 제2 층간 절연막(ILD2) 상에 드레인 전극(140)과 소스 전극(145)이 위치한다. 드레인 전극(140)은 반도체층

(120)의 드레인 영역(123)을 노출하는 제2 콘택홀(CH2)을 통해 반도체층(120)에 연결되고, 소스 전극(145)은 연결전극(132)을 노출하는 제3 콘택홀(CH3)을 통해 반도체층(120)에 연결된다. 따라서, 반도체층(120), 제1 게이트 전극(130), 드레인 전극(140) 및 소스 전극(145)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0067] 구동 트랜지스터(DR)를 포함하는 기판(110) 상에 패시베이션막(PAS)이 위치하고, 패시베이션막(PAS) 상에 하부를 평탄화시키는 평탄화막(PLN)이 위치한다. 패시베이션막(PAS)과 평탄화막(PLN)의 일부 영역에는 소스 전극(145)을 노출시키는 제4 콘택홀(CH4)이 위치한다. 평탄화막(PLN) 상에 제1 전극(160)이 위치한다. 제1 전극(160)은 화소 전극으로 작용하며, 제4 콘택홀(CH4)을 통해 구동 트랜지스터(DR)의 소스 전극(145)에 연결된다. 제1 전극(160)을 포함하는 기판(110) 상에 화소를 구획하는 뱅크층(BNK)이 위치하고, 뱅크층(BNK)은 제1 전극(160)을 노출시키는 개구부(OP)가 위치한다. 뱅크층(BNK)의 개구부(OP)에는 제1 전극(160)에 컨택하는 발광층(170)이 위치하고, 발광층(170) 상에 제2 전극(180)이 위치한다.

[0068] 전술한 본 발명의 제2 실시예에 따른 유기발광표시장치는 반도체층(120)의 소스 영역(124)을 관통하여 쉴드층(114)을 노출하는 제1 콘택홀(CH1)을 형성함으로써, 연결전극(132)이 제1 콘택홀(CH1)을 통해 반도체층(120)과 쉴드층(114)에 일괄적으로 연결될 수 있다. 따라서, 반도체층(120)에 연결되는 콘택홀 및 쉴드층(114)에 연결되는 콘택홀 총 2개의 콘택홀을 1개로 줄일 수 있는 이점이 있다. 이하, 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 설명하기로 한다. 하기에서는 전술한 제1 실시예와 동일한 공정에 대해 중복되는 설명을 생략하기로 한다.

[0069] 도 9a 내지 도 9l은 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도이다. 또한, 도 10은 본 발명의 유기발광표시장치의 제1 콘택홀을 나타낸 단면도이고, 도 11은 도 10에 도시된 제1 콘택홀의 SEM 이미지이다.

[0070] 도 9a를 참조하면, 기판(110) 상에 제1 버퍼층(112)을 형성하고, 제1 버퍼층(112) 상에 불투명한 재료를 적층하고 제1 마스크로 패터닝하여 쉴드층(114)을 형성한다. 이어, 도 9b를 참조하면, 쉴드층(114)이 형성된 기판(110) 상에 제2 버퍼층(116)을 형성하고, 제2 버퍼층(116) 상에 실리콘 반도체나 산화물 반도체를 적층하여 제2 마스크로 패터닝하여 반도체층(120)을 형성한다.

[0071] 다음, 도 9c를 참조하면, 반도체층(120)을 포함하는 기판(110) 상에 게이트 절연막(GI)을 형성하고, 게이트 절연막(GI) 상에 금속 물질을 적층하고 제3 마스크로 패터닝하여 제1 게이트 전극(130)을 형성한다. 이어, 기판(110) 전면에 N형 불순물을 저농도 도핑(N-dopping)하여, 반도체층(120)을 도핑한다. 이때 반도체층(120) 상부에 제1 게이트 전극(130)이 마스크로 작용하여 제1 게이트 전극(130)의 하부를 제외한 나머지 반도체층(120) 영역이 도핑된다.

[0072] 다음, 도 9d를 참조하면, 기판(110) 전면에 N형 불순물을 고농도 도핑(N+dopping)하여, 반도체층(120)을 도핑한다. 이때, 제4 마스크를 이용하여 반도체층(120)의 일정 영역을 마스킹하여 도핑함으로써, 반도체층(120)에 채널(121), 저농도 도핑 영역(122), 드레인 영역(123) 및 소스 영역(124)이 형성된다.

[0073] 이어, 도 9e를 참조하면, 제1 게이트 전극(130)이 형성된 기판(110) 상에 제1 층간 절연막(ILD1)을 형성하고, 제5 마스크를 이용하여 제1 층간 절연막(ILD1), 게이트 절연막(GI) 및 제2 버퍼층(116)을 식각하여 쉴드층(114)을 노출하는 제1 콘택홀(CH1)을 형성한다. 제1 콘택홀(CH1)을 반도체층(120)의 소스 영역(124)을 관통하여 쉴드층(114)을 노출하도록 형성한다. 따라서, 제1 콘택홀(CH1)의 내주면에는 반도체층(120)이 노출된다.

[0074] 이어, 도 9f를 참조하면, 제1 콘택홀(CH1)이 형성된 기판(110) 상에 금속 물질을 적층하고 제6 마스크로 패터닝하여 제2 게이트 전극(135) 및 연결전극(132)을 형성한다. 제2 게이트 전극(135)은 제1 게이트 전극(130)과 중첩되도록 형성하여 커패시턴스를 형성할 수 있도록 한다. 연결전극(132)은 제1 콘택홀(CH1)을 매우도록 형성되어, 쉴드층(114)과 연결됨과 동시에 반도체층(120)의 소스 영역(124)에 연결된다. 따라서, 연결전극(132)은 제1 콘택홀(CH1) 하나로 반도체층(120)과 쉴드층(114)에 동시에 연결될 수 있다. 이에 따라, 반도체층 및 쉴드층에 각각 연결하기 위한 2개의 콘택홀을 1개로 줄일 수 있다.

[0075] 다음, 도 9g를 참조하면, 제2 게이트 전극(135)과 연결전극(132)이 형성된 기판(110) 상에 제2 층간 절연막(ILD2)을 형성하고, 제2 층간 절연막(ILD2) 상에 포토레지스트를 도포하고 제7 마스크를 이용하여 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD2) 및 게이트 절연막(GI)을 식각한다. 제2 층간 절연막(ILD2), 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)이 식각되어, 반도체층(120)의 드레인 영역(123)을 노출하는 제2 콘택홀(CH2)이 형성된다. 또한, 제2 층간 절연막(ILD2)이 식각되어, 연결전극(132)을 노출하는 제3 콘택홀(CH3)이 형성된다.

[0076] 이어, 도 9h를 참조하면, 제2 층간 절연막(ILD2)이 형성된 기판(110) 상에 금속 물질을 적층하고 제8 마스크로

패터닝하여 드레인 전극(140)과 소스 전극(145)을 형성한다. 드레인 전극(140)은 제2 콘택홀(CH2)을 통해 반도체층(120)의 드레인 영역(123)에 연결되고, 소스 전극(145)은 제3 콘택홀(CH3)을 통해 연결전극(132)에 연결된다. 소스 전극(145)은 반도체층(120)의 소스 영역(124)에 연결된 연결전극(132)을 통해 반도체층(120)에 전기적으로 연결된다. 따라서, 반도체층(120), 제1 게이트 전극(130), 드레인 전극(140) 및 소스 전극(145)을 포함하는 구동 트랜지스터(DR)가 형성된다.

[0077] 다음, 도 9i를 참조하면, 구동 트랜지스터(DR)를 포함하는 기판(110) 상에 패시베이션막(PAS)을 형성하고, 제9 마스크를 이용하여 패시베이션막(PAS)을 식각하여, 소스 전극(145)을 노출하는 제4 콘택홀(CH4)을 형성한다. 다음, 도 9j를 참조하면, 제4 콘택홀(CH4)이 형성된 기판(110) 상에 평탄화막(PLN)을 형성하고, 제10 마스크를 이용하여 평탄화막(PLN)을 식각하여, 패시베이션막(PAS)의 제4 콘택홀(CH4)을 연장한다.

[0078] 다음, 도 9k를 참조하면, 평탄화막(PLN) 상에 투명도전막을 적층하고 제11 마스크로 패터닝하여 제1 전극(160)을 형성한다. 제1 전극(160)은 제4 콘택홀(CH4)을 매우며, 구동 트랜지스터(DR)의 소스 전극(145)과 연결될 수 있다.

[0079] 다음, 도 9l을 참조하면, 제1 전극(160)을 포함하는 기판(110) 상에 뱅크층(BNK)과 스페이서(SP)를 형성한다. 뱅크층(BNK)은 제1 전극(160)의 일부를 노출하여 화소를 정의하는 화소정의막이고, 스페이서(SP)는 후속하는 발광층의 형성 시 마스크가 기판에 닿는 것을 방지한다. 뱅크층(BNK)과 스페이서(SP)는 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(BNK)과 스페이서(SP)는 하프톤 마스크인 제12 마스크를 이용하여 뱅크층(BNK)에 제1 전극(160)을 노출하는 개구부(OP)를 형성하고, 스페이서(SP)를 패터닝한다. 다음, 뱅크층(BNK)의 개구부(OP)에 의해 노출된 제1 전극(160) 상에 유기 발광층(170)을 형성한다. 그리고, 유기 발광층(170)이 형성된 기판(110) 상에 제2 전극(180)을 형성한다. 따라서, 총 12매의 마스크를 이용하여 본 발명의 제2 실시예에 따른 유기발광표시장치를 제조한다.

[0080] 도 10을 참조하면, 제1 콘택홀(CH1)은 제1 층간 절연막(ILD1), 게이트 절연막(GI), 반도체층(120) 및 제2 버퍼층(116)을 관통하여 쉴드층(114)을 노출시킨다. 제1 콘택홀(CH1)의 내주면에는 반도체층(120)의 측면이 노출된다. 연결전극(132)은 제1 콘택홀(CH1)에 형성되어, 제1 콘택홀(CH1)을 메우면서 쉴드층(114)에 연결된다. 이때, 연결전극(132)은 제1 콘택홀(CH1)을 메움에 따라 제1 콘택홀(CH1)의 내주면에 노출된 반도체층(120)의 측면과 콘택한다. 따라서, 연결전극(132)은 반도체층(120)에 연결됨과 아울러 쉴드층(114)에도 연결된다.

[0081] 도 11에 나타나는 것처럼, 연결전극(132)은 제1 콘택홀(CH1)을 따라 형성되면서, 제1 콘택홀(CH1)의 내주면에 노출된 반도체층(120)과 컨택하고 쉴드층(114)에 컨택하는 것을 확인할 수 있다.

[0082] 전술한 본 발명의 제2 실시예에 따른 유기발광표시장치는 반도체층(120)의 소스 영역(124)을 관통하여 쉴드층(114)을 노출하는 제1 콘택홀(CH1)을 형성함으로써, 연결전극(132)이 제1 콘택홀(CH1)을 통해 반도체층(120)과 쉴드층(114)에 일괄적으로 연결될 수 있다. 따라서, 반도체층(120)에 연결되는 콘택홀 및 쉴드층(114)에 연결되는 콘택홀 총 2개의 콘택홀을 1개로 줄일 수 있는 이점이 있다. 따라서, 화소 내부에 형성된 콘택홀의 개수를 줄임으로써, 줄어든 콘택홀만큼 화소 크기를 줄일 수 있어 고해상도를 구현할 수 있는 이점이 있다.

[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0084] 100 : 유기발광표시장치 110 : 기판

112 : 제1 버퍼층 114 : 쉴드층

116 : 제2 버퍼층 120 : 반도체층

130 : 제1 게이트 전극 132 : 연결전극

135 : 제2 게이트 전극 140 : 드레인 전극

145 : 소스 전극　160 : 제1 전극

170 : 발광층　180 : 제2 전극

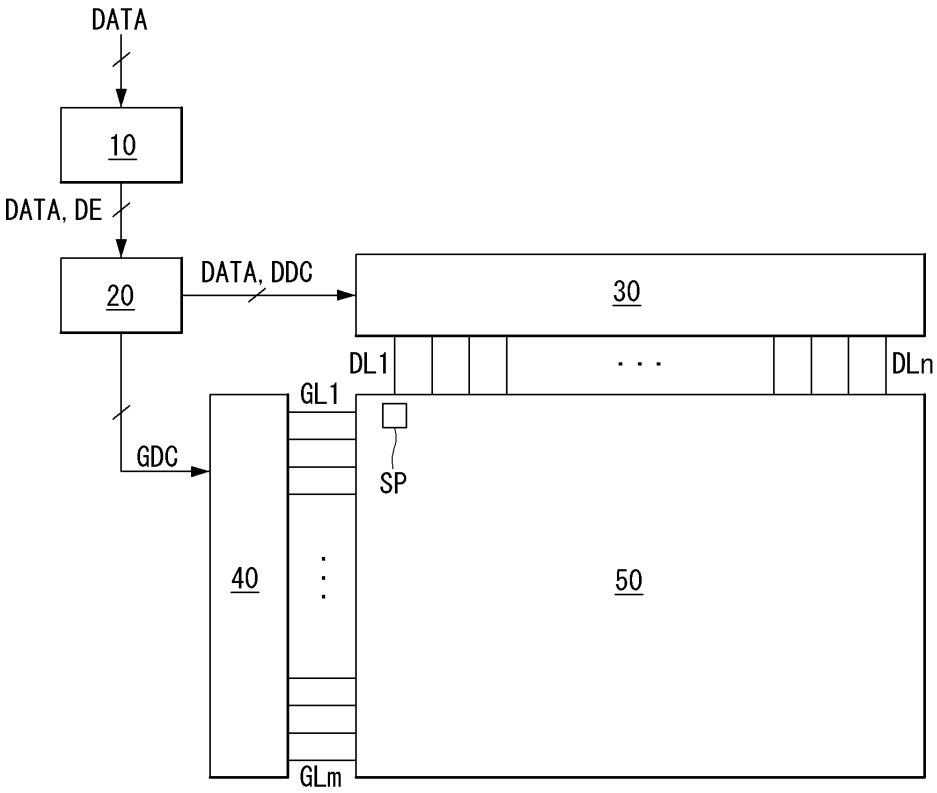
GI : 게이트 절연막　ILD1 : 제1 층간 절연막

ILD2 : 제2 층간 절연막　PAS : 패시베이션막

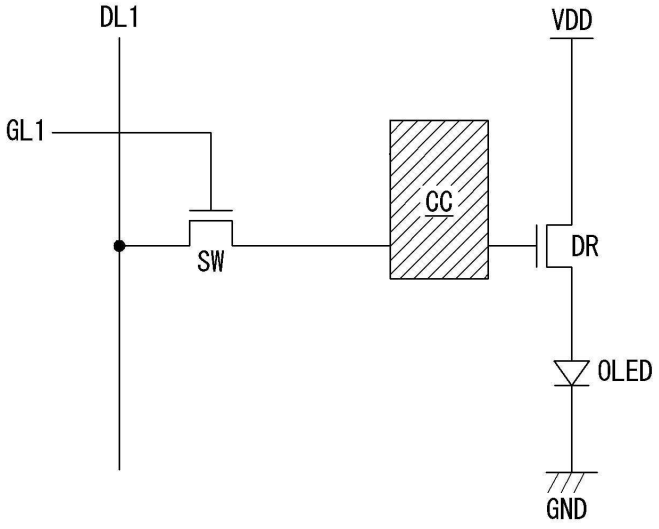
BNK : 뱅크층　SP : 스페이서

도면

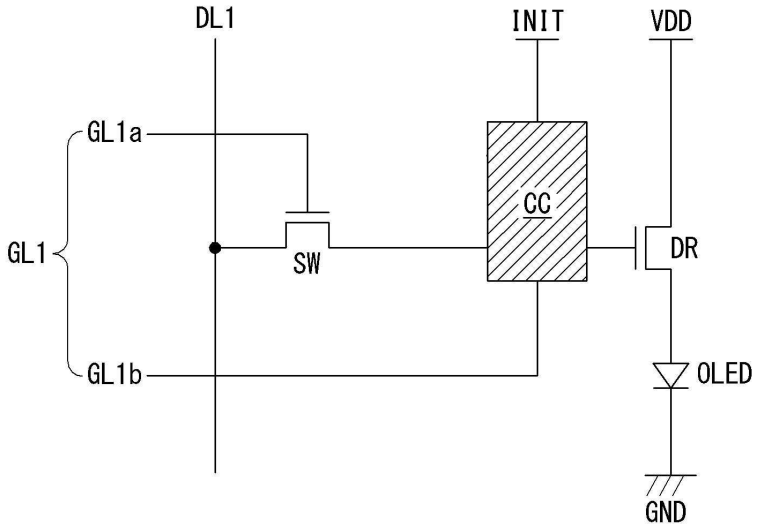
도면1



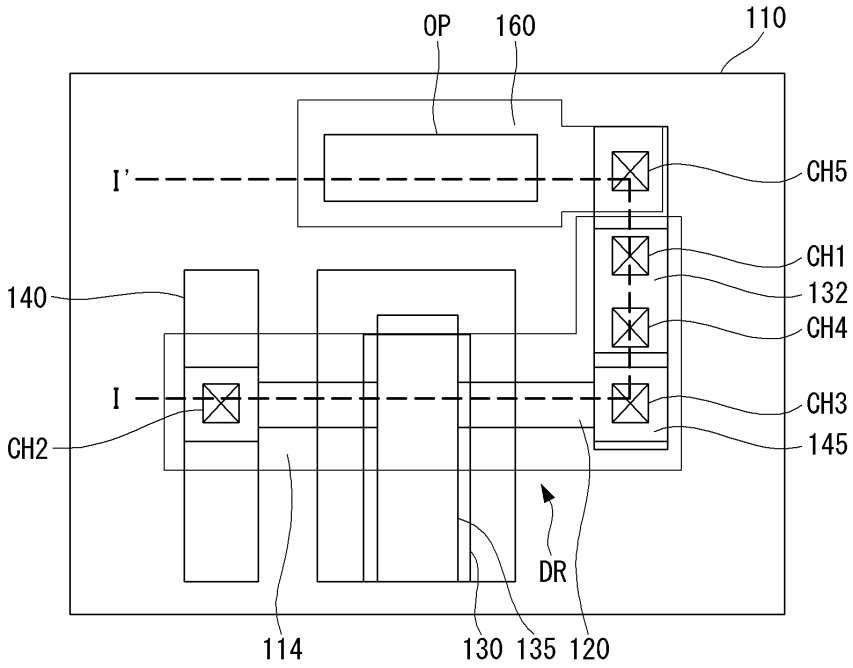
도면2



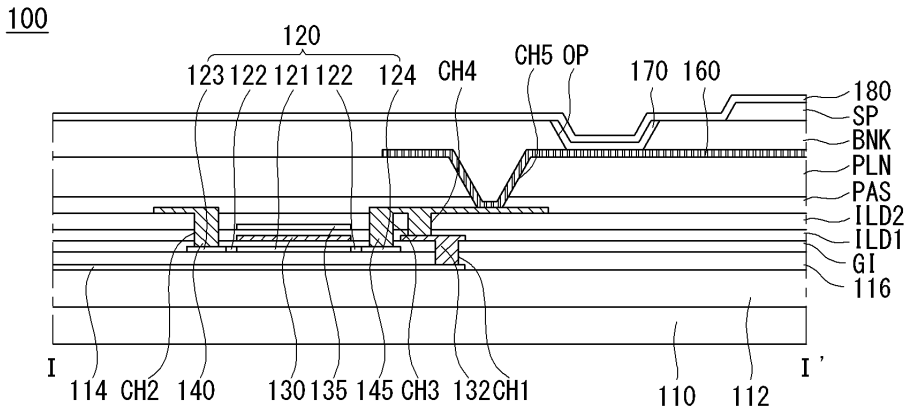
도면3


DL1
INIT
VDD
GL1a
CC
GL1
SW
DR
GL1b
OLED
GND

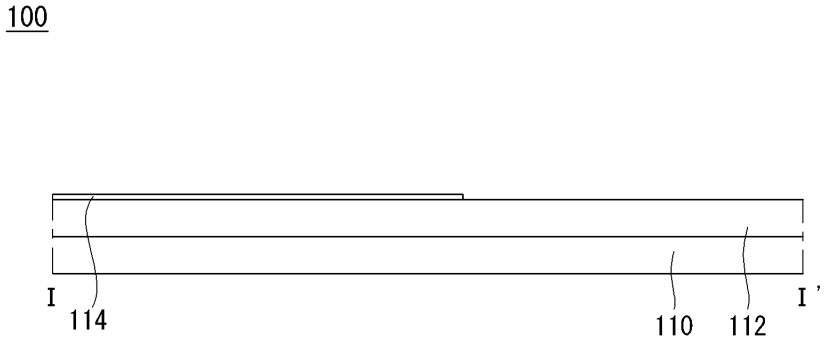
도면4


OP
160
110
I'
CH5
CH1
140
132
CH4
I
CH3
CH2
145
DR
114
130
135
120

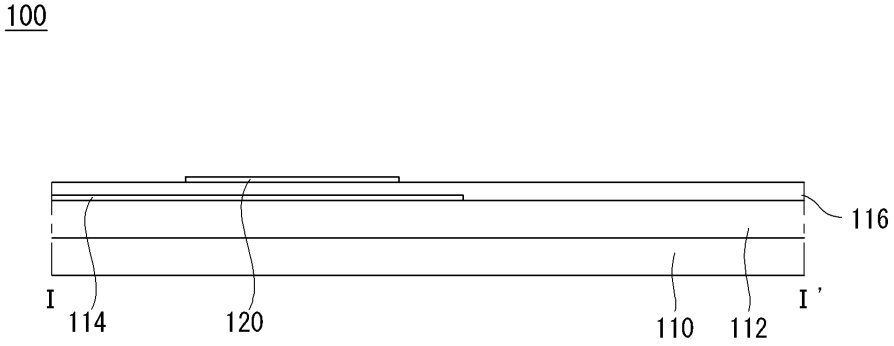
도면5



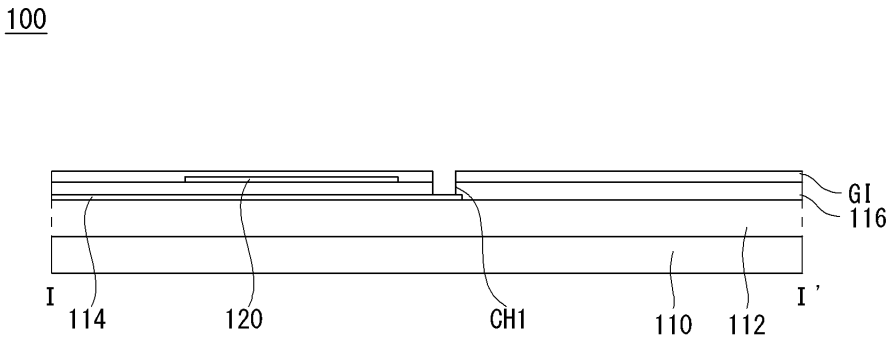
도면6a



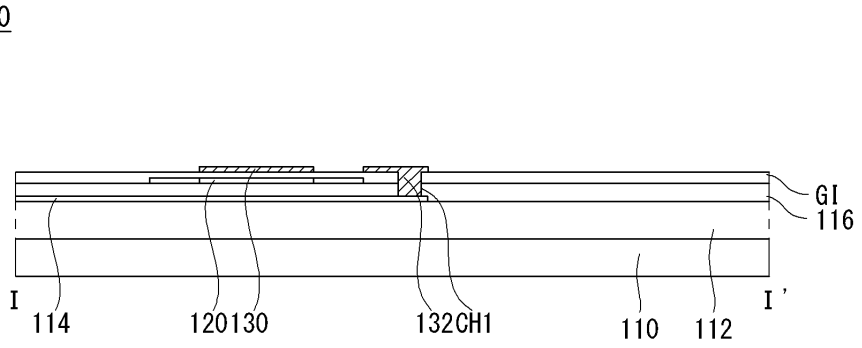
도면6b



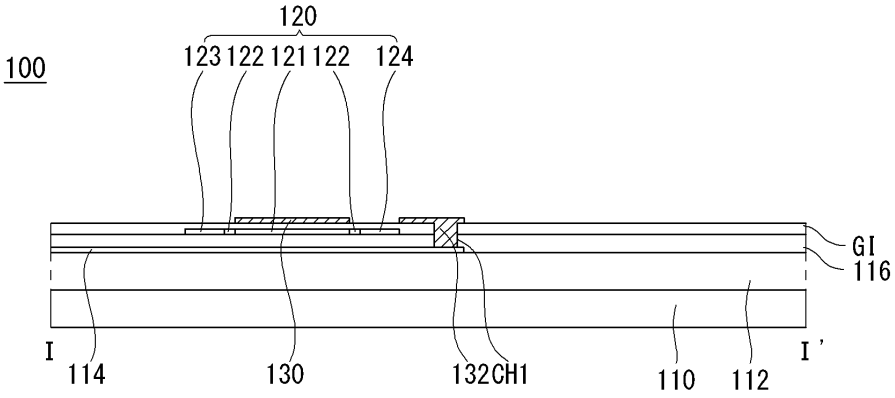
도면6c



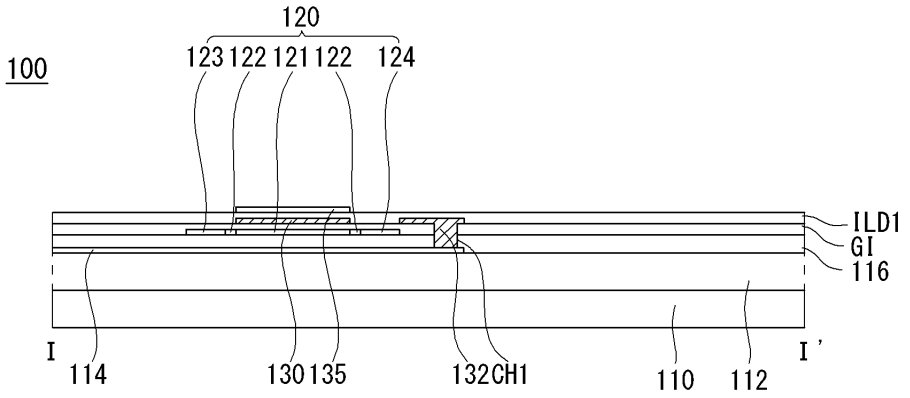
도면6d



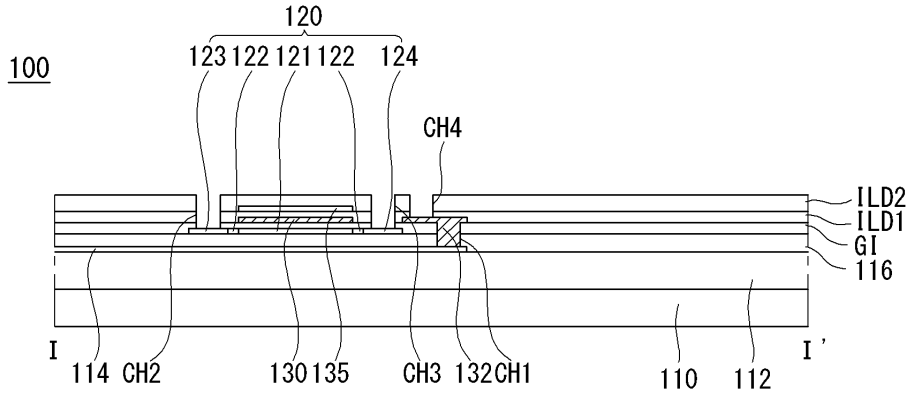
도면6e



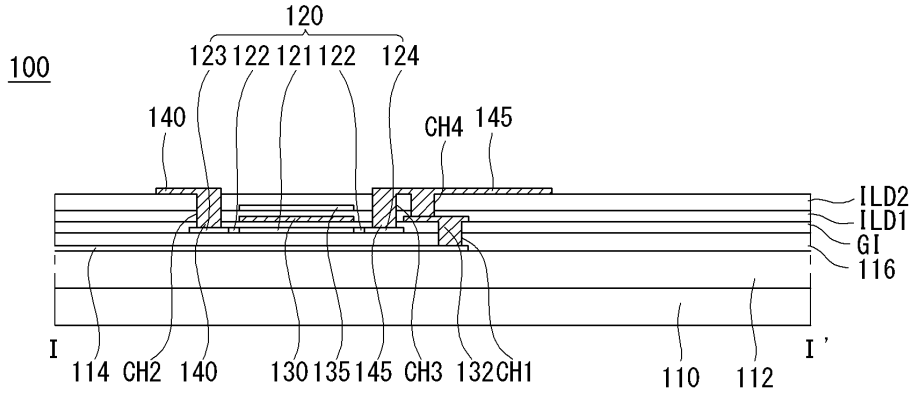
도면6f



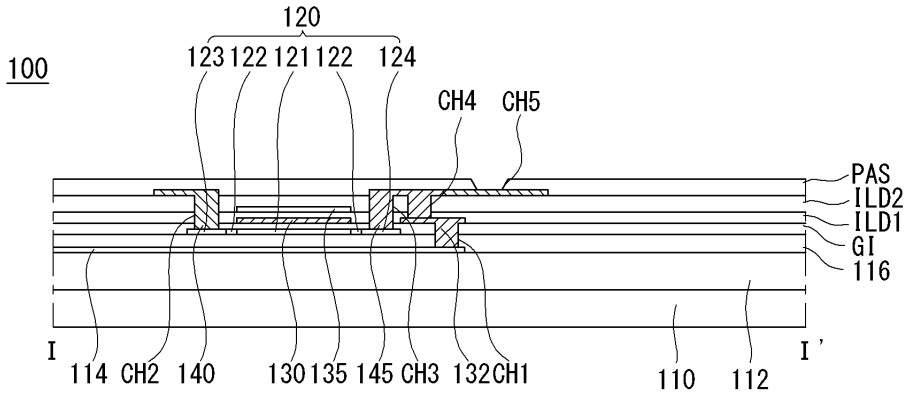
도면6g



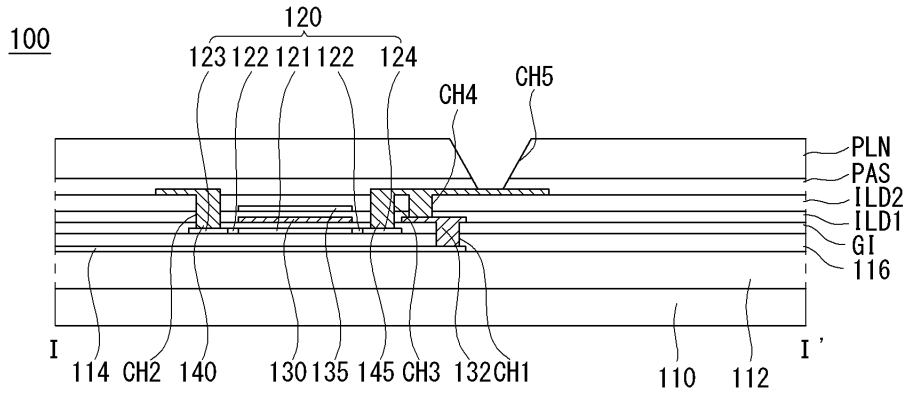
도면6h



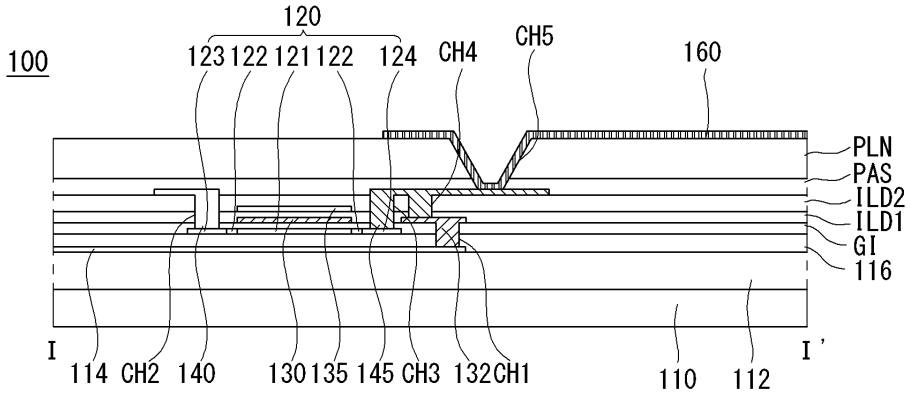
도면6i



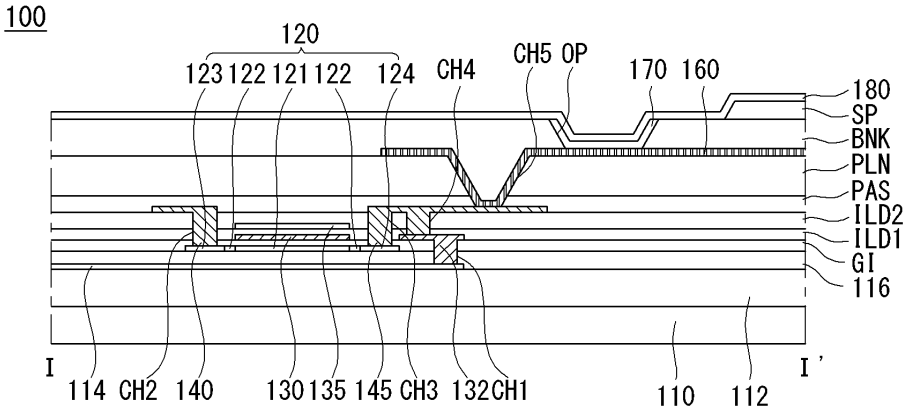
도면6j



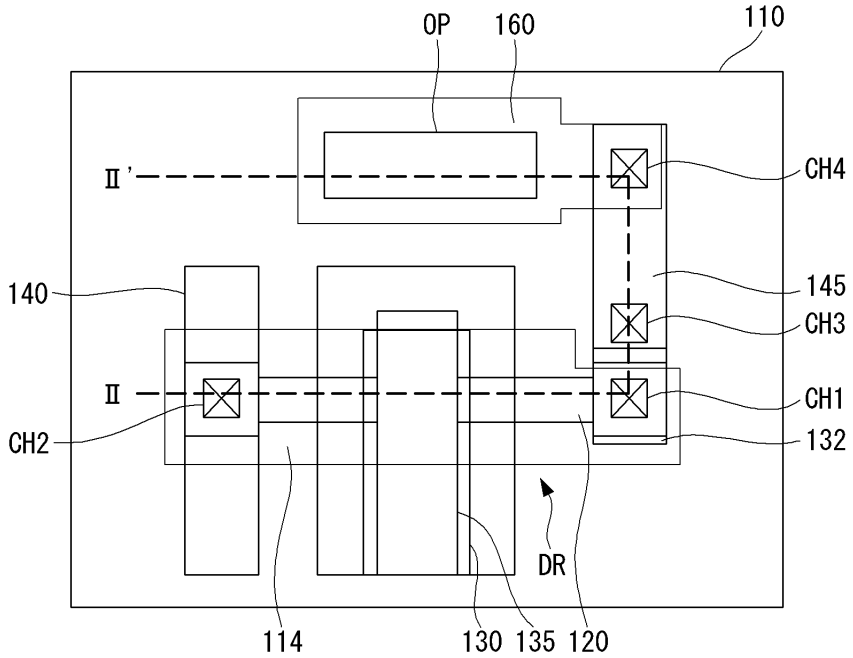
도면6k



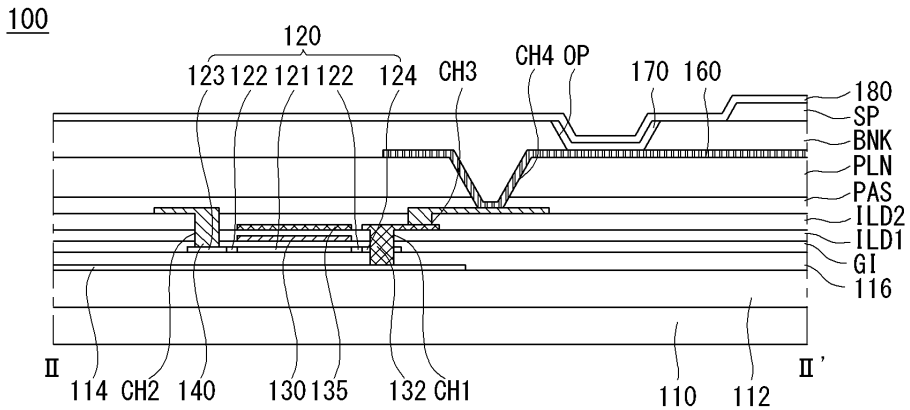
도면61


100
120
123 122 121 122 124
CH4
CH5 OP
170 160
180
SP
BNK
PLN
PAS
ILD2
ILD1
GI
116
I
I'
114 CH2 140 130 135 145 CH3 132 CH1
110 112

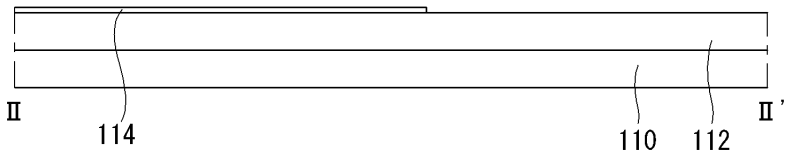
도면7


OP 160
110
II'
CH4
140
145
CH3
II
CH1
CH2
132
DR
114
130 135 120

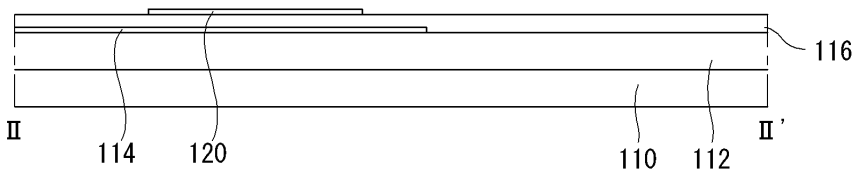
도면8


100
120
123 122 121 122 124
CH3
CH4 OP
170 160
180
SP
BNK
PLN
PAS
ILD2
ILD1
GI
116
II
II'
114 CH2 140 130 135 132 CH1
110 112

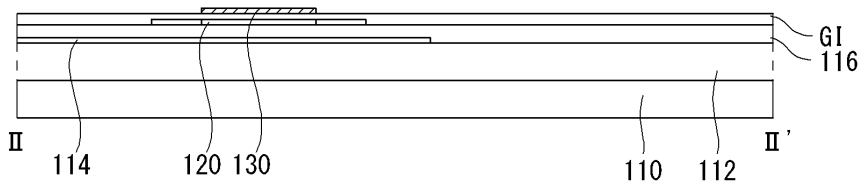
도면9a



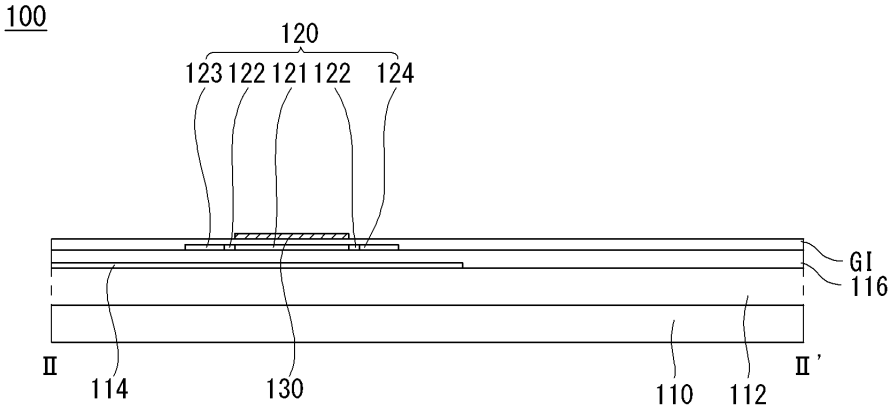
도면9b



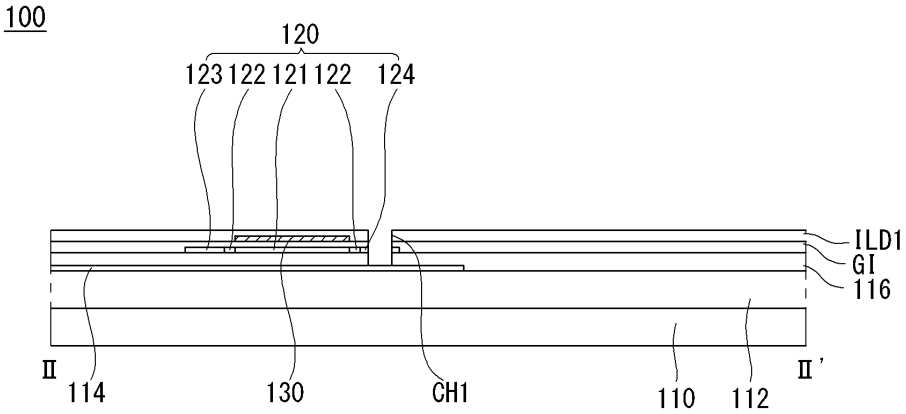
도면9c



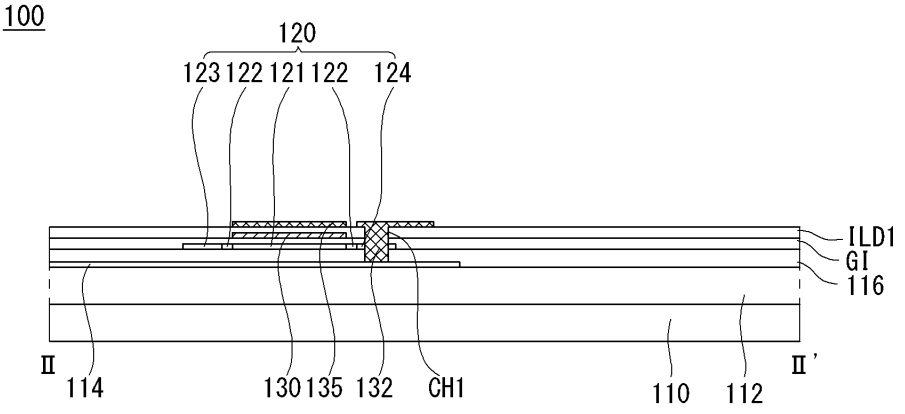
도면9d



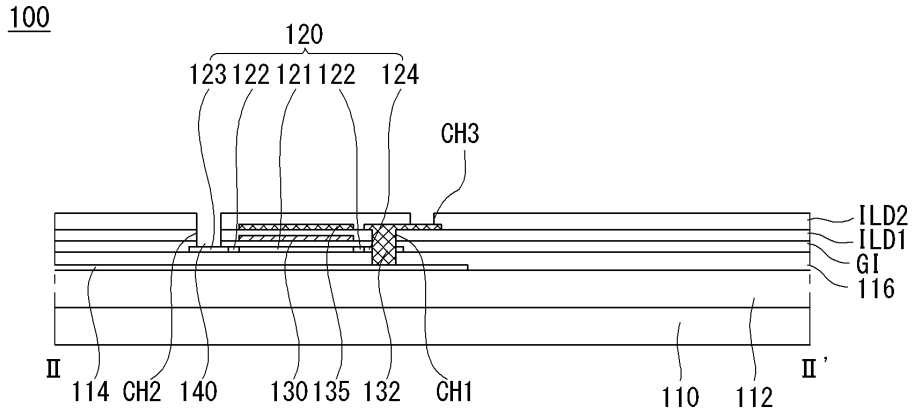
도면9e



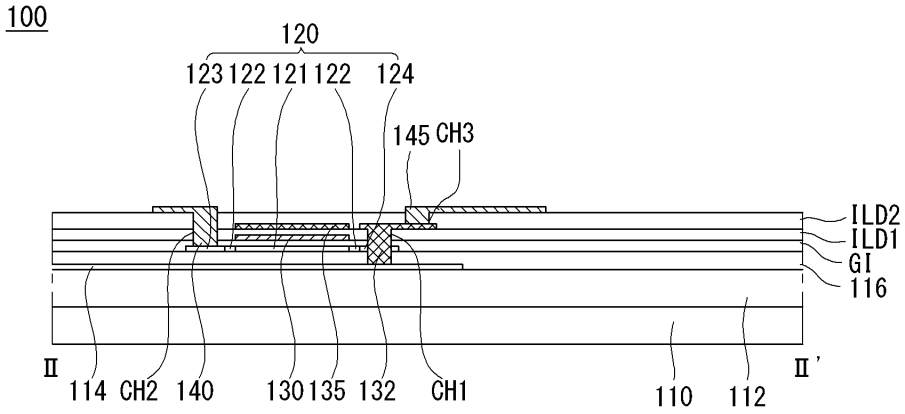
도면9f



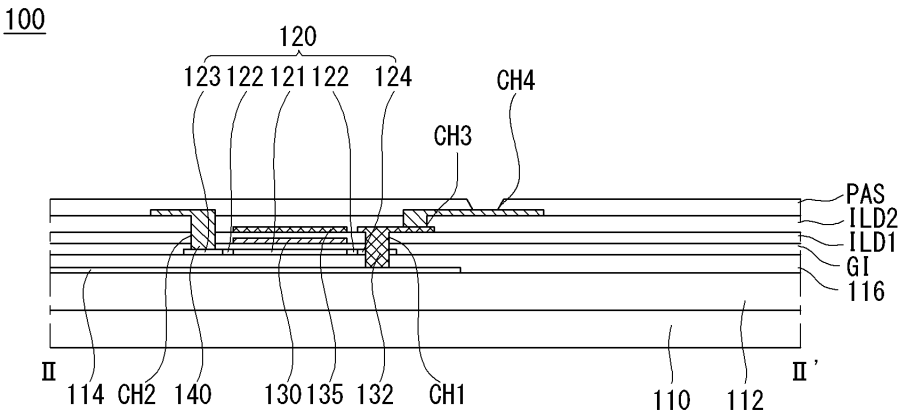
도면9g



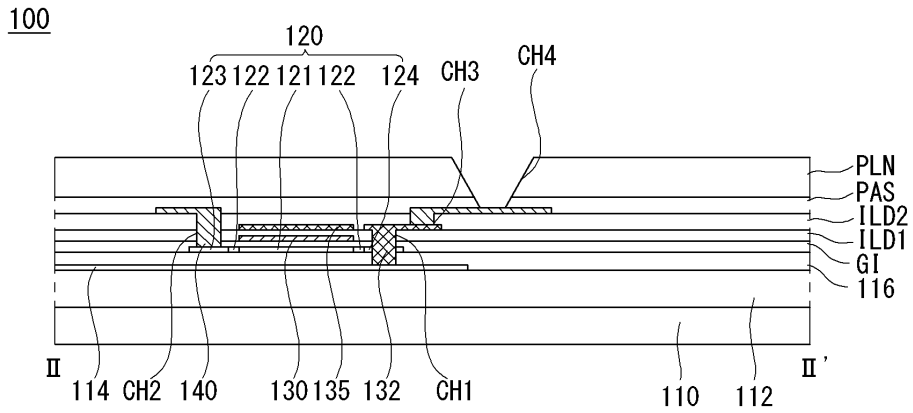
도면9h



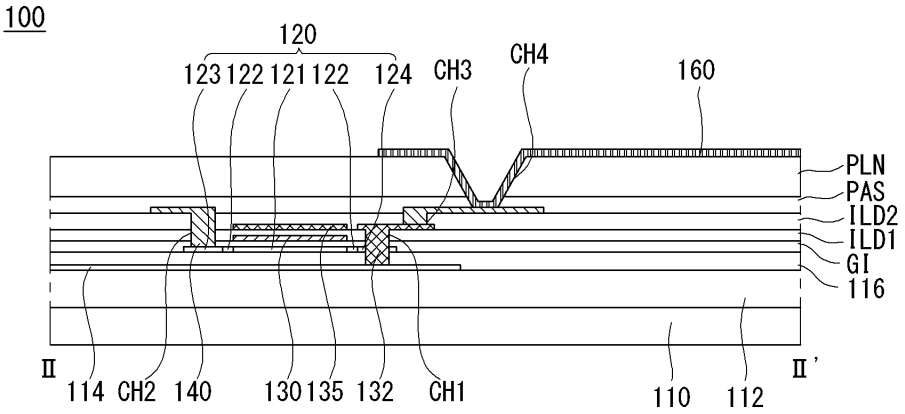
도면9i



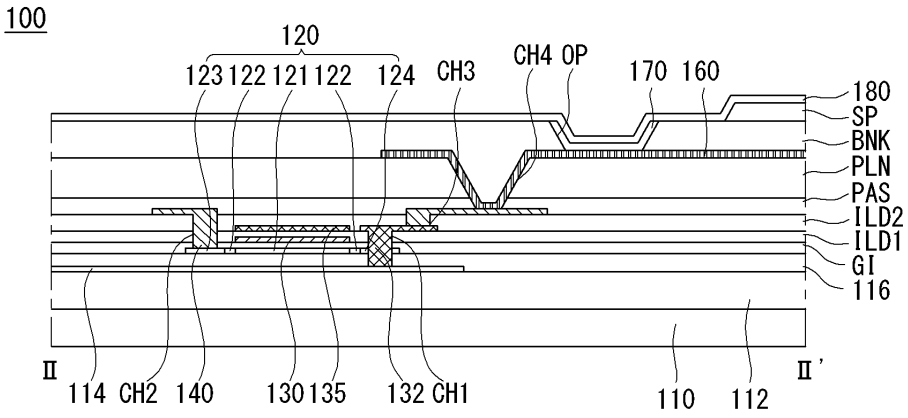
도면9j



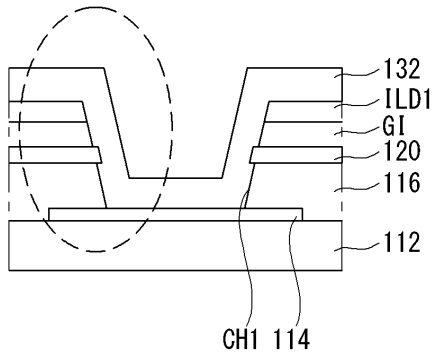
도면9k



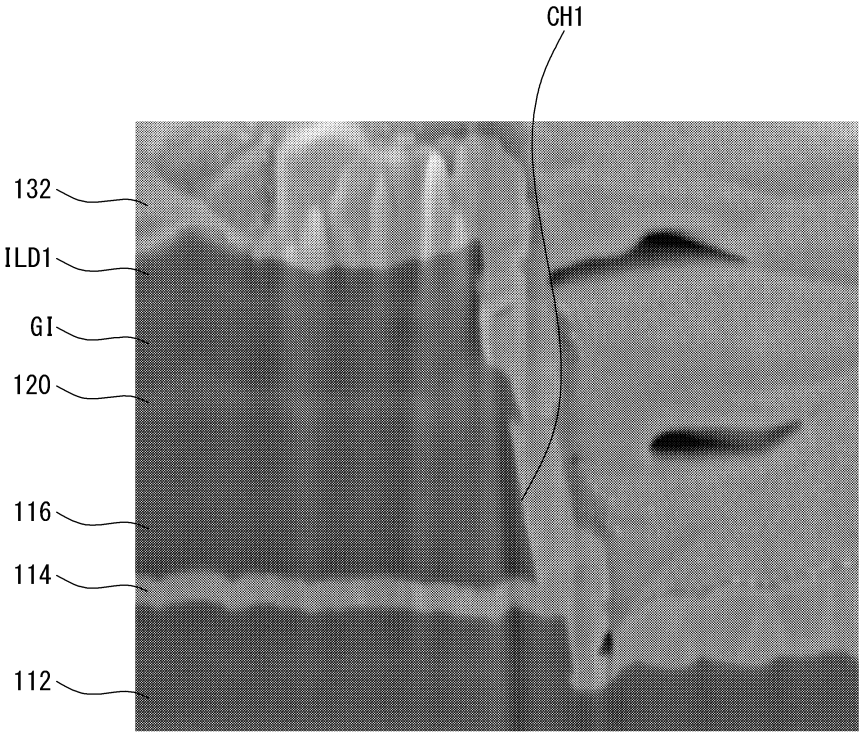
도면9l



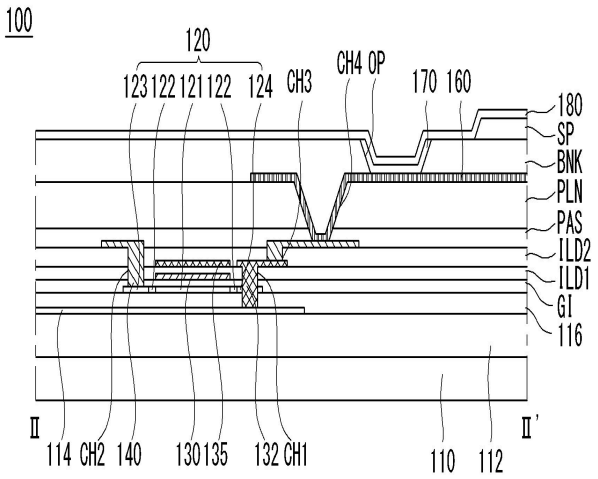
도면10



도면11



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170026009A	公开(公告)日	2017-03-08
申请号	KR1020150123247	申请日	2015-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG SANG HOON 정상훈		
发明人	정상훈		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3272 H01L2227/32		
外部链接	Espacenet		

摘要(译)

本发明提供的有机发光显示装置减少了接触孔的数量并且适合于高分辨率，并且第二栅电极和连接电极位于第一层间绝缘膜的表面上并且其位置如此第一栅电极和第二栅电极彼此对应，并且连接电极通过半导体层连接到屏蔽层。漏电极位于第二金属间电介质的表面上，漏电极连接到半导体层，源电极位于第二金属间电介质的表面上，源电极连接到连接到半导体层的连接电极。因此，源电极连接到连接到半导体层和屏蔽层的连接电极的接触孔的数量可以通过一个接触孔减少。