



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0096259
(43) 공개일자 2016년08월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/1251 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2015-0017313
(22) 출원일자 2015년02월04일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김정화
경기도 군포시 산본로386번길 21, 1142동 1306호
김광숙
경기도 수원시 영통구 봉영로1517번길 73, 941동 804호
이일정
서울특별시 강남구 선릉로 120, 12동 909호
(74) 대리인
박영우

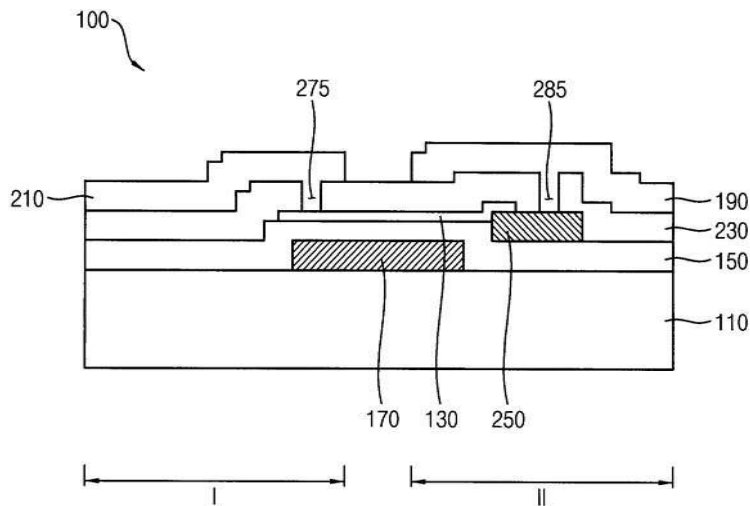
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 소자 및 반도체 소자를 포함하는 유기 발광 표시 장치

(57) 요약

접촉층을 구비하여 액티브층에서 전자의 트랩 현상을 방지하는 반도체 소자는 기판, 기판 상에 배치되는 게이트 전극, 게이트 전극 상에 배치되는 게이트 절연층, 게이트 절연층 상에 배치되며 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층, 액티브층의 제2 단부와 오버랩되는 접촉층, 액티브층의 제1 단부에 접속되는 제1 전극 및 제1 전극과 이격되어 배치되며 접촉층에 접속되는 제2 전극을 포함할 수 있다. 이에 따라, 반도체 소자의 신뢰성 및 안정성을 향상시킬 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 게이트 전극;

상기 게이트 전극 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층;

상기 액티브층의 제2 단부와 오버랩되는 접촉층;

상기 액티브층의 제1 단부에 접속되는 제1 전극; 및

상기 제1 전극과 이격되어 배치되며 상기 접촉층에 접속되는 제2 전극을 포함하는 반도체 소자.

청구항 2

제 1 항에 있어서, 상기 제2 전극은 상기 접촉층을 통해 상기 액티브층과 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 3

제 1 항에 있어서, 상기 액티브층은 산화물 반도체층인 것을 특징으로 하는 반도체 소자.

청구항 4

제 1 항에 있어서, 상기 접촉층은 도전성 물질을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함하고,

상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 접촉층 상에 위치하는 제2 개구를 갖는 것을 특징으로 하는 반도체 소자.

청구항 6

제 5 항에 있어서, 상기 제1 전극은 상기 제1 개구를 통해 상기 액티브층과 접속되고, 상기 제2 전극은 상기 제2 개구를 통해 상기 접촉층과 접속되는 것을 특징으로 하는 반도체 소자.

청구항 7

제 5 항에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 식각 저지층 사이에 개재되고, 상기 접촉층과 상기 액티브층은 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 8

제 1 항에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 게이트 절연층 사이에 개재되고, 상기 접촉층과 상기 액티브층은 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 9

제 1 항에 있어서, 상기 제2 전극에 고전원 전압이 인가되고, 상기 제2 전극에 인가된 고전원 전압은 상기 접촉층 및 상기 액티브층을 통해 상기 제1 전극에 전달되는 것을 특징으로 하는 반도체 소자.

청구항 10

기관;

상기 기관 상에 배치되는 게이트 전극;

상기 게이트 전극 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층;

상기 액티브층의 제1 단부와 오버랩되는 제1 접촉층;

상기 액티브층의 제2 단부와 오버랩되는 제2 접촉층;

상기 제1 접촉층에 접속되는 제1 전극; 및

상기 제1 전극과 이격되어 배치되며 상기 제2 접촉층에 접속되는 제2 전극을 포함하는 반도체 소자.

청구항 11

제 10 항에 있어서, 상기 제1 전극은 상기 제1 접촉층을 통해 상기 액티브층과 전기적으로 연결되고, 상기 제2 전극은 상기 제2 접촉층을 통해 상기 액티브층과 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 12

제 10 항에 있어서, 상기 액티브층은 산화물 반도체층이고, 상기 제1 및 제2 접촉층들은 도전성 물질을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 13

제 10 항에 있어서,

상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함하고,

상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 액티브층의 제2 단부 상에 위치하는 제2 개구를 가지며, 상기 제1 전극은 상기 제1 개구를 통해 상기 제1 접촉층과 접속되고, 상기 제2 전극은 상기 제2 개구를 통해 상기 제2 접촉층과 접속되는 것을 특징으로 하는 반도체 소자.

청구항 14

제 10 항에 있어서, 상기 제1 및 제2 접촉층들의 적어도 일부들 각각은 상기 액티브층 및 상기 게이트 절연층 사이에 개재되고, 상기 제1 및 제2 접촉층과 상기 액티브층은 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 15

기관, 상기 기관 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층, 상기 액티브층의 제2 단부와 오버랩되는 접촉층, 상기 액티브층의 제1 단부에 접속되는 제1 전극 및 상기 제1 전극과 이격되어 배치되며 상기 접촉층에 접속되는 제2 전극을 포함하는 반도체 소자;

상기 제1 전극과 전기적으로 연결되는 하부 전극;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 포함하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 제2 전극은 상기 접촉층을 통해 상기 액티브층과 전기적으로 연결되고, 상기 액티브층은 산화물 반도체층이며, 상기 접촉층은 도전성 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 15 항에 있어서,

상기 반도체 소자 상에 배치되는 평탄화층을 더 포함하고,

상기 평탄화층은 상기 제1 전극의 적어도 일부를 노출시키는 제3 개구를 가지며, 상기 제3 개구를 통해 상기 제 1 전극과 접속되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 15 항에 있어서,

상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함하고,

상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 접촉층 상에 위치하는 제2 개구를 가지며, 상기 제1 전극은 상기 제1 개구를 통해 상기 액티브층과 접속되고, 상기 제2 전극은 상기 제2 개구를 통해 상기 접촉층과 접속되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 15 항에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 게이트 절연층 사이에 개재되고, 상기 접촉층과 상기 액티브층은 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 15 항에 있어서, 상기 제2 전극에 고전원 전압이 인가되고, 상기 제2 전극에 인가된 고전원 전압은 상기 접촉층, 상기 액티브층 및 제1 전극을 통해 상기 하부 전극에 전달되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 반도체 소자를 포함하는 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 접촉층을 구비하는 반도체 소자 및 접촉층을 구비하는 반도체 소자를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 종래의 바텀 게이트(bottom gate) 구조를 갖는 반도체 소자는, 기판 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되는 액티브층(active layer), 상기 액티브층을 상에 배치되는 식각 저지층 및 상기 식각 저지층 상에 배치되며 상기 액티브층에 각기 접속되는 소스 전극 및 드레인 전극을 포함한다.

[0003] 종래의 바텀 게이트 구조를 갖는 반도체 소자에 있어서, 상기 식각 저지층은 제1 및 제2 개구들을 가질 수 있다. 상기 제1 및 제2 개구들을 통해 상기 소스 및 상기 드레인 전극들 각각이 상기 액티브층과 접속될 수 있다. 예를 들어, 건식 또는 습식 식각 공정을 통해 상기 식각 저지층에 개구들이 형성될 수 있다. 이러한 경우, 고전원 전압이 인가되는 상기 소스 전극과 상기 액티브층이 접촉되는 부분에서 전자들이 트랩되기 때문에 상기 반도체 소자의 문턱 전압(Vth)이 변화될 수 있다. 이에 따라, 반도체 소자의 문턱 전압 산포의 증가, 구동 전류의 감소 등과 같은 다양한 전기적인 특성들이 열화되는 문제점이 나타난다. 특히, 액티브층이 반도체 산화물로 이루어진 산화물 반도체 소자의 경우에는 전기적인 특성 변화에 매우 민감하기 때문에, 전술한 바와 같이 전기적인 특성이 열화된 산화물 반도체 소자를 액정 표시(LCD) 장치, 유기 발광 표시(OLED) 장치 등의 표시 장치에 적용하기는 어렵다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 접촉층을 포함하는 반도체 소자를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 접촉층을 포함하는 반도체 소자를 구비한 유기 발광 표시 장치를 제공하는 것이다.

[0006] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 반도체 소자는 기판, 상기 기판 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층, 상기 액티브층의 제2 단부와 오버랩되는 접촉층, 상기 액티브층의 제1 단부에 접속되는 제1 전극 및 상기 제1 전극과 이격되어 배치되며 상기 접촉층에 접속되는 제2 전극을 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제2 전극은 상기 접촉층을 통해 상기 액티브층과 전기적으로 연결될 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 액티브층은 산화물 반도체층일 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 접촉층은 도전성 물질을 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함할 수 있고, 상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 접촉층 상에 위치하는 제2 개구를 가질 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 제1 전극은 상기 제1 개구를 통해 상기 액티브층과 접속될 수 있고, 상기 제2 전극은 상기 제2 개구를 통해 상기 접촉층과 접속될 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 식각 저지층 사이에 개재될 수 있고, 상기 접촉층과 상기 액티브층은 전기적으로 연결될 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 게이트 절연층 사이에 개재될 수 있고, 상기 접촉층과 상기 액티브층은 전기적으로 연결될 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 제2 전극에 고전원 전압이 인가될 수 있고, 상기 제2 전극에 인가된 고전원 전압은 상기 접촉층 및 상기 액티브층을 통해 상기 제1 전극에 전달될 수 있다.

[0016] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 반도체 소자는 기판, 상기 기판 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층, 상기 액티브층의 제1 단부와 오버랩되는 제1 접촉층, 상기 액티브층의 제2 단부와 오버랩되는 제2 접촉층, 상기 제1 접촉층에 접속되는 제1 전극 및 상기 제1 전극과 이격되어 배치되며 상기 제2 접촉층에 접속되는 제2 전극을 포함할 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제1 전극은 상기 제1 접촉층을 통해 상기 액티브층과 전기적으로 연결될 수 있고, 상기 제2 전극은 상기 제2 접촉층을 통해 상기 액티브층과 전기적으로 연결될 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 액티브층은 산화물 반도체층일 수 있고, 상기 제1 및 제2 접촉층들은 도전성 물질을 포함할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함할 수 있고, 상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 액티브층의 제2 단부 상에 위치하는 제2 개구를 가질 수 있으며, 상기 제1 전극은 상기 제1 개구를 통해 상기 제1 접촉층과 접속될 수 있고, 상기 제2 전극은 상기 제2 개구를 통해 상기 제2 접촉층과 접속될 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 제1 및 제2 접촉층들의 적어도 일부들 각각은 상기 액티브층 및 상기 게이트 절연층 사이에 개재될 수 있고, 상기 제1 및 제2 접촉층과 상기 액티브층은 전기적으로 연결될 수 있다.

[0021] 전술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 기판, 상기 기판 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며 제1 단부와 이에 반대되는 제2 단부를 포함하는 액티브층, 상기 액티브층의 제2 단부와 오버랩되는 접촉층, 상기 액티브층의 제1 단부에 접속되는 제1 전극 및 상기 제1 전극과 이격되어 배치되며 상기 접촉층에 접속되는 제2 전극을 포함하는 반도체 소자, 상기 제1 전극과 전기적으로 연결되는 하부 전극, 상

기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다.

- [0022] 예시적인 실시예들에 있어서, 상기 제2 전극은 상기 접촉층을 통해 상기 액티브층과 전기적으로 연결될 수 있고, 상기 액티브층은 산화물 반도체층일 수 있으며, 상기 접촉층은 도전성 물질을 포함할 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 반도체 소자 상에 배치되는 평탄화층을 더 포함할 수 있고, 상기 평탄화층은 상기 제1 전극의 적어도 일부를 노출시키는 제3 개구를 가질 수 있으며, 상기 제3 개구를 통해 상기 제1 전극과 접속될 수 있다.
- [0024] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에 배치되는 식각 저지층을 더 포함할 수 있고, 상기 식각 저지층은 상기 액티브층의 제1 단부 상에 위치하는 제1 개구 및 상기 접촉층 상에 위치하는 제2 개구를 가질 수 있으며, 상기 제1 전극은 상기 제1 개구를 통해 상기 액티브층과 접속될 수 있고, 상기 제2 전극은 상기 제2 개구를 통해 상기 접촉층과 접속될 수 있다.
- [0025] 예시적인 실시예들에 있어서, 상기 접촉층의 적어도 일부는 상기 액티브층 및 상기 게이트 절연층 사이에 개재될 수 있고, 상기 접촉층과 상기 액티브층은 전기적으로 연결될 수 있다.
- [0026] 예시적인 실시예들에 있어서, 상기 제2 전극에 고전원 전압이 인가될 수 있고, 상기 제2 전극에 인가된 고전원 전압은 상기 접촉층, 상기 액티브층 및 제1 전극을 통해 상기 하부 전극에 전달될 수 있다.

발명의 효과

- [0027] 본 발명의 예시적인 실시예들에 따른 반도체 소자는 접촉층을 포함함으로써, 반도체 소자의 신뢰성 및 안정성을 향상시킬 수 있다.
- [0028] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 접촉층을 포함하는 반도체 소자를 구비함으로써, 유기 발광 표시 장치의 신뢰성 및 안정성을 향상시킬 수 있다.
- [0029] 다만, 본 발명의 효과가 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 2a 내지 도 2e는 본 발명의 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 나타내는 단면도들이다.
 도 3은 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 4는 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 5는 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
 도 6은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 반도체 소자들, 반도체 소자의 제조 방법 및 유기 발광 표시 장치에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0032] 도 1은 본 발명의 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다.
- [0033] 도 1을 참조하면, 반도체 소자(100)는 기판(110), 게이트 전극(170), 게이트 절연층(150), 접촉층(250), 액티브층(130), 식각 저지층(190), 제1 전극(210), 제2 전극(230) 등을 포함할 수 있다. 여기서, 식각 저지층(190)은 제1 개구(275) 및 제2 개구(285)를 포함할 수 있다. 예시적인 실시예들에 있어서, 반도체 소자(100)는 제1 영역(I) 및 제2 영역(II)을 포함할 수 있고, 접촉층(250)은 제2 영역(II)에 위치할 수 있다. 접촉층(250)은 제2 개구(285)를 통해 제2 전극(230)과 접속될 수 있고, 제2 전극(230)은 접촉층(250)을 통해 액티브층(130)과 전기적으로 연결될 수 있다. 즉, 제2 전극(230)은 액티브층(130)과 직접적으로 접촉하지 않고, 제2 영역(II)에서 액티브층(130) 상에 개구가 위치하지 않는다.
- [0034] 기판(110)은 절연 물질로 구성될 수 있다. 예를 들면, 기판(110)은 유리 기판, 투명 플라스틱 기판, 투명 금속

산화물 기판 등을 포함할 수 있다. 예시하지는 않았지만, 기판(110) 상에는 적어도 하나의 버퍼층이 제공될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있다.

[0035] 게이트 전극(170)은 기판(110) 상에 배치될 수 있다. 도 1에 예시한 반도체 소자(100)는 바텀 게이트(bottom gate) 구성을 가지지만, 다른 예시적인 실시예들에 따르면 반도체 소자가 탑 게이트(top gate) 구성 또는 이중 게이트(dual gate) 구성을 가질 수도 있다. 게이트 전극(170)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 게이트 전극(170)은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiN_x), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물(SrRu_xO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0036] 게이트 절연층(150)은 게이트 전극(170)을 덮으며 기판(110) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층(150)은 게이트 전극(170)을 커버하며, 균일한 두께로 게이트 전극(170)의 프로파일을 따라 배치될 수 있다. 다른 예시적인 실시예들에 있어서, 게이트 절연층(150)은 게이트 전극(170)을 충분히 덮을 수 있으며, 게이트 전극(15)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다.

[0037] 접촉층(250)은 게이트 절연층(150) 상의 제2 영역(II)에 위치할 수 있다. 예시적인 실시예들에 있어서, 접촉층(250)의 두께는 게이트 절연층(150)의 두께보다 상대적으로 두꺼울 수 있다. 선택적으로, 접촉층(250)의 두께는 게이트 절연층(150)의 두께 보다 얇거나 같을 수도 있다. 접촉층(250)이 게이트 절연층(150) 상의 제2 영역(II)에 배치됨으로써, 제2 전극(230)은 액티브층(130)과 직접적으로 접촉하지 않을 수 있다. 즉, 제2 전극(230)은 접촉층(250)을 통해서 액티브층(130)과 전기적으로 연결될 수 있고, 제2 영역(II)에서 액티브층(130) 상에 개구가 위치하지 않는다.

[0038] 예를 들어, 산화물 반도체로 구성된 액티브층의 제2 영역(II) 상에 개구가 위치하는 경우, 상기 개구를 통해 제2 전극은 상기 액티브층과 접촉될 수 있다. 여기서, 식각 저지층이 상기 개구를 가질 수 있고, 건식 또는 습식 식각 공정을 통해 상기 식각 저지층의 제2 영역(II)에 상기 개구가 형성될 수 있다. 이러한 경우, 고전원 전압이 인가되는 상기 제2 전극과 상기 액티브층이 접촉되는 부분에서 전자들이 트랩되기 때문에 반도체 소자의 문턱 전압이 변화될 수 있다. 이에 따라, 상기 반도체 소자의 문턱 전압 산포의 증가, 구동 전류의 감소 등과 같은 다양한 전기적인 특성들이 열화되는 문제점이 나타날 수 있다. 따라서, 산화물 반도체로 구성된 상기 액티브층의 제2 영역(II) 상에 상기 개구가 위치하지 않도록 예시적인 실시예들에 따라 반도체 소자(100)는 접촉층(250)을 포함할 수 있다.

[0039] 접촉층(250)은 전도성 물질을 포함할 수 있다. 예를 들어, 접촉층(250)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 몰리브덴, 몰리브덴을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 네오디뮴, 스칸듐, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0040] 액티브층(130)이 게이트 절연층(150) 중 아래에 게이트 전극(170)이 위치하는 부분 및 접촉층(250)의 일부 상에 위치할 수 있다. 예시적인 실시예들에 있어서, 액티브층(130)은 제1 단부 및 이에 반대되는 제2 단부를 가질 수 있다. 상기 제1 단부는 제1 영역(I)에 위치할 수 있고, 상기 제2 단부는 제2 영역(II)에 위치할 수 있다. 여기서, 상기 제2 단부는 접촉층(250)의 적어도 일부와 오버랩될 수 있다. 예를 들어, 접촉층(250)의 적어도 일부는 액티브층(130) 및 게이트 절연층(150) 사이에 개재될 수 있다. 즉, 액티브층(130)은 접촉층(250)과 직접적으로 접촉될 수 있다. 액티브층(130)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xC_y), 사성분계 화합물(AB_xC_yD_z) 등을 포함하는 반도체 산화물층일 수 있다. 예를 들어, 액티브층(130)은 아연 산화물(ZnO_x), 갈륨 산화물(GaO_x), 티타늄 산화물(TiO_x), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 인듐-주석 산화물(ITO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-주석 산화물(ZTO), 아연-지르코늄 산화물(ZnZrxOy), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO), 인듐-갈륨-hafnium 산화물

(IGHO), 주석-알루미늄-아연 산화물(TAZO) 및 인듐-갈륨-주석 산화물(IGTO) 등을 포함할 수 있다.

- [0041] 식각 저지층(190)은 액티브층(130) 및 접촉층(250)을 덮으며 게이트 절연층(150) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 식각 저지층(190)은 액티브층(130) 및 접촉층(250)을 커버하며, 균일한 두께로 액티브층(130) 및 접촉층(250)의 프로파일을 따라 배치될 수 있다. 여기서, 식각 저지층(190)은 액티브층(130)의 제1 단부 상에 위치하는 제1 개구(275) 및 접촉층(250) 상에 위치하는 제2 개구(285)를 가질 수 있다. 제1 개구(275)는 제1 영역(I)에서 액티브층(130)의 일부를 노출시킬 수 있다. 제2 개구(285)는 제2 영역(II)에서 접촉층(250)의 일부를 노출시킬 수 있다. 다른 예시적인 실시예들에 있어서, 식각 저지층(190)은 액티브층(130)을 충분히 덮을 수 있으며, 액티브층(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 식각 저지층(190)은 실리콘 화합물을 포함할 수 있다. 예를 들면, 식각 저지층(190)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0042] 제1 전극(210) 및 제2 전극(230)은 식각 저지층(190) 상에 서로 이격하여 배치될 수 있다. 제1 전극(210)은 제1 영역(I)에 위치할 수 있고, 제1 개구(275)를 채우면서 액티브층(130)의 제1 단부에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(210)은 드레인 전극일 수 있다. 제2 전극(230)은 제2 영역(II)에 위치할 수 있고, 제2 개구(285)를 채우면서 접촉층(250)에 접속될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(230)은 소스 전극일 수 있다. 제1 전극(210) 및 제2 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들어, 제1 전극(210) 및 제2 전극(230) 각각은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr), 탄탈륨(Ta), 텅스텐(W), 네오디뮴(Nd), 스칸듐(Sc), 이들의 합금, 이들의 질화물, 스트론튬 루테튬 산화물(SrRuO_y), 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 탄소 나노 튜브 등을 포함할 수 있다. 제2 전극(230)은 접촉층(250)을 통해 액티브층(130)과 전기적으로 연결될 수 있다. 제2 전극(230)에 고전원 전압이 인가될 수 있고, 제2 전극(230)에 인가된 고전원 전압은 접촉층(250) 및 액티브층(130)을 통해 제1 전극(210)에 전달될 수 있다.
- [0043] 본 발명의 예시적인 실시예들에 따른 반도체 소자(100)는 접촉층(250)을 포함함으로써, 접촉층(250)의 적어도 일부는 액티브층(130) 및 게이트 절연층(150) 사이에 개재될 수 있고, 제2 전극(230)은 액티브층(130)과 직접적으로 접촉하지 않을 수 있다. 따라서, 제2 영역(II)에서 액티브층(130) 상에는 건식 또는 습식 식각 공정이 수행되지 않을 수 있고, 제2 영역(II)의 액티브층(130) 상에 개구가 위치하지 않기 때문에 전자들이 트랩되는 현상은 발생되지 않을 수 있다. 이에 따라, 반도체 소자(100)는 접촉층(250)을 포함함으로써, 반도체 소자(100)의 신뢰성 및 안전성을 향상시킬 수 있다.
- [0044] 도 2a 내지 도 2e는 본 발명의 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 나타내는 단면도들이다.
- [0045] 도 2a를 참조하면, 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 물질로 구성될 수 있는 기판(1210) 상에 게이트 전극(1270)을 형성할 수 있다. 게이트 전극(1270)은 스퍼터링(sputtering) 공정, 스프레이(spray) 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정, 진공 증착(vacuum evaporation) 공정, 프린팅(printing) 공정 등을 통해 형성될 수 있다. 게이트 전극(1270)은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈륨, 루테튬 등과 같은 금속, 이들 금속들을 포함하는 합금들, 이들 금속들의 질화물들, 도전성 금속 산화물 등을 사용하여 형성될 수 있다.
- [0046] 도 2b를 참조하면, 기판(1210) 상에는 게이트 전극(1270)을 커버하는 게이트 절연층(1250)이 형성될 수 있다. 게이트 절연층(1250)은 화학 기상 증착 공정, 열산화 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정 등을 이용하여 형성될 수 있다. 또한, 게이트 절연층(1250)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층(1250)은 게이트 전극(1270)을 커버하며, 균일한 두께로 게이트 전극(1270)의 프로파일을 따라 형성될 수 있다.
- [0047] 게이트 절연층(1250) 상의 제2 영역(II)에는 접촉층(1350)이 형성될 수 있다. 접촉층(1350)은 스퍼터링 공정을 통해 게이트 절연층(1250) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 접촉층(1350)의 두께는 게이트 절연층(1250)의 두께보다 상대적으로 두껍게 형성될 수 있다. 접촉층(1350)은 전도성 물질을 포함할 수 있다. 예를 들어, 접촉층(1350)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 몰리브덴, 몰리브덴을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 네오디뮴, 스칸듐, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 사용하여 형성될 수 있다.
- [0048] 도 2c를 참조하면, 게이트 절연층(1250) 및 접촉층(1350)의 일부 상에는 액티브층(1230)이 형성될 수 있다. 액

티브층(1230)은 스퍼터링 공정, 화학 기상 증착 공정, 프린팅 공정, 스프레이 공정, 진공 증착 공정, 원자층 적층 공정, 줄-겔 공정, 플라즈마 증대 화학 기상 증착 공정 등을 이용하여 형성될 수 있다. 액티브층(1230)은 게이트 절연층(1250) 중에서 아래에 게이트 전극(1270)이 위치하는 부분 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 액티브층(1230)은 제1 단부 및 이에 반대되는 제2 단부를 포함할 수 있다. 상기 제1 단부는 제1 영역(I)에 위치할 수 있고, 상기 제2 단부는 제2 영역(II)에 위치할 수 있다. 여기서, 상기 제2 단부는 접촉층(1350)의 적어도 일부와 오버랩되도록 형성될 수 있다. 예를 들어, 접촉층(1250)의 적어도 일부는 액티브층(1230) 및 게이트 절연층(1250) 사이에 개재되도록 형성될 수 있다. 즉, 액티브층(1230)은 접촉층(1350)과 직접적으로 접촉하여 형성될 수 있다. 액티브층(1230)은 반도체 산화물층으로 형성될 수 있다. 예를 들어, 액티브층(1230)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 주석 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 인듐-주석 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-주석 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-아연-주석 산화물, 인듐-갈륨-하프늄 산화물, 주석-알루미늄-아연 산화물 및 인듐-갈륨-주석 산화물 등을 사용하여 형성될 수 있다.

[0049] 도 2d를 참조하면, 게이트 절연층(1250), 액티브층(1230) 및 접촉층(1350) 상에는 식각 저지층(1290)이 형성될 수 있다. 식각 저지층(1290)은 액티브층(1230) 및 접촉층(1350)을 덮으며 게이트 절연층(1250) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 식각 저지층(1290)은 액티브층(1230) 및 접촉층(1350)을 커버하며, 균일한 두께로 액티브층(1230) 및 접촉층(1350)의 프로파일을 따라 형성될 수 있다. 여기서, 식각 저지층(1290)을 부분적으로 식각하여, 식각 저지층(1290)은 액티브층(1230)의 제1 단부 상에 위치하는 제1 개구(1375) 및 접촉층(1350) 상에 위치하는 제2 개구(1385)를 형성할 수 있다. 제1 개구(1375)는 제1 영역(I)에서 액티브층(1230)의 일부를 노출시킬 수 있다. 제2 개구(1385)는 제2 영역(II)에서 접촉층(1350)의 일부를 노출시킬 수 있다. 식각 저지층(1290)은 실리콘 화합물을 포함할 수 있다. 예를 들면, 식각 저지층(1290)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 사용하여 형성될 수 있다.

[0050] 도 2e를 참조하면, 제1 전극(1310) 및 제2 전극(1330)은 식각 저지층(1290) 상에 서로 이격하여 형성될 수 있다. 제1 전극(1310) 및 제2 전극(1330)은 각기 화학 기상 증착 공정, 진공 증착 공정, 스퍼터링 공정, 플라즈마 증대 화학 기상 증착 공정, 원자층 적층공정 등을 이용하여 형성될 수 있다. 제1 전극(1310)은 제1 영역(I)에 형성될 수 있고, 제1 개구(1375)를 채우면서 액티브층(1230)의 제1 단부에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(1310)은 드레인 전극일 수 있다. 제2 전극(1330)은 제2 영역(II)에 형성될 수 있고, 제2 개구(1385)를 채우면서 접촉층(1350)에 접속될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(1330)은 소스 전극일 수 있다. 또한, 제1 전극(1310) 및 제2 전극(1330)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 제2 전극(1330)은 접촉층(1350)을 통해 액티브층(1330)과 전기적으로 연결될 수 있다. 제2 전극(1330)에 고전원 전압이 인가될 수 있고, 제2 전극(1330)에 인가된 고전원 전압은 접촉층(1350) 및 액티브층(1230)을 통해 제1 전극(1310)에 전달될 수 있다. 예시적인 실시예들에 있어서, 접촉층(1350)의 적어도 일부는 액티브층(1230) 및 게이트 절연층(1250) 사이에 개재되어 형성될 수 있고, 제2 전극(1330)은 액티브층(1230)과 직접적으로 접촉하지 않도록 형성될 수 있다. 따라서, 제2 영역(II)에서 액티브층(1230) 상에는 건식 또는 습식 식각 공정이 수행되지 않을 수 있고, 제2 영역(II)의 액티브층(1230) 상에 개구가 위치하지 않기 때문에 전자들이 트랩되는 현상은 발생되지 않을 수 있다. 이에 따라, 도 1에 예시한 반도체 소자(100)와 실질적으로 동일한 구성을 가지는 반도체 소자가 제조될 수 있다. 추가적으로, 상기 반도체 소자의 신뢰성 및 안전성을 향상시키기 위해 어닐링 공정이 수행될 수도 있다.

[0051] 도 3은 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다. 도 3에 예시한 반도체 소자(300)는 접촉층(450)의 위치를 제외하면, 도 1을 참조하여 설명한 반도체 소자(100)와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 3에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0052] 도 3을 참조하면, 반도체 소자(300)는 기판(310), 게이트 전극(370), 게이트 절연층(350), 접촉층(450), 액티브층(330), 식각 저지층(390), 제1 전극(410), 제2 전극(430) 등을 포함할 수 있다. 여기서, 식각 저지층(390)은 제1 개구(475) 및 제2 개구(485)를 포함할 수 있다. 예시적인 실시예들에 있어서, 반도체 소자(300)는 제1 영역(I) 및 제2 영역(II)을 포함할 수 있고, 접촉층(450)은 제1 영역(I)에 위치할 수 있다. 접촉층(450)은 제1 개구(475)를 통해 제1 전극(410)과 접속될 수 있고, 제1 전극(410)은 접촉층(450)을 통해 액티브층(330)과 전기적으로 연결될 수 있다. 즉, 제1 전극(410)은 액티브층(330)과 직접적으로 접촉하지 않고, 제1 영역(I)에서 액티브층(330) 상에 개구가 위치하지 않는다.

[0053] 접촉층(450)은 게이트 절연층(350) 상의 제1 영역(I)에 위치할 수 있다. 예시적인 실시예들에 있어서, 접촉층

(450)의 두께는 게이트 절연층(350)의 두께보다 상대적으로 두꺼울 수 있다. 접촉층(450)이 게이트 절연층(350) 상의 제1 영역(I)에 배치됨으로써, 제1 전극(410)은 액티브층(330)과 직접적으로 접촉하지 않을 수 있다. 즉, 제1 전극(410)은 접촉층(450)을 통해서 액티브층(330)과 전기적으로 연결될 수 있고, 제1 영역(I)에서 액티브층(330) 상에 개구가 위치하지 않는다. 접촉층(450)은 전도성 물질을 포함할 수 있다.

[0054] 액티브층(330)이 게이트 절연층(350) 중 아래에 게이트 전극(370)이 위치하는 부분 및 접촉층(450)의 일부 상에 위치할 수 있다. 예시적인 실시예들에 있어서, 액티브층(330)은 제1 단부 및 이에 반대되는 제2 단부를 가질 수 있다. 상기 제1 단부는 제1 영역(I)에 위치할 수 있고, 상기 제2 단부는 제2 영역(II)에 위치할 수 있다. 여기서, 상기 제1 단부는 접촉층(450)의 적어도 일부와 오버랩될 수 있다. 예를 들어, 접촉층(450)의 적어도 일부는 액티브층(330) 및 게이트 절연층(350) 사이에 개재될 수 있다. 즉, 액티브층(330)은 접촉층(450)과 직접적으로 접촉될 수 있다. 액티브층(330)은 반도체 산화물층을 포함할 수 있다.

[0055] 식각 저지층(390)은 액티브층(330) 및 접촉층(450)을 덮으며 게이트 절연층(350) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 식각 저지층(390)은 액티브층(330) 및 접촉층(450)을 커버하며, 균일한 두께로 액티브층(330) 및 접촉층(450)의 프로파일을 따라 배치될 수 있다. 여기서, 식각 저지층(390)은 접촉층(450) 상에 위치하는 제1 개구(475) 및 액티브층(330)의 제2 단부 상에 위치하는 제2 개구(485)를 가질 수 있다. 제1 개구(475)는 제1 영역(I)에서 접촉층(450)의 일부를 노출시킬 수 있다. 제2 개구(485)는 제2 영역(II)에서 액티브층(330)의 일부를 노출시킬 수 있다. 식각 저지층(390)은 실리콘 화합물을 포함할 수 있다.

[0056] 제1 전극(410) 및 제2 전극(430)은 식각 저지층(390) 상에 서로 이격하여 배치될 수 있다. 제1 전극(410)은 제1 영역(I)에 위치할 수 있고, 제1 개구(475)를 채우면서 접촉층(450)에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(410)은 소스 전극일 수 있다. 제2 전극(430)은 제2 영역(II)에 위치할 수 있고, 제2 개구(485)를 채우면서 액티브층(330)의 제2 단부에 접속될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(430)은 드레인 전극일 수 있다. 제1 전극(410) 및 제2 전극(430) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 제1 전극(410)은 접촉층(450)을 통해 액티브층(330)과 전기적으로 연결될 수 있다. 제1 전극(410)에 고전원 전압이 인가될 수 있고, 제1 전극(410)에 인가된 고전원 전압은 접촉층(450) 및 액티브층(330)을 통해 제2 전극(430)에 전달될 수 있다. 예시적인 실시예들에 있어서, 접촉층(450)의 적어도 일부는 액티브층(330) 및 게이트 절연층(350) 사이에 개재될 수 있고, 제1 전극(410)은 액티브층(330)과 직접적으로 접촉하지 않을 수 있다. 따라서, 제1 영역(I)에서 액티브층(330) 상에는 건식 또는 습식 식각 공정이 수행되지 않을 수 있고, 제1 영역(I)의 액티브층(330) 상에 개구가 위치하지 않기 때문에 전자들이 트랩되는 현상은 발생되지 않을 수 있다. 이에 따라, 반도체 소자(300)는 접촉층(450)을 포함함으로써, 반도체 소자(300)의 신뢰성 및 안전성을 향상시킬 수 있다.

[0057] 도 4는 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다. 도 3에 예시한 반도체 소자(500)는 제1 및 제2 접촉층들(650, 660)을 제외하면, 도 1을 참조하여 설명한 반도체 소자(100)와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 4에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0058] 도 4를 참조하면, 반도체 소자(500)는 기판(510), 게이트 전극(570), 게이트 절연층(550), 제1 접촉층(650), 제2 접촉층(660), 액티브층(530), 식각 저지층(590), 제1 전극(610), 제2 전극(630) 등을 포함할 수 있다. 여기서, 식각 저지층(590)은 제1 개구(675) 및 제2 개구(685)를 포함할 수 있다. 예시적인 실시예들에 있어서, 반도체 소자(500)는 제1 영역(I) 및 제2 영역(II)을 포함할 수 있고, 제1 및 제2 접촉층들(650, 660) 각각은 제1 영역(I) 및 제2 영역(II) 각각에 위치할 수 있다. 제1 접촉층(650)은 제1 개구(675)를 통해 제1 전극(610)과 접속될 수 있고, 제1 전극(610)은 제1 접촉층(650)을 통해 액티브층(530)과 전기적으로 연결될 수 있다. 또한, 제2 접촉층(660)은 제2 개구(685)를 통해 제2 전극(630)과 접속될 수 있고, 제2 전극(630)은 제2 접촉층(660)을 통해 액티브층(530)과 전기적으로 연결될 수 있다. 즉, 제1 전극(610) 및 제2 전극(630)은 액티브층(530)과 직접적으로 접촉하지 않고, 제1 영역(I) 및 제2 영역(II)에서 액티브층(530) 상에 개구들이 위치하지 않는다.

[0059] 제1 접촉층(650)은 게이트 절연층(550) 상의 제1 영역(I)에 위치할 수 있다. 예시적인 실시예들에 있어서, 제1 접촉층(650)의 두께는 게이트 절연층(550)의 두께보다 상대적으로 두꺼울 수 있다. 제1 접촉층(650)이 게이트 절연층(550) 상의 제1 영역(I)에 배치됨으로써, 제1 전극(610)은 액티브층(530)과 직접적으로 접촉하지 않을 수 있다. 즉, 제1 전극(610)은 제1 접촉층(650)을 통해서 액티브층(530)과 전기적으로 연결될 수 있고, 제1 영역(I)에서 액티브층(530) 상에 개구가 위치하지 않는다. 제2 접촉층(660)은 게이트 절연층(550) 상의 제2 영역(II)에 위치할 수 있다. 예시적인 실시예들에 있어서, 제2 접촉층(660)의 두께는 게이트 절연층(550)의 두께보

다 상대적으로 두꺼울 수 있다. 제2 접촉층(660)이 게이트 절연층(550) 상의 제2 영역(II)에 배치됨으로써, 제2 전극(630)은 액티브층(530)과 직접적으로 접촉하지 않을 수 있다. 즉, 제2 전극(630)은 제2 접촉층(660)을 통해서 액티브층(530)과 전기적으로 연결될 수 있고, 제2 영역(II)에서 액티브층(530) 상에 개구가 위치하지 않는다. 제1 접촉층(650) 및 제2 접촉층(660) 각각은 전도성 물질을 포함할 수 있다.

[0060] 액티브층(530)이 게이트 절연층(550) 중 아래에 게이트 전극(570)이 위치하는 부분, 제1 접촉층(650)의 일부 및 제2 접촉층(660)의 일부 상에 위치할 수 있다. 예시적인 실시예들에 있어서, 액티브층(530)은 제1 단부 및 이에 반대되는 제2 단부를 가질 수 있다. 상기 제1 단부는 제1 영역(I)에 위치할 수 있고, 상기 제2 단부는 제2 영역(II)에 위치할 수 있다. 여기서, 상기 제1 단부는 제1 접촉층(650)의 적어도 일부와 오버랩될 수 있다. 예를 들어, 제1 접촉층(650)의 적어도 일부는 액티브층(530) 및 게이트 절연층(550) 사이에 개재될 수 있다. 즉, 액티브층(530)은 제1 접촉층(650)과 직접적으로 접촉될 수 있다. 또한, 상기 제2 단부는 제2 접촉층(660)의 적어도 일부와 오버랩될 수 있다. 즉, 액티브층(530)은 제2 접촉층(660)과 직접적으로 접촉될 수 있다. 액티브층(530)은 반도체 산화물층을 포함할 수 있다.

[0061] 식각 저지층(590)은 액티브층(530), 제1 접촉층(650) 및 제2 접촉층(660)을 덮으며 게이트 절연층(550) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 식각 저지층(590)은 액티브층(530), 제1 접촉층(650) 및 제2 접촉층(660)을 커버하며, 균일한 두께로 액티브층(530), 제1 접촉층(650) 및 제2 접촉층(660)의 프로파일을 따라 배치될 수 있다. 여기서, 식각 저지층(590)은 제1 접촉층(650) 상에 위치하는 제1 개구(675) 및 제2 접촉층(660) 상에 위치하는 제2 개구(685)를 가질 수 있다. 제1 개구(675)는 제1 영역(I)에서 제1 접촉층(650)의 일부를 노출시킬 수 있다. 제2 개구(685)는 제2 영역(II)에서 제2 접촉층(660)의 일부를 노출시킬 수 있다. 식각 저지층(590)은 실리콘 화합물을 포함할 수 있다.

[0062] 제1 전극(610) 및 제2 전극(630)은 식각 저지층(590) 상에 서로 이격하여 배치될 수 있다. 제1 전극(610)은 제1 영역(I)에 위치할 수 있고, 제1 개구(675)를 채우면서 제1 접촉층(650)에 접속될 수 있다. 제2 전극(630)은 제2 영역(II)에 위치할 수 있고, 제2 개구(685)를 채우면서 제2 접촉층(660)에 접속될 수 있다. 제1 전극(610) 및 제2 전극(630) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 제1 전극(610)은 제1 접촉층(650)을 통해 액티브층(530)과 전기적으로 연결될 수 있고, 제2 전극(630)은 제2 접촉층(660)을 통해 액티브층(530)과 전기적으로 연결될 수 있다. 이러한 경우, 제1 영역(I) 및 제2 영역(II)에서 액티브층(530) 상에는 건식 또는 습식 식각 공정이 수행되지 않을 수 있고, 제1 영역(I) 및 제2 영역(II)의 액티브층(530) 상에 개구가 위치하지 않기 때문에 전자들이 트랩되는 현상은 발생되지 않을 수 있다. 또한, 반도체 소자(500)는 제1 접촉층(650) 및 제2 접촉층(660)을 포함하기 때문에 제1 전극(610) 및 제2 전극(630) 모두 고전원 전압이 인가되는 소스 전극으로 기능할 수 있다. 이에 따라, 반도체 소자(500)는 제1 접촉층(650) 및 제2 접촉층(660)을 포함함으로써, 소스 및 드레인 전극들의 위치에 제한되지 않는 반도체 소자(500)로 기능할 수 있다.

[0063] 도 5는 본 발명의 다른 예시적인 실시예들에 따른 반도체 소자를 나타내는 단면도이다. 도 5에 예시한 반도체 소자(700)는 접촉층(850)의 위치를 제외하면, 도 1을 참조하여 설명한 반도체 소자(100)와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 5에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0064] 도 5를 참조하면, 반도체 소자(700)는 기판(710), 게이트 전극(770), 게이트 절연층(750), 접촉층(850), 액티브층(730), 식각 저지층(790), 제1 전극(810), 제2 전극(830) 등을 포함할 수 있다. 여기서, 식각 저지층(790)은 제1 개구(875) 및 제2 개구(885)를 포함할 수 있다. 예시적인 실시예들에 있어서, 반도체 소자(700)는 제1 영역(I) 및 제2 영역(II)을 포함할 수 있고, 접촉층(850)은 제2 영역(II)에 위치할 수 있다. 접촉층(850)은 제2 개구(885)를 통해 제2 전극(830)과 접속될 수 있고, 제2 전극(830)은 접촉층(850)을 통해 액티브층(730)과 전기적으로 연결될 수 있다. 즉, 제2 전극(810)은 액티브층(730)과 직접적으로 접촉하지 않고, 제2 영역(II)에서 액티브층(730) 상에 개구가 위치하지 않는다.

[0065] 액티브층(730)이 게이트 절연층(750) 중 아래에 게이트 전극(770)이 위치하는 부분 상에 위치할 수 있다. 예시적인 실시예들에 있어서, 액티브층(730)은 제1 단부 및 이에 반대되는 제2 단부를 가질 수 있다. 상기 제1 단부는 제1 영역(I)에 위치할 수 있고, 상기 제2 단부는 제2 영역(II)에 위치할 수 있다. 여기서, 상기 제2 단부는 접촉층(850)의 적어도 일부와 오버랩될 수 있다. 예를 들어, 접촉층(850)의 적어도 일부는 액티브층(730) 및 식각 저지층(790) 사이에 개재될 수 있다. 즉, 액티브층(730)은 접촉층(850)과 직접적으로 접촉될 수 있다. 액티브층(730)은 반도체 산화물층을 포함할 수 있다.

- [0066] 접촉층(850)은 게이트 절연층(350) 및 상기 제2 단부 상의 제2 영역(II)에 위치할 수 있다. 예시적인 실시예들에 있어서, 접촉층(850)의 두께는 게이트 절연층(750)의 두께보다 상대적으로 두꺼울 수 있다. 접촉층(850)이 게이트 절연층(350) 및 상기 제2 단부 상의 제2 영역(II)에 배치됨으로써, 제2 전극(830)은 액티브층(730)과 직접적으로 접촉하지 않을 수 있다. 즉, 제2 전극(830)은 접촉층(850)을 통해서 액티브층(730)과 전기적으로 연결될 수 있고, 제2 영역(II)에서 액티브층(730) 상에 개구가 위치하지 않는다. 접촉층(850)은 전도성 물질을 포함할 수 있다.
- [0067] 식각 저지층(790)은 액티브층(730) 및 접촉층(850)을 덮으며 게이트 절연층(750) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 식각 저지층(790)은 액티브층(330) 및 접촉층(850)을 커버하며, 균일한 두께로 액티브층(730) 및 접촉층(850)의 프로파일을 따라 배치될 수 있다. 여기서, 식각 저지층(790)은 액티브층(730)의 제1 단부 상에 위치하는 제1 개구(875) 및 접촉층(850) 상에 위치하는 제2 개구(885)를 가질 수 있다. 제1 개구(875)는 제1 영역(I)에서 상기 제1 단부의 일부를 노출시킬 수 있다. 제2 개구(885)는 제2 영역(II)에서 접촉층(850)의 일부를 노출시킬 수 있다. 식각 저지층(790)은 실리콘 화합물을 포함할 수 있다.
- [0068] 제1 전극(810) 및 제2 전극(830)은 식각 저지층(790) 상에 서로 이격하여 배치될 수 있다. 제1 전극(810)은 제1 영역(I)에 위치할 수 있고, 제1 개구(875)를 채우면서 상기 제1 단부에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(810)은 드레인 전극일 수 있다. 제2 전극(830)은 제2 영역(II)에 위치할 수 있고, 제2 개구(885)를 채우면서 접촉층(850)에 접속될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(830)은 소스 전극일 수 있다. 제1 전극(810) 및 제2 전극(830) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 제2 전극(830)은 접촉층(850)을 통해 액티브층(730)과 전기적으로 연결될 수 있다. 제2 전극(830)에 고전원 전압이 인가될 수 있고, 제2 전극(830)에 인가된 고전원 전압은 접촉층(850) 및 액티브층(730)을 통해 제1 전극(810)에 전달될 수 있다. 예시적인 실시예들에 있어서, 접촉층(850)의 적어도 일부는 액티브층(330) 및 식각 저지층(790) 사이에 개재될 수 있고, 제2 전극(810)은 액티브층(730)과 직접적으로 접촉하지 않을 수 있다. 따라서, 제2 영역(II)에서 액티브층(730) 상에는 건식 또는 습식 식각 공정이 수행되지 않을 수 있고, 제2 영역(II)의 액티브층(730) 상에 개구가 위치하지 않기 때문에 전자들이 트랩되는 현상은 발생되지 않을 수 있다. 이에 따라, 반도체 소자(700)는 접촉층(850)을 포함함으로써, 반도체 소자(700)의 신뢰성 및 안전성을 향상시킬 수 있다.
- [0069] 도 6은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 6에 예시한 반도체 소자(1000)는 도 1을 참조하여 설명한 반도체 소자(100)와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 6에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0070] 도 6을 참조하면, 유기 발광 표시 장치(900)는 반도체 소자(1000), 기관(910), 평탄화층(1090), 하부 전극(1100), 발광층(1120), 상부 전극(1130), 화소 정의막(1110) 및 봉지 기관(1150)을 포함할 수 있다. 여기서, 반도체 소자(1000)는 게이트 전극(970), 게이트 절연층(950), 접촉층(1050), 액티브층(930), 식각 저지층(990), 제1 전극(1010), 제2 전극(1030) 등을 포함할 수 있다. 식각 저지층(990)은 제1 개구(1075) 및 제2 개구(1085)를 포함할 수 있다. 접촉층(100)은 제2 개구(1085)를 통해 제2 전극(1030)과 접속될 수 있고, 제2 전극(1030)은 접촉층(1050)을 통해 액티브층(930)과 전기적으로 연결될 수 있다. 즉, 제2 전극(1030)은 액티브층(930)과 직접적으로 접촉하지 않고, 액티브층(930) 상에 개구가 위치하지 않는다.
- [0071] 기관(910) 상에 반도체 소자(1000)가 배치될 수 있다. 기관(910)은 투명한 재료로 구성될 수 있다. 예를 들면, 기관(910)은 석영 기관, 합성 석영(synthetic quartz) 기관, 불화칼슘 기관, 불소가 도핑된 석영(F-doped quartz) 기관, 소다라임(sodalime) 기관, 무알칼리(non-alkali) 기관 등을 포함할 수 있다. 선택적으로는, 기관(910)은 연성을 갖는 투명 수지 기관으로 이루어질 수 있다. 기관(910)으로 이용될 수 있는 투명 수지 기관의 예로는 폴리이미드 기관을 들 수 있다. 이 경우, 상기 폴리이미드 기관은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 다른 예시적인 실시예들에 있어서, 기관(910)은 유리 기관 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 적층된 구성을 가질 수 있다. 예를 들면, 상기 제2 폴리이미드층 상에 절연층을 배치한 후, 상기 절연층 상에 상기 발광 구조물들(예를 들어, 반도체 소자(1000), 평탄화층(1090), 하부 전극(1100), 발광층(1120), 상부 전극(1130), 화소 정의막(1110) 및 봉지 기관(1150))을 형성할 수 있다. 이러한 발광 구조물들의 형성 후, 상기 유리 기관이 제거될 수 있다. 상기 폴리이미드 기관은 얇고 플렉서블하기 때문에, 상기 폴리이미드 기관 상에 상기 발광 구조물들을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 경질의 유리 기관을 이용하여 상기 발광 구조물들을 형성한 다음, 상기 유리 기관을 제거함으로

써, 상기 폴리이미드 기판을 기판(910)으로 이용할 수 있다.

- [0072] 기판(910)과 반도체 소자(1000) 사이에 버퍼층(도시되지 않음)이 배치될 수 있다. 상기 버퍼층은 기판(910)을 커버할 수 있다. 상기 버퍼층은 기판(910)으로부터 금속 원자들이나 불순물들이 확산(즉, 아웃 개성)되는 현상을 방지할 수 있다. 또한, 상기 버퍼층은 기판(910)의 표면이 균일하지 않을 경우, 기판(910)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(910)의 유형에 따라 기판(910) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다.
- [0073] 기판(910) 및 반도체 소자(1000) 상에는 평탄화층(1090)이 배치될 수 있다. 평탄화층(1090) 기판(910) 및 반도체 소자(1000)를 커버하며 기판(910) 상에서 전체적으로 배치될 수 있다. 평탄화층(1090)은 반도체 소자(1000)를 충분히 덮을 수 있으며, 반도체 소자(1000)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 평탄화층(1090)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다.
- [0074] 하부 전극(1100)은 평탄화층(1090) 상에 배치될 수 있다. 하부 전극(1100)은 평탄화층(1090)의 일부를 관통하여 제1 전극(1010)에 접속될 수 있다. 또한, 하부 전극(1100)은 반도체 소자(1000)와 전기적으로 연결될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(1030)에 고전원 전압이 인가되고, 제2 전극(1030)에 인가된 고전원 전압은 접촉층(1050), 액티브층(930) 및 제1 전극(1010)을 통해 하부 전극(1100)에 전달될 수 있다. 하부 전극(1100)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.
- [0075] 화소 정의막(1110)은 하부 전극(1100)의 일부들을 노출시키면서 평탄화층(1090) 상에 배치될 수 있다. 화소 정의막(1110)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 이 경우, 화소 정의막(1110)에 의해 적어도 일부가 노출된 하부 전극(1100) 상에 발광층(1120)이 위치할 수 있다.
- [0076] 발광층(1120)은 적어도 일부가 노출된 하부 전극(1100) 상에 배치될 수 있다. 발광층(1120)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다.
- [0077] 상부 전극(1130)은 화소 정의막(1110) 및 발광층(1120) 상에 배치될 수 있다. 상부 전극(1130)은 화소 정의막(1110) 및 발광층(1120)을 커버할 수 있으며 기판(910) 상에서 전체적으로 배치될 수 있다. 상부 전극(1130)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0078] 봉지 기판(1150)은 상부 전극(1130) 상에 배치될 수 있다. 봉지 기판(1150)은 실질적으로 기판(910)과 동일한 재료로 구성될 수 있다. 예를 들면, 봉지 기판(1150)은 석영 기판, 합성 석영 기판, 불화칼슘 또는 불소가 도핑된 석영 기판, 소다 라임 기판, 무알칼리 기판 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 봉지 기판(1150)은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수 있다. 예를 들면, 봉지 기판(1150)은 연성을 갖는 투명 수지 기판을 포함할 수도 있다. 이 경우, 유기 발광 표시 장치(900)의 가요성을 향상시키기 위하여 적어도 하나의 유기층 및 적어도 하나의 무기층이 교대로 적층되는 구조를 가질 수 있다.
- [0079] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

- [0080] 본 발명은 반도체 소자를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠펜(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템, 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

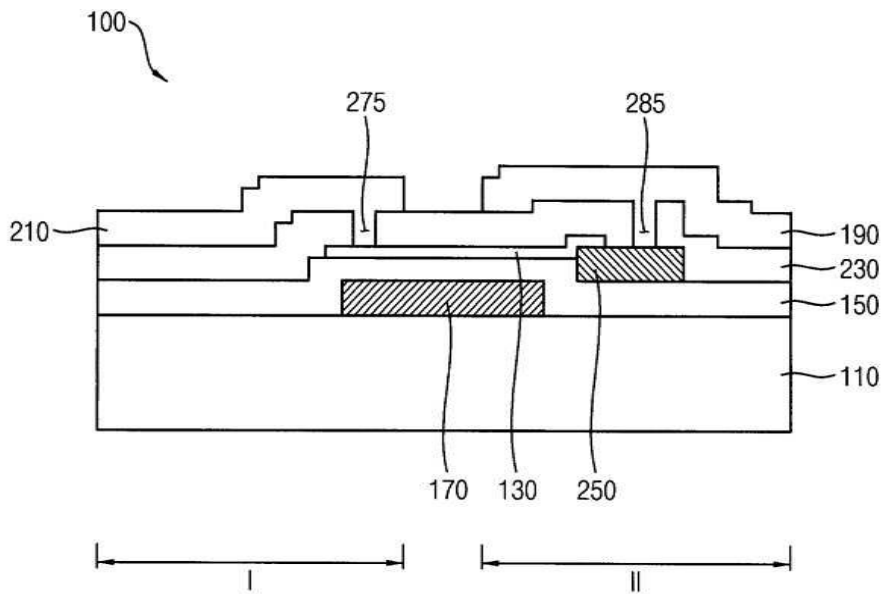
부호의 설명

- [0081] 100, 300, 500, 700, 1000: 반도체 소자

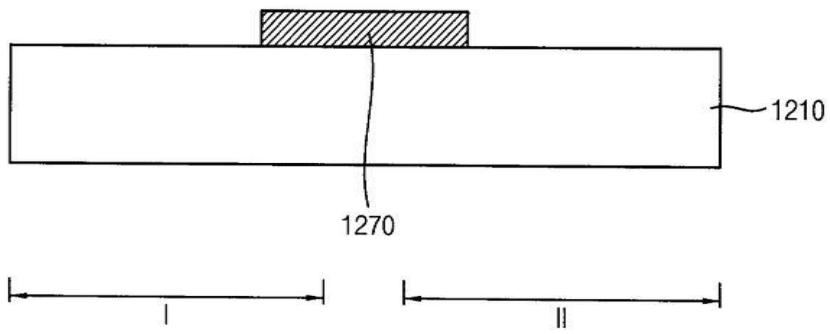
- 110, 310, 510, 710, 910, 1210: 기관
- 130, 330, 530, 730, 930, 1230: 액티브층
- 150, 350, 550, 750, 950, 1250: 게이트 절연층
- 170, 370, 570, 770, 970, 1270: 게이트 전극
- 190, 390, 590, 790, 990, 1290: 식각 저지층
- 210, 410, 610, 810, 1010, 1310: 제1 전극
- 230, 430, 630, 830, 1030, 1330: 제2 전극
- 250, 450, 850, 1050, 1350: 접촉층
- 275, 475, 675, 875, 1075, 1375: 제1 개구
- 285, 485, 685, 885, 1085, 1385: 제2 개구
- 650: 제1 접착층 660: 제2 접착층
- 900: 유기 발광 표시 장치 1090: 평탄화층
- 1100: 하부 전극 1110: 화소 정의막
- 1120: 발광층 1130: 상부 전극
- 1150: 봉지 기관 I: 제1 영역
- II: 제2 영역

도면

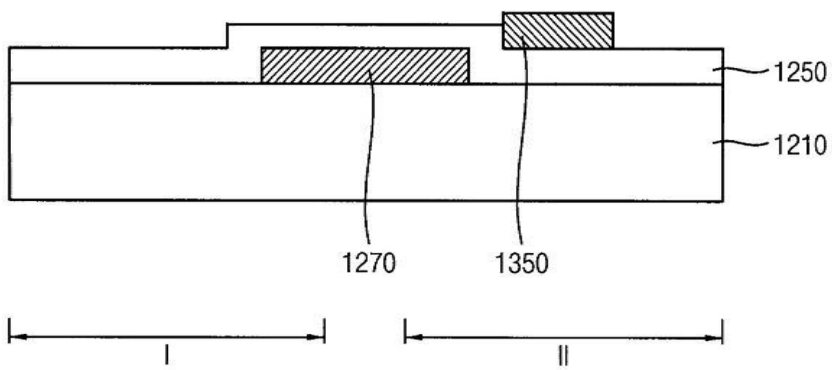
도면1



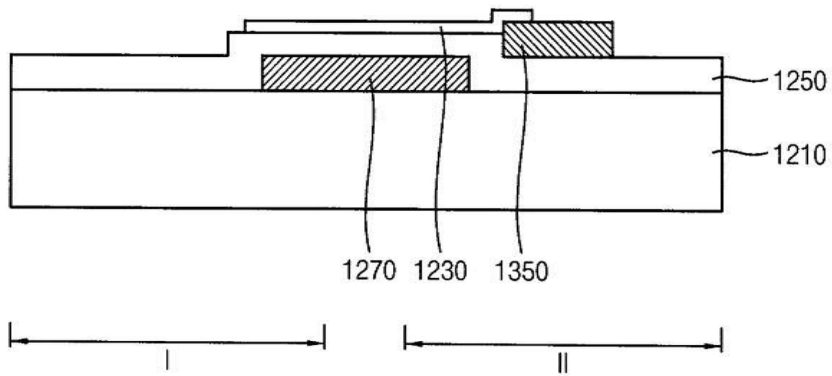
도면2a



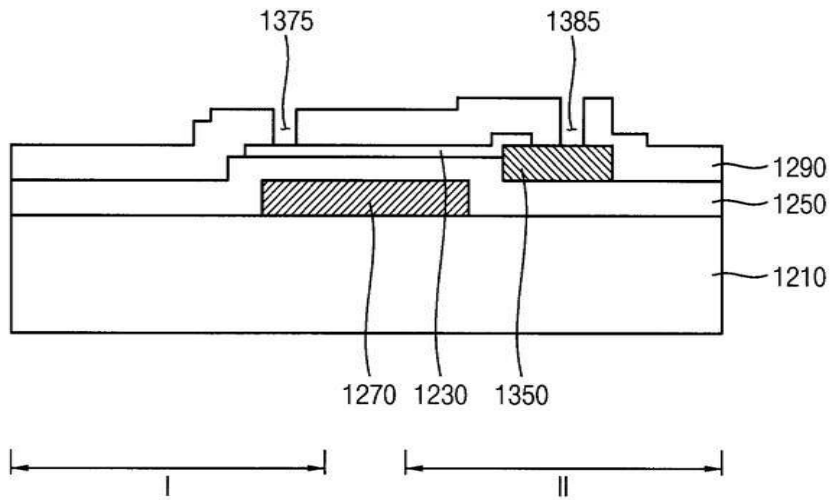
도면2b



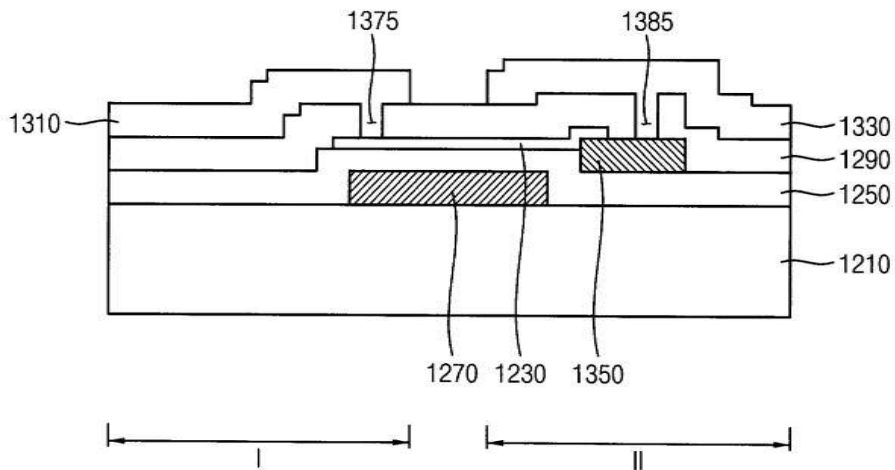
도면2c



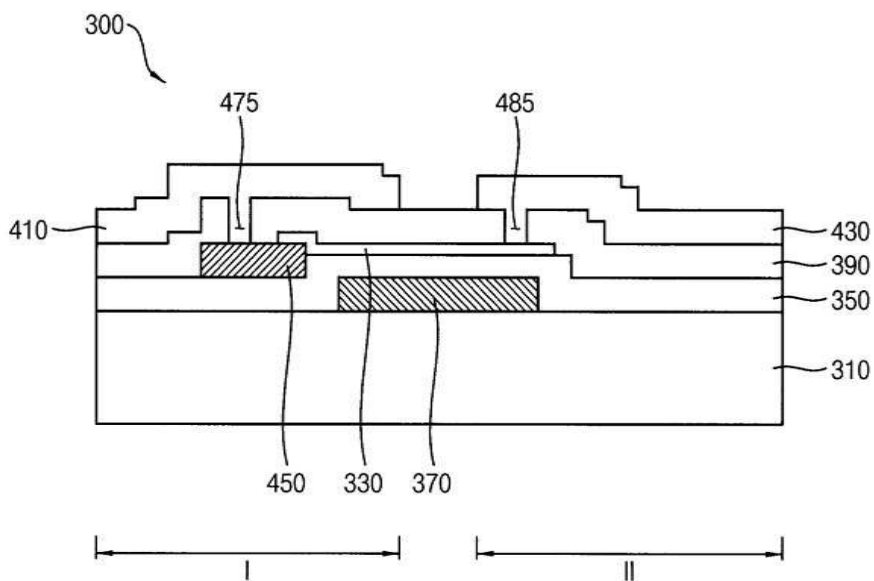
도면2d



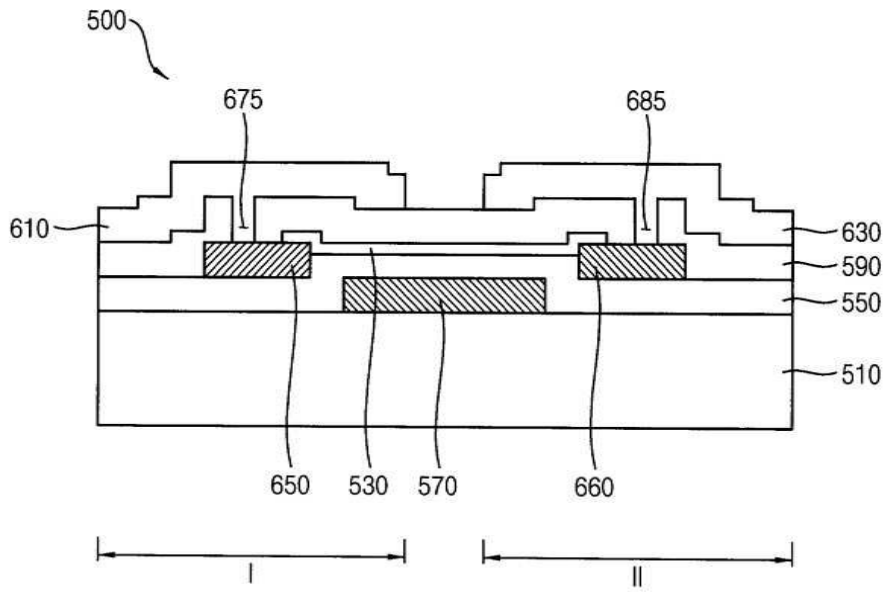
도면2e



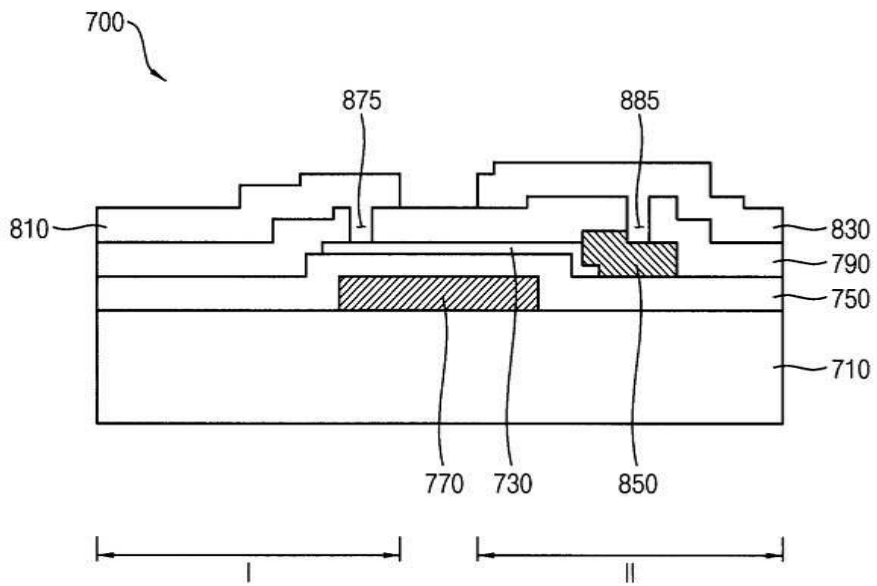
도면3



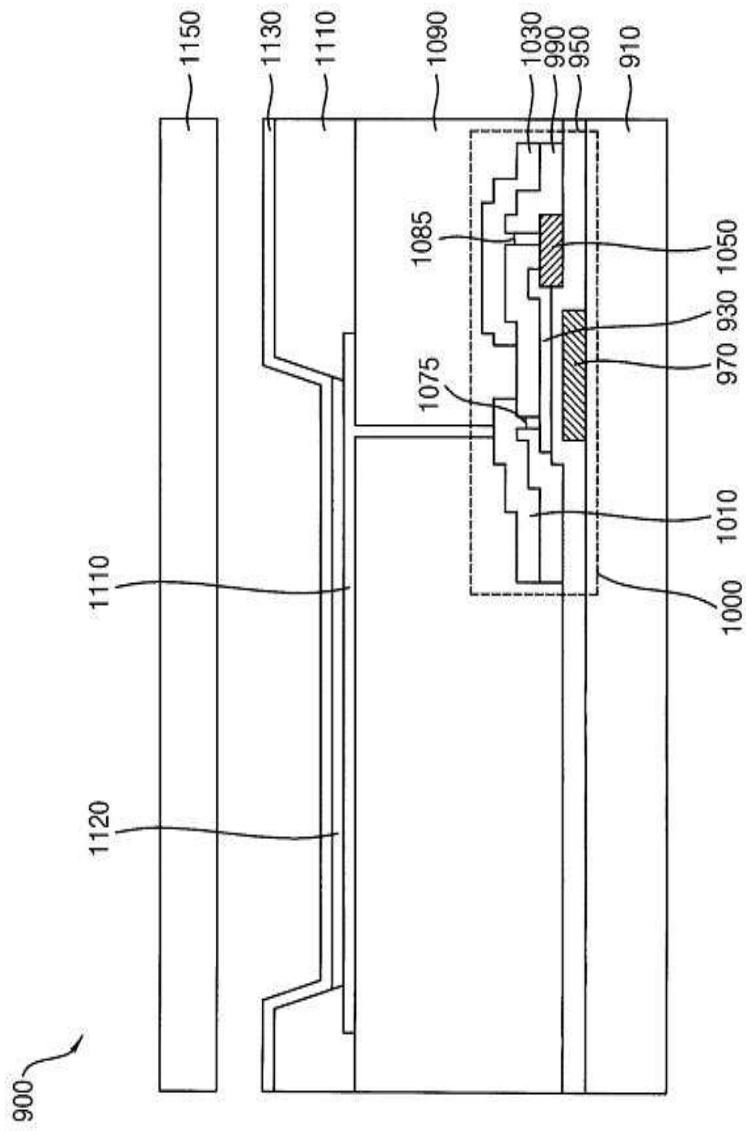
도면4



도면5



도면6



专利名称(译)	标题：包括半导体器件和半导体器件的OLED显示器件		
公开(公告)号	KR1020160096259A	公开(公告)日	2016-08-16
申请号	KR1020150017313	申请日	2015-02-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM JUNG HWA 김정화 KIM KWANG SUK 김광속 LEE IL JEONG 이일정		
发明人	김정화 김광속 이일정		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/1251 H01L27/3248 H01L29/7869 H01L29/41733 H01L29/45 H01L29/66969 H01L51/0545 H01L51/102		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

包括接触层并防止有源层中的电子的陷阱现象的半导体器件可以包括连接到与有源层重叠的接触层的第一电极，以及有源层的第二端，以及有源层的第一端。有源层和第二电极设置成与第一电极分离并连接到包括基板的接触层，栅电极，布置在基板上，栅极绝缘层设置在栅电极上，第一端和栅电极布置在栅极绝缘层上，并且因此相对的第二端。因此，可以提高半导体器件的可靠性和稳定性。

