



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0082571  
(43) 공개일자 2016년07월08일

(51) 국제특허분류(Int. Cl.)  
H01L 51/56 (2006.01) H01L 27/32 (2006.01)  
(21) 출원번호 10-2014-0192871  
(22) 출원일자 2014년12월30일  
심사청구일자 없음

(71) 출원인  
주식회사 실리콘웍스  
대전광역시 유성구 테크노2로 222 (탑립동)  
(72) 발명자  
전재욱  
대전광역시 유성구 용산2로 4-1 (용산동), 201호  
최정희  
대전광역시 유성구 용산2로 4-1 (용산동), 안단테 401호  
(74) 대리인  
특허법인충정

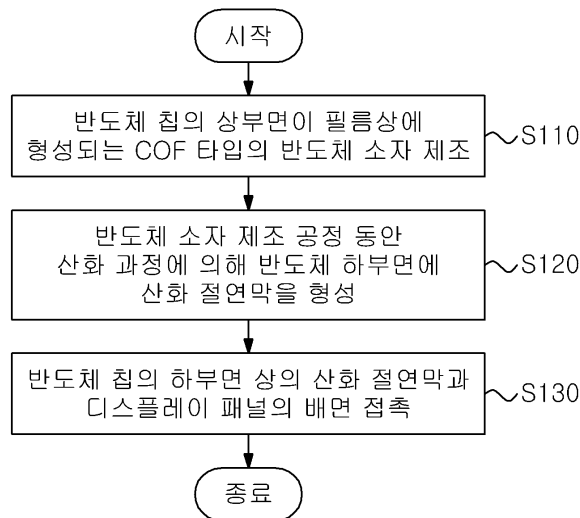
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **씨오에프 타입의 반도체 소자를 포함하는 디스플레이 패널 제조 방법**

**(57) 요약**

COF 타입의 반도체 소자를 포함하는 디스플레이 패널 제조 방법이 개시된다. 본 발명의 일 실시예에 따른 디스플레이 패널 제조 방법은 반도체 칩(chip)의 일면이 필름 상에 형성되는 씨오에프(COF; chip on film) 타입의 반도체 소자를 제조하는 단계; 상기 반도체 소자의 제조 공정 동안 진행되는 산화 과정에 의하여 상기 칩의 다른 일면에 형성되는 산화 절연막을 유지한 채, 상기 반도체 칩의 다른 일면을 디스플레이 패널의 배면에 접촉시키는 단계; 및 상기 산화 절연막을 이용하여 상기 반도체 칩의 다른 일면과 상기 디스플레이 패널의 배면을 전기적으로 절연시키는 단계를 포함하고, 상기 디스플레이 패널은 유기발광다이오드(OLED) 디스플레이 패널일 수 있다.

**대표도** - 도1



## 명세서

### 청구범위

#### 청구항 1

반도체 칩(chip)의 일면이 필름 상에 형성되는 씨오에프(COF; chip on film) 타입의 반도체 소자를 제조하는 단계;

상기 반도체 소자의 제조 공정 동안 진행되는 산화 과정에 의하여 상기 반도체 칩의 다른 일면에 형성된 산화 절연막을 디스플레이 패널의 배면에 접촉시키는 단계; 및

상기 산화 절연막을 이용하여 상기 반도체 칩의 다른 일면과 상기 디스플레이 패널의 배면을 전기적으로 절연시키는 단계

를 포함하는 디스플레이 패널 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 디스플레이 패널은

유기발광다이오드(OLED) 디스플레이 패널인 것을 특징으로 하는 디스플레이 패널 제조 방법.

#### 청구항 3

제1항에 있어서,

상기 전기적으로 절연시키는 단계는

접지(GND) 전위를 가지는 상기 디스플레이 패널의 배면과 접지 전위가 아닌 일정 전위(VGL)를 가지는 상기 반도체 칩의 다른 일면을 상기 산화 절연막을 이용하여 전기적으로 절연시키는 것을 특징으로 하는 디스플레이 패널 제조 방법.

#### 청구항 4

제1항에 있어서,

상기 씨오에프 타입의 반도체 소자를 제조하는 단계는

상기 반도체 칩의 상기 다른 일면 상에 산화 과정에 의한 제1 산화 절연막층을 형성하는 단계; 및

상기 제1 산화 절연막 상에 산화 공정에 의한 제2 산화 절연막층을 형성하는 단계

를 포함하고,

상기 반도체 칩의 다른 일면에 형성된 상기 산화 절연막은 상기 제1 산화 절연막과 상기 제2 산화 절연막을 포함하되,

상기 접촉시키는 단계는

상기 제2 산화 절연막을 상기 디스플레이 패널의 배면에 접촉시키는 단계

를 포함하는 것을 특징으로 하는 디스플레이 패널 제조 방법.

#### 청구항 5

제1항에 있어서,

상기 접촉시키는 단계는

접촉 수단을 사용하지 않고 상기 반도체 칩의 다른 일면 상의 상기 산화 절연막을 상기 디스플레이 패널의 배면

에 물리적으로 접촉시키는 것을 특징으로 하는 디스플레이 패널 제조 방법.

**청구항 6**

제1항에 있어서,

상기 접촉시키는 단계는

상기 산화 절연막을 그라인드(grind)하지 않은 상태로 상기 반도체 칩의 다른 일면 상의 상기 산화 절연막을 상기 디스플레이 패널의 배면에 접촉시키는 것을 특징으로 하는 디스플레이 패널 제조 방법.

**청구항 7**

제1항에 있어서,

상기 산화 절연막은

상기 반도체 소자의 제조 공정 동안 진행되는 산화 과정에 의하여 형성되는 제1 산화 절연막층과, 상기 반도체 소자의 제조 공정 이후에 상기 반도체 소자가 대기 중에 노출되어 진행되는 산화 과정에 의하여 형성되는 제2 산화 절연막층을 포함하는 것을 특징으로 하는 디스플레이 패널 제조 방법.

**청구항 8**

제1항에 있어서,

상기 산화 절연막은

상기 반도체 칩의 다른 일면과 상기 디스플레이 패널의 배면 사이의 절연하고자 하는 전압에 대응하는 두께를 가지는 것을 특징으로 하는 디스플레이 패널 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 디스플레이 패널 제조에 대한 것으로, 상세하게는 제조 단가를 줄일 수 있는 씨오에프(COF; Chip On Film) 타입의 반도체 소자를 유기발광다이오드(OLED) 디스플레이 패널의 배면에 접촉시킬 수 있는 제조 방법에 관한 것이다.

**배경 기술**

[0002] COF는 반도체 칩을 얇은 필름 형태의 인쇄회로기판(PCB)에 장착하는 방식으로, 'Chip On Flexible Printed Circuit'의 약어이지만, Flexible Printed Circuit가 발전하여 'Film' 유형이 개발되면서 'Chip On Film'의 약어로 혼용되고 있다.

[0003] COF 기술은 통신기기의 경박단소화 추세와 함께 LCD 드라이버 IC에서 이에 대응하기 위해 개발된 새로운 형태의 패키지이다. 기존 제품보다 리드 간 거리(피치)에 훨씬 미세하고 얇은 필름을 사용할 수 있는 특징이 있어서, 휴대폰 기판 및 반도체, 디스플레이 소재로써 고영상 이미지를 구현하기 위한 액정 표시 장치의 화소수 증가에 따른 구동과 40[μm] 이하의 고정도 동영상 구현에 사용된다.

[0004] COF는 회로가 새겨진 폴리이미드(PI) 필름 위에 이방 도전성 필름이나 솔더 범프 등을 이용해 칩을 실장하는 기술로, 칩·모듈의 소형화가 가능하고 소재가 유연해 접거나 말 수 있다. 또한, COF는 구동 드라이버 IC나 카메라 모듈의 기판으로 쓰이는 필름 소재로, LCD나 카메라폰 시장 확대와 함께 수요가 커지고 있다.

[0005] 이런 COF 타입의 반도체 소자가 유기발광다이오드(OLED) 디스플레이 패널에 적용되는 경우 COF 타입의 반도체 소자에 포함되는 반도체 칩은 상부면이 필름과 연결되고 하부면이 디스플레이 패널의 배면에 접촉될 수 있다.

[0006] OLED 디스플레이 패널의 배면에 접촉되는 반도체 칩의 하부면은 접지 전위가 아닌 일정 전위를 가지기 때문에 접지 전위를 가지고 있는 디스플레이 패널의 배면과 전기적으로 연결되는 것을 방지하여야 한다.

[0007] 종래 COF 타입의 반도체 소자와 OLED 디스플레이 패널의 배면을 전기적으로 절연시키기 위한 일 예의 선행기술인 한국공개특허공보 제10-2013-0008736호는 터치스크린패널 능동형 유기발광다이오드 표시장치에 대한 것으로, 접착테이프에 의해 디스플레이 패널의 배면에 부착되어 있는 완충 부재를 사용하여 반도체 소자를 외부충격으로

부터 보호하고 반도체 소자의 하부면과 디스플레이 패널의 배면이 전기적으로 연결되는 것을 방지할 수 있다.

- [0008] 물론, COF 타입의 반도체 소자와 OLED 디스플레이 패널의 배면을 전기적으로 절연시키기 위해 반도체 칩의 하부면을 그라인드(grind) 한 후 공정 과정을 통해 반도체 칩의 하부면 상에 별도의 절연층을 생성하거나 반도체 칩의 하부면을 절연 테이프로 절연시켜줄 수 있다.
- [0009] 하지만, 이런 종래 방법은 그라인드 과정 후에 별도의 공정을 통해 절연층을 생성하거나 절연 테이프를 부착하는 과정을 수행하기 때문에 제품 단가가 올라가고, 세트 제품의 두께가 두꺼워지는 문제점이 있다.
- [0010] 따라서, 제품 단가가 상승하는 것을 방지하고 세트 제품의 두께가 두꺼워지는 것을 방지할 수 있는 방법의 필요성이 대두된다.

### 선행기술문헌

#### 특허문헌

- [0011] (특허문헌 0001) 한국공개특허 제10-2013-0008736호 "터치스크린 패널 능동형 유기발광 다이오드 표시장치" (공개일: 2013.01.23)

### 발명의 내용

#### 해결하려는 과제

- [0012] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하고자 도출된 것으로서, COF 타입의 반도체 소자와 OLED 디스플레이 패널의 배면을 전기적으로 절연시키면서 제품 단가가 상승하는 것을 방지하고 세트 제품의 두께가 증가하는 것을 방지할 수 있는 디스플레이 패널 제조 방법을 제공하는 것을 목적으로 한다.
- [0013] 또한, 본 발명은 디스플레이 패널의 배면과 접촉되는 반도체 칩의 하부면이 접지 전위가 아닌 일정 전위를 가지는 경우에도 제품 단가가 상승하는 것을 방지하고 세트 제품의 두께가 증가하는 것을 방지하면서 반도체 칩의 하부면과 디스플레이 패널의 배면을 전기적으로 절연시킬 수 있는 디스플레이 패널 제조 방법을 제공하는 것을 목적으로 한다.

#### 과제의 해결 수단

- [0014] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 디스플레이 패널 제조 방법은 반도체 칩(chip)의 상부면이 필름 상에 형성되는 씨오에프(COF; chip on film) 타입의 반도체 소자를 제조하는 단계; 상기 반도체 소자의 제조 공정 동안 진행되는 산화 과정에 의하여 상기 칩의 하부면에 형성되는 산화 절연막을 유지한 채, 상기 반도체 칩의 하부면을 디스플레이 패널의 배면에 접촉시키는 단계; 및 상기 산화 절연막을 이용하여 상기 칩의 하부면과 상기 디스플레이 패널의 배면을 전기적으로 절연시키는 단계를 포함한다.
- [0015] 상기 디스플레이 패널은 유기발광다이오드(OLED) 디스플레이 패널일 수 있다.
- [0016] 상기 전기적으로 절연시키는 단계는 접지(GND) 전위를 가지는 상기 디스플레이 패널의 배면과 접지 전위가 아닌 일정 전위( $V_{GL}$ )를 가지는 상기 반도체 칩의 하부면을 상기 산화 절연막을 이용하여 전기적으로 절연시킬 수 있다.
- [0017] 상기 접촉시키는 단계는 상기 산화 절연막 상부에 공정에 의한 추가 절연막을 형성하는 단계; 및 상기 산화 절연막과 상기 추가 절연막이 형성된 상기 반도체 칩의 하부면을 디스플레이 패널의 배면에 접촉시키는 단계를 포함할 수 있다.
- [0018] 상기 접촉시키는 단계는 접촉 수단을 사용하지 않고 상기 반도체 칩의 하부면을 상기 디스플레이 패널의 배면에 물리적으로 접촉시킬 수 있다.
- [0019] 상기 접촉시키는 단계는 상기 산화 절연막을 그라인드(grind)하지 않은 상태로 상기 반도체 칩의 하부면을 디스플레이 패널의 배면에 접촉시킬 수 있다.

### 발명의 효과

[0020] 본 발명에 따르면, COF 타입의 반도체 소자에 구성된 반도체 칩의 하부면과 디스플레이 패널의 배면을 전기적으로 절연시키기 위해, 반도체 칩의 제조 공정 동안 진행되는 산화 과정에 의해 반도체 칩의 하부면에 형성되는 산화 절연막을 그라인드하지 않은 상태로 그대로 이용함으로써, 별도의 추가 공정 없이 반도체 칩의 하부면과 디스플레이 패널의 배면을 전기적으로 절연시킬 수 있고 따라서 제품 단가가 상승하는 것을 방지하고 세트 제품의 무게가 증가하는 것을 방지할 수 있다.

[0021] 또한, 본 발명에 따르면, 디스플레이 패널의 배면과 접촉되는 반도체 칩의 하부면이 일정 전위를 가지는 경우에 용이하게 적용할 수 있으며, OLED를 구동시키는 구동 드라이버 IC 등을 COF 타입으로 만들 때 용이하게 적용할 수 있다.

[0022] 또한, 본 발명에 따르면, 반도체 칩의 하부면을 그라인드 하지 않은 상태로 제조 환경 시 자연스럽게 형성되는 산화 절연막을 이용하기 때문에 제조 공정 수를 줄일 수 있고, 따라서 제조 단가를 줄일 수 있다.

**도면의 간단한 설명**

[0023] 도 1은 본 발명의 일 실시예에 따른 디스플레이 패널 제조 방법에 대한 동작 흐름도를 나타낸 것이다.

도 2는 도 1에 도시된 단계 S120에 대한 일 실시예 동작 흐름도를 나타낸 것이다.

도 3과 도 4는 본 발명의 방법에 대한 동작을 설명하기 위한 일 실시예 단면도를 나타낸 것이다.

도 5는 COF 타입의 반도체 소자에 대한 일 실시예 단면도를 나타낸 것이다.

도 6은 COF 타입의 반도체 소자에 대한 다른 일 실시예 단면도를 나타낸 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0024] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시 예에 대한 설명을 통하여 명백히 드러나게 될 것이다.

[0025] 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0026] 이하에서는, 본 발명의 일 실시 예에 따른 디스플레이 패널 제조 방법을 첨부된 도 1 내지 도 6을 참조하여 상세히 설명한다.

[0027] 본 발명은 반도체 칩의 상부면이 필름 상에 형성되는 COF 타입의 반도체 소자를 제조하는 과정에서, 제조 공정 동안 진행되는 산화 과정에 의하여 반도체 칩의 하부면에 자연스럽게 형성되는 산화 절연막을 그라인드하지 않은 상태 그대로 이용함으로써, 별도의 추가 공정 없이 산화 절연막만을 이용하여 COF 타입의 반도체 소자와 디스플레이 패널의 배면을 전기적으로 절연시키는 것을 그 요지로 한다.

[0028] 이 때, 디스플레이 패널의 배면과 접촉되는 반도체 칩의 일면에서의 전위는 디스플레이 패널의 배면에서의 전위와 상이하고, 디스플레이 패널의 배면에서의 전위는 접지(GND) 전위일 수 있다.

[0029] 본 명세서에서 반도체 칩의 "상부면"이라 함은 필름에 접촉하는 반도체 칩의 일 면을 지칭하는 것이고, 반도체 칩의 "하부면"이라 함은 반도체 칩의 상부면이 아닌, 반대편의 다른 일 면으로서, 디스플레이 패널의 배면과 접촉하는 면을 지칭하는 것이다. 본 명세서에서 "상부면", "하부면"의 명칭은 반도체 제조 공정 후 디스플레이 패널과의 조립 과정에서 배치되는 방향에 따라 설명의 편의를 위하여 부여된 것으로서, "상부면", "하부면" 등의 용어가 방향을 나타낸다는 이유로 인하여 본 발명의 권리범위를 제한하는 것으로 해석되어서는 아니 되며, "상부면"과 "하부면"이 접촉되는 장치 및 "상부면"과 "하부면"의 기능 등, 기술적인 특징에 의하여 청구항이 해석되어야 할 것이다.

[0030] 또한 본 명세서에서 "반도체 소자"라 함은 "반도체 칩"을 포함하는 장치(device)의 개념으로서, 반도체 칩 뿐만 아니라 반도체 칩을 보호하기 위한 보호층 또는 몰딩(molding)을 포함하는 개념을 지칭한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 디스플레이 패널 제조 방법에 대한 동작 흐름도를 나타낸 것이다.

[0032] 도 1을 참조하면, 본 발명에 따른 디스플레이 패널 제조 방법은 반도체 칩(chip)의 일면 예를 들어, 상부면이 필름 상에 형성되는 COF 타입의 반도체 소자를 제조한다(S110).

- [0033] 이 때, COF 타입의 반도체 소자에 포함되는 반도체 칩은 디스플레이 패널을 구동시키기 위한 구동 IC를 포함할 수 있으며, 반도체 칩의 다른 일면(하부면)은 접지 전위가 아닌 일정 전위 예를 들어,  $V_{GL}$  전위를 가질 수 있다. 물론, 반도체 칩의 하부면은 일정 전위의 금속 배선 또는 단자를 가질 뿐만 아니라 접지 전위를 가지는 금속 배선 또는 단자를 가질 수도 있다.
- [0034] 단계 S110의 과정에서, 반도체 칩은 별도의 공정에 의한 것이 아니라 COF 타입의 반도체 소자 제조 공정 동안 제조 환경에 의해 산화 과정이 발생되어 대기 중에 노출되어 있는 반도체 칩의 하부면에 산화 절연막이 형성된다(S120).
- [0035] 도 1에서는 설명의 편의 상 단계 S120이 단계 S110 이후에 진행되는 것으로 도시되었으나, 이는 본 발명의 다양한 실시예 중의 하나에 대한 도시일 뿐이다. 다른 실시예에 따라서는, 단계 S120은 단계 S110이 진행되는 동안에 진행될 수 있으며, 단계 S110이 진행되는 동안 대기 중에 노출되어 있는 반도체 칩의 하부면에 자연스럽게 산화 절연막이 형성될 수 있다.
- [0036] COF 타입의 반도체 소자 제조 공정 동안 반도체 칩의 하부면에 형성된 산화 절연막을 유지한 상태로, 반도체 칩의 상부면과 접촉하는 필름의 연장된 부분이 디스플레이 패널에 연결되고, COF 타입의 반도체 소자에 포함된 반도체 칩의 하부면이 디스플레이 패널의 배면에 접촉된다(S130).
- [0037] 도 1에서는 반도체 칩의 하부면이 디스플레이 패널의 배면에 접촉되는 실시예를 중심으로 도시되었다. 그러나 도 1은 설명의 편의를 위한 것으로, 본 발명의 다른 실시예에 따르면 반도체 칩의 하부면은 반드시 디스플레이 패널에 접촉될 필요는 없으며, 산화 절연막에 둘러싸인 채로 대기 중에 플로팅(floating) 상태일 수도 있다.
- [0038] 단계 S120 내지 S130을 통해 알 수 있듯이, 상이한 전위를 가지고 있는 반도체 칩의 하부면과 디스플레이 패널의 배면이 접촉되더라도 자연스럽게 형성된 산화 절연막에 의해 전기적으로 절연되어 반도체 소자 내의 반도체 칩과 디스플레이 패널의 배면이 단락되는 것을 방지할 수 있다.
- [0039] 한편 도 1에서 반도체 칩의 하부면과 디스플레이 패널의 배면 사이의 절연을 확보하기 위하여 산화 절연막을 이용하는 과정이 도시되었으나, 본 발명의 사상은 이에 한정되지 않는다. 본 발명의 다른 실시예에 따라서는 반도체 칩의 하부면은 산화 절연막에 둘러싸여 대기 중에 플로팅 상태일 수도 있음은 앞에서 설명한 바와 같다. 이 경우에는 산화 절연막은 반도체 칩의 하부면이 다른 전도체와 직접 접촉하는 것을 막고, 다른 전도체가 플로팅 상태인 반도체 칩의 하부면에 근접하더라도 산화 절연막에 의하여 반도체 칩의 하부면의 절연 상태가 유지되도록 할 수 있다.
- [0040] 이와 같이, 본 발명에 따른 방법은 제조 공정 동안 산화 과정에 의해 자연스럽게 형성되는 산화 절연막을 이용하기 때문에 반도체 칩의 하부면 상의 산화 절연막을 그라인드(grind) 하고 그라인드된 면의 상부에 다시 추가적인 공정을 통해 절연막을 형성하는 과정을 수행할 필요가 없다. 따라서, 본 발명은 디스플레이 패널을 제조하는 과정 내의 세부 공정 횟수를 줄임으로써, 제품의 제조 단가를 줄이고, 이를 통해 세트 제품의 두께가 증가하는 것을 줄일 수 있다.
- [0041] 나아가, 본 발명은 반도체 칩의 하부면과 디스플레이 패널의 배면을 전기적으로 절연시키기 위해, 일정 두께 이상의 산화 절연막이 반도체 칩의 하부면에 형성되는 것이 바람직하다.
- [0042] 이 때, 제조 공정 동안 형성되는 산화 절연막의 두께가 전기적인 절연을 방지할 수 있을 정도의 기준 두께 이상으로 형성될 수도 있지만, 단계 S110이 진행되는 동안 형성된 산화 절연막의 두께가 기준 두께보다 작은 두께일 수도 있다.
- [0043] 산화 절연막이 기준 두께보다 작은 두께로 형성되는 경우 단계 S110 과정에 의해 제조된 COF 타입의 반도체 소자의 반도체 칩의 하부면 및 산화 절연막을 일정 시간 동안 대기 상태에 노출시킴으로써, 산화 과정이 길어지고 따라서 산화 절연막의 두께가 커질 수 있다.
- [0044] 산화 절연막의 두께는 절연하고자 하는 양측 사이의 전압에 대응하는 기준 두께를 넘어서는 정도이면 충분하다. 예를 들어 반도체 칩의 하부면과 디스플레이 패널의 배면 사이의 전압을 절연하고자 하는 경우, 반도체 칩의 하부면과 디스플레이 패널의 배면 사이의 전압을 견딜 수 있는 두께 이상의 산화 절연막이 반도체 칩의 하부면 상에 형성되었으면 더 이상의 추가 공정 없이 반도체 칩의 하부면 상의 산화 절연막과 디스플레이 패널의 배면을 접촉시킬 수 있다.
- [0045] 예를 들어 산화 절연막의 두께가 1  $\mu\text{m}$ 인 경우, 실험을 통하여 산화 절연막을 통하여 절연이 유지되는 산화 절연

막의 양 측의 전압을 측정할 수 있다. 이때, 절연이 유지되는 전압에 대한 측정값이 80V 내지 100V 범위인 경우, 절연하고자 하는 전압 80V에 대한 기준 두께로 1  $\mu\text{m}$ 를 설정할 수 있다.

- [0046] 예를 들어 디스플레이 패널의 배면의 전위가 0V, 반도체 칩의 하부면의 VGL 전위가 (-10)V인 경우, 절연하고자 하는 전압은 10V 이므로 10V를 견딜 수 있는 산화 절연막의 두께를 기준 두께로 설정한 다음, 반도체 칩의 하부면 상의 산화 절연막이 기준 두께 이상으로 형성되었으면 절연 기능에 문제가 없을 것으로 간주할 수 있다.
- [0047] 이 때 도시되지는 않았으나 샘플 웨이퍼 일부에 대한 테스트 과정을 거쳐 반도체 칩의 하부면 상의 산화 절연막이 기준 두께 이상으로 형성되었는지 여부를 검증하는 과정이 추가될 수 있다.
- [0048] 물론, 이와 같은 과정을 수행하더라도, 산화 절연막의 두께가 기준 두께보다 작을 수도 있으며, 이 경우에는 다시 추가적인 산화 과정에 의하여 추가 절연막을 산화 절연막 상에 형성할 수도 있다.
- [0049] 예컨대, 도 2에 도시된 바와 같이, COF 타입의 반도체 소자 제조 환경에 의해 대기 중에 노출된 반도체 칩의 다른 일면(하부면)에 형성된 산화 절연막 상부에 절연막을 형성하기 위한 공정을 이용하여 제1 두께만큼의 추가 절연막을 형성할 수 있다(S210, S220).
- [0050] 이 때, 추가 절연막은 공정을 통해 형성될 수 있는데, 상술한 그라인드 과정을 수행하지 않은 상태 그대로 산화 절연막 상부에 형성하기 때문에 기존의 방법에 비해 제조 과정 횟수가 줄어들게 된다.
- [0051] 상술한 바와 같이, 본 발명은 디스플레이 패널의 배면과 접촉되는 반도체 칩의 다른 일면이 일정 전위를 가지는 단자 또는 금속 배선을 포함하는 경우에 용이하게 적용할 수 있으며, OLED 디스플레이 패널을 구동시키는 구동 드라이버 IC 등을 COF 타입으로 만들 때 용이하게 적용할 수 있다.
- [0052] 추가 절연막은 추가적인 산화 공정을 통해 형성될 수도 있으며, 반도체 칩의 하부면이 다음 공정 단계를 진행하기 위한 대기 상태에서 대기 중의 산소와 결합하여 자연스러운 산화 공정이 추가로 진행되어 형성될 수도 있다.
- [0053] 도 3과 도 4는 본 발명의 방법에 대한 동작을 설명하기 위한 일 실시예 단면도를 나타낸 것이다.
- [0054] 도 3과 도 4에 도시된 바와 같이, COF 타입의 반도체 소자는 필름(310)과 반도체 칩(320)을 포함하고, 반도체 칩(320)은 일면(상부면)이 필름(310)과 접촉되거나 필름 상에 형성되며, 다른 일면(하부면)에 산화 절연막(330)이 형성된다.
- [0055] 이 때, 반도체 칩의 다른 일면에 형성된 산화 절연막(330)은 반도체 칩 또는 COF 타입의 반도체 소자를 제조하는 과정 동안 제조 환경에 의해 대기 중에 노출된 다른 일면이 산화되어 자연스럽게 형성되는 것으로, 반도체 칩의 다른 일면을 그라인드한 후 제조 공정을 통해 절연막을 형성할 필요가 없다.
- [0056] 이와 같이 산화 절연막(330)이 형성된 COF 타입의 반도체 소자는 필름에 형성된 금속 배선이 디스플레이 패널(410)과 연결되고, 반도체 칩은 디스플레이 패널의 배면에 접촉된다.
- [0057] 이 때, 디스플레이 패널이 OLED 디스플레이 패널인 경우 디스플레이 패널을 구동시키기 위한 반도체 칩인 구동 IC는 디스플레이 패널의 배면과 접촉되는 반도체 칩의 다른 일면에 접지 전위가 아닌 다른 일정 전위 예를 들어,  $V_{GL}$  전위가 인가되는 금속 배선 또는 단자를 포함하지만, 반도체 칩의 다른 일면에 자연스럽게 형성된 산화 절연막에 의해 접지 전위를 가지는 디스플레이 패널의 배면과 전기적으로 단락되는 것을 방지할 수 있다.
- [0058] 도 5는 COF 타입의 반도체 소자에 대한 일 실시예 단면도를 나타낸 것으로, 도 5에 도시된 바와 같이, 반도체 칩(320) 다른 일면 상에 자연스럽게 형성된 산화 절연막(330) 상부에 추가적인 추가 절연막(510)이 형성된 것을 알 수 있다.
- [0059] 이 때, 추가 절연막(510)은 반도체 칩(320) 다른 일면 상에 자연스럽게 형성된 산화 절연막(330)이 일정 두께 미만으로 형성되어 반도체 칩의 다른 일면과 디스플레이 패널의 배면을 안전하게 절연시킬 수 없는 경우 산화 절연막(330) 상부에 형성되는 절연막으로, 그라인드 공정을 거치지 않고 절연막을 형성하기 위한 제조 공정만을 사용하여 산화 절연막(330) 상부에 형성되는 것이다.
- [0060] 도 6은 COF 타입의 반도체 소자에 대한 다른 일 실시예 단면도를 나타낸 것이다.
- [0061] 도 6을 참조하면, COF 타입의 반도체 소자는 반도체 칩(320)에 몰딩(molding) 처리를 수행할 수 있으며, 도 6a에 도시된 바와 같이 반도체 칩의 측면만을 몰딩 처리(340)를 할 수도 있고, 도 6b에 도시된 바와 같이 반도체 칩의 측면 뿐만 아니라 다른 일면 상부를 몰딩 처리(340)할 수도 있다.

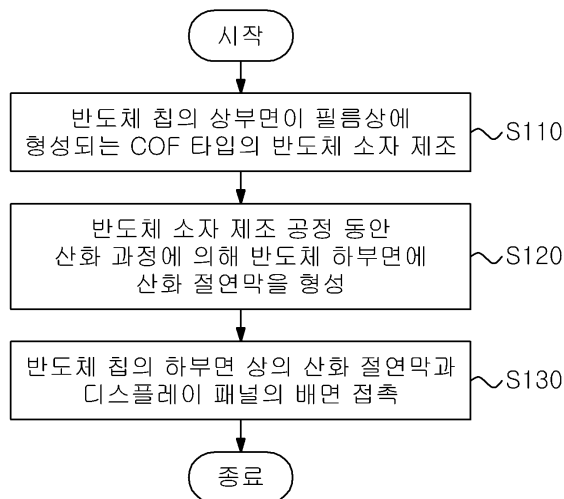
- [0062] 몰딩 처리 또한 그라인드를 하지 않은 상태로 이루어질 수 있으며, 도 6b와 같은 몰딩 처리를 통해 절연 레벨을 더 높일 수도 있다.
- [0063] 이와 같이, 본 발명은 반도체 칩의 다른 일면에 형성되는 절연막을 그라인드 과정 뿐만 아니라 공정 과정을 거치지 않고서도 형성할 수 있고, 이를 통해 제조 공정 횟수를 줄여 제조 단가를 낮추고, 세트 제품의 두께와 비용 또한 낮출 수 있다.
- [0064] 나아가, 본 발명은 몰딩 처리 또한 그라인드 과정 없이 이루어질 수 있기 때문에 제조 공정 횟수를 줄이고, 절연 레벨도 높일 수 있다. 따라서, 본 발명은 그라인드 과정 없이도 산화 과정에 의해 반도체 칩의 다른 일면에 자연스럽게 형성되는 산화 절연막만을 이용하여 원하는 절연 레벨을 달성할 수도 있다.
- [0065] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0066] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

**부호의 설명**

- [0067] 310 : 필름
- 320 : 반도체 칩
- 330 : 산화 절연막
- 510 : 추가 절연막
- 410 : 디스플레이 패널

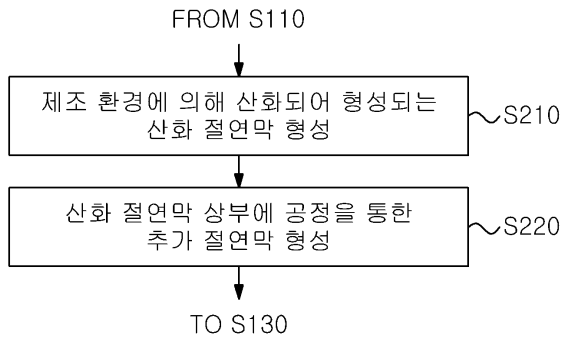
**도면**

**도면1**

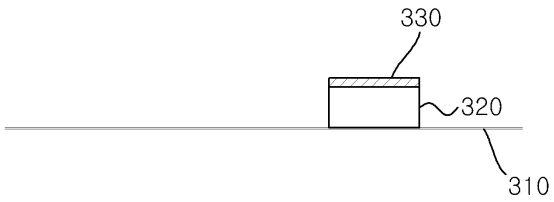


도면2

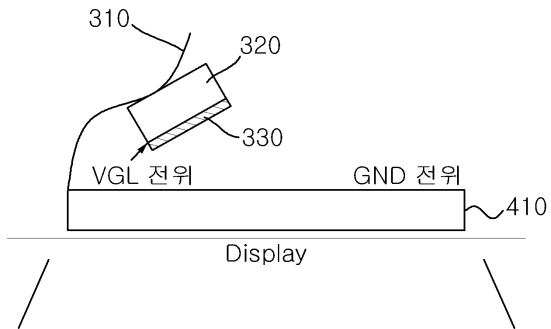
S120



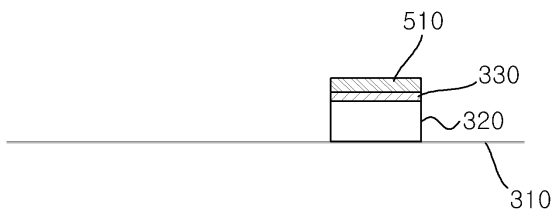
도면3



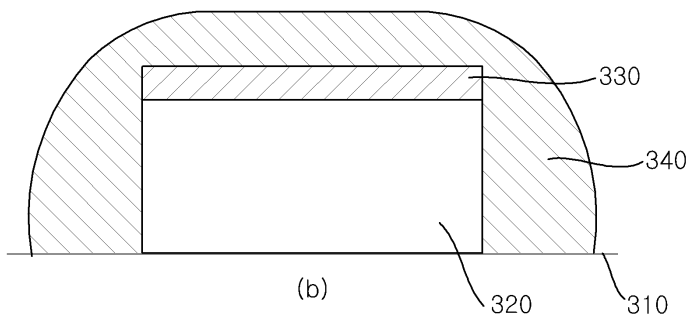
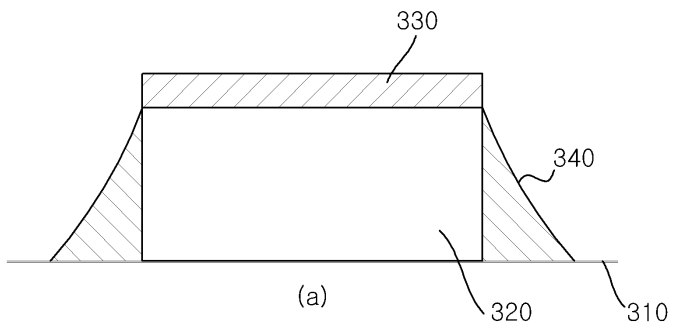
도면4



도면5



도면6



专利名称(译)	标题：制造包括CIE-FEP型半导体器件的显示板的方法		
公开(公告)号	<a href="#">KR1020160082571A</a>	公开(公告)日	2016-07-08
申请号	KR1020140192871	申请日	2014-12-30
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	주식회사실리콘웍스		
当前申请(专利权)人(译)	주식회사실리콘웍스		
[标]发明人	JEON JAE UK 전재욱 CHOI JEUNG HIE 최정희		
发明人	전재욱 최정희		
IPC分类号	H01L51/56 H01L27/32		
CPC分类号	H01L51/56 H01L27/3244 H01L2227/32		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种制造包括COF型半导体器件的显示面板的方法。根据本发明公开了使形成在胶片上的半导体管芯(芯片)的一个表面上,以制备(膜上芯片COF)型半导体器件的实施例的显示面板的制造方法;在半导体器件的制造过程中进行氧化过程,使半导体芯片的另一表面与显示面板的背面接触,同时保持形成在芯片的另一表面上的氧化物绝缘膜;并且使用氧化物绝缘膜将半导体芯片的另一表面与显示面板的后表面电隔离,其中显示面板可以是有机发光二极管(OLED)显示面板。

