



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067307
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) *H01L 27/32* (2006.01)
(21) 출원번호 10-2014-0172391
(22) 출원일자 2014년12월03일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
고호영
광주광역시 광산구 첨단중앙로181번길 42-25 (월계동, 선경아파트) 선경 아파트 105동 105호
황예진
경기 수원시 영통구 매탄로 82, 201동 603호 (매탄동, 우남파스트빌)
(74) 대리인
특허법인천문

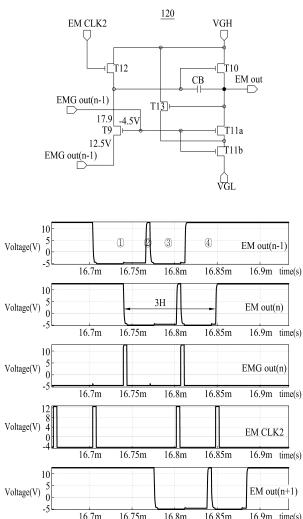
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시장치의 발광제어신호 구동부 및 이의 구동방법, 유기발광 표시장치

(57) 요 약

본 발명은 버퍼 블록의 Q노드의 누설 전류 발생을 방지하고, 초기화 기간을 늘려 오버 슈트(overshoot)에 의한 화면 이상을 방지한 표시장치의 발광제어신호 구동부 및 이의 구동방법과, 유기발광 표시장치에 관한 것이다.

대 표 도 - 도7



명세서

청구범위

청구항 1

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클러터들 중에서 3개의 게이트 쉬프트 클러터를 입력받아 인버터 클러터를 출력하는 쉬프트 레지스터 블록; 및

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클러터들 중에서 1개의 게이트 쉬프트 클러터와, 상기 쉬프트 레지스터 블록의 인버터 클러터를 입력받아 발광제어신호를 출력하는 버퍼 블록;을 포함하고,

상기 버퍼 블록은 복수의 스테이지를 포함하고, 이전 단의 스테이지의 출력 단자가 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스와 접속된 표시장치의 발광제어신호 구동부.

청구항 2

제1 항에 있어서,

상기 발광제어신호가 인가되는 픽셀들의 발광 기간 중에 Q노드 충/방전 트랜지스터의 소스에 포지티브 전압을 공급하는 표시장치의 발광제어신호 구동부.

청구항 3

제1 항에 있어서,

상기 버퍼 블록의 복수의 스테이지 각각의 출력 단에 접속된 풀다운 트랜지스터를 포함하고,

상기 풀다운 트랜지스터의 게이트는 QB노드에 접속되고, 드레인은 현재 스테이지의 출력 단에 접속되고, 소스는 상기 이전 단의 스테이지의 출력 단자에 접속된 표시장치의 발광제어신호 구동부.

청구항 4

제3 항에 있어서,

Q노드 충/방전 트랜지스터의 소스와 상기 풀다운 트랜지스터의 소스가 접속된 표시장치의 발광제어신호 구동부.

청구항 5

제1 항에 있어서,

상기 발광제어신호의 초기화 기간과 샘플링 기간을 합쳐서 2 수평 주기 시간 동안 유지시키고, 프로그램 기간을 1 수평 주기 시간 동안 유지시키는 발광제어신호 구동부.

청구항 6

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클러터들 중에서 3개의 게이트 쉬프트 클러터를 입력받아 인버터 클러터를 출력하는 단계;

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클러터들 중에서 1개의 게이트 쉬프트 클러터와, 상기 인버터 클러터를 입력받아 발광제어신호를 출력하는 단계;를 포함하되,

상기 발광제어신호의 초기화 기간과 샘플링 기간을 합쳐서 2 수평 주기 시간 동안 유지시키고, 프로그램 기간을 1 수평 주기 시간 동안 유지시키는 발광제어신호 구동부의 구동방법.

청구항 7

제6 항에 있어서,

상기 버퍼 블록은 복수의 스테이지를 포함하고,

상기 발광제어신호를 출력하는 단계는,

이전 단의 스테이지의 출력 신호를 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스에 인가하는 단계를 포함하는 발광제어신호 구동부의 구동방법.

청구항 8

제7 항에 있어서,

상기 이전 단의 스테이지에서 출력된 발광제어신호가 인가되는 픽셀들의 발광 기간 중에, 상기 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스에 포지티브 전압을 공급하는 단계를 더 포함하는 발광제어신호 구동부의 구동방법.

청구항 9

제7 항에 있어서,

상기 발광제어신호를 출력하는 단계에 있어서,

상기 다음 단의 스테이지의 풀다운 트랜지스터의 소스에 상기 이전 단의 스테이지의 출력 신호를 인가하는 단계를 더 포함하는 발광제어신호 구동부의 구동방법.

청구항 10

복수의 픽셀에 유기발광 다이오드가 배치되어 있고, 상기 유기발광 다이오드를 발광시키기 위한 발광제어 트랜지스터 및 드라이빙 트랜지스터가 상기 복수의 픽셀에 배치된 표시패널; 및

상기 발광제어 트랜지스터에 발광제어신호를 공급하는 발광제어신호 구동부;를 포함하고,

상기 발광제어신호 구동부는,

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클럭들 중에서 3개의 게이트 쉬프트 클럭을 입력받아 인버터 클럭을 출력하는 쉬프트 레지스터 블록과,

게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클럭들 중에서 1개의 게이트 쉬프트 클럭과, 상기 쉬프트 레지스터 블록의 인버터 클럭을 입력받아 발광제어신호를 출력하는 버퍼 블록을 포함하고,

상기 버퍼 블록은 복수의 스테이지를 포함하고, 이전 단의 스테이지의 출력 단자가 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스와 접속된 유기발광 표시장치.

청구항 11

제10 항에 있어서,

복수의 스테이지는,

4상의 게이트 쉬프트 클럭 중 하나의 게이트 쉬프트 클럭에 의해 턴온되어 Q노드를 게이트 하이전압으로 충전시키는 Q노드 충전 트랜지스터와,

상기 Q노드의 전압에 의해 턴온되어 출력 단자에 상기 게이트 하이전압의 발광제어신호를 출력하는 풀업 트랜지스터와,

QB노드의 전압에 의해 턴온되어 상기 출력 단자의 전압을 게이트 로우전압으로 떨어뜨리는 제1 풀다운 트랜지스터 및

상기 Q노드 충/방전 트랜지스터를 포함하는 유기발광 표시장치.

청구항 12

제11 항에 있어서,

상기 Q노드 충/방전 트랜지스터는 상기 QB노드의 전압에 의해 턴온되어 상기 Q노드의 전압을 충전 또는 방전시

키는 유기발광 표시장치.

청구항 13

제11 항에 있어서,

상기 제1 풀다운 트랜지스터의 게이트는 상기 QB노드에 접속되어 있고, 드레인은 상기 출력 단자에 접속되어 있고, 소스는 상기 이전 단의 스테이지의 출력 단자에 접속된 유기발광 표시장치.

청구항 14

제11 항에 있어서,

상기 제1 풀다운 트랜지스터에 직렬로 접속된 제2 풀다운 트랜지스터를 더 포함하고,

상기 제2 풀다운 트랜지스터의 게이트는 상기 QB노드에 접속되어 있고, 드레인은 상기 제1 풀다운 트랜지스터(T11a)의 소스에 접속되어 있고, 소스는 상기 이전 단의 스테이지의 출력 단자에 접속된 유기발광 표시장치.

청구항 15

제14 항에 있어서,

상기 제1 풀다운 트랜지스터의 소스와 상기 제2 풀다운 트랜지스터의 드레인 사이의 제1 노드를 상기 게이트 하이전압으로 유지시키는 안정화 트랜지스터를 더 포함하고,

상기 안정화 트랜지스터의 게이트는 상기 출력 단자에 접속되어 있고, 소스는 게이트 하이전압 단자에 접속되어 있고, 드레인은 상기 제1 노드에 접속된 유기발광 표시장치.

청구항 16

제11 항에 있어서,

상기 복수의 스테이지에서 출력되는 상기 발광제어신호의 초기화 기간과 샘플링 기간을 합쳐서 2 수평 주기 시간 동안 유지시키고, 프로그램 기간을 1 수평 주기 시간 동안 유지시키는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 베퍼 블록의 Q노드의 누설 전류 발생을 방지하고, 초기화 기간 기간을 늘려 오버 슈트(overshoot)에 의한 화면 이상을 방지한 표시장치의 발광제어신호 구동부 및 이의 구동방법과, 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이에 부응하여 액정 표시장치(LCD), 플라즈마 표시장치(PDP), 유기발광 다이오드 표시장치(OLED) 등의 평판 표시장치가 상용화되고 있다.

[0003] 이러한, 평판 표시장치들 중에서, 액티브 매트릭스 탑입의 유기발광 다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 장점이 있다.

[0004] 유기발광 다이오드 표시장치의 표시패널은 스캔라인과 데이터라인들로 정의되는 다수의 픽셀들을 포함한다. 각 픽셀에는 유기발광 다이오드 및 상기 유기발광 다이오드를 구동시키기 위한 픽셀 회로가 형성되어 있다.

[0005] 픽셀 회로는, 스캔라인의 게이트펄스에 응답하여 데이터전압을 공급하는 스캔 트랜지스터, 게이트전극에 공급되는 데이터전압에 따라 유기발광 다이오드(OLED)에 공급되는 전류의 양을 조절하는 드라이빙 트랜지스터, 드라이빙 트랜지스터의 문턱전압을 보상하기 위한 샘플링 트랜지스터 및 발광제어 트랜지스터를 포함하다.

[0006] 유기발광 다이오드의 발광제어를 하지 않으면 드라이빙 트랜지스터의 문턱전압을 정확하게 센싱할 수 없음으로, 샘플링 트랜지스터가 드라이빙 트랜지스터의 문턱전압을 샘플링 하는 동안 발광제어 트랜지스터가 유기발광 다이오드(OLED)의 발광을 제어한다.

- [0007] 도 1은 종래 기술에 따른 유기발광 표시장치의 발광제어신호 구동부를 나타내는 도면이고, 도 2는 도 1에 도시된 발광제어신호 구동부의 클럭 신호 및 출력 신호의 타이밍을 나타내는 도면이다. 도 1에서는 발광제어신호 구동부를 구성하는 복수의 채널(1) 중에서 하나의 채널(1)를 도시하고 있다.
- [0008] 도 1 및 도 2를 참조하면, 종래 기술에 따른 유기발광 표시장치의 발광제어신호 구동부의 각 채널(1)은 쉬프트 레지스터 블록(10)과 버퍼 블록(20)을 포함한다. 쉬프트 레지스터 블록(10)과 버퍼 블록(20)은 채널 수에 해당하는 스테이지를 포함한다.
- [0009] 쉬프트 레지스터 블록(10)에는 소정의 위상 차만큼 쉬프트 되고 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 4상 게이트 쉬프트 클럭들(CLK1~CLK4) 중에서 3개의 게이트 쉬프트 클럭이 입력된다. 쉬프트 레지스터 블록(10)은 입력된 게이트 쉬프트 클럭들에 따라서 인버터 클럭(EMG out)을 순차적으로 출력시켜 버퍼 블록(20)으로 공급한다.
- [0010] 버퍼 블록(20)에는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)이 공급된다. 버퍼 블록(20)은 쉬프트 레지스터 블록(10)으로부터의 EMG out 클럭 및 게이트 쉬프트 클럭을 입력받아 입력 받아 EM out 클럭을 생성하고, 생성된 EM out 클럭을 픽셀의 발광제어신호 라인에 공급한다.
- [0011] 이러한, 종래 기술에 따른 유기발광 표시장치의 발광제어신호 구동부는 EMG out 클럭이 하이(high)일 때 발광제어신호(EM out)는 로우(low) 상태가 되고, 버퍼 블록(20)의 제2 게이트 쉬프트 클럭(EM CLK2)가 하이(high)로 입력될 때 버퍼 블록(20)의 출력이 하이(high)가 된다. 종래 기술에 따른 유기발광 표시장치의 발광제어신호 구동부는 1 수평주기(1H) 동안 0 초기화 기간(①), 샘플링 기간(②), 프로그램 기간(③)이 모두 동작되도록 발광제어신호(EM out)을 출력한다. 그리고, 프로그램 기간(③) 이후의 발광 기간(④)에 발광다이오드가 발광되도록 발광제어신호(EM out)을 출력한다.
- [0012] 버퍼 블록(20)의 T9 트랜지스터(Q노드 충/방전 트랜지스터)를 살펴보면, 발광 기간(④) 중에 T9 트랜지스터의 소스에는 -4.5V의 전압, 드레인에는 17.9V의 전압이 형성되어 T9 트랜지스터에 22.4V의 하이 정션 스트레스(HJS: High Junction Stress)가 작용하게 된다.
- [0013] 이로 인해, T9 트랜지스터의 누설 전류로 인해 Q노드에 전압 강하(drop)가 발생하고, Q노드의 전압 강하로 인해 발광제어신호(EM out)의 출력의 오작동이 발생하게 된다. 또한, 초기화 기간이 1 수평 주기(1H) 미만으로 매우 짧기 때문에 유기발광 다이오드에 오버 슈트가 발생하게 된다.
- [0014] 도 3은 종래 기술에 따른 발광제어신호에 의해 화면 불량이 발생하는 문제점을 설명하기 위한 도면이다.
- [0015] 도 3을 참조하면, n번째 단의 픽셀들의 샘플링 동작 시, n-1 및 n+1 단의 픽셀들은 방광 중이므로, 프로그램 기간에 n번째 단의 픽셀들의 유기발광 다이오드로 레터럴 전류(lateral current)가 흐르게 된다. 이로 인해서, 오버 슈트에 의한 화면 불량이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 버퍼 블록의 Q노드의 전압 강하 발생을 방지할 수 있는 GIP(gate in panel) 방식의 발광제어신호 구동부 및 이의 구동방법을 제공하는 것을 기술적 과제로 한다.
- [0017] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 3 수평 주기(3H) 동안에 초기화 기간, 샘플링 기간 및 프로그램 기간이 이루어지도록 함으로써 화면 이상을 방지한 발광제어신호 구동부 및 이의 구동방법을 제공하는 것을 기술적 과제로 한다.
- [0018] 본 발명은 발광제어신호 구동부의 버퍼 블록의 사이즈를 줄이는 것을 기술적 과제로 한다.
- [0019] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0020] 본 발명의 실시 예에 따른 표시장치의 발광제어신호 구동부는, 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클럭들 중에서 3개의 게이트 쉬프트 클럭을 입력받아 인버터 클럭을 출력하는 쉬프트

트 레지스터 블록; 및 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클럭들 중에서 1개의 게이트 쉬프트 클럭과, 상기 복수의 쉬프트 레지스터 블록의 인버터 클럭을 입력받아 발광제어신호를 출력하는 버퍼 블록;을 포함하고, 상기 버퍼 블록은 복수의 스테이지를 포함하고, 이전 단의 스테이지의 출력단자가 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스와 접속되어 있다.

[0021] 본 발명의 실시 예에 따른 발광제어신호 구동부의 구동방법은, 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클럭들 중에서 3개의 게이트 쉬프트 클럭을 입력받아 인버터 클럭을 출력하는 단계; 및 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클럭들 중에서 1개의 게이트 쉬프트 클럭과, 상기 복수의 쉬프트 레지스터 블록의 인버터 클럭을 입력받아 발광제어신호를 출력하는 단계를 포함하되, 상기 발광제어신호의 초기화 기간과 샘플링 기간을 합쳐서 2 수평 주기 시간 동안 유지시키고, 프로그램 기간을 1 수평 주기 시간 동안 유지시킨다.

[0022] 본 발명의 실시 예에 따른 유기발광 표시장치는, 복수의 픽셀에 유기발광 다이오드가 배치되어 있고, 상기 유기발광 다이오드를 발광시키기 위한 스캔 트랜지스터, 샘플링 트랜지스터, 발광제어 트랜지스터, 드라이빙 트랜지스터 및 스토리지 커페시터가 상기 복수의 픽셀에 배치된 표시패널; 및 상기 발광제어 트랜지스터에 발광제어신호를 공급하는 발광제어신호 구동부;를 포함하고, 상기 발광제어신호 구동부는, 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 5상의 게이트 쉬프트 클럭들 중에서 3개의 게이트 쉬프트 클럭을 입력받아 인버터 클럭을 출력하는 쉬프트 레지스터 블록과, 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 4상의 게이트 쉬프트 클럭들 중에서 1개의 게이트 쉬프트 클럭과, 상기 복수의 쉬프트 레지스터 블록의 인버터 클럭을 입력받아 발광제어신호를 출력하는 버퍼 블록을 포함하고, 상기 버퍼 블록은 복수의 스테이지를 포함하고, 이전 단의 스테이지의 출력단자가 다음 단의 스테이지의 Q노드 충/방전 트랜지스터의 소스와 접속되어 있다.

발명의 효과

[0023] 본 발명의 실시 예에 따른 발광제어신호 구동부는 버퍼 블록의 Q노드의 전압 강하를 방지할 수 있다.

[0024] 본 발명의 실시 예에 따른 발광제어신호 구동부는 3 수평 주기(3H) 동안에 초기화 기간, 샘플링 기간 및 프로그램 기간이 이루어지도록 함으로써 화면 이상을 방지할 수 있다.

[0025] 본 발명의 실시 예에 따른 발광제어신호 구동부는 버퍼 블록을 구성하는 트랜지스터의 개수를 줄여, 버퍼 블록의 사이즈를 줄일 수 있다. 유기발광 표시장치의 기판에 발광제어신호 구동부가 GIP 방식으로 배치되는 경우, 버퍼 블록의 사이즈를 줄여 네로우 베젤을 구현할 수 있다.

[0026] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0027] 도 1은 종래 기술에 따른 유기발광 표시장치의 발광제어신호 구동부를 나타내는 도면이다.

도 2는 도 1에 도시된 발광제어신호 구동부의 클럭 신호 및 출력 신호의 타이밍을 나타내는 도면이다.

도 3은 종래 기술에 따른 발광제어신호에 의해 화면 불량이 발생하는 문제점을 설명하기 위한 도면이다.

도 4는 본 발명의 발광제어신호가 적용되는 유기발광 표시장치의 픽셀을 나타내는 도면이다.

도 5는 본 발명의 실시 예에 따른 표시장치의 발광제어신호 구동부를 개략적으로 나타내는 도면이다.

도 6은 도 5에 도시된 발광제어신호 구동부의 쉬프터 레지스터 블록 및 게이트 쉬프트 클럭과 출력 신호의 타이밍을 나타내는 도면이다.

도 7은 도 5에 도시된 발광제어신호 구동부의 버퍼 블록 및 게이트 쉬프트 클럭과 출력 신호의 타이밍을 나타내는 도면이다.

도 8은 본 발명의 발광제어신호 구동부에서 출력되는 발광제어신호를 나타내는 도면이다.

도 9는 본 발명의 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 버퍼 블록을 나타내는 도면이다.

도 10은 본 발명의 또 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 버퍼 블록을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0029] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0030] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허용할 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0031] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0032] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.
- [0033] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0034] '적어도 하나'의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, '제1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나'의 의미는 제1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다.
- [0035] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0036] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0037] 도 4는 본 발명의 발광제어신호가 적용되는 유기발광 표시장치의 픽셀을 나타내는 도면이다. 도 4에서는 유기 발광 다이오드 표시장치에 형성된 복수의 픽셀 중에서 하나의 픽셀을 도시하고 있다.
- [0038] 도 4를 참조하면, 디스플레이 패널에 형성된 복수의 픽셀 각각은 유기발광 다이오드(OLED)를 포함하고, 상기 유기발광 다이오드(OLED)를 발광시키기 위한 픽셀 회로(PC)를 포함한다.
- [0039] 픽셀 회로(PC)에 데이터 전압(Data) 또는 기준 전압(Vref)을 공급하기 위한 데이터 라인(data line), 스캔 신호(scan1)를 공급하기 위한 스캔 라인(scan line), 샘플링 신호(scan2)를 공급하기 위한 샘플링 신호 라인, 발광 제어신호를 공급하기 위한 발광제어신호 라인(EM line), 구동 전원을 공급하기 위한 구동 전원 라인 및 초기화 신호가 인가되는 초기화 신호라인(INI line)에 의해 각 픽셀 영역이 정의된다.
- [0040] 복수의 픽셀에 형성된 픽셀 회로(PC) 각각은 스캔 트랜지스터(T1), 샘플링 트랜지스터(T2), 발광제어 트랜지스터(T3), 드라이빙 트랜지스터(DT) 및 스토리지 커패시터(Cstg)를 포함한다.
- [0041] 픽셀 회로(PC)는 초기화 기간(①), 샘플링 기간(②), 프로그램 기간(③), 발광 기간(④)으로 나뉘어 구동됨으로써 유기발광 다이오드의 발광을 제어한다.
- [0042] 초기화 기간(①)은 드라이빙 트랜지스터(DT)의 게이트 노드 및 소스 노드를 초기화 시키는 것으로, 발광제어신호 구동부의 발광제어신호(EM)가 오프(off) 된다.
- [0043] 샘플링 기간(②)은 드라이빙 트랜지스터(DT)의 문턱전압(Vth)를 센싱하는 것으로, 드라이빙 트랜지스터의 소스

노드는 기준전압(Vref)과 문턱전압(Vth)의 차이 값(Vref-Vth)까지 전압이 상승되고, 발광제어신호 구동부의 발광제어신호(EM)가 온(on) 된다.

[0044] 프로그램 기간(③)은 픽셀 회로(PC)에 데이터 전압이 입력되는 것으로, 스토리지 커패시터(Cstg)와 Coled 커패시터에 의해서 드라이빙 트랜지스터(DT)의 Vgs 전압이 설정된다. 이때, 발광제어신호 구동부의 발광제어신호(EM)가 오프(off) 된다.

[0045] 발광 기간(④)은 드라이빙 트랜지스터(DT)의 Vgs 전압에 의해서 유기발광 다이오드(OLED)를 발광시키는 것으로, 발광제어신호 구동부의 발광제어신호(EM)가 온(on) 된다.

[0046] 스캔 트랜지스터(T1)에 스캔 신호(scan1)가 공급되면 드라이빙 TFT(D-TFT)가 턴온되고, 발광제어 트랜지스터(T3)에 발광제어신호가(EM)가 공급되면 VDD 전압이 드라이빙 TFT(D-TFT)에 인가되어 유기발광 다이오드(OLED)의 발광이 이루어진다. 이와 같이, 유기발광 표시장치의 픽셀 회로(PC)는 발광제어신호(EM)를 이용하여 유기발광 다이오드(OLED)의 발광을 제어한다.

[0047] 도 5는 본 발명의 실시 예에 따른 표시장치의 발광제어신호 구동부를 개략적으로 나타내는 도면이다. 도 5에서는 발광제어신호 구동부(100)를 구성하는 복수의 채널 중에서 하나의 채널을 도시하고 있다.

[0048] 도 5를 참조하면, 발광제어신호 구동부(100)의 각 스테이지는 쉬프트 레지스터 블록(110)과 버퍼 블록(120)을 포함한다. 쉬프트 레지스터 블록(110)과 버퍼 블록(120)은 채널 수에 해당하는 스테이지를 포함한다.

[0049] 쉬프트 레지스터 블록(110)의 각 스테이지에는 소정의 위상 차만큼 쉬프트 되고 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 5상 게이트 쉬프트 클럭들(CLK1~CLK5) 중에서 3개의 게이트 쉬프트 클럭이 입력된다. 상기 5상 게이트 쉬프트 클럭들(CLK1~CLK5)은 제1 게이트 쉬프트 클럭(CLK1)을 시작으로 제5 게이트 쉬프트 클럭(CLK5)까지 일정 시간을 간격을 두고 순차적으로 쉬프트되어 있다.

[0050] 예를 들면, 쉬프트 레지스터 블록(110)의 1번째 스테이지에는 제1, 제3, 제5 게이트 쉬프트 클럭(CLK1, CLK3, CLK5)가 입력될 수 있다. 쉬프트 레지스터 블록(110)의 2번째 스테이지에는 제1, 제2, 제4 게이트 쉬프트 클럭(CLK1, CLK2, CLK4)가 입력될 수 있다. 쉬프트 레지스터 블록(110)의 3번째 스테이지에는 제2, 제3, 제5 게이트 쉬프트 클럭(CLK2, CLK3, CLK5)가 입력될 수 있다. 그리고, 쉬프트 레지스터 블록(110)의 4번째 스테이지에는 제1, 제3, 제4 게이트 쉬프트 클럭(CLK1, CLK3, CLK4)가 입력될 수 있다.

[0051] 이러한, 쉬프트 레지스터 블록(110)은 입력된 게이트 쉬프트 클럭들에 따라서 인버터 클럭(EMG out)을 생성하고, 인버터 클럭(EMG out)을 버퍼 블록(120)으로 공급한다.

[0052] 버퍼 블록(120)의 각 스테이지에는 소정의 위상 차이만큼 쉬프트 되고 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 4상 게이트 쉬프트 클럭들(CLK1~CLK4) 중에서 1개의 게이트 쉬프트 클럭 및 쉬프트 레지스트 블록(110)으로부터의 인버터 클럭(EMG out)이 입력된다. 이때, 쉬프트 레지스터 블록(110)의 n번째 스테이지의 인버터 클럭(EMG out)이 버퍼 블록(120)의 n번째 스테이지에 공급된다.

[0053] 또한, 버퍼 블록(120)의 첫 번째 스테이지에는 EM 스타트 신호(VST) 신호가 입력되고, 첫 번째 스테이지를 제외한 나머지 스테이지에는 이전 단의 스테이지의 출력 신호(발광제어신호)가 입력된다. 예로서, 1번째 스테이지의 출력 신호가 2번째 스테이지의 Q노드 충/방전 트랜지스터인 T9 트랜지스터(T9)의 소스에 입력된다.

[0054] 버퍼 블록(120)을 구성하는 회로의 레이아웃을 설계할 때, 1번째 스테이지의 발광제어신호 출력 단자와 2번째 스테이지의 T9 트랜지스터의 소스 단자를 연결하는 식으로, 첫 번째 스테이지를 제외한 나머지 스테이지의 출력 단자를 다음 단의 스테이지의 T9 트랜지스터의 소스와 연결한다.

[0055] n-1번째 스테이지의 출력 단자를 n번째 스테이지의 T9 트랜지스터(Q노드 충전 및 방전 트랜지스터)의 소스와 연결시키고, n번째 스테이지의 출력 단자를 n+1번째 스테이지의 T9 트랜지스터(Q노드 충전 및 방전 트랜지스터)의 소스와 접속시킨다.

[0056] 이러한 방식으로, 마지막 스테이지까지 이전 단의 스테이지의 출력 단자를 다음 단의 스테이지의 T9 트랜지스터(Q노드 충전 및 방전 트랜지스터)의 소스와 접속시킨다.

[0057] 도 6은 도 5에 도시된 발광제어신호 구동부의 쉬프터 레지스터 블록 및 게이트 쉬프트 클럭과 출력 신호의 타이밍을 나타내는 도면이다. 도 6에서는 쉬프터 레지스터 블록(110)을 구성하는 복수의 스테이지 중에서 n번째 스테이지를 도시하고 있다.

- [0058] 도 6을 참조하면, 쉬프터 레지스터 블록(110)의 각 스테이지는 입력된 게이트 쉬프트 클럭들에 따라서 인버터 클럭(EMG out)을 생성하여 출력시키기 위한 복수의 트랜지스터(T1~T8, TA) 및 복수의 커패시터(CB, CQ, CQB)를 포함한다. 복수의 트랜지스터(T1~T8, TA)는 N타입 MOS-FET 또는 P타입 MOS-FET로 구현될 수 있다.
- [0059] 쉬프터 레지스터 블록(110)의 n번째 스테이지에는 소정의 위상 차만큼 쉬프트 되고 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 5상 게이트 쉬프트 클럭들(CLK1~CLK5) 중에서 3개의 게이트 쉬프트 클럭들이 입력된다.
- [0060] 예로서, 도 6에 도시된 쉬프터 레지스터 블록(110)의 n번째 스테이지에는 제1 게이트 쉬프트 클럭(CLK1), 제3 게이트 쉬프트 클럭(CLK3) 및 제5 게이트 쉬프트 클럭(CLK5)이 입력된다.
- [0061] 쉬프터 레지스터 블록(110)의 각 스테이지에는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)이 공급된다. 게이트 하이전압(VGH)은 복수의 트랜지스터(T1~T8, TA)는 문턱전압보다 높은 전압으로 설정되고, 게이트 로우전압(VGL)은 트랜지스터들의 문턱전압의 절대값보다 낮은 전압으로 설정된다. 게이트 하이전압(VGH)은 20V 정도로 설정될 수 있고, 게이트 로우전압(VGL)은 대략 -5V 정도로 설정될 수 있다.
- [0062] 그러나, 이에 한정되지 않고, 게이트 하이전압(VGH)은 복수의 트랜지스터(T1~T8, TA)는 문턱전압보다 낮은 전압으로 설정되고, 게이트 로우전압(VGL)은 트랜지스터들의 문턱전압의 절대값보다 높은 전압으로 설정될 수도 있다.
- [0063] 스타트 단자(start)에 스타트 전압(VST)이 입력된다. 이러한 스타트 전압(VST)는 제1 트랜지스터(T1)의 게이트에 입력된다. 제1 트랜지스터(T1)의 소스에는 게이트 하이전압(VGH)이 입력되고, 제1 트랜지스터(T1)의 드레인은 제2 트랜지스터(T2)의 소스와 접속되어 있다.
- [0064] 제2 트랜지스터(T2)의 게이트에는 제5 게이트 쉬프트 클럭(CLK5)이 입력되고, 제2 트랜지스터의 드레인은 Q노드에 접속되어 있다.
- [0065] 제3 트랜지스터(T3)의 게이트는 QB노드에 접속되어 있고, 제3 트랜지스터(T3)의 소스는 게이트 로우전압(VGL) 단자에 접속되어 있다. 제3 트랜지스터(T3)의 드레인은 제8 트랜지스터(T8)의 게이트에 접속되어 있다.
- [0066] 제4 트랜지스터(T4)의 게이트에는 제3 게이트 쉬프트 클럭(CLK3)이 입력되고, 제4 트랜지스터(T4)의 소스에는 게이트 하이전압(VGH)이 입력된다. 제4 트랜지스터(T4)의 드레인은 제5 트랜지스터(T5)의 드레인과 접속되어 있다.
- [0067] 제5 트랜지스터(T5)의 게이트에는 스타트 전압(VST)이 입력되고, 제5 트랜지스터(T5)의 소스는 게이트 로우전압(VGL) 단자에 접속되어 있다. 제5 트랜지스터(T5)는 스타트 전압(VST)에 의해 턴온되어 QB노드를 게이트 로우전압(VGL)으로 유지시킨다.
- [0068] 제6 트랜지스터(T6)의 게이트는 QB노드에 접속되어 있고, 제6 트랜지스터(T6)의 소스에는 제1 게이트 쉬프트 클럭(CLK1)이 입력된다. 제6 트랜지스터(T6)의 드레인은 출력 단자에 접속되어 있다. 제6 트랜지스터(T6)에 제1 게이트 쉬프트 클럭(CLK1)이 입력될 때, Q노드의 전압이 부스팅되어 고 전압의 인버터 클럭(EMG out)이 버퍼 블록으로 출력된다.
- [0069] 제8 트랜지스터(T8)은 안정화 트랜지스터(TA)의 출력에 의해 턴온되어 QB노드의 전압의 게이트 로우전압(VGL)으로 유지시킨다.
- [0070] 제7 트랜지스터(T7)의 게이트는 QB노드에 접속되어 있고, 제7 트랜지스터(T7)의 드레인은 출력 단자에 접속되어 있다. 제7 트랜지스터(T7)의 소스는 게이트 로우전압(VGL) 단자에 접속되어 있다. 제6 트랜지스터(T6)에 의해 출력 단자의 전압이 게이트 로우전압(VGL)으로 떨어지게 된다. 제7 트랜지스터는 QB노드의 전압이 하이(high)일 때 턴온되어 출력 단자의 전압을 게이트 로우전압(VGL)으로 유지시킨다.
- [0071] 도 7은 도 5에 도시된 발광제어신호 구동부의 버퍼 블록 및 게이트 쉬프트 클럭과 출력 신호의 타이밍을 나타내는 도면이다. 도 7에서는 버퍼 블록(120)을 구성하는 복수의 스테이지 중에서 n번째 스테이지를 도시하고 있다.
- [0072] 버퍼 블록(120)을 구성하는 각 스테이지는 복수의 트랜지스터(T9~T13) 및 커패시터(CB)를 포함하며, 복수의 트랜지스터(T9~T13)는 N타입 MOS-FET 또는 P타입 MOS-FET로 구현될 수 있다.
- [0073] 버퍼 블록(120)의 n번째 스테이지에는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)이 공급된다. 그리고, 쉬

프터 레지스터 블록(110)의 스테이지의 출력 신호인 인버터 클럭(EMG out)이 버퍼 블록(120)의 스테이지에 공급된다. 예로서, 쉬프터 레지스터 블록(110)의 n번째 스테이지의 출력 신호인 EMG out(n) 클럭이 버퍼 블록(120)의 n번째 스테이지에 공급된다.

[0074] 또한, 버퍼 블록(120)의 각 스테이지에는 소정의 위상 차만큼 쉬프트 되고 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 4상 게이트 쉬프트 클럭들(CLK1~CLK4) 중에서 1개의 게이트 쉬프트 클럭이 입력된다. 도 7에서는 n번째 스테이지에 제2 게이트 쉬프트 클럭(EM CLK2)이 입력된 것을 도시하고 있다.

[0075] 버퍼 블록(120)의 첫 번째 스테이지에는 EM 스타트 신호(VST) 신호가 입력되고, 첫 번째 스테이지를 제외한 나머지 스테이지에는 이전 단의 스테이지의 출력 신호(발광제어신호)가 입력된다. 예로서, n-1번째 스테이지의 출력 신호가 n번째 스테이지의 제9 트랜지스터(T9)의 소스에 입력된다. 제9 트랜지스터(T9)의 게이트는 QB노드에 접속되어 있고, 제9 트랜지스터(T9)의 드레인은 Q노드에 접속되어 있다. 여기서, 제9 트랜지스터(T9)는 Q노드를 충전 또는 방전시키는 스위칭 트랜지스터이다. 즉, 제9 트랜지스터(T9)는 QB노드의 전압에 의해 턴온되어 Q노드의 전압을 충전 또는 방전시킨다.

[0076] 쉬프트 레지스터 블록(110)의 n번째 스테이지의 EMG out(n) 클럭이 버퍼 블록(120)의 n번째 스테이지의 제9 트랜지스터(T9)의 게이트에 인가되어 Q노드를 방전시킨다. 쉬프트 레지스터 블록(110)의 n번째 스테이지의 EMG out(n) 클럭이 입력되지 않을 때에는 버퍼 블록(120)의 n번째 스테이지의 제9 트랜지스터(T9)가 동작하지 않아 Q노드가 충전된다. 즉, 쉬프트 레지스터 블록(110)의 EMG out이 하이(high)일 때 버퍼 블록(120)의 Q노드가 방전되고, 반대로 EMG out이 로우(low)일 때 버퍼 블록(120)의 Q노드가 충전된다.

[0077] 제10 트랜지스터(T10)의 게이트는 Q노드에 접속되어 있고, 제10 트랜지스터의 소스는 게이트 하이전압(VGH) 단자에 접속되어 있다. 제10 트랜지스터의 드레인은 출력 단자에 접속되어 있다. 이러한, 제10 트랜지스터(T10)은 풀업(pull up) 트랜지스터로써, Q노드의 전압에 의해 턴온되어 게이트 하이전압(VGH)을 발광제어신호(EM out)로 출력한다. 발광제어신호(EM out)는 각 핵심의 발광제어신호 라인에 인가된다.

[0078] 제11 트랜지스터(T11a, T11b)는 풀다운(pull down) 트랜지스터로써 2개의 트랜지스터가 직렬로 연결되어 있다. 제11 트랜지스터(T11a, T11b)는 QB노드의 전압에 의해 턴온되어 출력 단자의 전압을 게이트 로우전압(VGL)으로 떨어뜨린다. 풀다운 트랜지스터는 긴 시간 동안 온(on) 상태를 유지함으로 열화에 취약함으로, 열화를 줄이기 위해서 2개의 트랜지스터를 직렬로 배열하여 구성하였다.

[0079] 제12 트랜지스터(T12)는 Q노드 충전 트랜지스터이다. 제12 트랜지스터(T12)의 게이트에는 제2 게이트 쉬프트 클럭(EM CLK2)가 입력되고, 제12 트랜지스터(T12)의 소스에는 게이트 하이전압(VGH)가 입력된다. 제12 트랜지스터(T12)의 드레인은 Q노드에 접속되어 있다. 이러한, 제12 트랜지스터(T12)는 4상의 게이트 쉬프트 클럭(CLK1~CLK4) 중에서 하나의 게이트 쉬프트 클럭에 의해 턴온되어 Q노드를 게이트 하이전압(VGH)으로 충전시킨다. 도 7에서는 n번째 스테이지의 제12 트랜지스터(T12)에 제2 게이트 쉬프트 클럭(EM CLK2)이 입력되어 Q노드를 충전시키는 것을 일 예로 도시하고 있다.

[0080] 제13 트랜지스터(T13)는 안정화 트랜지스터이다. 제13 트랜지스터(T13)의 게이트는 출력 단자에 접속되어 있고, 제13 트랜지스터(T13)의 소스는 게이트 하이전압(VGH) 단자에 접속되어 있고, 제13 트랜지스터(T13)의 드레인은 제1 풀다운 트랜지스터(T11a)의 소스 전극과 제2 풀다운 트랜지스터(T11b)의 드레인 사이의 노드에 접속되어 있다. 이러한, 제13 트랜지스터(T13)는 출력 단자의 게이트 하이전압(VGH)에 의해 턴온되어, T11 트랜지스터의 소스 전극과 T11b 트랜지스터의 드레인 사이의 노드를 게이트 하이전압(VGH)으로 유지시킨다.

[0081] 여기서, 버퍼 블록의 스테이지들의 출력은 풀업 트랜지스터(T10)와 풀다운 트랜지스터(T11a, T11b)에 온-오프(on-off)에 의해서 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 출력이 결정된다. 따라서, 쉬프트 레지스터 블록의 스테이지들의 EMG out 클럭이 하이(high)일 때, 버퍼 블록의 스테이지들의 발광제어신호(EM out)가 로우(low)로 유지된다.

[0082] 이러한, 구성을 포함하는 버퍼 블록(120)의 각 스테이지는 3 수평 주기(3H)의 시간 동안 초기화 기간(①), 샘플링 기간(②) 및 프로그램 기간(③)의 구동이 이루어지도록 함과 아울러, 프로그램 기간(③) 이후에 발광 기간(④)이 되도록 발광제어신호(EM)를 출력한다.

[0083] 도 8은 본 발명의 발광제어신호 구동부에서 출력되는 발광제어신호를 나타내는 도면이다.

[0084] 도 8을 결부하여 설명하면, 3 수평 주기(3H) 중에서 초기화 기간(①)이 가장 길도록 발광제어신호(EM)를 출력한다. 이때, 샘플링 기간(②)과 프로그램 기간(③)을 합한 시간보다 초기화 기간(①)의 시간이 더 길도록 발광제

어신호(EM out)를 출력한다.

[0085] 발광제어신호(EM out)를 살펴보면, 한 프레임 기간 중 발광제어신호(EM out)의 첫 번째 하이 신호(hight signal)는 샘플링 기간(②)에 도 4에 도시된 픽셀에 배치된 드라이빙 트랜지스터의(DT)에 문턱전압(Vth)을 센싱하기 위한 신호로 사용된다. 이어서, 발광제어신호(EM out)의 두 번째 하이 신호는 발광 기간(④)에 드라이빙 트랜지스터(DT)에 VDD 전압이 인가되도록 하여 유기발광 다이오드(OLED)를 실제로 발광시키는 신호로 사용된다.

[0086] 여기서, 초기화 기간(①)이 2 수평 주기의 시간으로 가장 길고, 프로그램 기간(③)이 2번째로 길고 샘플링 기간(②)이 가장 짧은 시간을 가지도록 발광제어신호(EM)를 출력한다. 프로그램 기간(③)은 1 수평 주기의 시간이 된다.

[0087] 즉, 발광제어신호의 초기화 기간(①)과 샘플링 기간(②)을 합쳐서 2 수평 주기 시간 동안 유지시키고, 프로그램 기간(③)을 1 수평 주기 시간 동안 유지시킨다.

[0088] 다시, 도 7에 도시된 제9 트랜지스터(T9)를 살펴보면, 제9 트랜지스터(T9)의 소스에 이전 단 스테이지의 출력 전압이 공급됨으로 발광 기간(④) 중에 T9 트랜지스터의 소스에는 12.5V의 전압, 드레인에는 17.9V의 전압, 게이트에는 -4.5V의 형성된다.

[0089] 종래 기술에서는 T9 트랜지스터의 소스에 -4.5V의 네거티브 전압인 인가되었지만, 본 발명에서는 T9 트랜지스터의 소스에 12.5V의 포지티브 전압이 인가된다.

[0090] 앞의 설명에서는 T9 트랜지스터의 소스에는 12.5V 전압이 인가되는 것으로 설명하였지만 반드시 이에 한정되는 것은 아니며, 버퍼 블록의 스테이지에서 출력 되는 전압에 따라서 T9 트랜지스터의 소스에 인가되는 전압이 결정된다.

[0091] 따라서, T9 트랜지스터의 소스와 드레인 사이에는 5.4V의 전압 차이가 형성되어, 종래 기술과 같이 하이 정션 스트레스(HJS: High Junction Stress)가 없고, 누설 전류도 발생하지 않는다.

[0092] T9 트랜지스터의 누설 전류가 없음으로, Q노드의 전압 강하가 발생하지 않아 발광제어신호(EM out)이 정상적으로 출력되게 된다. 즉, Q노드의 전압 강하로 인한 발광제어신호(EM out)의 출력의 오작동이 발생하지 않는다.

[0093] 또한, 초기화 기간(①)과 샘플링 기간(②)을 합쳐서 2 수평 주기(2H)의 시간 동안 유지된다. 이때, 샘플링 기간(②)이 수us로 매우 짧다. 따라서, 2 수평 주기(2H)의 시간 중에서 샘플링 기간(②)을 뺀 대부분의 시간 동안 초기화 기간(①)을 유지하여 각 픽셀을 초기화 시킬 수 있다. 이를 통해, 발광 기간(④) 이전까지 상하로 인접한 다른 픽셀들의 발광에 의한 영향을 줄일 수 있다.

[0094] 여기서, T9 트랜지스터의 문턱전압(Vth)이 포지티브로 쉬프트되는 것을 방지하기 위해서 T9 트랜지스터의 스트레스 조건을 NBTS(Negative Bias Temperature Stress)로 변경시킬 수도 있다.

[0095] 도 9는 본 발명의 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 버퍼 블록을 나타내는 도면이다. 도 9에서는 버퍼 블록(130)을 구성하는 복수의 스테이지 중에서 n번째 스테이지를 도시하고 있다.

[0096] 도 9를 참조하면, 본 발명의 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 버퍼 블록(130)의 각 스테이지는 2개의 풀다운 트랜지스터(T11, T11b) 중에서 제2 풀다운 트랜지스터(T11b)의 접속 구조가 변경된 것을 제외하고 다른 구성들은 도 7을 참조하여 설명한 실시 예와 동일하다. 따라서, 앞에서 설명한 구성들에 대한 상세한 설명은 생략하기로 한다.

[0097] 제1 풀다운 트랜지스터(T11a)의 게이트는 QB노드에 접속되고, 소스는 제2 풀다운 트랜지스터(T11b)의 드레인에 접속되어 있다. 제1 풀다운 트랜지스터(T11a)의 드레인은 출력 단자에 접속되어 있다.

[0098] 제2 풀다운 트랜지스터(T11b)의 게이트는 QB노드에 접속되어 있고, 드레인은 제1 풀다운 트랜지스터(T11a)의 소스에 접속되어 있다. 제2 풀다운 트랜지스터(T11b)의 소스는 이전 단의 스테이지의 출력 단자에 접속되어 있다. 즉, 버퍼 블록(130)의 n번째 스테이지의 제2 풀다운 트랜지스터(T11b)의 소스에 n-1번째 스테이지의 출력 신호(EM out (n-1))가 인가된다.

[0099] 제9 트랜지스터(T9)와 동일하게 제2 풀다운 트랜지스터(T11b)의 소스에 이전 단의 스테이지의 출력 신호(EM out)가 인가되면, 샘플링 기간(②)과 발광 기간(④)에서 스테이지의 출력이 하이(high)일 때 제1 풀다운 트랜지스터(T11a)와 제2 풀다운 트랜지스터(T11b)의 누설 전류가 발생하는 것을 방지할 수 있다.

[0100] 도 10은 본 발명의 또 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 버퍼 블록을 나타내는 도면이다.

도 10에서는 베피 블록(140)을 구성하는 복수의 스테이지 중에서 n번째 스테이지를 도시하고 있다.

[0101] 도 10을 참조하면, 본 발명의 또 다른 실시 예에 따른 표시장치의 발광제어신호 구동부의 베피 블록(130)의 각 스테이지는 풀다운 트랜지스터(T11)의 구성이 변경되고, 제13 트랜지스터(T13)를 배치하지 않은 것을 제외한 다른 구성들은 도 7을 참조하여 설명한 실시 예와 동일하다. 따라서, 앞에서 설명한 구성들에 대한 상세한 설명은 생략하기로 한다.

[0102] 1개의 트랜지스터로 풀다운 트랜지스터(T11a)를 구성하였다. 풀다운 트랜지스터(T11a)의 게이트는 QB노드에 접속되어 있고, 드레인은 출력 단자에 접속되어 있다. 풀다운 트랜지스터(T11a)의 소스는 이전 단의 스테이지의 출력 단자에 접속되어 있다. 즉, 베피 블록(140)의 n번째 스테이지의 풀다운 트랜지스터(T11a)의 소스에 n-1번째 스테이지의 출력 신호(EM out (n-1))가 인가된다.

[0103] 제9 트랜지스터(T9)와 동일하게 풀다운 트랜지스터(T11a)의 소스에 이전 단의 스테이지의 출력 신호(EM out)가 인가되면, 샘플링 기간(②)과 발광 기간(④)에서 스테이지의 출력이 하이(high)일 때 풀다운 트랜지스터(T11a)의 누설 전류가 발생하는 것을 방지할 수 있다.

[0104] 도 7을 참조한 실시 예에서는 제1 풀다운 트랜지스터(T11a)의 소스 전극과 제2 풀다운 트랜지스터(T11b)의 드레인 사이의 노드를 게이트 하이전압(VGH)으로 유지시키는 T13 트랜지스터가 배치되어 있었다.

[0105] 반면, 도 10을 참조한 다른 실시 예에서는 제1 풀다운 트랜지스터(T11a)의 소스에 이전 단의 스테이지의 출력 신호(EM out)를 인가시키고 있다. 이를 통해, T13 트랜지스터를 배치하지 않고도 풀다운 트랜지스터(T11a)의 누설 전류가 발생하는 것을 방지하고 있다.

[0106] 이를 통해, 베피 블록(140)을 구성하는 트랜지스터의 개수를 줄여 베피 블록(140)의 사이즈를 줄일 수 있다. 유기발광 표시장치의 기판에 발광제어신호 구동부가 GIP 방식으로 배치되는 경우, 베피 블록(140)의 사이즈를 줄이면 네로우 베젤의 구현에 유리한 효과가 있다.

[0107] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

[0108] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

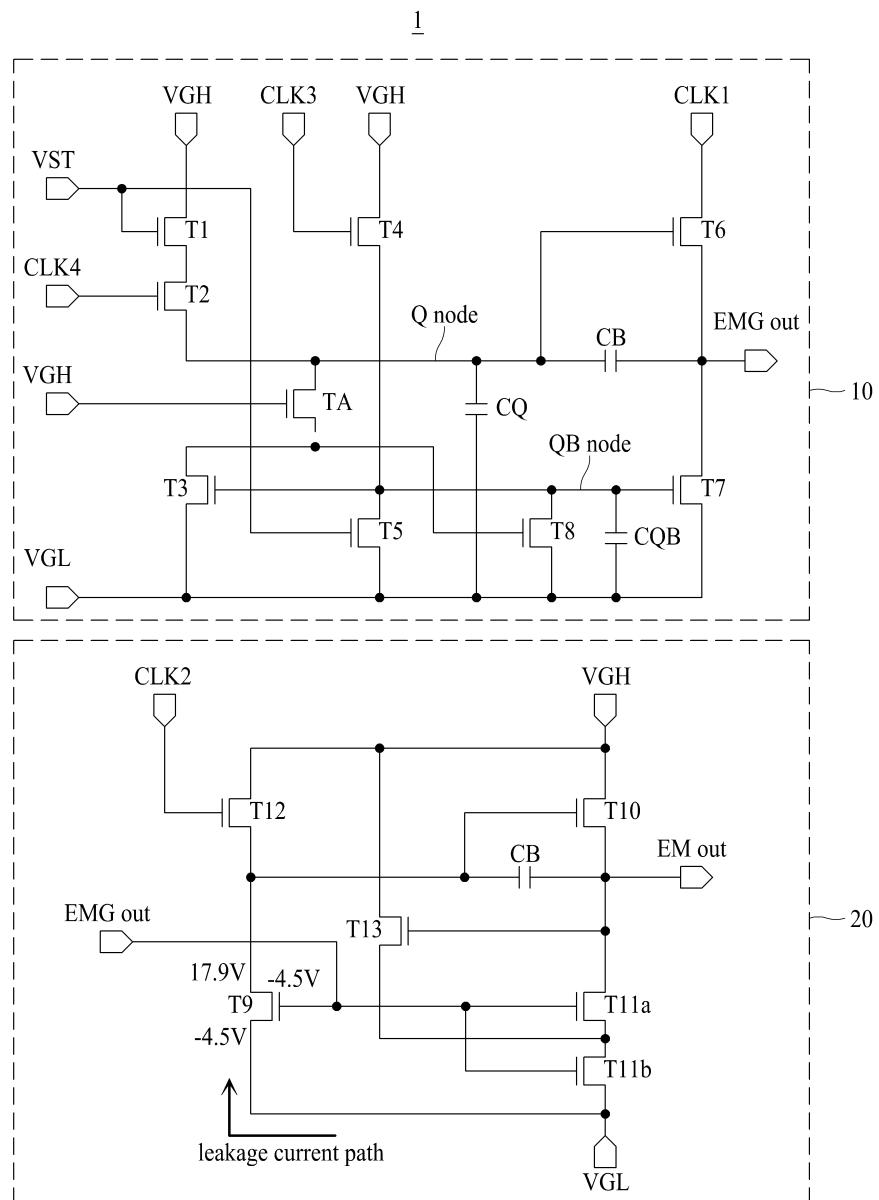
[0109] 100: 발광제어신호 구동부

110: 쉬프트 레지스터 블록

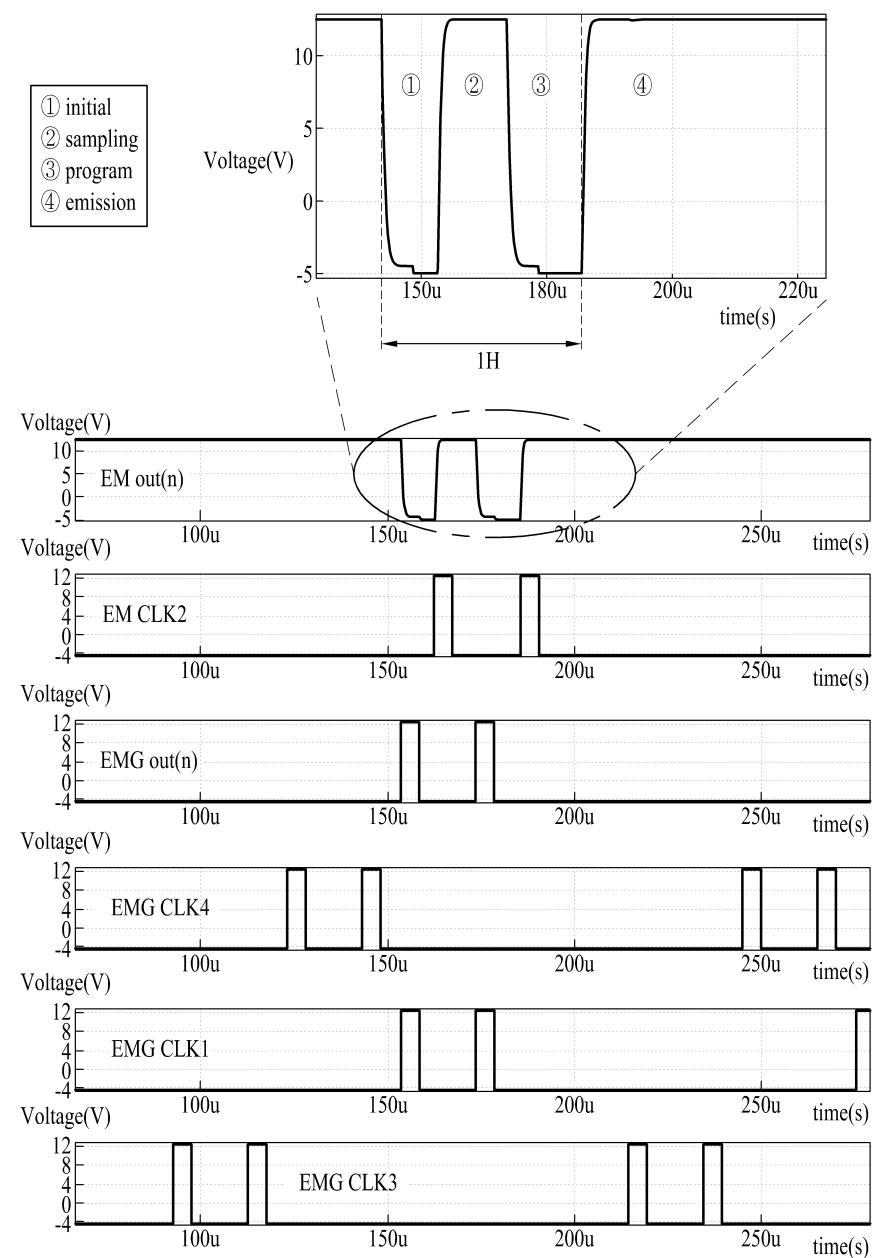
120, 130, 140: 베피 블록

도면

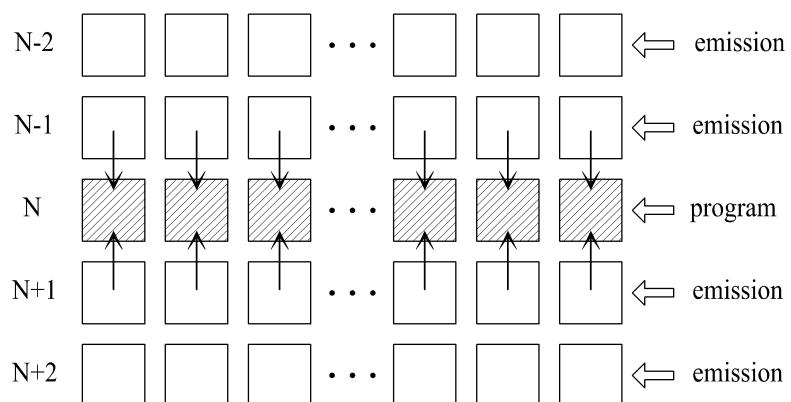
도면1



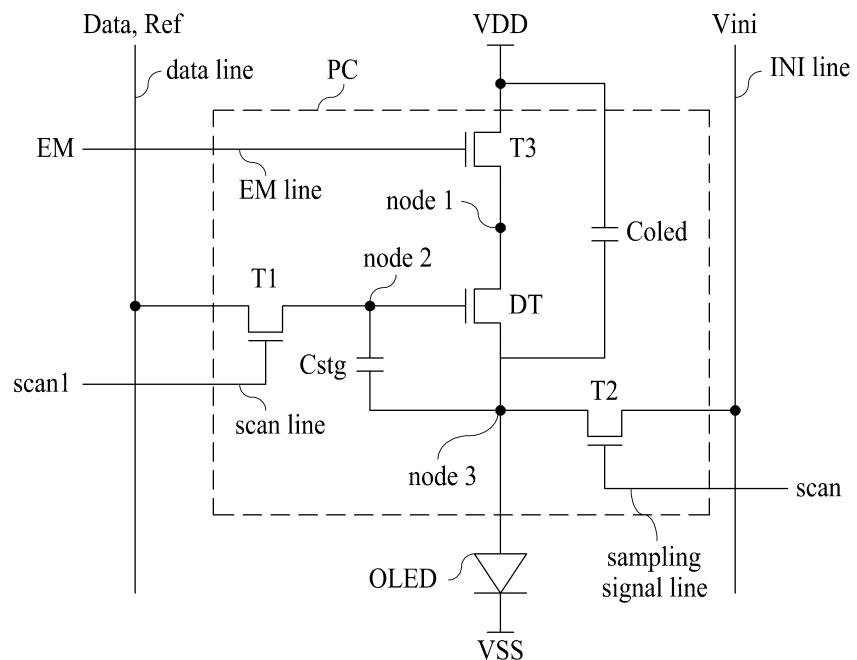
도면2



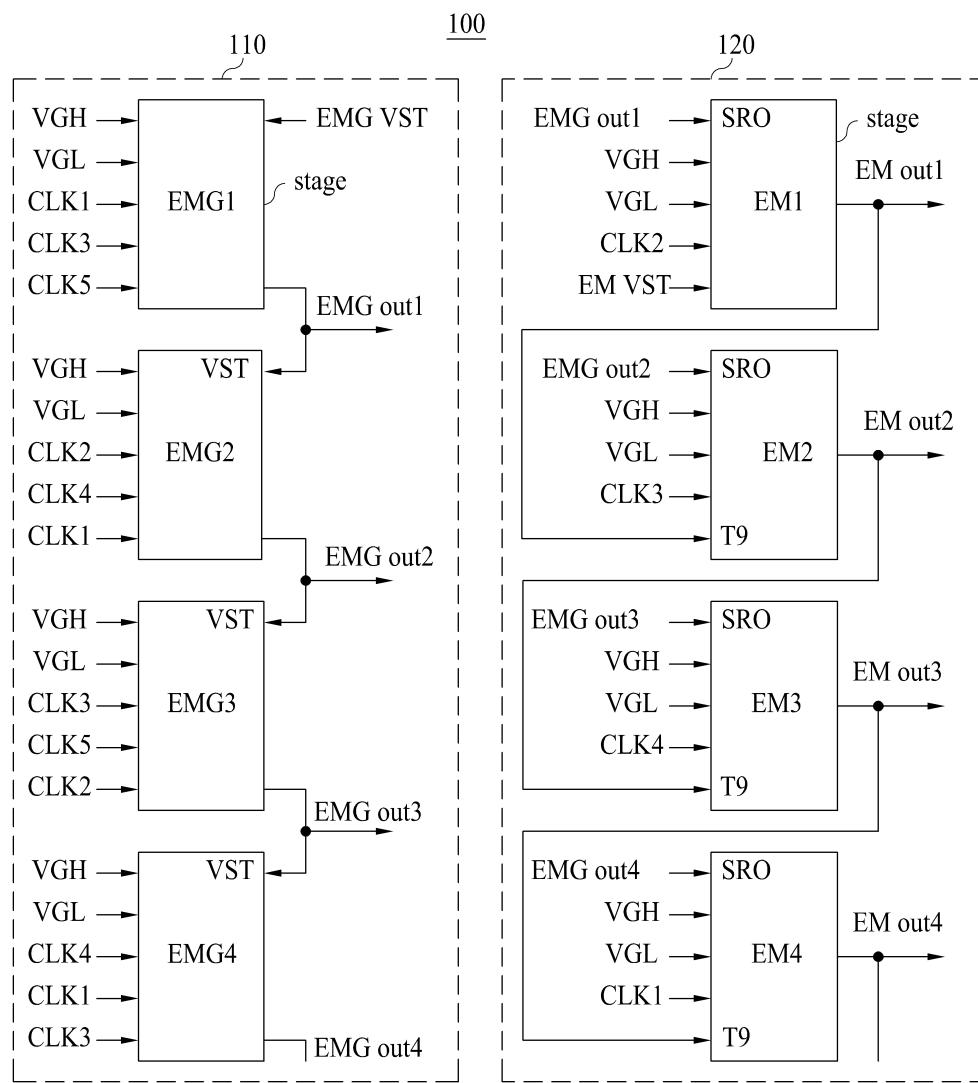
도면3



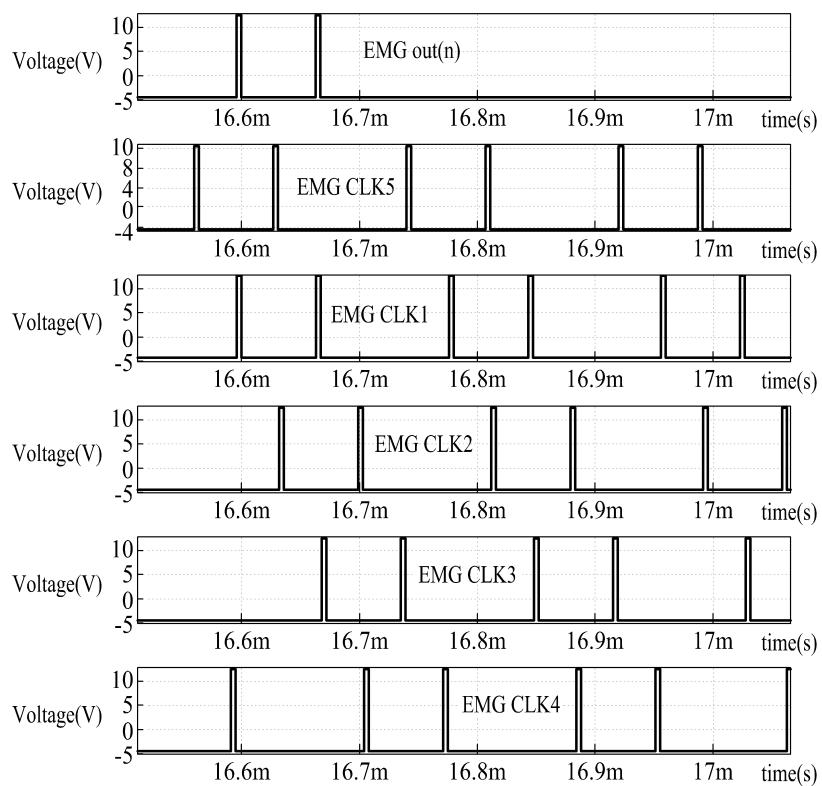
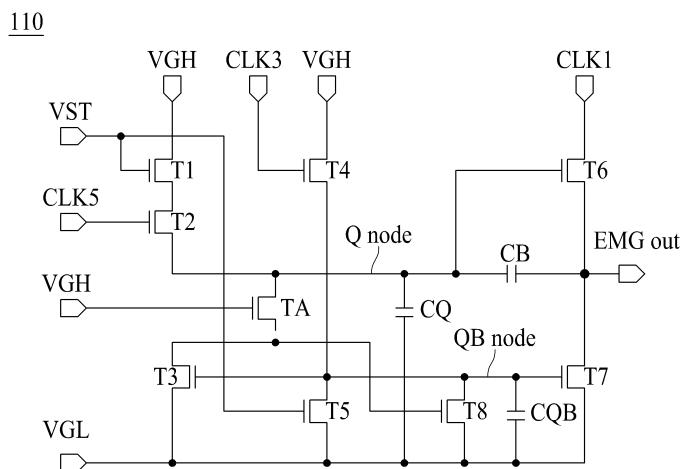
도면4



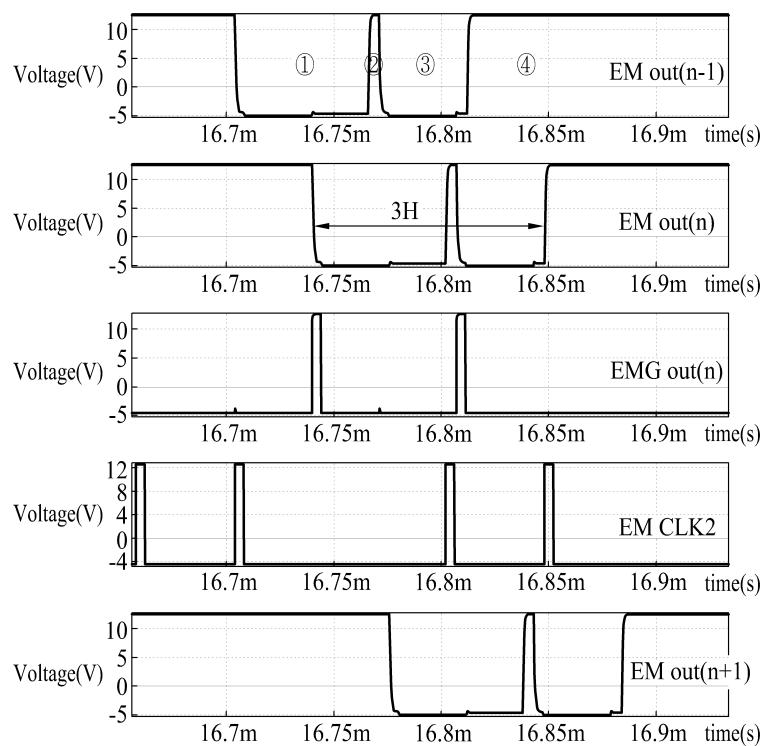
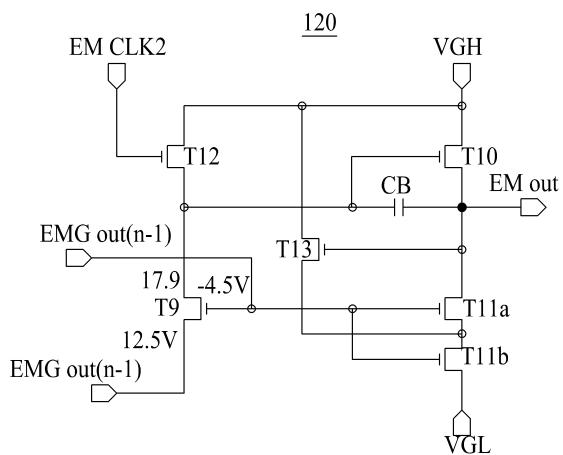
도면5



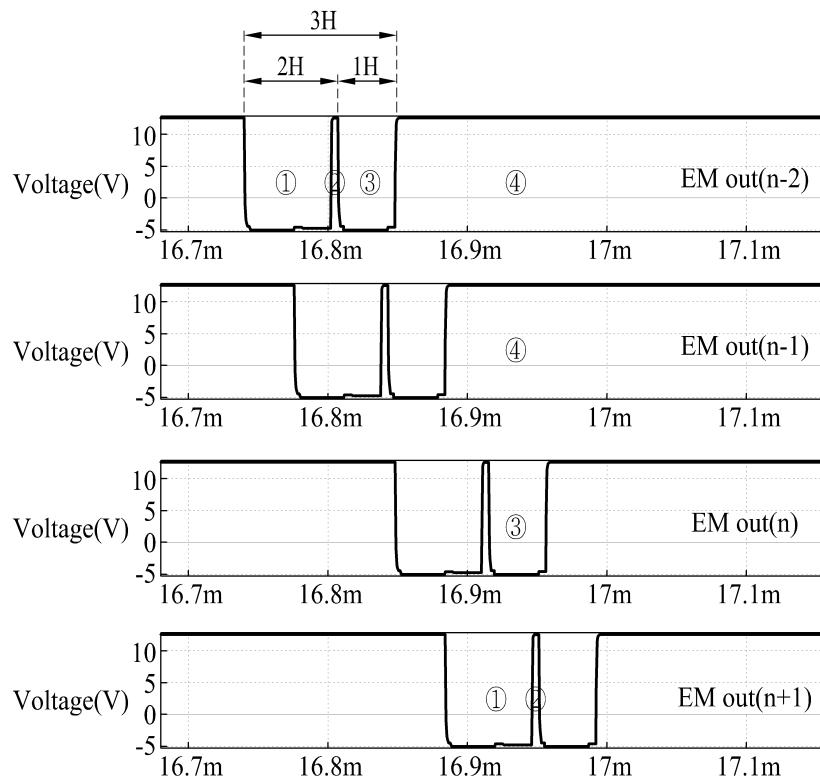
도면6



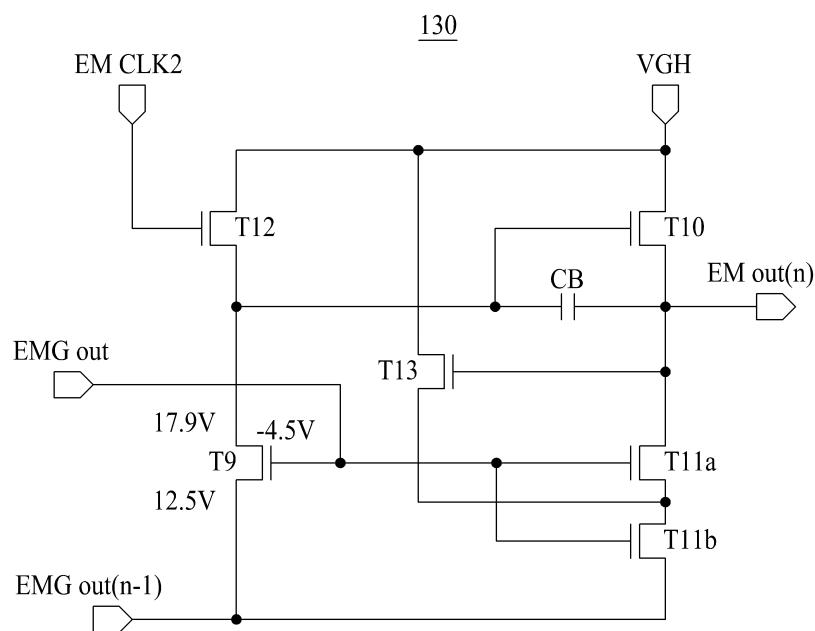
도면7



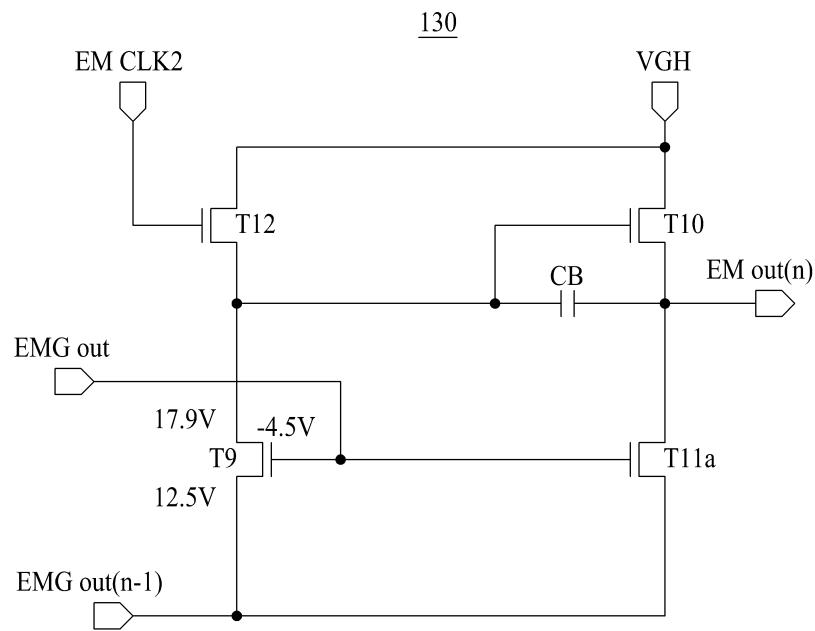
도면8



도면9



도면10



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 发明内容本发明要解决的问题 | | |
| 公开(公告)号 | KR1020160067307A | 公开(公告)日 | 2016-06-14 |
| 申请号 | KR1020140172391 | 申请日 | 2014-12-03 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | HOYOUNG KO 고호영 YEAJIN HWANG 황예진 | | |
| 发明人 | 고호영 황예진 | | |
| IPC分类号 | H01L51/56 H01L27/32 | | |
| CPC分类号 | H01L51/56 H01L27/32 Y02E10/549 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及一种用于显示装置的发光控制信号驱动器及其驱动方法，其防止缓冲块的Q节点中的漏电流并通过增加初始化时段来防止由于过冲引起的屏幕错误，它涉及。

