



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0087997  
(43) 공개일자 2015년07월31일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09F 9/30 (2006.01)  
(21) 출원번호 10-2014-0008272  
(22) 출원일자 2014년01월23일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 95 (농서동)  
(72) 발명자  
황원미  
서울특별시 중구 다산로36길 110, 102동 401호 (신당동, 신당푸르지오아파트)  
(74) 대리인  
팬코리아특허법인

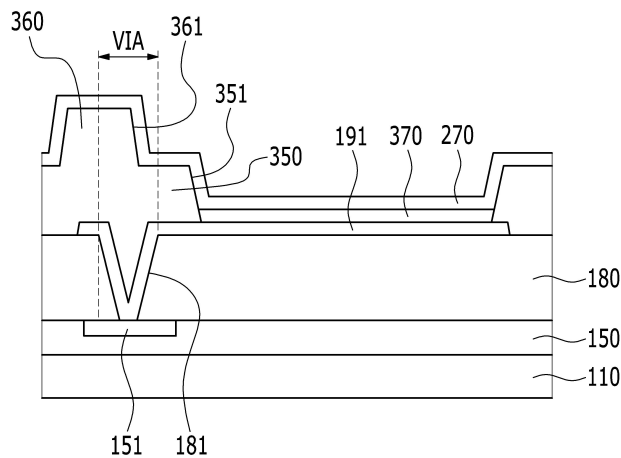
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시판 및 표시 장치

(57) 요약

본 발명은 표시판 및 표시 장치에 관한 것으로, 특히 스페이서를 포함하는 유기 발광 표시판 및 이를 포함하는 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 표시판 및 표시 장치는 제1 전극을 포함하는 반도체 소자, 상기 반도체 소자 위에 위치하며, 상기 제1 전극을 드러내는 비아 홀을 포함하는 보호막, 상기 보호막 위에 위치하고 상기 비아 홀을 통해 상기 제1 전극과 연결되어 있는 제2 전극, 그리고 상기 제2 전극 위에 위치하며 상기 비아 홀과 인접하는 스페이서를 포함하고, 상기 스페이서는 상기 비아 홀이 형성되어 있는 영역의 적어도 일부를 드러낸다.

대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

제1 전극을 포함하는 반도체 소자,  
상기 반도체 소자 위에 위치하며, 상기 제1 전극을 드러내는 비아 홀을 포함하는 보호막,  
상기 보호막 위에 위치하고 상기 비아 홀을 통해 상기 제1 전극과 연결되어 있는 제2 전극, 그리고  
상기 제2 전극 위에 위치하며 상기 비아 홀과 인접하는 스페이서  
를 포함하고,  
상기 스페이서는 상기 비아 홀이 형성되어 있는 영역의 적어도 일부를 드러내는  
표시판.

#### 청구항 2

제1항에서,  
상기 스페이서는 상기 비아 홀이 형성되어 있는 영역과 중첩하는 제1 가장자리 측면을 포함하는 표시판.

#### 청구항 3

제2항에서,  
상기 제2 전극 위에 위치하며 상기 제2 전극을 드러내는 제1 개구부를 포함하는 화소 정의막을 더 포함하는 표  
시판.

#### 청구항 4

제3항에서,  
상기 화소 정의막은 상기 비아 홀을 덮는 표시판.

#### 청구항 5

제4항에서,  
상기 스페이서는 상기 화소 정의막 위에 위치하는 표시판.

#### 청구항 6

제5항에서,  
상기 화소 정의막은 상기 비아 홀과 인접한 곳에 위치하는 제2 개구부를 더 포함하는 표시판.

#### 청구항 7

제4항에서,  
상기 스페이서와 상기 화소 정의막은 동일한 물질을 포함하는 표시판.

#### 청구항 8

제2항에서,  
상기 스페이서의 상기 제1 측면은 복수의 상기 비아 홀과 중첩하는 표시판.

#### 청구항 9

제1항에서,

상기 화소 정의막 및 상기 스페이서 위에 위치하는 제3 전극을 더 포함하는 표시판.

**청구항 10**

제1항에서,

상기 제2 전극 위에 위치하고 상기 제2 전극을 드러내는 제1 개구부를 포함하며 상기 비아 홀을 덮는 화소 정의막을 더 포함하는 표시판.

**청구항 11**

제1 전극을 포함하는 반도체 소자,

상기 반도체 소자 위에 위치하며, 상기 제1 전극을 드러내는 비아 홀을 포함하는 보호막,

상기 보호막 위에 위치하고 상기 비아 홀을 통해 상기 제1 전극과 연결되어 있는 제2 전극, 그리고

상기 제2 전극 위에 위치하며 상기 비아 홀과 인접하는 스페이서

를 포함하고,

상기 스페이서는 상기 비아 홀이 형성되어 있는 영역의 적어도 일부를 드러내는

표시 장치.

**청구항 12**

제11항에서,

상기 스페이서는 상기 비아 홀이 형성되어 있는 영역과 중첩하는 제1 가장자리 측면을 포함하는 표시 장치.

**청구항 13**

제12항에서,

상기 제2 전극 위에 위치하며 상기 제2 전극을 드러내는 제1 개구부를 포함하는 화소 정의막을 더 포함하는 표시 장치.

**청구항 14**

제13항에서,

상기 화소 정의막은 상기 비아 홀을 덮는 표시 장치.

**청구항 15**

제14항에서,

상기 스페이서는 상기 화소 정의막 위에 위치하는 표시 장치.

**청구항 16**

제15항에서,

상기 화소 정의막은 상기 비아 홀과 인접한 곳에 위치하는 제2 개구부를 더 포함하는 표시 장치.

**청구항 17**

제14항에서,

상기 스페이서와 상기 화소 정의막은 동일한 물질을 포함하는 표시 장치.

**청구항 18**

제12항에서,  
상기 스페이서의 상기 제1 측면은 복수의 상기 비아 홀과 중첩하는 표시 장치.

**청구항 19**

제11항에서,  
상기 화소 정의막 및 상기 스페이서 위에 위치하는 제3 전극을 더 포함하는 표시 장치.

**청구항 20**

제11항에서,  
상기 제2 전극 위에 위치하고 상기 제2 전극을 드러내는 제1 개구부를 포함  
하며 상기 비아 홀을 덮는 화소 정의막을 더 포함하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시판 및 표시 장치에 관한 것으로, 특히 스페이서를 포함하는 유기 발광 표시판 및 이를 포함하는 표시 장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display) 및 전기 영동 표시 장치(electrophoretic display) 등의 표시 장치는 전기장 생성 전극과 전기 광학 활성층(electro-optical active layer)을 포함한다. 예를 들어 유기 발광 표시 장치는 전기 광학 활성층으로 유기 발광층을 포함한다. 전기장 생성 전극은 박막 트랜지스터 등의 스위칭 소자에 연결되어 데이터 신호를 인가받을 수 있고, 전기 광학 활성층은 이러한 데이터 신호를 광학 신호로 변환함으로써 영상을 표시한다.

[0003] 이러한 여러 표시 장치 중 유기 발광 표시 장치(organic light emitting diode display, OLED)는 자체 발광형으로 별도의 광원이 필요 없으므로 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.

[0004] 유기 발광 표시 장치는 적색 화소, 청색 화소, 녹색 화소 및 백색 화소 등의 복수의 화소(pixel)를 포함하며, 이들 화소를 조합하여 풀 컬러(full color)를 표현할 수 있다. 각 화소는 유기 발광 소자(organic light emitting element)와 이를 구동하기 위한 복수의 박막 트랜지스터를 포함한다.

[0005] 유기 발광 표시 장치의 발광 소자는 화소 전극, 대향 전극, 그리고 두 사이에 위치하는 발광층을 포함한다. 화소 전극 및 대향 전극 중 한 전극은 애노드 전극이 되고 다른 전극은 캐소드 전극이 된다. 캐소드 전극으로부터 주입된 전자(electron)와 애노드 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다. 대향 전극은 복수의 화소에 걸쳐 형성되어 있으며 일정한 공통 전압을 전달할 수 있다.

[0006] 일반적으로 복수의 박막 트랜지스터 위에 절연층이 위치하고, 절연층 위에 화소 전극, 다른 신호 전극 등을 포함하는 도전층이 위치한다. 절연층에는 비아 홀(via hole)이 형성되며, 절연층의 비아 홀을 통해 절연층 상부의 도전층과 절연층 하부의 박막 트랜지스터의 전극 등의 도전층을 물리적, 전기적으로 연결할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 표시판의 특성 향상을 위해 박막 트랜지스터 위의 절연층을 두껍게 형성하는 경우 절연층의 비아 홀의 단차가 높아질 수 있다. 비아 홀은 단차가 높은 오목한 형태를 가지므로 비아 홀 위에 다른 층이 위치하면 그 층에 비아 홀의 오목한 형태가 전사되어 오목한 부분에서 외부광의 난반사가 일어날 수 있다. 이는 외부에서 얼룩으로

시인될 수 있다. 특히 비아 홀 위에 위치하는 층의 두께가 두꺼울수록 전사되는 오목 형태의 단차가 커져 얼룩으로 인한 표시 불량에 심해질 수 있다.

[0008] 따라서 본 발명이 해결하고자 하는 과제는 비아 홀에 기인한 외부광의 난반사를 줄여 얼룩 등의 표시 불량을 막을 수 있는 표시판 및 이를 포함하는 표시 장치를 제공하는 것이다.

**과제의 해결 수단**

[0009] 본 발명의 한 실시예에 따른 표시판 및 표시 장치는 제1 전극을 포함하는 반도체 소자, 상기 반도체 소자 위에 위치하며, 상기 제1 전극을 드러내는 비아 홀을 포함하는 보호막, 상기 보호막 위에 위치하고 상기 비아 홀을 통해 상기 제1 전극과 연결되어 있는 제2 전극, 그리고 상기 제2 전극 위에 위치하며 상기 비아 홀과 인접하는 스페이서를 포함하고, 상기 스페이서는 상기 비아 홀이 형성되어 있는 영역의 적어도 일부를 드러낸다.

[0010] 상기 스페이서는 상기 비아 홀이 형성되어 있는 영역과 중첩하는 제1 가장자리 측면을 포함할 수 있다.

[0011] 상기 제2 전극 위에 위치하며 상기 제2 전극을 드러내는 제1 개구부를 포함하는 화소 정의막을 더 포함할 수 있다.

[0012] 상기 화소 정의막은 상기 비아 홀을 덮을 수 있다.

[0013] 상기 스페이서는 상기 화소 정의막 위에 위치할 수 있다.

[0014] 상기 화소 정의막은 상기 비아 홀과 인접한 곳에 위치하는 제2 개구부를 더 포함할 수 있다.

[0015] 상기 스페이서와 상기 화소 정의막은 동일한 물질을 포함할 수 있다.

[0016] 상기 스페이서의 상기 제1 측면은 복수의 상기 비아 홀과 중첩할 수 있다.

[0017] 상기 화소 정의막 및 상기 스페이서 위에 위치하는 제3 전극을 더 포함할 수 있다.

[0018] 상기 제2 전극 위에 위치하고 상기 제2 전극을 드러내는 제1 개구부를 포함하며 상기 비아 홀을 덮는 화소 정의막을 더 포함할 수 있다.

**발명의 효과**

[0019] 본 발명의 실시예에 따르면 표시판 및 이를 포함하는 표시 장치에서 절연층의 비아 홀에 기인한 외부광의 난반사를 줄여 얼룩 등의 표시 불량을 막을 수 있다.

**도면의 간단한 설명**

[0020] 도 1은 본 발명의 한 실시예에 따른 표시판의 배치도이고,

도 2는 도 1의 표시판을 II-II 선을 따라 잘라 도시한 단면도이고,

도 3은 본 발명의 한 실시예에 따른 표시판의 배치도이고,

도 4는 도 3의 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이고,

도 5, 도 6 및 도 7은 각각 본 발명의 한 실시예에 따른 표시판의 배치도이고,

도 8은 본 발명의 한 실시예에 따른 표시 장치의 한 화소에 대한 등가 회로도이고,

도 9는 본 발명의 한 실시예에 따른 표시 장치의 한 화소에 대한 배치도이고,

도 10은 도 9에 도시한 본 발명의 한 실시예에 따른 표시 장치의 한 화소가 포함하는 복수의 트랜지스터 및 축전기를 구체적으로 나타낸 배치도이고,

도 11은 도 10의 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이고,

도 12, 도 13 및 도 14는 각각 도 10의 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도의 다른 예이고,

도 15는 도 10의 표시 장치를 XV-XV' 선 및 XV'-XV'' 선을 따라 자른 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0021] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을

가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

- [0022] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0023] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0024] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0025] 이제, 본 발명의 한 실시예에 따른 표시판을 포함하는 표시 장치에 대하여 도 1 및 도 2를 참조하여 설명한다.
- [0026] 도 1은 본 발명의 한 실시예에 따른 표시판의 배치도이고, 도 2는 도 1의 표시판을 II-II 선을 따라 잘라 도시한 단면도이다.
- [0027] 도 1을 참조하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 복수의 화소(pixel)를 포함하는 표시판(1)을 포함한다.
- [0028] 한 화소는 입력 영상 신호에 따른 휘도의 영상을 표시할 수 있다.
- [0029] 각 화소는 신호선에 연결되어 있는 반도체 소자(도시하지 않음) 및 이에 연결되어 있는 유기 발광 소자(organic light emitting element)를 포함한다.
- [0030] 도 2를 참조하면, 반도체 소자는 유리, 플라스틱 등의 절연 기판(110) 위에 위치하는 반도체 소자층(150)에 위치할 수 있다. 반도체 소자는 적어도 하나의 트랜지스터(transistor, FET)를 포함할 수 있으며, 전류 또는 전압을 출력하는 전극(151)을 포함한다. 트랜지스터는 전계 효과 트랜지스터(FET)일 수 있다.
- [0031] 유기 발광 소자는 예를 들어 유기 발광 다이오드(organic light emitting diode, OLED)로서, 반도체 소자에 연결되어 있는 화소 전극(191)과 공통 전압을 인가받는 대향 전극(270), 그리고 화소 전극(191)과 대향 전극(270) 사이에 위치하는 발광층(370)을 포함할 수 있다. 화소 전극(191)은 애노드(anode)로서 기능하고 대향 전극(270)은 캐소드(cathode)로서 기능하거나 그 반대로 기능할 수 있다.
- [0032] 유기 발광 소자는 반도체 소자의 출력 전류에 따라 세기를 달리하여 발광함으로써 영상을 표시한다. 유기 발광 소자의 발광층(370)은 적색(R), 녹색(G), 청색(B)의 삼원색, 사원색 등의 복수의 기본색(primary color) 중 어느 하나 또는 하나 이상의 빛을 고유하게 내는 유기 물질을 포함하거나, 백색을 내는 유기 물질을 포함할 수 있다. 유기 발광 표시 장치는 이들 색의 공간적인 합으로 원하는 영상을 표시할 수 있다. 도 1은 각 화소가 적색(R), 녹색(G) 및 청색(B)의 빛을 고유하게 내는 발광층(370)을 포함하는 예를 도시한다. 이후 적색(R)의 빛을 내는 화소를 적색 화소(R)라 하고, 녹색(G)의 빛을 내는 화소를 녹색 화소(G)라 하며, 청색(B)의 빛을 내는 화소를 청색 화소(B)라 한다.
- [0033] 도 2를 참조하면, 반도체 소자층(150) 위에 적어도 하나의 보호막(180)이 위치하고 그 위에 화소 전극(191)이 위치할 수 있다. 보호막(180)은 질화규소, 산화규소 등의 무기 물질 또는 유기 물질 중 적어도 하나를 포함할 수 있다. 유기 물질의 예로는 아크릴계 폴리머, 폴리이미드계 폴리머, 폴리아미드계 폴리머, 실록산계 폴리머, 감광성 아크릴 카르복실기를 포함하는 폴리머, 노볼락 수지, 알칼리 가용성 수지 등이 있다.
- [0034] 보호막(180)은 반도체 소자의 전극(151)을 드러내는 비아 홀(via hole)(181)을 포함하고, 화소 전극(191)은 비아 홀(181)을 통해 반도체 소자의 전극(151)과 연결되어 전류 또는 전압을 전달 받을 수 있다.
- [0035] 도 1을 참조하면, 각 화소의 화소 전극(191)은 화소 사이의 공간 쪽으로 돌출되어 비아 홀(181)을 통해 반도체 소자의 전극(151)과 연결될 수 있다.
- [0036] 화소 전극(191)은 빛을 반사할 수 있는 반사성 물질을 포함할 수 있다. 예를 들어 화소 전극(191)은 알루미늄, 은, 백금, 금(Au), 크롬, 텅스텐, 몰리브덴, 티타늄, 팔라듐(Pd), 이리듐(Ir) 등과 같은 금속 또는 이들의 합금

중 적어도 하나를 포함할 수 있으며, 이들을 포함하는 단일막 또는 다중막을 포함할 수 있다.

- [0037] 화소 전극(191) 위에는 화소 정의막(pixel defining layer)(350) 및 스페이서(spacer)(360)가 위치한다.
- [0038] 화소 정의막(350)은 각 화소의 화소 전극(191)을 드러내는 개구부(351)를 포함한다. 화소 정의막(350)의 개구부(351)는 각 화소의 발광 영역인 화소 영역을 정의할 수 있다.
- [0039] 스페이서(360)의 위에는 표시판(1)의 밀봉을 위한 봉지 부재(도시하지 않음)이 더 위치할 수 있는데, 스페이서(360)는 유기 발광 소자와 봉지 부재가 일정한 간격을 유지할 수 있도록 하여 유기 발광 소자를 보호할 수 있다. 그러나 스페이서(360)의 기능은 이에 한정되는 것은 아니며 다른 기능을 위해 존재할 수도 있다. 예를 들어 스페이서(360)는 비아 홀(181) 주변의 난반사를 방지하기 위한 목적으로 형성될 수도 있다.
- [0040] 도 1을 참조하면, 스페이서(360)는 화소 영역 사이에 위치하며, 각 화소의 발광층(370)과는 중첩하지 않는다. 예를 들어 스페이서(360)는 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)의 사이에 위치할 수 있다. 도 1을 참조하면, 녹색 화소(G)가 일렬로 길게 연속하여 배치된 실시예의 경우 스페이서(360)는 적색 화소(R) 및 청색 화소(B) 사이의 공간에 위치할 수 있다. 이 경우 스페이서(360)는 적색 화소(R) 및 청색 화소(B) 사이의 모든 공간에 배치되어 있을 수도 있고, 이보다 적은 밀도로 배치되어 있을 수도 있다.
- [0041] 비아 홀(181)과 인접한 스페이서(360)는 서로 인접한 적색 화소(R), 녹색 화소(G) 및 청색 화소(B) 각각의 비아 홀(181)이 형성되어 있는 비아 홀 영역(VIA) 모두 또는 그 중 일부와 중첩하는 가장자리 측면(361)을 포함할 수 있다.
- [0042] 도 2를 참조하면, 스페이서(360)는 화소 정의막(350) 위에 위치하여 그 윗면이 화소 정의막(350)의 윗면보다 높다.
- [0043] 스페이서(360)는 윗면과 연결되어 있으며 기관(110)의 면에 평행하지 않은 가장자리 측면(361)을 포함한다. 예를 들어 스페이서(360)의 가장자리 측면(361)은 기관(110)의 면과 대략 10도보다 크고 90도보다 작거나 같은 각을 이룰 수 있다. 가장자리 측면(361)을 기준으로 스페이서(360)의 윗면은 단차를 이룬다.
- [0044] 본 발명의 한 실시예에 따르면 비아 홀(181)에 인접하여 위치하는 스페이서(360)는 비아 홀(181)을 완전히 덮지 않고, 비아 홀(181)에 인접하여 위치하는 스페이서(360)의 가장자리 측면(361)이 보호막(180)의 비아 홀(181)이 형성되어 있는 영역의 위 또는 아래 영역인 비아 홀 영역(via hole area)(VIA) 안에 위치한다. 즉, 비아 홀(181)에 인접하여 위치하는 스페이서(360)의 가장자리 측면(361)은 보호막(180)의 비아 홀(181)이 형성되어 있는 영역, 즉 비아 홀 영역(VIA)과 중첩할 수 있다. 다시 말하면, 비아 홀 영역(VIA)의 경계를 포함한 비아 홀 영역(VIA)의 내부에 스페이서(360)의 가장자리 측면(361)이 위치할 수 있다.
- [0045] 이에 따르면 비아 홀(181)의 오목한 형태가 그대로 스페이서(360)의 윗면에 전사되지는 않으므로 스페이서(360)의 윗면에 오목한 형태가 생기지 않는다. 따라서 표시판(1)의 외부로부터 들어오는 외부광이 비아 홀(181) 주변에 위치하는 스페이서(360)의 윗면에서 난반사되는 것을 방지할 수 있고, 난반사에 의한 외관 얼룩이 발생하는 것을 막을 수 있다.
- [0046] 도 1 및 도 2에 도시한 바와 달리 비아 홀(181)에 인접한 스페이서(360)의 가장자리 측면(361)은 비아 홀 영역(VIA)의 바깥쪽에 위치할 수도 있다. 이 경우 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리는 외광의 난반사를 발생할 수 있는 적절한 거리로 정해질 수 있다. 예를 들어 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리는 비아 홀 영역(VIA)의 폭의 대략 1배 이하일 수 있으나 이에 한정되는 것은 아니다.
- [0047] 스페이서(360)는 화소 정의막(350)과 동일한 물질을 포함할 수 있으며, 이 경우 화소 정의막(350)과 스페이서(360)는 하나의 광 마스크를 이용하여 동시에 형성될 수 있다. 이러한 제조 공정에서 사용되는 광 마스크는 빛의 투과율을 위치에 따라 조절하기 위해 하프톤(halftone) 영역인 반투과부를 포함할 수 있다. 예를 들어 스페이서(360)가 형성되는 곳에는 광 마스크의 투과부 또는 차광부가 대응하고, 화소 정의막(350)이 형성되는 곳에는 광 마스크의 반투과부가 대응할 수 있다.
- [0048] 본 발명의 다른 실시예에 따르면 스페이서(360)는 화소 정의막(350)과 다른 물질을 포함할 수도 있으며, 이 경우 화소 정의막(350)과 스페이서(360)는 서로 다른 사진 공정을 통해 형성될 수 있다.
- [0049] 화소 정의막(350) 및 스페이서(360) 중 적어도 하나는 포토레지스트, 폴리아크릴계 수지(polyacrylates resin), 폴리이미드계 수지(polyimides resin), 아크릴계 수지(acrylates resin) 등의 유기 물질이나 산화규소 또는 질

화규소 등의 무기 물질 중 적어도 하나를 포함할 수 있다.

- [0050] 다시 도 1을 참조하면, 본 발명의 한 실시예에 따른 표시 장치가 포함하는 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)는 규칙적으로 배열되어 있을 수 있다.
- [0051] 예를 들어 적색 화소(R)와 청색 화소(B)가 세로 방향으로 교대로 배열되어 있고, 녹색 화소(G)는 적색 화소(R) 및 청색 화소(B)의 일측에 위치할 수 있다. 녹색 화소(G)의 가로 방향의 길이는 적색 화소(R) 또는 청색 화소(B)의 가로 방향의 길이보다 짧고, 녹색 화소(G)의 세로 방향의 길이는 적색 화소(R) 또는 청색 화소(B)의 세로 방향의 길이보다 길 수 있다. 여기서 화소의 길이란 발광층(370)이 적층되어 있는 영역, 즉 화소 영역의 길이일 수 있다.
- [0052] 녹색 화소(G)는 세로 방향으로 연속하여 배열되어 있을 수 있다. 녹색 화소(G)의 열은 적색 화소(R) 및 청색 화소(B)가 배열된 열과 교대로 배열될 수 있다.
- [0053] 적색 화소(R)와 청색 화소(B)의 크기는 도 1에 도시한 바와 같이 실질적으로 동일할 수도 있고 서로 다를 수도 있다.
- [0054] 그러나 각 기본색을 나타내는 화소의 배치 및 크기는 도시된 바에 한정되지 않고 다양하게 변형될 수 있다.
- [0055] 화소 정의막(350), 스페이서(360), 그리고 발광층(370) 위에는 대향 전극(270)이 위치한다. 대향 전극(270)은 전면에 적층되어 있을 수 있다. 대향 전극(270)은 빛을 반사할 수 있는 반사성 물질 또는 투명한 도전성 물질을 포함할 수 있다. 예를 들어 대향 전극(270)은 알루미늄, 은, 백금, 금(Au), 크롬, 텅스텐, 폴리브덴, 티타늄, 팔라듐(Pd), 이리듐(Ir) 등과 같은 금속 또는 이들의 합금, ITO, IZO 등의 투명한 도전성 물질 등을 포함할 수 있으며, 이들을 포함하는 단일막 또는 다중막을 포함할 수 있다.
- [0056] 그러면 앞에서 설명한 도면들과 함께 도 3 및 도 4를 참조하여 본 발명의 한 실시예에 따른 표시판을 포함하는 표시 장치에 대하여 설명한다. 앞에서 설명한 실시예와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여하고, 동일한 설명은 생략하며 이는 이후에도 동일하게 적용된다.
- [0057] 도 3은 본 발명의 한 실시예에 따른 표시판의 배치도이고, 도 4는 도 3의 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이다.
- [0058] 도 3 및 도 4를 참조하면, 본 발명의 한 실시예에 따른 표시 장치가 포함하는 표시판(1)은 앞에서 설명한 도 1 및 도 2에 도시한 실시예에 따른 표시판(1)과 대부분 동일하나, 화소 정의막(350)이 비아 홀(181) 근처에 위치하는 개구부(355)를 더 포함할 수 있다.
- [0059] 도 3 및 도 4를 참조하면, 앞에서 설명한 바와 같이 보호막(180)은 반도체 소자의 전극(151)을 드러내는 비아 홀(181)을 포함하고, 비아 홀(181)이 형성되어 있는 영역의 위 또는 아래의 영역인 비아 홀 영역(VIA) 안에 스페이서(360)의 가장자리 측면(361)이 위치할 수 있다.
- [0060] 화소 정의막(350)은 비아 홀 영역(VIA)에 인접한 곳에 위치하는 개구부(355)를 포함할 수 있다. 개구부(355)는 개구부(351)과 중첩하지 않는다. 개구부(355)는 비아 홀(181)의 적어도 일부 영역을 사이에 두고 인접한 스페이서(360)와 마주할 수 있다.
- [0061] 개구부(355)의 폭은 인접한 비아 홀(181)의 폭과 같거나 그보다 작을 수 있다. 개구부(355)는 비아 홀(181)에 기인한 난반사를 줄이는 역할을 할 수 있다.
- [0062] 개구부(355)는 비아 홀 영역(VIA) 바깥에 위치할 수 있다. 이 경우 개구부(355)와 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리는 비아 홀 영역(VIA)의 폭의 대략 1배 내지 대략 10배 이하일 수 있으나 이에 한정되는 것은 아니고, 비아 홀(181)에 기인한 난반사를 줄일 수 있도록 적절히 거리가 조절될 수 있다.
- [0063] 이와 달리 개구부(355)는 비아 홀 영역(VIA)의 가장자리 경계를 포함하는 비아 홀 영역(VIA)의 안쪽에 위치할 수도 있다.
- [0064] 본 발명의 다른 실시예에 따르면 개구부(355)에서 화소 정의막(350)이 완전히 제거되지 않고 주변의 화소 정의막(350)보다는 얇은 두께의 층으로 남아 있을 수도 있다.
- [0065] 도 3을 참조하면, 화소 정의막(350)의 개구부(355)는 이웃한 화소 사이의 공간에 위치할 수 있다. 도 3에 도시한 바와 같이 스페이서(360)가 두 개 이상의 비아 홀(181)과 중첩하는 두 개 이상의 가장자리 측면(361)을 포함하는 경우 두 개 이상의 개구부(355)가 스페이서(360)에 인접하면서 비아 홀 영역(VIA) 근처에 형성될 수도 있

고, 하나의 개구부(355)만 형성될 수도 있다.

- [0066] 다음 앞에서 설명한 도면들과 함께 도 5, 도 6 및 도 7을 각각 참조하여 본 발명의 한 실시예에 따른 표시판을 포함하는 표시 장치에 대하여 설명한다.
- [0067] 도 5, 도 6 및 도 7은 각각 본 발명의 한 실시예에 따른 표시판의 배치도이다.
- [0068] 도 5를 참조하면, 본 발명의 한 실시예에 따른 표시 장치가 포함하는 표시판(1)은 앞에서 설명한 도 1 및 도 2에 도시한 실시예에 따른 표시판(1)과 대부분 동일하나, 비아 홀(181)에 인접한 스페이서(360)의 가장자리 측면(361)이 비아 홀(181)이 형성되어 있는 영역, 즉 앞에서 설명한 비아 홀 영역(VIA)의 바깥쪽에 위치하는 예를 도시한다. 이 경우 앞에서 설명한 바와 같이 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리는 외광의 난반사를 발생할 수 있는 적절한 거리로 정해질 수 있다. 예를 들어 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리는 비아 홀 영역(VIA)의 폭의 대략 1배 이하일 수 있으나 이에 한정되는 것은 아니다.
- [0069] 도 6을 참조하면, 본 발명의 한 실시예에 따른 표시 장치가 포함하는 표시판(1)은 앞에서 설명한 도 1 및 도 2에 도시한 실시예에 따른 표시판(1)과 대부분 동일하나, 비아 홀(181)과 인접한 스페이서(360)가 서로 인접한 적색 화소(R) 및 녹색 화소(G) 각각의 비아 홀(181)이 형성되어 있는 비아 홀 영역(VIA) 모두와 중첩하는 가장자리 측면(361)을 포함하는 예를 도시한다. 스페이서(360)의 가장자리 측면(361)은 녹색 화소(G)의 비아 홀(181)이 형성되어 있는 비아 홀 영역(VIA)과 중첩하지 않을 수 있다. 나아가 스페이서(360)의 가장자리 측면(361)은 녹색 화소(G)의 화소 전극(191)이 형성되어 있는 영역과 중첩하지 않고 이격되어 있을 수 있다.
- [0070] 도 6에 도시한 실시예에서도 앞에서 설명한 도 3 및 도 4에 도시한 실시예와 같이 화소 정의막(350)이 개구부(도시하지 않음)를 포함할 수 있다. 이 경우 화소 정의막(350)의 개구부는 스페이서(360)의 변 중 상대적으로 길이가 짧은 단면 쪽에 인접하여 위치할 수 있으며, 녹색 화소(G)와 인접한 곳에 위치하는 화소 정의막(350)의 개구부의 경우 녹색 화소(G)의 비아 홀(181)과 중첩하지 않을 수 있다.
- [0071] 도 7을 참조하면, 본 발명의 한 실시예에 따른 표시 장치가 포함하는 표시판(1)은 앞에서 설명한 도 1 및 도 2에 도시한 실시예에 따른 표시판(1)과 대부분 동일하나, 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)의 형태 및 배치, 그리고 스페이서(360)의 형태 및 배치가 다를 수 있다.
- [0072] 예를 들어 일렬로 배열된 녹색 화소(G) 사이에 제1 스페이서(360a)가 배치될 수 있다. 제1 스페이서(360a)는 도시한 바와 같이 두 개의 녹색 화소(G)마다 배치될 수 있으나 이에 한정되지 않는다. 세 개 이상의 녹색 화소(G)마다 하나씩 배치될 수도 있고, 녹색 화소(G) 사이에 모두 제1 스페이서(360a)가 배치될 수도 있다.
- [0073] 녹색 화소(G) 사이에 배치된 제1 스페이서(360a)의 모양은 사각형일 수 있으나 이에 한정되는 것은 아니다.
- [0074] 반면, 앞에서의 실시예와 달리 적색 화소(R) 및 청색 화소(B)가 배열된 열에는 스페이서가 배치되지 않을 수 있다. 대신 녹색 화소(G)가 배열된 열과 적색 화소(R) 및 청색 화소(B)가 배열된 열 사이에는 주기적으로 제2 스페이서(360b)가 배치될 수 있다. 제2 스페이서(360b)의 모양은 삼각형일 수 있으나 이에 한정되는 것은 아니다. 제2 스페이서(360b)의 모양이 삼각형인 경우 삼각형의 한 꼭지점은 서로 이웃한 적색 화소(R) 및 청색 화소(B) 사이의 공간에 위치할 수 있다.
- [0075] 제1 스페이서(360a)의 크기는 제2 스페이서(360b)의 크기보다 클 수 있고, 단위 영역에 위치하는 제1 스페이서(360a)의 수는 제2 스페이서(360b)의 수보다 적을 수 있다.
- [0076] 제1 스페이서(360a)는 비아 홀(181)이 위치하는 영역과 중첩하지 않을 수 있다.
- [0077] 제2 스페이서(360b)는 비아 홀(181)이 형성되는 있는 영역, 즉 비아 홀 영역(VIA)과 중첩하는 가장자리 측면(361)을 포함할 수 있다. 제2 스페이서(360b)의 가장자리 측면(361)이 중첩하는 비아 홀(181)은 도시한 바와 같이 녹색 화소(G)의 비아 홀(181) 또는 적색 화소(R)의 비아 홀(181)일 수 있으나, 이에 한정되는 것은 아니고 청색 화소(B)의 비아 홀(181)과 중첩할 수도 있다.
- [0078] 다음, 도 8을 참조하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 설명한다.
- [0079] 도 8은 본 발명의 한 실시예에 따른 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0080] 도 8에 도시한 바와 같이, 본 발명의 한 실시예에 따른 표시 장치는 유기 발광 표시 장치일 수 있다. 한 화소(1)는 복수의 신호선(121, 122, 123, 124, 118, 171, 112), 복수의 신호선에 연결되어 있는 복수의 트랜지스터

(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

- [0081] 트랜지스터는 구동 트랜지스터(driving thin film transistor)(T1), 스위칭 트랜지스터(switching thin film transistor)(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함할 수 있다.
- [0082] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124), 바이패스 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(118), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 교차하는 구동 전압선(112)을 포함할 수 있다.
- [0083] 구동 트랜지스터(T1)의 게이트 전극(G1)은 유지 축전기(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(112)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.
- [0084] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(112)과 연결되어 있다. 이러한 스위칭 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행할 수 있다.
- [0085] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)과 직접 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 유지 축전기(Cst)의 일단(Cst1), 초기화 트랜지스터(T4)의 드레인 전극(D4) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 보상 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킬 수 있다.
- [0086] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 유지 축전기(Cst)의 일단(Cst1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다.
- [0087] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(112)과 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)에 연결되어 있다.
- [0088] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 발광 전류(Ioled)가 흐를 수 있다.
- [0089] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(118)과 연결되어 있고, 바이패스 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드와 함께 연결되어 있고, 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(124) 및 초기화 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다.

- [0090] 유지 축전기(Cst)의 타단(Cst2)은 구동 전압선(112)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 트랜지스터(T1)로부터 발광 전류(Ioled)를 전달받아 발광함으로써 영상을 표시할 수 있다.
- [0091] 그러면 이러한 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작의 한 예에 대하여 설명한다.
- [0092] 먼저, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴온(turn on)되며, 초기화 전압선(124)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.
- [0093] 다음, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴온된다.
- [0094] 이때, 구동 트랜지스터(T1)는 턴온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0095] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극에 인가된다.
- [0096] 유지 축전기(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 유지 축전기(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴온된다.
- [0097] 그러면, 구동 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간 동안 유지 축전기(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 '(Dm-ELVDD)<sup>2</sup>'에 비례할 수 있다. 따라서 구동 전류(Id)는 구동 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정될 수 있다.
- [0098] 이때, 바이패스 트랜지스터(T7)는 바이패스 제어선(118)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 되어 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나갈 수 있다.
- [0099] 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(Id)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 다이오드의 발광 전류(Ioled)는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 대비비를 향상시킬 수 있다.
- [0100] 그러면 도 8에 도시한 표시 장치의 화소의 상세한 구조에 대하여 도 8과 함께 도 9 및 도 10을 참조하여 설명한다.
- [0101] 도 9는 본 발명의 한 실시예에 따른 표시 장치의 한 화소에 대한 배치도이고, 도 10은 도 9에 도시한 본 발명의 한 실시예에 따른 표시 장치의 한 화소가 포함하는 복수의 트랜지스터 및 축전기를 구체적으로 나타낸 배치도이다.
- [0102] 도 9에 도시한 바와 같이, 본 발명의 한 실시예에 따른 표시 장치는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En), 바이패스 신호(BP), 구동 전압(ELVDD) 각각을 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(118), 구동 전압선(112) 각각을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(118), 구동 전압선(112)과 교차하며 화소에 데이터 신호(Dm)를 인가하는 데이터선(171)을 포함할 수 있다.
- [0103] 초기화 전압(Vint)은 초기화 전압선(124)을 통해 유기 발광 다이오드(OLED)로부터 초기화 트랜지스터(T4)를 거

쳐 구동 트랜지스터(T1)로 전달될 수 있다.

- [0104] 구동 전압선(112)은 데이터선(171)과 교차하고, 데이터선(171), 스캔선(121), 이전 스캔선(121) 각각과 다른 층에 위치할 수 있다. 구동 전압선(112)은 데이터선(171)의 일 부분과 교차하는 제1 서브 제어선(112a), 데이터선(171)의 타 부분과 교차하는 제2 서브 제어선(112b), 제1 서브 제어선(112a)과 제2 서브 제어선(112b) 사이를 연결하는 연결선(112c)을 포함할 수 있다.
- [0105] 제1 서브 제어선(112a), 연결선(112c), 제2 서브 제어선(112b)은 행 방향으로 사다리 형태를 이룰 수 있고, 이 경우 구동 전압선(112)을 통하는 구동 전압(ELVDD)에 전압 강하가 발생하는 것이 억제될 수 있다.
- [0106] 구동 전압선(112) 및 바이패스 제어선(118)은 동일한 층에 형성되는 동시에 행 방향으로 형성된 스캔선(121), 이전 스캔선(121), 발광 제어선(123) 각각과 다른 층에 형성되면, 이웃하는 행 방향으로 형성된 신호선 간의 간격을 최소화할 수 있다. 이로 인해 설정된 면적에 보다 많은 개수의 화소를 형성하여 고해상도의 유기 발광 표시 장치를 형성할 수 있다.
- [0107] 이웃하는 행 방향으로 형성된 신호선 간의 간격을 최소화하더라도, 구동 전압선(112) 및 바이패스 제어선(118)이 동일한 층에 형성되는 동시에 행 방향으로 형성된 스캔선(121), 이전 스캔선(121), 발광 제어선(123) 각각과 다른 층에 형성되어 있으면, 이웃하는 신호선 간의 단락이 최소화될 수 있다.
- [0108] 화소(1)에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)가 형성될 수 있다.
- [0109] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)는 반도체층(131)을 따라 형성될 수 있다. 반도체층(131)은 다양한 형상으로 굴곡되어 있을 수 있다.
- [0110] 반도체층(131)은 폴리 실리콘 또는 산화물 반도체를 포함할 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨-Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO<sub>4</sub>), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체층(131)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.
- [0111] 반도체층(131)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널 영역과, 채널 영역의 양 옆에 형성되어 있으며 채널 영역에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0112] 그러면, 도 8 내지 도 10을 참조하여 본 발명의 한 실시예에 따른 표시 장치의 구체적인 평면상 구조에 대해 더욱 구체적으로 설명한다.
- [0113] 도 9 및 도 10을 참조하면, 본 발명의 한 실시예에 따른 표시 장치의 화소(1)는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함하며, 이들 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 반도체층(131)을 따라 형성되어 있으며, 이러한 반도체층(131)은 구동 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f) 및 바이패스 트랜지스터(T7)에 형성되는 바이패스 반도체층(131g)을 포함할 수 있다.

다.

- [0114] 구동 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함할 수 있다.
- [0115] 구동 반도체층(131a)은 굴곡되어 있을 수 있고, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이와 같이, 굴곡된 형상의 구동 반도체층(131a)을 형성하면 좁은 공간 내에 길게 구동 반도체층(131a)을 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어질 수 있다. 이에 따라 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 이러한 구동 반도체층(131a)은 그 형상을 다양하게 변형하여 '역S', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0116] 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 구동 게이트 전극(125a)은 구동 반도체층(131a)과 중첩하고 있으며, 구동 게이트 전극(125a)은 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 초기화 게이트 전극(125d), 동작 제어 게이트 전극(125e), 발광 제어 게이트 전극(125f)과 동일한 물질로 동일한 층에 형성되어 있다.
- [0117] 스위칭 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 게이트 전극(125b)은 스캔선(121)의 일부이다.
- [0118] 데이터선(171)의 일부인 스위칭 소스 전극(176b)은 접촉 구멍(contact hole)을 통해 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 소스 영역(132b)와 연결되어 있으며, 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.
- [0119] 보상 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함하며, 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역(176c)에 해당하고, 보상 드레인 전극(177c)은 불순물이 도핑된 보상 드레인 영역(177c)에 해당한다.
- [0120] 초기화 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 소스 전극(176d)은 불순물이 도핑된 초기화 소스 영역(176d)에 해당하고, 초기화 드레인 전극(177d)은 불순물이 도핑된 초기화 드레인 영역(177d)에 해당한다.
- [0121] 초기화 전압선(124)은 접촉 구멍(162)을 통해 초기화 반도체층(131d)과 연결될 수 있다.
- [0122] 동작 제어 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e) 및 동작 제어 드레인 전극(177e)을 포함한다. 구동 전압선(112)의 일부인 동작 제어 소스 전극(176e)은 접촉 구멍을 통해 동작 제어 반도체층(131e)과 연결되어 있고, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.
- [0123] 발광 제어 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f) 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당한다. 발광 제어 드레인 전극(177f)은 접촉 구멍(161)을 통해 발광 제어 반도체층(131f)과 연결될 수 있다.
- [0124] 바이패스 트랜지스터(T7)는 바이패스 반도체층(131g), 바이패스 게이트 전극(115g), 바이패스 소스 전극(176g) 및 바이패스 드레인 전극(177g)을 포함한다. 바이패스 소스 전극(176g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 소스 영역(176g)에 해당하고, 바이패스 드레인 전극(177g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 드레인 영역(177g)에 해당한다. 구동 트랜지스터(T1)의 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 동작 제어 반도체층(131e)과 연결되어 있으며, 구동 반도체층(131a)의 타단은 보상 반도체층(131c) 및 발광 제어 반도체층(131f)과 연결되어 있다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다. 유지 축전기(Cst)는 제3 게이트 절연막(142)을 사이에 두고 배치되는 제1 유지 축전판(125a)과 제2 유지 축전판(126)을 포함한다. 제1 유지 축전판(125a)은 구동 게이트 전극(125a)이고, 제3 게이트 절연막(142)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 양 축전판(125a, 126) 사이의 전압에 의해 유지 축전 용량(storage capacitance)가 결정된다.

- [0125] 제2 유지 축전판(126)은 구동 전압선(112)의 연결선(112c)과 접촉 구멍을 통해 연결되어 있으며, 제1 유지 축전판(125a) 대비 큰 면적을 가질 수 있다. 연결선(112c)과 연결되는 제2 유지 축전판(126)의 일 부분은 확장된 부분이며, 제1 유지 축전판(125a)과 중첩하지 않고 제1 유지 축전판(125a)과 기관(110) 사이를 가로지르는 연결선(112c)과 연결될 수 있다.
- [0126] 연결 부재(174)는 데이터선(171)과 평행하게 동일한 층에 형성되어 있으며 구동 게이트 전극(125a)과 보상 트랜지스터(T3)의 보상 드레인 전극(177c)을 서로 연결한다. 구동 게이트 전극(125a)인 제1 유지 축전판(125a)은 접촉 구멍을 통해 연결 부재(174)와 연결되어 있고, 보상 반도체층(131c)에서 보상 드레인 전극(177c)은 접촉 구멍을 통해 연결 부재(174)와 연결되어 있다.
- [0127] 따라서, 유지 축전기(Cst)는 구동 전압선(112)을 통해 제2 유지 축전판(126)에 전달된 구동 전압(ELVDD)과 구동 게이트 전극(125a)의 게이트 전압간의 차에 대응하는 유지 축전 용량을 저장할 수 있다.
- [0128] 스위칭 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되어 있으며, 스위칭 드레인 전극(177b)은 구동 트랜지스터(T1) 및 동작 제어 트랜지스터(T5)와 연결되어 있다. 발광 제어 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 유기 발광 소자(70)의 화소 전극(191)과 직접 연결되어 있다.
- [0129] 그러면 앞에서 설명한 도 8 내지 도 10과 함께 도 11 및 도 15를 참조하여 본 발명의 한 실시예에 따른 표시 장치의 단면 구조에 대해 적층 순서에 따라 설명한다. 동작 제어 트랜지스터(T5)는 발광 제어 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.
- [0130] 도 11 및 도 15를 참조하면, 기관(110) 위에는 바이패스 제어선(118), 구동 전압선(112), 바이패스 게이트 전극(115g)이 형성되어 있고, 그 위를 제1 게이트 절연막(143)이 직접 덮을 수 있다. 기관(110)은 유리, 석영, 세라믹, 플라스틱 등을 포함할 수 있다.
- [0131] 바이패스 제어선(118), 구동 전압선(112), 바이패스 게이트 전극(115g)은 반도체층(131)과 기관(110) 사이에 위치하고 있으며, 이로 인해 바이패스 게이트 전극(115g)은 바이패스 반도체층(131g)과 기관(110) 사이에 위치하고 있다. 즉, 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 각각과는 다르게 바텀 게이트(bottom gate) 구조의 트랜지스터로 형성되며, 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 각각은 탑 게이트(top gate) 구조의 트랜지스터로 형성된다.
- [0132] 제1 게이트 절연막(143) 위에는 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 바이패스 반도체층(131g)이 형성되어 있다.
- [0133] 구동 반도체층(131a)은 구동 채널 영역(131a1) 및 구동 채널 영역(131a1)을 사이에 두고 서로 마주보는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함하고, 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1) 및 스위칭 채널 영역(131b1)을 사이에 두고 서로 마주보는 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함한다. 그리고, 보상 반도체층(131c)은 보상 채널 영역(131c1), 보상 소스 영역(176c) 및 보상 드레인 영역(177c)을 포함하고, 초기화 반도체층(131d)은 초기화 채널 영역(131d1), 초기화 소스 영역(176d) 및 초기화 드레인 영역(177d)을 포함하며, 발광 제어 반도체층(131f)은 발광 제어 채널 영역(131f1), 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함하고, 바이패스 반도체층(131g)은 바이패스 채널 영역(131g1), 바이패스 소스 영역(176g) 및 바이패스 드레인 영역(177g)을 포함한다.
- [0134] 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 바이패스 반도체층(131g) 위에는 제2 게이트 절연막(141)이 형성되어 있다.
- [0135] 제2 게이트 절연막(141)은 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 바이패스 반도체층(131g)을 포함하는 반도체층(131)을 직접 덮고 있다. 제2 게이트 절연막(141) 위에는 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)를 포함하는 스캔선(121), 초기화 게이트 전극(125d)를 포함하는 이전 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123), 구동 게이트 전극(제1 유지 축전

판)(125a)을 포함하는 게이트 배선(121, 122, 123, 125a, 125b, 125c, 125d, 125e, 125f)이 형성되어 있다.

- [0136] 게이트 배선(121, 122, 123, 125a, 125b, 125c, 125d, 125e, 125f) 및 제2 게이트 절연막(141) 위에는 제3 게이트 절연막(142)이 형성되어 있다.
- [0137] 제3 게이트 절연막(142)은 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)를 포함하는 스캔선(121), 초기화 게이트 전극(125d)를 포함하는 이전 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123), 구동 게이트 전극(제1 유지 축전판)(125a)을 직접 덮고 있다. 제2 게이트 절연막(141) 및 제3 게이트 절연막(142)은 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>) 등으로 형성되어 있다.
- [0138] 제3 게이트 절연막(142) 위에는 제1 유지 축전판(125a)과 중첩하는 제2 유지 축전판(126)이 형성되어 있다.
- [0139] 제3 게이트 절연막(142) 및 제2 유지 축전판(126) 위에는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소(SiNx) 또는 산화 규소(SiO<sub>2</sub>) 등의 세라믹(ceramic) 계열의 소재를 포함할 수 있다. 층간 절연막(160), 제2 게이트 절연막(141) 및 제3 게이트 절연막(142)은 발광 제어 반도체층(131f)을 드러내는 접촉 구멍(161), 그리고 초기화 반도체층(131d)을 드러내는 접촉 구멍(162)을 포함할 수 있다.
- [0140] 층간 절연막(160) 위에는 스위칭 소스 전극(176b)을 포함하는 데이터선(171), 연결 부재(174), 발광 제어 드레인 전극(177f)을 포함하는 데이터 배선(171, 174, 176b, 177f), 그리고 초기화 전압선(124)이 위치할 수 있다. 데이터 배선(171, 174, 176b, 177f) 중 발광 제어 드레인 전극(177f)은 접촉 구멍(161)을 통해 발광 제어 반도체층(131f)과 전기적, 물리적으로 연결될 수 있다. 초기화 전압선(124)은 접촉 구멍(162)을 통해 초기화 반도체층(131d)과 전기적, 물리적으로 연결될 수 있다.
- [0141] 층간 절연막(160) 위에는 데이터 배선(171, 174, 176b, 177f)을 덮는 보호막(180)이 위치한다. 보호막(180)은 유기 절연 물질 또는 무기 절연 물질을 포함할 수 있다. 보호막(180)은 발광 제어 드레인 전극(177f)을 드러내는 비아 홀(181), 그리고 초기화 전압선(124)을 드러내는 비아 홀(182)을 포함할 수 있다.
- [0142] 보호막(180) 위에는 화소 전극(191) 및 초기화 전압 전달 전극(192)이 위치할 수 있다. 화소 전극(191)은 보호막(180)에 형성된 비아 홀(181)을 통해 발광 제어 드레인 전극(177f)과 전기적, 물리적으로 연결될 수 있다. 초기화 전압 전달 전극(192)은 보호막(180)에 형성된 비아 홀(182)을 통해 초기화 전압선(124)과 전기적, 물리적으로 연결될 수 있다. 초기화 전압 전달 전극(192)은 초기화 전압선(124)에 초기화 전압(Vint)을 전달할 수 있다.
- [0143] 화소 전극(191)의 가장자리, 보호막(180) 위, 그리고 초기화 전압 전달 전극(192) 위에는 화소 정의막(350)이 형성되어 있고, 화소 정의막(350)은 화소 전극(191)을 드러내는 개구부(351)를 포함한다.
- [0144] 화소 정의막(350)은 비아 홀(181, 182)을 모두 덮을 수 있다.
- [0145] 도 11을 참조하면, 앞에서 설명한 바와 같이 화소 정의막(350) 위에 스페이서(360)가 위치하며, 스페이서(360)는 비아 홀(181)을 완전히 덮지 않는다. 본 발명의 한 실시예에 따르면 비아 홀(181)에 인접하여 위치하는 스페이서(360)의 가장자리 측면(361)이 보호막(180)의 비아 홀(181)이 형성되어 있는 영역, 즉 비아 홀 영역(VIA)과 중첩할 수 있다. 이에 따르면 비아 홀(181)의 오목한 형태가 그대로 스페이서(360)의 윗면에 전사되지는 않으므로 스페이서(360)의 윗면에 오목한 형태가 생기지 않고 외부광이 난반사되는 방지할 수 있다.
- [0146] 도 11을 참조하면, 스페이서(360)는 화소 정의막(350)과 동일한 물질로 형성될 수 있으며 하프톤 영역을 포함하는 하나의 광 마스크를 이용하여 동시에 형성될 수 있다.
- [0147] 도 15에는 비아 홀(182)에 인접하여 형성된 스페이서(360)가 도시되어 있지 않으나 비아 홀(182) 근처에도 스페이서(360)가 형성되는 경우 스페이서(360)는 비아 홀(182)을 완전히 덮지 않고 비아 홀(182)의 일부하고만 중첩하여 비아 홀(182)의 오목한 형태에 기인한 외부광의 난반사를 방지할 수 있다. 이 경우 비아 홀(182)에 인접하는 스페이서(360)의 가장자리 측면(361)은 비아 홀(182)이 형성되어 있는 비아 홀 영역과 중첩할 수 있다.
- [0148] 화소 정의막(350)의 개구부(351)에서 노출된 화소 전극(191) 위에는 발광층(370)이 형성되고, 발광층(370) 상에는 대향 전극(270)이 형성된다. 이와 같이, 화소 전극(191), 발광층(370) 및 대향 전극(270)을 포함하는 유기 발광 소자(70)가 형성된다.
- [0149] 화소 전극(191) 및 대향 전극(270)으로부터 각각 정공과 전자가 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기 상태에서부터 기저상태로 떨어질 때 발광이 이루어질 수 있다.

- [0150] 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어질 수 있다.
- [0151] 발광층(370)은 발광층과 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다층막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0152] 발광층(370)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있으며, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 다양한 색 표시를 구현할 수 있다.
- [0153] 발광층(370)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소별로 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 색 표시를 구현할 수도 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소별로 각각 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 색 표시를 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않을 수 있다.
- [0154] 대향 전극(270)의 위에는 유기 발광 소자(70)를 보호하는 봉지 부재(도시하지 않음)가 형성될 수 있으며, 봉지 부재는 실린트에 의해 기판(110)에 밀봉될 수 있으며, 유리, 석영, 세라믹, 플라스틱, 및 금속 등 다양한 소재로 형성될 수 있다. 한편, 실린트를 사용하지 않고 대향 전극(270) 상에 무기막과 유기막을 증착하여 박막 봉지층을 형성할 수도 있다.
- [0155] 그러면, 앞에서 설명한 도 10, 도 11 및 도 15와 함께 도 12, 도 13 및 도 14를 각각 참조하여 본 발명의 한 실시예에 따른 표시 장치의 다른 구조에 대해 설명한다.
- [0156] 도 12, 도 13 및 도 14는 각각 도 10의 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도의 다른 예이다.
- [0157] 먼저 도 12를 참조하면, 본 발명의 한 실시예에 따른 표시 장치는 앞에서 설명한 도 11에 도시한 실시예와 대부분 동일하나, 스페이서(360)는 도 11에 도시한 실시예와 달리 화소 정의막(350)과 다른 물질을 포함할 수 있고, 화소 정의막(350) 위에 위치할 수 있다. 이 경우 스페이서(360)는 화소 정의막(350)과 서로 다른 광 마스크를 이용하여 서로 다른 사진 공정을 통해 형성될 수 있다.
- [0158] 도 13을 참조하면, 본 발명의 한 실시예에 따른 표시 장치는 앞에서 설명한 도 11에 도시한 실시예와 대부분 동일하나, 화소 정의막(350)이 비아 홀(181) 근처에 위치하는 개구부(355)를 더 포함하는 예를 도시한다. 화소 정의막(350)의 개구부(355)의 폭은 인접한 비아 홀(181)의 폭과 같거나 그보다 작을 수 있다. 개구부(355)는 비아 홀(181)과 중첩하지 않을 수 있다.
- [0159] 도 14를 참조하면, 본 발명의 한 실시예에 따른 표시 장치는 앞에서 설명한 도 11에 도시한 실시예와 대부분 동일하나, 비아 홀(181)에 인접한 스페이서(360)의 가장자리 측면(361)이 비아 홀 영역(VIA)의 바깥쪽에 위치할 수 있다. 이 경우 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리(d1)는 외광의 난반사를 발생할 수 있는 적절한 거리로 정해질 수 있다. 예를 들어 스페이서(360)의 가장자리 측면(361)과 비아 홀 영역(VIA)의 가장자리 경계 사이의 거리(d1)는 비아 홀 영역(VIA)의 폭의 대략 1배 이하일 수 있으나 이에 한정되는 것은 아니다.
- [0160] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

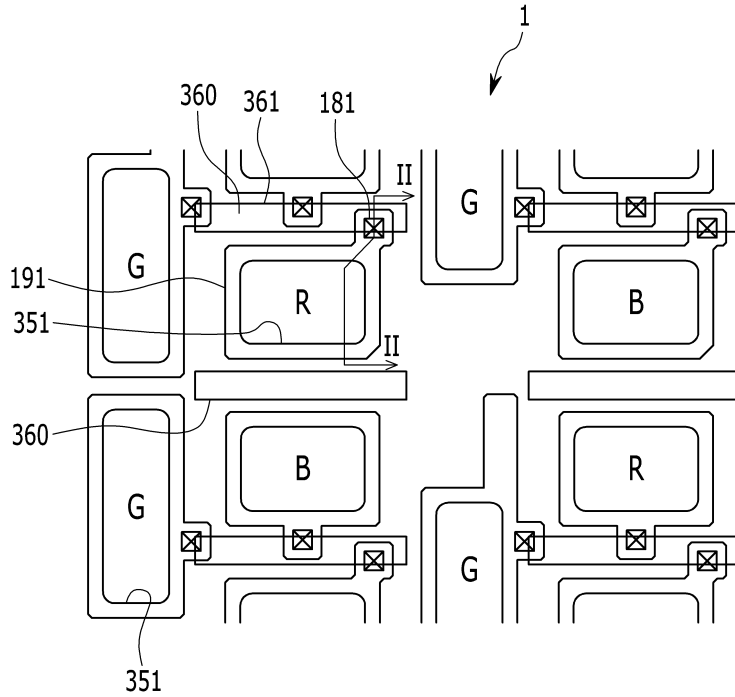
**부호의 설명**

- [0161] 110: 기판    160: 층간 절연막
- 161, 162: 접촉 구멍    180: 보호막
- 181, 182: 비아 홀    191: 화소 전극

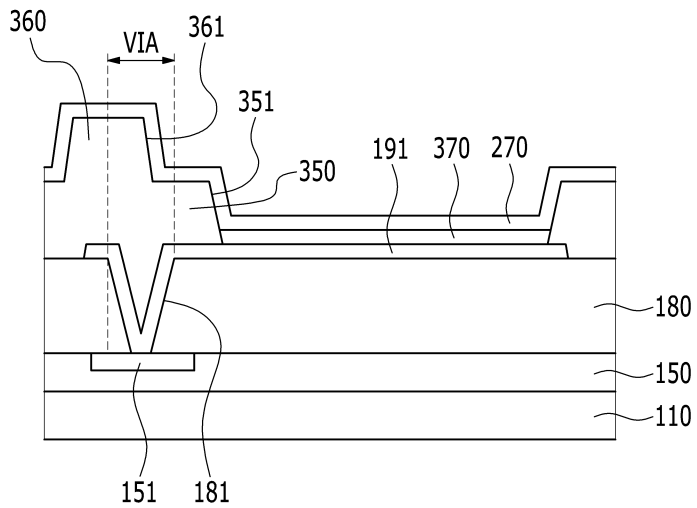
270: 대향 전극 350: 화소 정의막  
 360: 스페이서 370: 발광층

도면

도면1

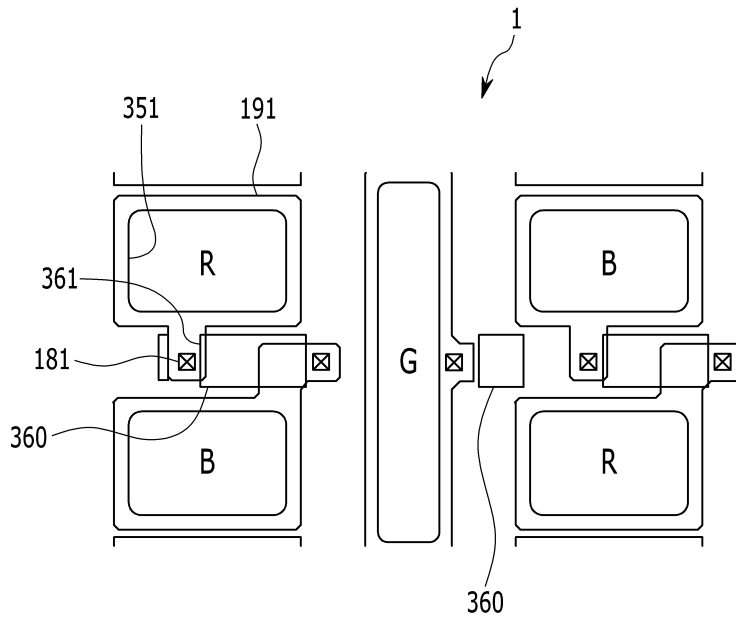


도면2

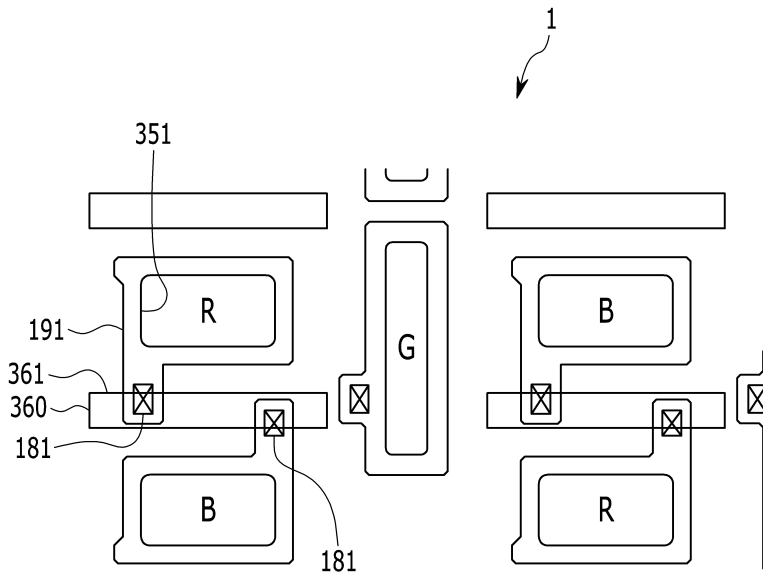




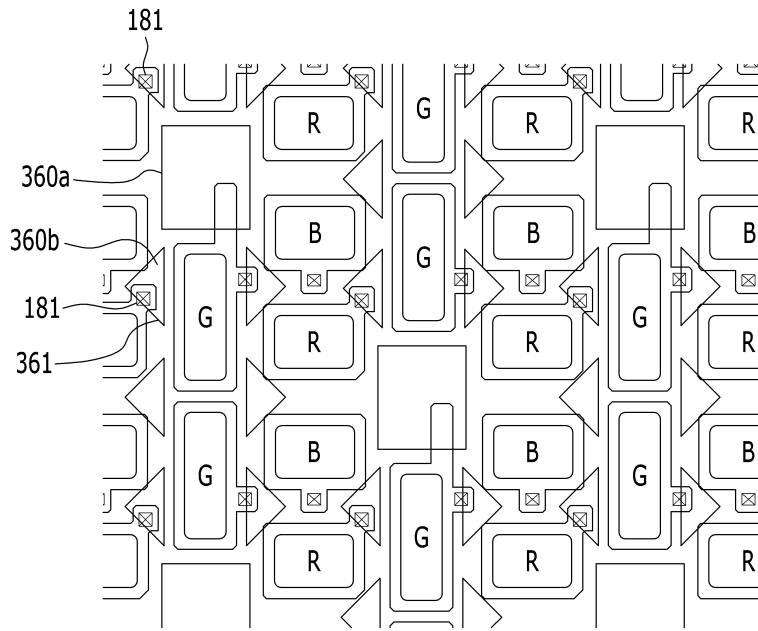
도면5



도면6

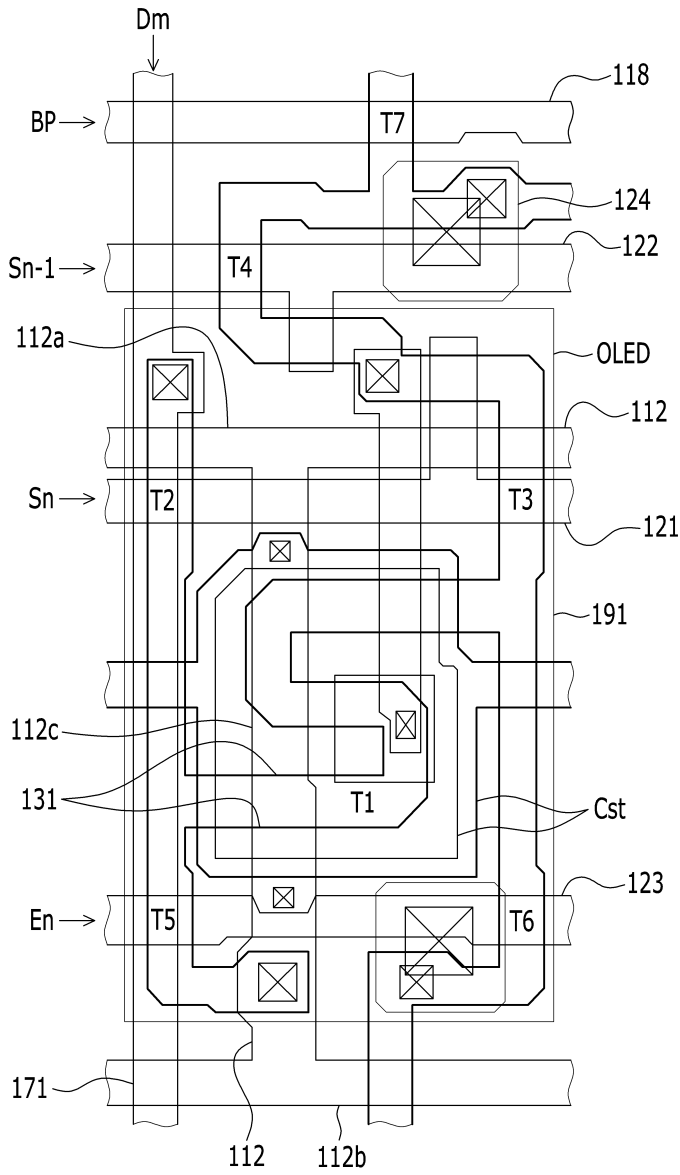


도면7

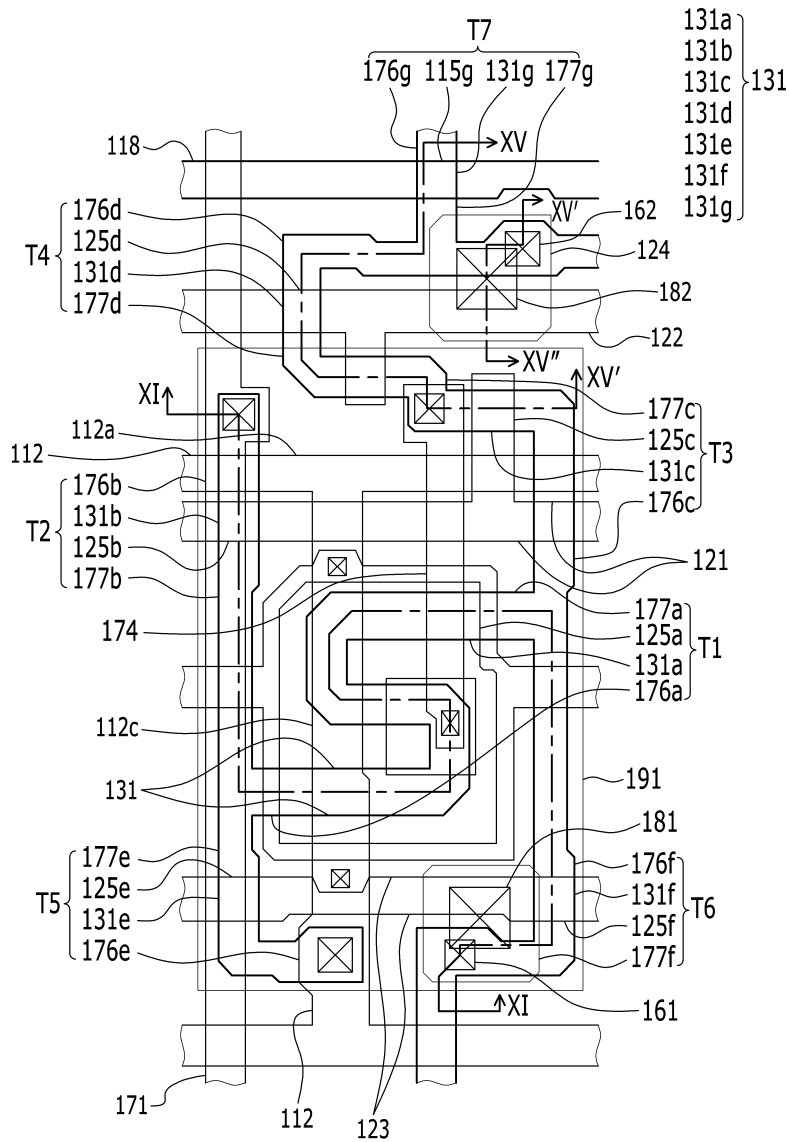




도면9

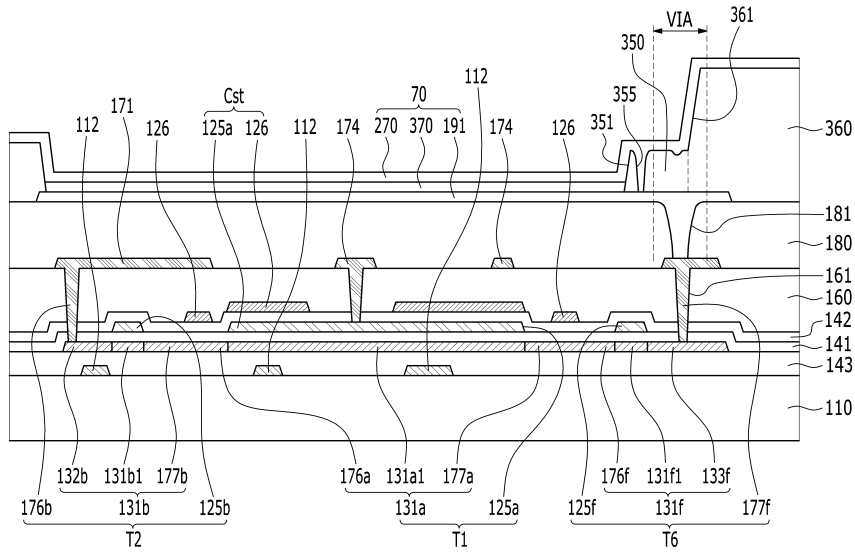


도면10

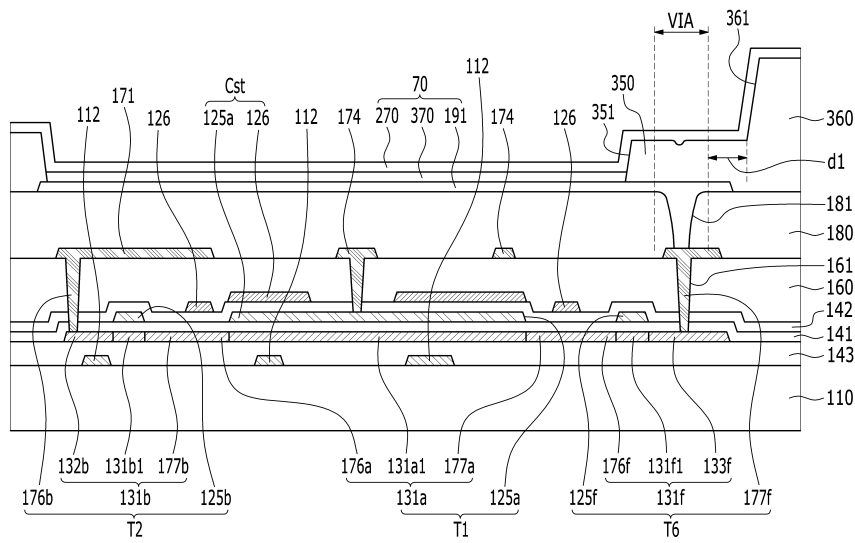




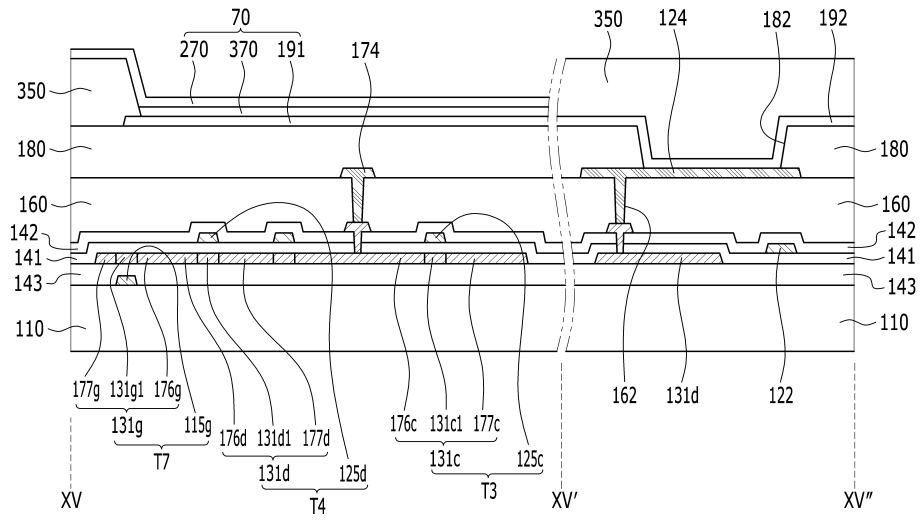
도면13



도면14



도면15



专利名称(译)	标志和显示		
公开(公告)号	<a href="#">KR1020150087997A</a>	公开(公告)日	2015-07-31
申请号	KR1020140008272	申请日	2014-01-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG WON MI 황원미		
发明人	황원미		
IPC分类号	H01L27/32 G09F9/30		
CPC分类号	H01L51/5203 H01L27/3246 H01L27/3276 H01L51/525		
其他公开文献	KR101958392B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

显示面板和显示装置技术领域本发明涉及显示面板和显示装置，更具体地涉及包括间隔物的有机发光显示面板和包括该有机发光显示面板的显示装置。根据本发明实施例的显示面板和显示装置包括：半导体元件，包括第一电极，设置在半导体元件上并包括用于暴露第一电极的通孔的保护膜，第二电极通过通孔连接到第一电极，并且间隔物设置在第二电极上并且与通孔相邻，其中间隔物暴露出形成通孔的区域的至少一部分。 专利文献10-2015-0087997

