



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0083615
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/124 (2013.01)
(21) 출원번호 10-2020-7017631
(22) 출원일자(국제) 2019년05월14일
심사청구일자 2020년06월18일
(85) 번역문제출일자 2020년06월18일
(86) 국제출원번호 PCT/CN2019/086780
(87) 국제공개번호 WO 2019/218993
국제공개일자 2019년11월21일
(30) 우선권주장
201810469781.7 2018년05월16일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
베이징 보에 디스플레이 테크놀로지 컴퍼니 리미티드
중국 베이징 100176 비디에이 징하이일루 118호
(72) 발명자
장, 진링
중국 100176 베이징 비디에이 디저 로드 넘버 9
덩, 페이
중국 100176 베이징 비디에이 디저 로드 넘버 9
(74) 대리인
양영준, 김성운, 백만기

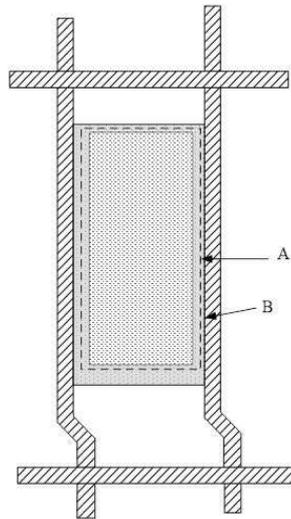
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **OLED 표시 기판과 그 제작 방법 및 표시 장치**

(57) 요약

본 발명은 OLED 표시 기판과 그 제작 방법 및 표시 장치를 제공한다. OLED 표시 기판은, 베이스 기판(21)상에 어레이로 배열된 복수 개의 개구 영역(B); 및 베이스 기판(21)상에 위치하는 복수 개의 스토리지 커패시터(A)를 포함하고, 각각의 스토리지 커패시터(A)의 베이스 기판(21)상의 정투영은 복수 개의 개구 영역(B) 중 당해 스토리지 커패시터(A)에 대응되는 개구 영역(B)의 베이스 기판(21)상의 정투영과 중첩 영역을 갖는다.

대표도 - 도4



(52) CPC특허분류

H01L 27/1248 (2013.01)

H01L 27/1255 (2013.01)

H01L 27/1259 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

유기 발광 다이오드(OLED) 표시 기판에 있어서,
 베이스 기판상에 어레이로 배열된 복수 개의 개구 영역; 및
 상기 베이스 기판상에 위치하는 복수 개의 스토리지 커패시터; 를 포함하고,
 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 갖는 것을 특징으로 하는 OLED 표시 기판.

청구항 2

제1항에 있어서,
 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 광투과율은 사전 설정 역치보다 크고, 상기 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 개구 영역의 상기 베이스 기판상의 정투영내에 포함되는 것을 특징으로 하는 OLED 표시 기판.

청구항 3

제2항에 있어서,
 상기 스토리지 커패시터는 제1 커패시터 전극, 상기 제1 커패시터 전극상에 설치된 제1 절연층, 상기 제1 절연층상에 설치된 제2 커패시터 전극, 상기 제2 커패시터 전극상에 설치된 제2 절연층, 및 상기 제2 절연층상에 설치된 상기 제1 커패시터 전극과 전기적으로 연결되는 제3 커패시터 전극을 포함하는 것을 특징으로 하는 OLED 표시 기판.

청구항 4

제3항에 있어서,
 상기 제1 커패시터 전극은 도체화된 활성층이고;
 상기 제2 커패시터 전극은 투명 전극이고;
 상기 제3 커패시터 전극은 상기 OLED 표시 기판의 양극인 것을 특징으로 하는 OLED 표시 기판.

청구항 5

제4항에 있어서,
 상기 투명 전극은 ITO, 그래핀 및 MoTi 중 하나로 제조되는 것을 특징으로 하는 OLED 표시 기판.

청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서,
 상기 사전 설정 역치는 80% 이상인 것을 특징으로 하는 OLED 표시 기판.

청구항 7

제3항 내지 제5항 중 어느 한 항에 있어서,
 상기 제1 절연층은 층간 절연층이고, 상기 제2 절연층은 패시베이션층인 것을 특징으로 하는 OLED 표시 기판.

청구항 8

제3항 내지 제5항 중 어느 한 항에 있어서,

상기 제1 커패시터 전극과 상기 제1 절연층 사이에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 더 포함하는 것을 특징으로 하는 OLED 표시 기판.

청구항 9

제3항 내지 제5항, 제7항 내지 제8항 중 어느 한 항에 있어서,

상기 제2 커패시터 전극과 동일층에 위치하는 소스 전극, 드레인 전극 및 데이터 라인을 더 포함하는 것을 특징으로 하는 OLED 표시 기판.

청구항 10

제3항 내지 제5항, 제7항 내지 제9항 중 어느 한 항에 있어서,

상기 제1 커패시터 전극 아래에 위치하는 차광 금속층; 및
 상기 차광 금속층과 상기 제1 커패시터 전극 사이에 위치하는 버퍼층;
 을 더 포함하는 것을 특징으로 하는 OLED 표시 기판.

청구항 11

표시 장치에 있어서,

제1항 내지 제10항 중 어느 한 항에 따른 OLED 표시 기판을 포함하는 것을 특징으로 하는 표시 장치.

청구항 12

OLED 표시 기판의 제작 방법에 있어서,

상기 OLED 표시 기판은, 베이스 기판상에 어레이로 배열된 복수 개의 개구 영역을 포함하고, 상기 제작 방법은, 상기 베이스 기판상에 복수 개의 스토리지 커패시터를 제작하는 단계를 포함하고,

상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 가지는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 13

제12항에 있어서,

상기 베이스 기판상에 복수 개의 스토리지 커패시터를 제작하는 단계는,

상기 베이스 기판상에 광투과율이 사전 설정 역치보다 큰 상기 스토리지 커패시터를 제작하는 단계를 포함하고;

상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 가지고,

상기 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 개구 영역의 상기 베이스 기판상의 정투영내에 포함되는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 14

제13항에 있어서,

상기 베이스 기판상에 스토리지 커패시터를 제작하는 단계는,

상기 베이스 기판상에 제1 커패시터 전극을 제작하는 단계;

상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하는 단계;

상기 제1 절연층상에 제2 커패시터 전극을 제작하는 단계;
 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하는 단계; 및
 상기 제2 절연층상에 상기 제1 커패시터 전극과 전기적으로 연결되는 제3 커패시터 전극을 제작하는 단계;
 를 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 15

제14항에 있어서,
 상기 제1 커패시터 전극을 제작하는 단계는, 도체화된 활성층을 사용하여 상기 제1 커패시터 전극을 제작하는 단계를 포함하고;
 상기 제2 커패시터 전극을 제작하는 단계는, 투명 전도성 재료를 사용하여 상기 제2 커패시터 전극을 제작하는 단계를 포함하고;
 상기 제3 커패시터 전극을 제작하는 단계는, 상기 OLED 표시 기판의 양극을 상기 제3 커패시터 전극으로 사용하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 16

제14항에 있어서,
 상기 투명 전극은 ITO, 그래핀 및 MoTi 중 하나로 제조되는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 17

제13항에 있어서,
 상기 사전 설정 역치는 80% 이상인 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 18

제14항 내지 제16항 중 어느 한 항에 있어서,
 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하는 단계는, 상기 제1 커패시터 전극상에 위치하는 층간 절연층을 제작하는 단계를 포함하고;
 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하는 단계는, 상기 제2 커패시터 전극상에 위치하는 패시베이션층을 제작하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 19

제15항에 있어서,
 상기 베이스 기판상에 상기 제1 커패시터 전극을 제작한 후, 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하기 전에, 상기 제작 방법은,
 상기 제1 커패시터 전극상에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 제작하는 단계;
 를 더 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 20

제14항 내지 제16항 중 어느 한 항에 있어서,
 상기 제1 절연층상에 상기 제2 커패시터 전극을 제작한 후, 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하기 전에, 상기 제작 방법은,
 상기 제2 커패시터 전극이 소재하는 층에 소스 전극, 드레인 전극 및 데이터 라인을 제작하는 단계;
 를 더 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 21

제14항 내지 제16항 중 어느 한 항에 있어서,
 상기 베이스 기판상에 제1 커패시터 전극을 제작하기 전에, 상기 제작 방법은,
 상기 베이스 기판상에 차광 금속층을 제작하는 단계; 및
 상기 차광 금속층상에 버퍼층을 제작하는 단계;
 를 더 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

청구항 22

제19항에 있어서,
 상기 제1 커패시터 전극상에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 제작한 후에, 도체화된 활성층을 사용하여 상기 제1 커패시터 전극을 제작하는 단계는,
 상기 게이트 절연층을 패터닝하여, 상기 게이트 절연층을 관통하는 비아홀을 형성하는 단계; 및
 상기 비아홀을 통해 상기 활성층의 도체화되어야 하는 부분에 대해 이온 주입을 진행하여, 도체화된 활성층을 형성하여 상기 제1 커패시터 전극으로 하는 단계;
 를 포함하는 것을 특징으로 하는 OLED 표시 기판의 제작 방법.

발명의 설명

기술 분야

- [0001] [관련 출원에 대한 참조]
- [0002] 본 출원은 2018년 5월 16일 중국에서 제출된 중국 특허 출원 제 201810469781.7호의 우선권을 주장하며, 그 전체 내용을 본 출원에 인용한다.
- [0003] [기술분야]
- [0004] 본 발명은 표시 기술분야에 관한 것으로, 특히 OLED 표시 기판과 그 제작 방법 및 표시 장치에 관한 것이다.

배경 기술

- [0005] 액티브 매트릭스 유기 발광 다이오드(Active-matrix organic light emitting diode, AMOLED) 디스플레이는 넓은 시장 응용을 갖는다. 관련 기술에서, 바텀 에미션 유기 발광 다이오드(OLED) 디스플레이 소자는 주로, 예컨대 OLED TV와 같은 대형 사이즈 표시에 사용된다. 하지만, 대형 사이즈 OLED 디스플레이는 개구율이 낮다는 문제가 계속 존재하고 있다.

발명의 내용

- [0006] 본 발명은 OLED 표시 기판과 그 제작 방법 및 표시 장치를 제공한다.
- [0007] 제1 측면에 있어서, 본 발명은 유기 발광 다이오드(OLED) 표시 기판을 제공한다. 상기 OLED 표시 기판은, 베이스 기판상에 어레이로 배열된 복수 개의 개구 영역; 및 상기 베이스 기판상에 위치하는 복수 개의 스토리지 커패시터; 를 포함하고, 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 갖는다.
- [0008] 선택적으로, 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 광투과율은 사전 설정 역치보다 크고, 상기 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 개구 영역의 상기 베이스 기판상의 정투영내에 포함된다.
- [0009] 선택적으로, 상기 스토리지 커패시터는 제1 커패시터 전극, 상기 제1 커패시터 전극상에 설치된 제1 절연층, 상기 제1 절연층상에 설치된 제2 커패시터 전극, 상기 제2 커패시터 전극상에 설치된 제2 절연층, 및 상기 제2 절연층상에 설치된 제3 커패시터 전극을 포함하며, 상기 제3 커패시터 전극은 상기 제1 커패시터 전극과 전기적으

로 연결된다.

- [0010] 선택적으로, 상기 제1 커패시터 전극은 도체화된 활성층이고; 상기 제2 커패시터 전극은 투명 전극이고; 상기 제3 커패시터 전극은 상기 OLED 표시 기관의 양극이다.
- [0011] 선택적으로, 상기 투명 전극은 ITO, 그래핀 및 MoTi 중 하나로 제조된다.
- [0012] 선택적으로, 상기 사전 설정 역치는 80% 이상이다.
- [0013] 선택적으로, 상기 제1 절연층은 층간 절연층이고, 상기 제2 절연층은 패시베이션층이다.
- [0014] 선택적으로, 상기 OLED 표시 기관은, 상기 제1 커패시터 전극과 상기 제1 절연층 사이에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 더 포함한다.
- [0015] 선택적으로, 상기 OLED 표시 기관은, 상기 제2 커패시터 전극과 동일층에 위치하는 소스 전극, 드레인 전극 및 데이터 라인을 더 포함한다.
- [0016] 선택적으로, 상기 OLED 표시 기관은, 상기 제1 커패시터 전극 아래에 위치하는 차광 금속층; 및 상기 차광 금속층과 상기 제1 커패시터 전극 사이에 위치하는 버퍼층; 을 더 포함한다.
- [0017] 제2 측면에 있어서, 본 발명은 표시 장치를 제공한다. 상기 표시 장치는 제1 측면에 따른 OLED 표시 기관을 포함한다.
- [0018] 제3 측면에 있어서, 본 발명은 베이스 기관상에 어레이로 배열된 복수 개의 개구 영역을 포함하는 OLED 표시 기관의 제작 방법을 제공한다. 상기 제작 방법은, 상기 베이스 기관상에 복수 개의 스토리지 커패시터를 제작하는 단계를 포함하고, 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기관상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기관상의 정투영과 중첩 영역을 가진다.
- [0019] 선택적으로, 상기 베이스 기관상에 복수 개의 스토리지 커패시터를 제작하는 단계는, 상기 베이스 기관상에 광투과율이 사전 설정 역치보다 큰 상기 스토리지 커패시터를 제작하는 단계를 포함하고; 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기관상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기관상의 정투영과 중첩 영역을 가지고, 상기 스토리지 커패시터의 상기 베이스 기관상의 정투영은 상기 개구 영역의 상기 베이스 기관상의 정투영내에 포함된다.
- [0020] 선택적으로, 상기 베이스 기관상에 스토리지 커패시터를 제작하는 단계는, 상기 베이스 기관상에 제1 커패시터 전극을 제작하는 단계; 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하는 단계; 상기 제1 절연층상에 제2 커패시터 전극을 제작하는 단계; 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하는 단계; 및 상기 제2 절연층상에 상기 제1 커패시터 전극과 전기적으로 연결되는 제3 커패시터 전극을 제작하는 단계; 를 포함한다.
- [0021] 선택적으로, 상기 제1 커패시터 전극을 제작하는 단계는, 도체화된 활성층을 사용하여 상기 제1 커패시터 전극을 제작하는 단계를 포함하고; 상기 제2 커패시터 전극을 제작하는 단계는, 투명 전도성 재료를 사용하여 상기 제2 커패시터 전극을 제작하는 단계를 포함하고; 상기 제3 커패시터 전극을 제작하는 단계는, 상기 OLED 표시 기관의 양극을 상기 제3 커패시터 전극으로 사용하는 단계를 포함한다.
- [0022] 선택적으로, 상기 투명 전극은 ITO, 그래핀 및 MoTi 중 하나로 제조된다.
- [0023] 선택적으로, 상기 사전 설정 역치는 80% 이상이다.
- [0024] 선택적으로, 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하는 단계는, 상기 제1 커패시터 전극상에 위치하는 층간 절연층을 제작하는 단계를 포함하고; 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하는 단계는, 상기 제2 커패시터 전극상에 위치하는 패시베이션층을 제작하는 단계를 포함한다.
- [0025] 선택적으로, 상기 베이스 기관상에 상기 제1 커패시터 전극을 제작한 후, 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작하기 전에, 상기 제작 방법은, 상기 제1 커패시터 전극상에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 제작하는 단계; 를 더 포함한다.
- [0026] 선택적으로, 상기 제1 절연층상에 상기 제2 커패시터 전극을 제작한 후, 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작하기 전에, 상기 제작 방법은, 상기 제2 커패시터 전극이 소재하는 층에 소스 전극, 드레인

전극 및 데이터 라인을 제작하는 단계; 를 더 포함한다.

[0027] 선택적으로, 상기 베이스 기판상에 제1 커패시터 전극을 제작하기 전에, 상기 제작 방법은, 상기 베이스 기판상에 차광 금속층을 제작하는 단계; 및 상기 차광 금속층상에 버퍼층을 제작하는 단계; 를 더 포함한다.

[0028] 선택적으로, 상기 제1 커패시터 전극상에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 제작한 후에, 도체화된 활성층을 사용하여 상기 제1 커패시터 전극을 제작하는 단계는, 상기 게이트 절연층을 패터닝하여, 상기 게이트 절연층을 관통하는 비아홀을 형성하는 단계; 및 상기 비아홀을 통해 상기 활성층의 도체화되어야 하는 부분에 대해 이온 주입을 진행하여, 도체화된 활성층을 형성하여 상기 제1 커패시터 전극으로 하는 단계; 를 포함한다.

도면의 간단한 설명

[0029] 도 1은 관련 OLED 표시 기판의 개구 영역과 스토리지 커패시터의 위치 관계 개략도이다.

도 2는 관련 OLED 표시 기판의 픽셀 구조 개략도이다.

도 3은 본 발명에 따른 OLED 표시 기판의 스토리지 커패시터의 구조 개략도이다.

도 4는 본 발명의 일부 실시예에 따른 OLED 표시 기판의 개구 영역과 스토리지 커패시터의 위치 관계 개략도이다.

도 5는 본 발명의 일부 실시예에 따른 OLED 표시 기판의 스토리지 커패시터의 구체적인 구조 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명이 해결하고자 하는 기술적 과제, 기술방안 및 이점이 더 뚜렷하도록 하기 위하여, 아래에서는 도면 및 구체적인 실시예를 결부시켜 상세하게 기술하기로 한다.

[0031] 관련된 OLED 표시 기판은, 개구 영역과 스토리지 커패시터를 분리하여 설계하여, 스토리지 커패시터 영역에서는 광선이 통과하지 못하도록 하는바, OLED 표시 기판의 개구율을 저하시킨다.

[0032] 관련된 3T1C 픽셀 구조를 사용하는 OLED 디스플레이의 개구율은 대략 20% ~ 30% 사이에 있다. 도 1은 관련된 OLED 표시 기판의 개구 영역과 스토리지 커패시터의 위치 관계 개략도이고, 도 2는 관련 OLED 표시 기판의 픽셀 구조 개략도이다. 관련된 OLED 표시 기판에서, 개구 영역(B)과 스토리지 커패시터(A)가 분리되어 설계되어 있어, 스토리지 커패시터 영역에서는 광선이 통과하지 못하도록 하는바, 따라서 OLED 표시 기판의 개구율을 저하시킨다는 것을 보아낼 수 있다. 그리고, 픽셀 구조가 픽셀의 하나의 협소한 공간내에 집중되어 있어, 백플레이트 공정에서 전기적 불량을 초래하기 용이하며, 이는 OLED 표시 기판 생산에서 제품 수율을 향상시키기가 줄곧 어려웠던 원인 중 하나이기도 하다.

[0033] 상술한 과제에 대해, 본 발명의 실시예는, OLED 표시 기판의 개구율을 향상시킬 수 있는 OLED 표시 기판과 그 제작 방법 및 표시 장치를 제공한다.

[0034] 본 발명의 실시예들은 OLED 표시 기판을 제공한다. 도 3 및 도 5를 참조하면, 상기 OLED 표시 기판은, 베이스 기판상에 위치하는 어레이로 배열된 복수 개의 개구 영역(B) 및 복수 개의 스토리지 커패시터(A)를 포함하고, 상기 복수 개의 스토리지 커패시터(A) 중 각각의 스토리지 커패시터의 상기 베이스 기판(21)상의 정투영은 상기 복수 개의 개구 영역(B) 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 갖는다.

[0035] 선택적으로, 상기 복수 개의 스토리지 커패시터(A) 중 각각의 스토리지 커패시터의 광투과율은 전 설정 역치보다 큰바, 예컨대 80%이상으로서, 예컨대 90%, 95% 등이다.

[0036] 본 예에서, 스토리지 커패시터의 광투과율은 사전 설정 역치보다 크며, 스토리지 커패시터의 베이스 기판상의 정투영이 개구 영역의 베이스 기판상의 정투영과 중첩 영역을 갖도록 설계하여, 이로써 스토리지 커패시터의 면적을 증대시키면서, 픽셀의 개구 영역의 면적까지 증가시키는데, 따라서 OLED 표시 기판의 개구율을 향상시킬 수 있다. 아울러, 픽셀 구조가 차지하는 공간이 증대되므로, 선밀도가 현저하게 감소되어, 제품 수율의 향상에 도 유리하다.

[0037] 스토리지 커패시터의 전극은 투명 전도성 재료로 제조될 수 있다. 스토리지 커패시터의 전극 재료 및 전극의 두께를 선택함으로써, 스토리지 커패시터의 광투과율이 80%이상에 도달하도록 할 수 있고, 이로써 스토리지 커패

시터를 개구 영역에 설계할 수 있게 되는바, 따라서 픽셀의 개구 영역의 면적을 증가시킬 수 있으며, 나아가 OLED 표시 기관의 개구율을 향상시킬 수 있다.

- [0038] 선택적으로, 도 4가 나타내는 바와 같이, 상기 스토리지 커패시터(A)(점선 테두리내의 부분)의 상기 베이스 기관상의 정투영은 상기 개구 영역(B)의 상기 베이스 기관상의 정투영내에 포함되는바, 이로써 스토리지 커패시터(A)는 개구 영역(B)이외의 기타 영역을 점유하지 않으므로, 개구 영역 이외에 영역을 사전 보유하여 스토리지 커패시터를 배치할 필요가 없게 되어, 개구 영역의 면적을 최대화시킬 수 있다.
- [0039] 구체적인 예에서, 도 3 및 도 5을 참조하면, 상기 스토리지 커패시터는 제1 커패시터 전극(24), 상기 제1 커패시터 전극(24)상에 설치된 제1 절연층(25), 상기 제1 절연층(25)상에 설치된 제2 커패시터 전극(26), 상기 제2 커패시터 전극(26)상에 설치된 제2 절연층(27), 상기 제2 절연층(27)상에 설치된 제3 커패시터 전극(28)을 포함하며, 상기 제3 커패시터 전극(28)은 상기 제1 커패시터 전극(24)과 전기적으로 연결된다. 상기 제1 커패시터 전극(24)과 제2 커패시터 전극(26)은 제1 커패시터(C1)를 제공하고, 제2 커패시터 전극과 제3 커패시터 전극은 제2 커패시터(C2)를 제공하며, 이 두 커패시터는 대략 병렬로 전기적으로 연결(병렬 연결)되는바, 따라서, 당해 스토리지 커패시터의 정전용량 값은 이 두 커패시터의 정전용량 값의 합이다.
- [0040] 상기 제1 커패시터 전극(24)은 도체화된 활성층으로 제조될 수 있고, 상기 제2 커패시터 전극(26)은 투명 전극으로 제조될 수 있으며; 상기 제3 커패시터 전극(28)은 상기 OLED 표시 기관의 양극으로 제조될 수 있다. 본 예에서, 투명 전극의 고 광투과율의 특성을 이용하여, 투명 전극과 도체화를 거친 활성층 및 양극 사이에 스토리지 커패시터를 형성하도록 하고, 이 스토리지 커패시터를 픽셀의 개구 영역으로 하는바, 이로써 픽셀의 개구 영역의 면적을 증대시킬 뿐만 아니라, 스토리지 커패시터의 면적도 증대시켜, 형성되는 정전용량도 상응하게 증대된다. 아울러, 픽셀 구조가 대폭 간소화되므로, 선밀도가 현저하게 감소되어, 제품 수율의 향상에 유리하다. 통상의 경우에 있어서, OLED 표시 기관의 양극도 투명 전도성 재료로 제조되는바, 따라서 스토리지 커패시터의 두 커패시터 전극이 모두 투명하다.
- [0041] 선택적으로, 상기 투명 전극은 ITO, 그래핀 및 MoTi 중 하나를 사용할 수 있다. 물론, 투명 전극의 재료는 ITO, 그래핀 및 MoTi을 사용하는 것으로 제한되지 않으며, 기타 광투과율이 높고 전기 전도성이 우수한 투명 전도성 재료를 사용할 수도 있다.
- [0042] 선택적으로, 상기 OLED 표시 기관은, 제1 커패시터 전극(24)와 제2 커패시터 전극(26) 사이에 설치되는 층간 절연층(25) 및 제2 커패시터 전극(26)과 제3 커패시터 전극(28) 사이에 설치되는 패시베이션층(27)을 포함한다.
- [0043] 선택적으로, 상기 OLED 표시 기관은, 상기 제1 커패시터 전극(24)과 상기 층간 절연층(25) 사이에 위치하는 게이트 절연층, 게이트 전극 및 게이트 라인을 포함한다.
- [0044] 선택적으로, 상기 OLED 표시 기관은, 상기 제2 커패시터 전극(26)과 동일층에 위치하는 소스 전극, 드레인 전극 및 데이터 라인을 포함한다.
- [0045] 선택적으로, 상기 OLED 표시 기관은, 상기 제1 커패시터 전극(24) 아래에 위치하는 차광 금속층(22) 및 상기 차광 금속층(22)과 상기 제1 커패시터 전극(24) 사이에 위치하는 버퍼층(23)을 포함한다. 차광 금속층(22)은 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 등 금속 및 이러한 금속들의 합금일 수 있다. 버퍼층(23)은 산화물, 질화물 또는 산질화물을 선택하여 사용할 수 있다.
- [0046] 본 발명의 일부 실시예는 상기한 바와 같은 OLED 표시 기관을 포함하는 표시 장치를 더 제공한다. 상기 표시 장치는 TV, 디스플레이, 디지털 액자, 휴대폰, 태블릿 PC 등의 표시 기능을 갖는 임의의 제품 또는 부품일 수 있으며, 상기 표시 장치는 연성 회로 기관, 인쇄 회로 기관 및 백플레이트를 더 포함한다.
- [0047] 본 예의 표시 장치에서, 스토리지 커패시터의 광투과율은 사전 설정 역치보다 크며, 스토리지 커패시터의 베이스 기관상의 정투영이 상기 스토리지 커패시터에 대응되는 개구 영역의 베이스 기관상의 정투영과 중첩 영역을 갖도록 설계하는바, 이로써 스토리지 커패시터의 면적을 증대시킬 뿐만 아니라, 픽셀의 개구 영역의 면적도 증대시키는데, 따라서 OLED 표시 기관의 개구율을 향상시킬 수 있다. 아울러, 픽셀 구조가 차지하는 공간이 증대되므로, 선밀도가 현저하게 감소되어, 제품 수율의 향상에도 유리하다.
- [0048] 본 발명의 일부 실시예는 어레이로 배열된 복수 개의 개구 영역을 포함하는 OLED 표시 기관의 제작 방법을 더 제공한다. 상기 제작 방법은, 단계 S1을 포함한다.
- [0049] 단계 S1: 베이스 기관상에 복수 개의 스토리지 커패시터를 제작하고, 상기 복수 개의 스토리지 커패시터 중 각 각의 스토리지 커패시터의 상기 베이스 기관상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시

터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 갖는다.

- [0050] 선택적으로, 상기 복수 개의 스토리지 커패시터(A) 중 각각의 스토리지 커패시터의 광투과율은 사전 설정 역치보다 큰바, 예컨대 80%이상으로서, 예컨대 90%, 95% 등이다.
- [0051] 본 예에서, 베이스 기판상에 광투과율이 사전 설정 역치보다 큰 스토리지 커패시터를 제작하고, 스토리지 커패시터의 베이스 기판상의 정투영이 개구 영역의 베이스 기판상의 정투영과 중첩 영역을 갖도록 설계하는바, 이로써 스토리지 커패시터의 면적을 증대시킬 뿐만 아니라, 픽셀의 개구 영역의 면적도 증대시키는데, 따라서 OLED 표시 기판의 개구율을 향상시킬 수 있다. 아울러, 픽셀 구조가 차지하는 공간이 증대되므로, 선밀도가 현저하게 감소되어, 제품 수율의 제고에도 유리하다.
- [0052] 스토리지 커패시터의 전극은 투명 전도성 재료로 제조될 수 있다. 스토리지 커패시터의 전극 재료 및 전극의 두께를 선택함으로써, 스토리지 커패시터의 광투과율이 80%이상에 도달하도록 할 수 있고, 이로써 스토리지 커패시터를 개구 영역에 설계할 수 있게 되는데, 따라서 픽셀의 개구 영역의 면적을 증가시킬 수 있으며, 나아가 OLED 표시 기판의 개구율을 향상시킬 수 있다.
- [0053] 선택적으로, 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영과 중첩 영역을 갖는다는 것은 구체적으로,
- [0054] 상기 복수 개의 스토리지 커패시터 중 각각의 스토리지 커패시터의 상기 베이스 기판상의 정투영은 상기 복수 개의 개구 영역 중 상기 스토리지 커패시터에 대응되는 개구 영역의 상기 베이스 기판상의 정투영내에 포함되는 것을 포함한다.
- [0055] 이로써, 스토리지 커패시터는 개구 영역 이외의 기타 영역을 점유하지 않는바, 따라서 개구 영역 이외에 영역을 사전 보유하여 스토리지 커패시터를 배치할 필요가 없게 되어, 개구 영역의 면적을 최대화시킬 수 있다.
- [0056] 구체적으로, 상기 스토리지 커패시터를 제작하는 단계는 하기 서브 단계 S11 내지 S15를 포함한다.
- [0057] S11: 제1 커패시터 전극을 제작한다.
- [0058] S12: 상기 제1 커패시터 전극상에 위치하는 제1 절연층을 제작한다.
- [0059] S13: 상기 제1 절연층상에 제2 커패시터 전극을 제작한다.
- [0060] S14: 상기 제2 커패시터 전극상에 위치하는 제2 절연층을 제작한다.
- [0061] S15: 상기 제2 절연층상에 상기 제1 커패시터 전극과 전기적으로 연결되는 제3 커패시터 전극을 제작한다.
- [0062] 당해 제1 커패시터 전극과 제2 커패시터 전극은 제1 커패시터를 제공하고, 제2 커패시터 전극과 제3 커패시터 전극은 제2 커패시터를 제공하며, 이 두 커패시터는 대략 병렬로 전기적으로 연결(병렬 연결)되는데, 따라서, 당해 스토리지 커패시터의 정전용량 값은 이 두 커패시터의 정전용량 값의 합이다.
- [0063] 선택적으로, 상기 제1 커패시터 전극을 제작하는 서브 단계 S11은, 도체화된 활성층으로 상기 제1 커패시터 전극을 제작하는 단계를 포함한다.
- [0064] 상기 제1 절연층상에 상기 제2 커패시터 전극을 제작하는 서브 단계 S13은, 투명 전도성 재료로 상기 제2 커패시터 전극을 제작하는 단계를 포함한다.
- [0065] 선택적으로, 상기 제2 절연층에 상기 제3 커패시터 전극을 제작하는 서브 단계 S15는, 상기 OLED 표시 기판의 양극을 상기 제3 커패시터 전극으로 사용하는 단계를 포함한다.
- [0066] 본 예에서, 투명 전극의 고 광투과율의 특성을 이용하여, 투명 전극과 도체화를 거친 활성층 및 양극 사이에 스토리지 커패시터를 형성하도록 하고, 이 스토리지 커패시터를 픽셀의 개구 영역으로 하는바, 이로써 픽셀의 개구 영역의 면적을 증대시킬 뿐만 아니라, 스토리지 커패시터의 면적도 증대시켜, 형성되는 정전용량도 상응하게 증대된다. 아울러, 픽셀 구조가 대폭 간소화되므로, 선밀도가 현저하게 감소되어, 제품 수율의 제고에 유리하다. 통상의 경우에 있어서, OLED 표시 기판의 양극도 투명 전도성 재료로 제조되는데, 따라서 스토리지 커패시터의 두 커패시터 전극이 모두 투명하여, 스토리지 커패시터의 광투과율이 비교적 높도록 확보할 수 있다.
- [0067] 이하, 도면 및 구체적인 예를 결부시켜 본 발명에 따른 표시 기판의 제작 방법을 상세하게 소개하기로 한다. 본

예에 따른 표시 기관의 제작 방법은 하기 단계들을 포함한다.

- [0068] 단계 1: 베이스 기관(21)을 제공하고, 베이스 기관(21)상에 차광 금속층(22)을 형성한다.
- [0069] 베이스 기관(21)은 글라스 기관 또는 석영 기관일 수 있다. 구체적으로, 스퍼터링 또는 열 증착의 방법에 의해, 완성된 베이스 기관(21)상에 두께가 약 500 ~ 4000Å인 차광 금속층(22)을 증착할 수 있으며, 차광 금속층(22)은 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 등의 금속 및 이러한 금속들의 합금일 수 있다. 본 예에 따른 OLED 표시 기관의 활성층은 금속 산화물 반도체를 사용하여 제조되는데, 금속 산화물 반도체는 빛을 수광한 후 성능이 용이하게 변화하기 때문에, 베이스 기관(21)상에 차광 금속층(22)을 형성해야 한다. 차광 금속층(22)은 금속 산화물 반도체로 제조된 활성층을 차폐하여, 활성층이 빛을 수광하는 것을 피할 수 있다.
- [0070] 단계 2: 단계 1을 거친 베이스 기관(21)상에 버퍼층(23)을 제작한다.
- [0071] 구체적으로, 플라즈마 강화 화학 기상 증착(PECVD) 방법에 의해, 단계 1을 완성한 베이스 기관(21)상에 버퍼층(23)을 증착할 수 있으며, 버퍼층(23)은 산화물, 질화물 또는 산질화물을 선택하여 사용할 수 있다.
- [0072] 단계 3: 단계 2를 거친 베이스 기관(21)상에 활성층(24)을 형성한다.
- [0073] 구체적으로, 단계 2를 거친 베이스 기관(21)상에 두께가 700Å인 IGZO를 증착하여 활성층(24)으로 하고, IGZO상에 한 층의 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 노광시켜, 포토레지스트가 포토레지스트 미보류 영역 및 포토레지스트 보류 영역을 형성하도록 할 수 있다. 포토레지스트 보류 영역은 활성층(24)의 패턴이 소재하는 영역에 대응되고, 포토레지스트 미보류 영역은 상기의 패턴 이외의 영역에 대응된다. 그리고, 현상 처리를 진행하여, 포토레지스트 미보류 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 보류 영역의 포토레지스트 두께는 변치 않고 유지되며; 식각 공정에 의해 포토레지스트 미보류 영역의 IGZO를 완전히 식각하고, 나머지 포토레지스트를 박리하여, 활성층(24)의 패턴을 형성한다.
- [0074] 단계 4: 단계 3을 거친 베이스 기관(21)상에 게이트 절연층 및 게이트 전극, 게이트 라인을 형성한다.
- [0075] 구체적으로, 플라즈마 강화 화학 기상 증착(PECVD) 방법에 의해, 단계 3을 완성한 베이스 기관(21)상에 두께가 500 ~ 5000Å인 게이트 절연층을 증착할 수 있으며, 게이트 절연층은 산화물, 질화물 또는 산질화물을 선택하여 사용할 수 있는데, 대응되는 반응성 가스는 SiH₄, NH₃, N₂ 또는 SiH₂Cl₂, NH₃, N₂이다.
- [0076] 스퍼터링 또는 열 증착의 방법에 의해, 게이트 절연층상에 두께가 약 500 ~ 4000Å인 게이트 금속층을 증착할 수 있다. 게이트 금속층은 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 등의 금속 및 이러한 금속들의 합금일 수 있다. 게이트 금속층은 단일층 구조 또는 다층 구조일 수 있으며, 다층 구조는, 예컨대 Cu#Mo, Ti#Cu#Ti, Mo#Al#Mo 등이다. 게이트 금속층상에 한 층의 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 노광시켜, 포토레지스트가 포토레지스트 미보류 영역 및 포토레지스트 보류 영역을 형성하도록 한다. 포토레지스트 보류 영역은 게이트 라인 및 게이트 전극의 패턴이 소재하는 영역에 대응되고, 포토레지스트 미보류 영역은 상기의 패턴 이외의 영역에 대응된다. 그리고, 현상 처리를 진행하여, 포토레지스트 미보류 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 보류 영역의 포토레지스트 두께는 변치 않고 유지되며; 식각 공정에 의해 포토레지스트 미보류 영역의 게이트 금속 박막을 완전히 식각하고, 나머지 포토레지스트를 박리하여, 게이트 라인 및 게이트 전극의 패턴을 형성한다.
- [0077] 그리고 게이트 절연층을 건식 식각하고, 게이트 절연층을 관통하는 비아홀을 통해 도체화된 활성층(24)에 대해 H 이온의 주입을 진행하여, 활성층(24)이 도체화되도록 하여, 도체화된 활성층(24)을 스토리지 커패시터의 제1 커패시터 전극으로 한다.
- [0078] 단계 5: 단계 4를 거친 베이스 기관(21)상에 층간 절연층(25)을 형성한다.
- [0079] 구체적으로, 플라즈마 강화 화학 기상 증착 방법에 의해, 단계 4를 완성한 베이스 기관(21)상에 층간 절연층(25)을 증착할 수 있으며, 층간 절연층(25)은 산화물, 질화물 또는 산질화물을 선택하여 사용할 수 있으며, 건식 식각에 의해, 층간 절연층(25)을 관통하는 비아홀을 형성한다.
- [0080] 단계 6: 단계 5를 거친 베이스 기관(21)상에 투명 전극(26)을 형성한다.
- [0081] 구체적으로, 단계 5를 거친 베이스 기관(21)상에 투명 전도층을 형성하는데, 투명 전도층은 ITO, 그래핀, MoTi

등을 사용할 수 있으며, 투명 전도층상에 한 층의 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 노광시켜, 포토레지스트가 포토레지스트 미보류 영역 및 포토레지스트 보류 영역을 형성하도록 한다. 포토레지스트 보류 영역은 투명 전극(26)의 패턴이 소재하는 영역에 대응되고, 포토레지스트 미보류 영역은 상기의 패턴 이외의 영역에 대응된다. 그리고, 현상 처리를 진행하여, 포토레지스트 미보류 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 보류 영역의 포토레지스트 두께는 변치 않고 유지되며; 식각 공정에 의해 포토레지스트 미보류 영역의 투명 전도층 박막을 완전히 식각하고, 나머지 포토레지스트를 박리하여, 투명 전극(26)의 패턴을 형성한다. 투명 전극(26)은 도 2에 나타내는 픽셀 구조에서의 T1 트랜지스터의 S극(즉 도 2에서의 포인트 P)과 접속되어, 스토리지 커패시터의 제2 커패시터 전극으로 사용된다.

[0082] 단계 7: 단계 6을 거친 베이스 기판(21)상에 데이터 라인, 소스 전극 및 드레인 전극의 패턴을 형성한다.

[0083] 구체적으로, 단계 6을 완성한 베이스 기판(21)상에, 마그네트론 스퍼터링, 열 증착 또는 기타 성막 방법에 의해 증착 두께가 2000 ~ 4000Å인 소스 드레인 금속층을 한 층 증착할 수 있으며, 소스 드레인 금속층은 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 등의 금속 및 이러한 금속들의 합금일 수 있다. 소스 드레인 금속층은 단일층 구조 또는 다층 구조일 수 있으며, 다층 구조는, 예컨대 CuWMo, TiWCuWTi, MoWAlWMo 등이다. 소스 드레인 금속층상에 한 층의 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 노광시켜, 포토레지스트가 포토레지스트 미보류 영역 및 포토레지스트 보류 영역을 형성하도록 한다. 포토레지스트 보류 영역은 소스 전극, 드레인 전극 및 데이터 라인의 패턴이 소재하는 영역에 대응되고, 포토레지스트 미보류 영역은 상기의 패턴 이외의 영역에 대응된다. 그리고, 현상 처리를 진행하여, 포토레지스트 미보류 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 보류 영역의 포토레지스트 두께는 변치 않고 유지되며; 식각 공정에 의해 포토레지스트 미보류 영역의 소스 드레인 금속층을 완전히 식각하고, 나머지 포토레지스트를 박리하여, 드레인 전극, 소스 전극 및 데이터 라인을 형성한다.

[0084] 단계 8: 단계 7을 거친 베이스 기판(21)상에 패시베이션층(27)을 형성한다.

[0085] 구체적으로, 단계 7을 완성한 베이스 기판(21)상에, 마그네트론 스퍼터링, 열 증착, PECVD 또는 기타 성막 방법에 의해 두께가 2000 ~ 1000Å인 패시베이션층을 증착할 수 있다. 패시베이션층은 산화물, 질화물 또는 산질화물을 선택하여 사용할 수 있는데, 구체적으로, 패시베이션층 재료는 SiNx, SiOx 또는 Si(ON)x일 수 있다. 패시베이션층은 Al₂O₃을 사용할 수 도 있다. 패시베이션층은 단일층 구조일 수도 있고, 질화규소 및 산화규소로 구성된 2층 구조일 수도 있다. 규소의 산화물에 대응되는 반응성 가스는 SiH₄, N₂O일 수 있고; 질화물 또는 산질화물에 대응되는 가스는 SiH₄, NH₃, N₂ 또는 SiH₂Cl₂, NH₃, N₂일 수 있다. 패터닝 공정에 의해 비아홀을 포함하는 패시베이션층(27)의 패턴을 형성한다.

[0086] 단계 9: 단계 8을 거친 베이스 기판(21)상에 양극(28)을 형성한다.

[0087] 구체적으로, 단계 8을 거친 베이스 기판(21)상에 투명 전도층을 형성하는데, 투명 전도층은 ITO를 사용할 수 있으며, 투명 전도층상에 한 층의 포토레지스트를 도포하고, 마스크를 사용하여 포토레지스트를 노광시켜, 포토레지스트가 포토레지스트 미보류 영역 및 포토레지스트 보류 영역을 형성하도록 한다. 포토레지스트 보류 영역은 양극(28)의 패턴이 소재하는 영역에 대응되고, 포토레지스트 미보류 영역은 상기의 패턴 이외의 영역에 대응된다. 그리고, 현상 처리를 진행하여, 포토레지스트 미보류 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 보류 영역의 포토레지스트 두께는 변치 않고 유지되며; 식각 공정에 의해 포토레지스트 미보류 영역의 투명 전도층 박막을 완전히 식각하고, 나머지 포토레지스트를 박리하여, 양극(28)의 패턴을 형성한다. 양극(28)은 도 2에 나타내는 픽셀 구조에서의 T2 트랜지스터의 S극(즉 도 2에서의 노트 U)과 접속되어, 스토리지 커패시터의 제3 커패시터 전극으로 사용된다.

[0088] 상술한 단계를 거치면 OLED 표시 기판의 스토리지 커패시터가 제작될 수 있는데, 스토리지 커패시터의 구조는 도 4가 나타내는 바와 같다. 그 중, 도체화된 활성층(24), 투명 전극(26) 및 양극(28)은 스토리지 커패시터의 커패시터 전극으로 사용된다. 본 예에 따른 스토리지 커패시터는 비교적 높은 광투과율을 갖기 때문에, 개구 영역에 설계될 수 있으며, 이로써 픽셀의 개구 영역을 면적을 증대시킬 뿐만 아니라, 스토리지 커패시터의 면적도 증대시켜, 형성되는 정전용량도 상응하게 증대된다.

[0089] 상술한 방안에 있어서, 스토리지 커패시터의 광투과율은 사전 설정 역치보다 크며, 스토리지 커패시터의 베이스 기판상의 정투영이 개구 영역의 베이스 기판상의 정투영과 중첩 영역을 갖도록 설계하는바, 이로써 스토리지 커패시터의 면적을 증대시킬 뿐만 아니라, 픽셀의 개구 영역의 면적도 증대시키는바, 따라서 OLED 표시 기판의 개

구울을 향상시킬 수 있다. 아울러, 픽셀 구조가 차지하는 공간이 증대되므로, 선밀도가 현저하게 감소되어, 제품 수율의 제고에도 유리하다.

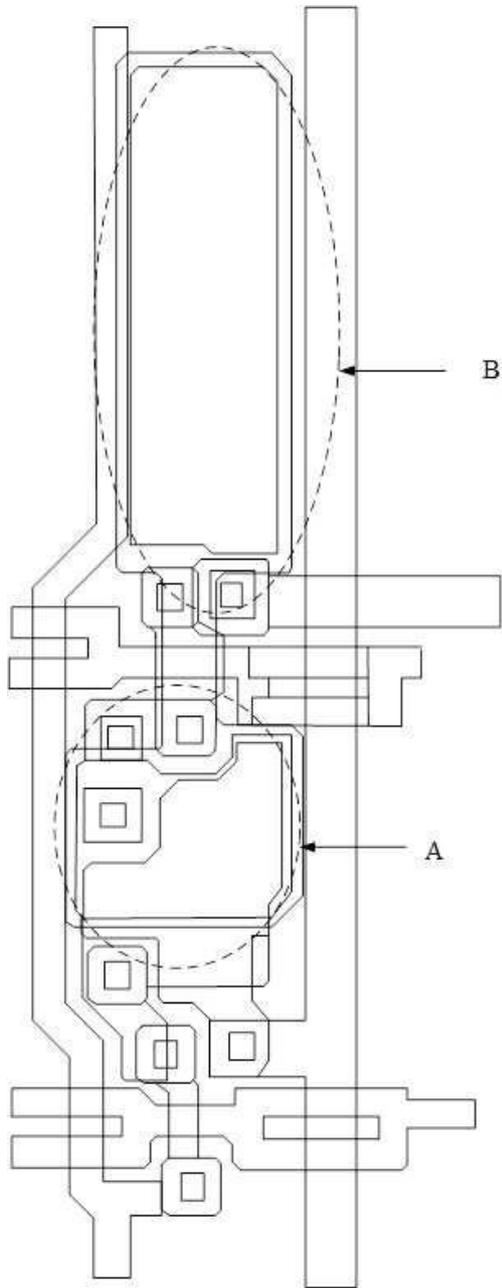
- [0090] 본 발명에 따른 방법 실시예에서, 상기 각 단계의 순번은 각 단계의 선후 순서를 한정하는데 사용되지 못하며, 해당 기술분야의 통상의 지식을 가진 자들에게 있어서, 창조적 노동을 하지 않는다는 전제하에 각 단계의 선후에 대한 변화도 본 발명의 보호 범위 내에 속한다.
- [0091] 별도로 정의되지 않는 한, 본 발명에서 사용되는 기술 용어 또는 과학 용어는 본 발명이 속하는 분야에서 통상의 지식을 가진 자들에 의해 이해되는 통상의 의미이어야 한다. 본 발명에서 사용되는 '제1', '제2' 및 유사한 단어는 어떠한 순서, 수량 또는 중요성도 나타내지 않으며, 단지 상이한 구성 부분을 구별하기 위한 것이다. '포함' 또는 '포괄' 등 유사한 단어는 당해 단어 앞에 나타난 소자 또는 물품이 당해 단어 뒤에 나타나 열거된 소자 또는 물품 및 그 균등물을 포함하는 것을 의미하는 것으로, 기타 소자 또는 물품을 배제하는 것이 아니다. '접속' 또는 '연결' 등의 유사한 단어는 반드시 물리적 또는 기계적 연결에 한정되는 것은 아니며, 직접적 또는 간접적을 불문하고, 전기적 연결을 포함할 수 있다. '상', '하', '좌', '우' 등은 단지 상대적 위치 관계를 나타내기 위한 것으로, 설명 대상의 절대적 위치가 변경되면, 당해 상대적 위치 관계도 상응하게 변경될 수 있다.
- [0092] 층, 막, 영역 또는 기관과 같은 소자가 다른 소자 '위' 또는 '아래'에 위치한다고 일컬을 경우, 당해 소자는 '직접' 다른 소자 '위에' 또는 '아래'에 위치하거나, 또는 중간 소자가 존재할 수도 있음을 이해할 수 있을 것이다.
- [0093] 상기한 바는 본 발명의 선택가능한 실시형태이다. 해당 기술분야에서 통상의 지식을 가진 자들에게 있어서, 본 발명에 따른 원리를 일탈하지 않는다는 전제하에, 일부 개량 및 윤색을 더 실시할 수 있으며, 이러한 개량 및 윤색도 본 발명의 보호 범위에 포함됨을 일러둔다.

부호의 설명

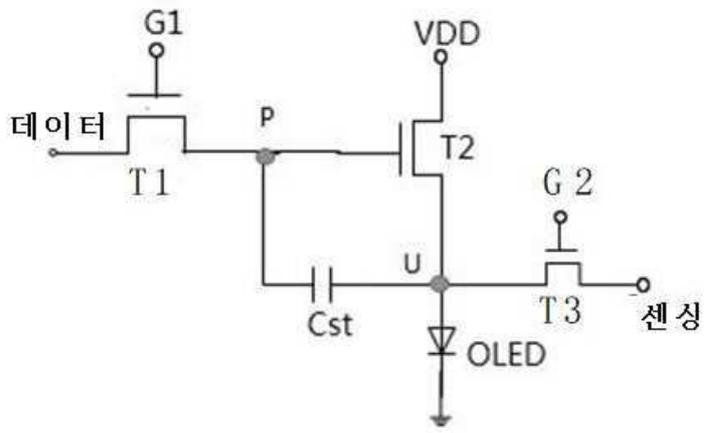
- [0094] A: 스토리지 커패시터
- B: 개구 영역
- 21: 베이스 기관
- 22: 차광 금속층
- 23: 버퍼층
- 24: 제1 커패시터 전극 또는 활성층
- 25: 층간 절연층
- 26: 제2 커패시터 전극 또는 투명 전극
- 27: 패시베이션층
- 28: 제3 커패시터 전극 또는 양극

도면

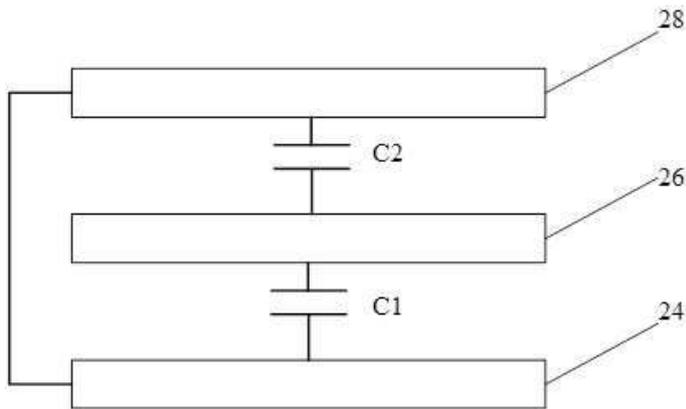
도면1



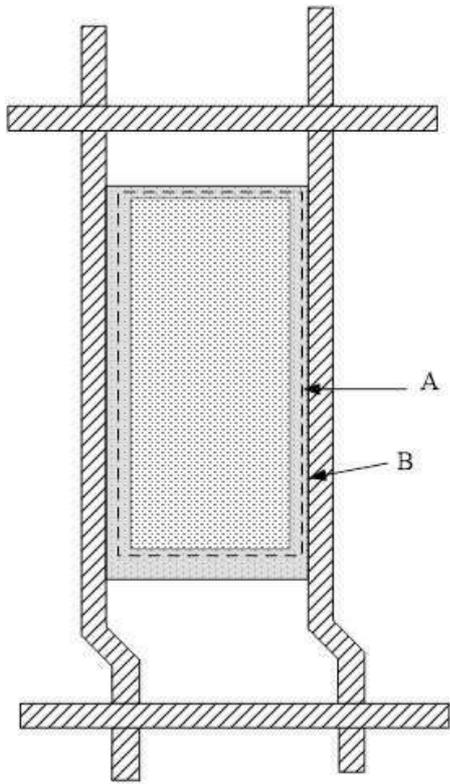
도면2



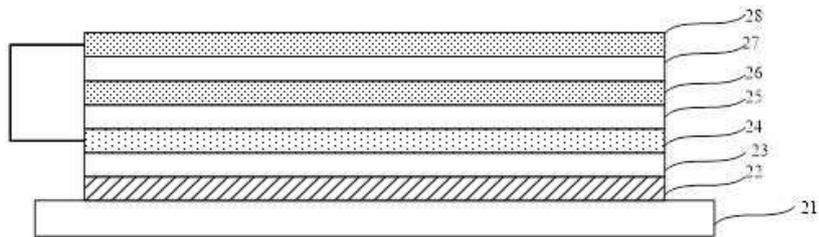
도면3



도면4



도면5



专利名称(译)	油性显示基板及其制造方法和显示装置		
公开(公告)号	KR1020200083615A	公开(公告)日	2020-07-08
申请号	KR1020207017631	申请日	2019-05-14
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 显示技术有限公司北京博		
发明人	장, 진링 덩, 페이		
IPC分类号	H01L27/32 H01L27/12 H01L51/56		
CPC分类号	H01L27/3265 H01L27/124 H01L27/1248 H01L27/1255 H01L27/1259 H01L27/3258 H01L27/3272 H01L51/56		
代理人(译)	Yangyoungjun Gimseongun Baekmangi		
优先权	201810469781.7 2018-05-16 CN		

摘要(译)

本发明提供了一种OLED显示基板,其制造方法以及显示装置。 OLED显示基板包括:在基底基板21上以阵列排列的多个开口区域B;以及在开口区域B上形成的多个开口区域B。 以及位于基底基板(21)上的多个存储电容器(A),其中,每个存储电容器(A)在基底基板(21)上的正交投影包括存储电容器(A)。 其在开口区域B的基础基板21上具有与A相对应的正交投影和重叠区域。

