



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0081081
(43) 공개일자 2020년07월07일

- (51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2320/0295 (2013.01)
(21) 출원번호 10-2018-0171196
(22) 출원일자 2018년12월27일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박만규
경기도 파주시 월롱면 엘지로 245
홍진철
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인 정안

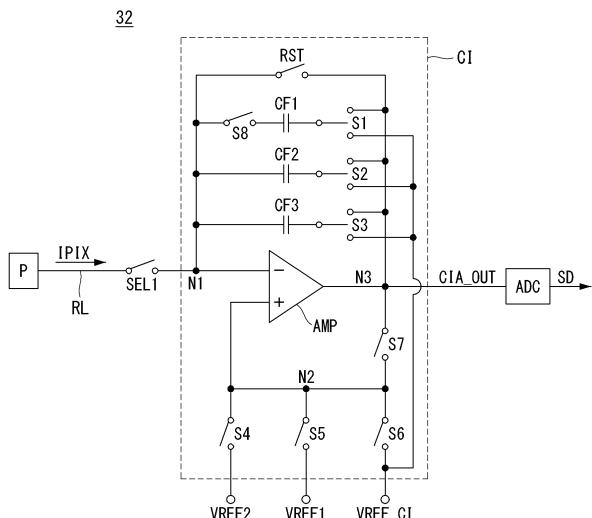
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 센싱장치 및 이를 포함한 유기발광 표시장치

(57) 요 약

본 발명은 앰프, 리셋 스위치, 커패시터들 및 스위치들을 포함한다. 앰프는 센싱라인에 연결된 제1 노드를 통해서 픽셀 전류를 입력받는 제1 입력단자와, 제2 노드를 통해 초기 적분기 기준전압 또는 제1 적분기 기준전압을 입력받는 제2 입력단자와, 픽셀 전류의 적분 결과인 적분기 출력전압을 제3 노드로 출력하는 출력단자를 포함한다. 리셋 스위치는 제1 노드와 제3 노드에 접속된다. 다수의 커패시터들은 제1 노드와 제3 노드 사이에서 서로 병렬로 연결된다. 다수의 스위치들은 적분 커패시터들과 일대일로 연결되며, 제3 노드 또는 초기 기준전압의 입력단을 선택적으로 연결한다.

대 표 도 - 도5



명세서

청구범위

청구항 1

센싱라인에 연결된 제1 노드를 통해서 픽셀 전류를 입력받는 제1 입력단자와, 제2 노드를 통해 초기 적분기 기준전압 또는 제1 적분기 기준전압을 입력받는 제2 입력단자와, 상기 픽셀 전류의 적분 결과인 적분기 출력전압을 제3 노드로 출력하는 출력단자를 갖는 앰프;

상기 제1 노드와 상기 제3 노드에 접속된 리셋 스위치;

상기 제1 노드와 상기 제3 노드 사이에서 서로 병렬로 연결된 n (n 은 자연수) 개의 커패시터들; 및

상기 적분 커패시터들과 일대일로 연결되며, 상기 제3 노드 또는 상기 초기 기준전압의 입력단을 선택적으로 연결하는 n 개의 스위치들을 포함하는 센싱 장치.

청구항 2

제 1 항에 있어서,

상기 n 개의 스위치들은

제1 기간에서, 상기 n 개의 커패시터들 각각을 상기 제2 노드에 연결시킨 상태에서, 상기 n 개의 커패시터들에 전류가 적분되도록 제어하고,

제2 기간에서, 상기 n 개의 커패시터들 중에서 어느 하나를 상기 초기 적분기 기준전압에 연결하도록 제어하여, 상기 제1 노드와 제2 노드 간의 전위차를 감소시키는 센싱 장치.

청구항 3

제 2 항에 있어서,

상기 초기 적분기 기준전압은

상기 제1 노드, 상기 제2 노드 및 상기 제3 노드를 초기화 하는 기준전압인 센싱 장치.

청구항 4

제 1 항에 있어서,

상기 센싱라인과 상기 제1 노드 사이에 연결된 선택 스위치를 더 포함하고,

전류 센싱 구동에서, 초기화 기간 동안,

상기 선택 스위치 및 상기 리셋 스위치는 턴-온되고,

상기 n 개의 스위치들 각각은 상기 적분 커패시터들은 상기 제3 노드에 접속되고,

상기 제2 노드는 상기 초기 적분기 기준전압을 입력받는 센싱 장치.

청구항 5

제 4 항에 있어서,

상기 초기화 기간에 이어지는 센싱 기간 동안,

상기 리셋 스위치는 턴-오프 되고, 상기 적분 커패시터들은 상기 센싱라인으로부터의 상기 픽셀 전류를 적분하는 센싱 장치.

청구항 6

제 5 항에 있어서,

상기 센싱 기간에 이어지는 샘플링 기간 동안, 상기 선택 스위치는 턠-오프되는 센싱 장치.

청구항 7

제 6 항에 있어서,

상기 샘플링 기간에 이어지는 제1 다운스케일링 기간 동안,

상기 n개의 스위치들 중에서 적어도 어느 하나는 상기 초기 적분기 기준전압의 입력단에 연결되는 센싱 장치.

청구항 8

제 7 항에 있어서,

상기 제1 다운스케일링 기간에 이어지는 제2 다운스케일링 기간 동안,

상기 n개의 스위치들은 상기 제3 노드에 연결되는 센싱 장치.

청구항 9

제 8 항에 있어서,

상기 제2 다운스케일링 기간에 이어지는 제3 다운스케일링 기간 동안,

상기 제2 노드는 상기 제1 적분기 기준전압을 입력받는 센싱 장치.

청구항 10

제 9 항에 있어서,

상기 제1 적분기 기준전압은 상기 초기 적분기 기준전압 보다 낮은 센싱 장치.

청구항 11

제 1 항에 있어서,

상기 제2 노드와 상기 제3 노드 사이에 연결된 노드접속 스위치;

상기 n개의 커패시터들 중에서 제1 커패시터의 제1 전극과 상기 제1 노드 사이에 연결된 스케일제어 스위치; 및

상기 제2 노드와 제2 적분기 기준전압의 입력단 사이에 연결된 제2 적분기 기준전압 스위치를 더 포함하는 센싱 장치.

청구항 12

제 11 항에 있어서,

전압 센싱 구동에서

상기 노드접속 스위치는 턠-온 전압을 유지하고,

상기 n개의 스위치들은 상기 제3 노드에 연결되고,

상기 초기전압의 입력단은 상기 제2 노드와 전기적 연결이 차단된 상태를 유지하는 센싱 장치.

청구항 13

제 12 항에 있어서,

상기 센싱라인과 상기 제1 노드 사이에 연결된 선택 스위치를 더 포함하고,

상기 전압 센싱 구동의 초기화 기간에서,

상기 선택 스위치는 턠-오프되고,

상기 제2 적분기 기준전압 스위치 및 상기 리셋 스위치는 턠-온 되는 센싱 장치.

청구항 14

제 13 항에 있어서,
 상기 초기화 기간에 이어지는 센싱 기간 동안,
 상기 리셋 스위치는 턴-오프되고,
 상기 선택 스위치는 턴-온되어, 상기 n개의 커패시터들에 전압을 충전시키는 센싱 장치.

청구항 15

제 14 항에 있어서,
 상기 센싱 기간에 이어지는 샘플링 기간 동안,
 상기 선택 스위치를 턴-오프 시켜서, 상기 n 개의 커패시터들에 충전된 전압을 샘플링 하는 센싱 장치.

청구항 16

제 15 항에 있어서,
 상기 샘플링 기간에 이어지는 제1 다운스케일링 기간 동안,
 상기 스케일제어 스위치를 턴-오프 시키고, 상기 리셋 스위치를 턴-온 시켜서, 상기 제1 커패시터 이외의 'n-1'개의 커패시터들의 양단을 상기 제2 적분기 기준전압으로 초기화하는 센싱 장치.

청구항 17

제 16 항에 있어서,
 상기 제1 다운스케일링 기간에 이어지는 제2 다운스케일링 기간 동안,
 상기 스케일제어 스위치를 턴-온 시키고, 상기 리셋 스위치를 턴-오프 시켜서 상기 제1 커패시터에 충전된 전압을 분배시키는 센싱 장치.

청구항 18

제 17 항에 있어서,
 상기 제2 다운스케일링 기간에 이어지는 제3 다운스케일링 기간 동안,
 상기 제2 적분기 기준전압 스위치를 턴-오프 시키고, 상기 제2 노드에 상기 적분기 기준전압을 공급하는 센싱 장치.

청구항 19

적어도 하나 이상의 픽셀과 상기 픽셀에 연결된 센싱라인이 구비된 표시패널;
 상기 센싱 라인을 통해 상기 픽셀로부터의 픽셀전류를 바탕으로, 상기 픽셀의 구동 특성을 센싱하여 센싱데이터를 생성하는 센싱장치; 및
 미리 설정된 기준값과 상기 센싱데이터의 차이를 바탕으로, 상기 픽셀의 구동 특성을 보상하는 보상부를 포함하고,

상기 센싱부는

센싱라인에 연결된 제1 노드를 통해서 픽셀 전류를 입력받는 제1 입력단자와, 제2 노드를 통해 초기 적분기 기준전압 또는 제1 적분기 기준전압을 입력받는 제2 입력단자와, 상기 픽셀 전류의 적분 결과인 적분기 출력전압을 제3 노드로 출력하는 출력단자를 갖는 앰프;

상기 제1 노드와 상기 제3 노드에 접속된 리셋 스위치;

상기 제1 노드와 상기 제3 노드 사이에서 서로 병렬로 연결된 n(n은 자연수) 개의 커패시터들; 및

상기 적분 커패시터들과 일대일로 연결되며, 상기 제3 노드 또는 상기 초기 기준전압의 입력단을 선택적으로 연

결하는 n개의 스위치들을 포함하는 유기발광 표시장치.

청구항 20

제 19 항에 있어서,

전류 센싱 구동에서 상기 보상부는,

상기 기준값을 상기 초기 적분기 기준전압에 매칭된 제1 기준값으로 설정하고,

상기 센싱 장치가 상기 초기 적분기 기준전압을 이용하여 획득한 제1 센싱데이터와 상기 제1 기준값을 비교하여 보상값을 생성하는 유기발광 표시장치.

청구항 21

제 20 항에 있어서,

상기 전류 센싱 구동에서 상기 보상부는,

상기 기준값을 상기 제1 적분기 기준전압에 매칭된 제2 기준값으로 설정하고,

상기 센싱 장치가 상기 제1 적분기 기준전압을 이용하여 획득한 제2 센싱데이터와 상기 제2 기준값을 비교하여 보상값을 생성하는 유기발광 표시장치.

청구항 22

제 19 항에 있어서,

상기 제2 노드와 제2 적분기 기준전압의 입력단 사이에 연결된 제2 적분기 기준전압 스위치를 더 포함하고,

상기 제2 적분기 기준전압은 상기 제1 적분기 기준전압보다 높은 값으로 설정되고,

전압 센싱 구동에서 상기 보상부는,

상기 기준값을 상기 제1 적분기 기준전압에 매칭된 제3 기준값으로 설정하고,

상기 센싱 장치가, 상기 제1 적분기 기준전압을 이용하여 획득한 제3 센싱데이터와 상기 제3 기준값을 비교하여 보상값을 생성하는 유기발광 표시장치.

청구항 23

제 22 항에 있어서,

상기 전압 센싱 구동에서 상기 보상부는

상기 기준값을 상기 제2 적분기 기준전압에 매칭된 제4 기준값으로 설정하고,

상기 센싱 장치가, 상기 제2 적분기 기준전압을 이용하여 획득한 제4 센싱데이터와 상기 제4 기준값을 비교하여 보상값을 생성하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 센싱장치 및 이를 포함한 유기발광 표시장치에 관한 것으로, 특히 유기발광 표시장치와 그의 유기발광 다이오드에 대한 열화 센싱 방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광 다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 유기발광 다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주

입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 유기발광 다이오드를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트전극과 소스전극 사이에 걸리는 전압(Vgs)에 따라 유기발광 다이오드에 흐르는 픽셀전류를 제어하는 구동 트랜지스터(Thin Film Transistor)를 포함하며, 픽셀전류에 비례하는 유기발광 다이오드의 발광량으로 표시 계조(휘도)를 조절한다.

[0005] 구동 TFT의 문턱 전압과 전자 이동도, OLED의 동작점 전압 등은 픽셀의 구동 특성을 결정하므로 모든 픽셀들에서 동일해야 한다. 하지만, 공정 특성, 시변 특성 등 다양한 원인에 의해 픽셀들 간에 구동 특성이 달라질 수 있다. 이러한 구동 특성 차이는 휘도 편차를 초래하여 원하는 화상을 구현하는 데 제약이 된다. 픽셀들 간의 휘도 편차를 보상하기 위해, 픽셀들의 구동 특성을 센싱하고 그 센싱 결과를 기초로 입력 영상의 데이터를 보정하는 외부 보상 기술이 알려져 있다.

[0006] 외부 보상 기술에서, 픽셀들의 구동 특성을 센싱하는 센싱부의 회로부는 다수의 커패시터 및 소자들을 포함하고 있어서 드라이브 IC의 칩 사이즈 및 제조 비용이 증가한다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명은 센싱부의 구성을 간소화하여, 드라이브 IC의 사이즈 및 제조 비용을 줄일 수 있는 센싱장치 및 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결手段

[0008] 상기 목적을 달성하기 위하여, 본 발명은 앰프, 리셋 스위치, 커패시터들 및 스위치들을 포함한다. 앰프는 센싱라인에 연결된 제1 노드를 통해서 픽셀 전류를 입력받는 제1 입력단자와, 제2 노드를 통해 초기 적분기 기준전압 또는 제1 적분기 기준전압을 입력받는 제2 입력단자와, 픽셀 전류의 적분 결과인 적분기 출력전압을 제3 노드로 출력하는 출력단자를 포함한다. 리셋 스위치는 제1 노드와 제3 노드에 접속된다. 다수의 커패시터들은 제1 노드와 제3 노드 사이에서 서로 병렬로 연결된다. 다수의 스위치들은 적분 커패시터들과 일대일로 연결되며, 제3 노드 또는 초기 기준전압의 입력단을 선택적으로 연결한다.

[0009] 본 발명에 의한 표시장치는 적어도 하나 이상의 픽셀과 상기 픽셀에 연결된 센싱라인이 구비된 표시패널, 센싱라인을 통해 픽셀로부터의 픽셀전류를 바탕으로 픽셀의 구동 특성을 센싱하여 센싱데이터를 생성하는 센싱장치, 미리 설정된 기준값과 센싱데이터의 차이를 바탕으로, 픽셀의 구동 특성을 보상하는 보상부를 포함한다. 센싱부는 센싱 라인에 연결된 제1 노드를 통해서 픽셀 전류를 입력받는 제1 입력단자와, 제2 노드를 통해 초기 적분기 기준전압 또는 제1 적분기 기준전압을 입력받는 제2 입력단자와, 픽셀 전류의 적분 결과인 적분기 출력전압을 제3 노드로 출력하는 출력단자를 갖는 앰프, 제1 노드와 상기 제3 노드에 접속된 리셋 스위치, 제1 노드와 제3 노드 사이에서 서로 병렬로 연결된 n(n은 자연수) 개의 커패시터들 및 적분 커패시터들과 일대일로 연결되며 제3 노드 또는 상기 초기 기준전압의 입력단을 선택적으로 연결하는 n개의 스위치들을 포함한다.

발명의 효과

[0010] 본 발명은 간단한 적분기 회로 구성을 이용하여, 전류 센싱 뿐만 아니라 전압 센싱 구동을 할 수 있다.

[0011] 특히, 본 발명은 적분기를 이용하여 샘플링&홀더 및 다운스케일링의 기능을 수행하기 때문에, 종래의 샘플링&홀더 및 다운스케일러가 요구하는 커패시터를 필요로 하지 않는다. 따라서, 센싱부의 회로 면적을 대폭 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다.

도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다.

도 3은 도 2의 픽셀 어레이에 연결된 데이터 구동부의 일 구성을 보여주는 도면이다.

도 4는 도 3에 도시된 픽셀의 일 등가 회로도이다.

도 5는 본 발명에 의한 센싱장치를 나타내는 도면이다.

도 6a 내지 도 6f는 전류 센싱 구동을 설명하는 도면들이다.

도 7은 전류 센싱 구동에서 출력전압의 변화를 나타내는 타이밍도이다.

도 8a 내지 도 8f는 전압 센싱 구동을 설명하는 도면들이다.

도 9는 전압 센싱 구동에서 출력노드의 전압 변화를 나타내는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0014] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등을 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0015] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현되거나 또는 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다.

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0017] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다. 그리고, 도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다.

[0018] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기발광 표시장치는 표시패널(100), 드라이버 IC(D-IC)(200), 보상 IC(300), 호스트 시스템(10), 및 저장 메모리(50)를 포함할 수 있다. 본 발명의 패널 구동부는 표시패널(100)에 구비된 게이트 구동부(40)와, 드라이버 IC(D-IC)(200)에 내장된 데이터 구동부(30)를 포함한다.

[0019] 표시패널(100)에는 다수의 픽셀 라인들(HL1~HL4)이 구비되고, 각 픽셀라인에는 다수의 픽셀(P)들과 복수의 신호라인들이 구비된다. 본 발명에서 설명되는 "픽셀 라인"은 물리적인 신호라인이 아니라, 스캔라인의 연장 방향을 따라 서로 이웃한 픽셀(P)들과 신호 라인들의 집합체를 의미한다. 신호라인들은 픽셀(P)들에 디스플레이용 데이터전압(VDIS)과 센싱용 데이터전압(VSEN)을 공급하기 위한 데이터라인(DL)들, 픽셀(P)들에 기준전압(VREF)을 공급하기 위한 기준전압 라인(RL)들, 픽셀(P)들에 스캔신호를 공급하는 스캔라인(SL)들, 및 픽셀(P)들에 고전위 픽셀 전압을 공급하기 위한 고전위 전원 라인들(PWL)을 포함할 수 있다.

[0020] 표시패널(100)의 픽셀(P)들은 매트릭스 형태로 배치되어 픽셀 어레이(Pixel array)를 구성한다. 도 2의 픽셀 어레이에 포함된 각 픽셀(P)는 데이터라인(DL)들 중 어느 하나에, 기준전압 라인(RL)들 중 어느 하나에, 고전위

전원 라인들(PWL) 중 어느 하나에, 그리고 스캔라인(SL)들 중 어느 하나에 연결될 수 있다. 도 2의 픽셀 어레이에 포함된 각 픽셀(P)은 복수의 스캔라인(SL)들에 연결될 수도 있다. 그리고, 도 2의 픽셀 어레이 포함된 각 픽셀(P)은 전원 생성부로부터 저전위 픽셀 전압을 더 공급받을 수 있다. 전원생성부는 저전위 전원 라인 또는 패드부를 통해서 저전위 픽셀 전압을 픽셀(P)에 공급할 수 있다.

[0021] 표시패널(100)에는 게이트 구동부(40)가 내장될 수 있다.

[0022] 게이트 구동부(40)는 도 2의 픽셀 어레이의 스캔라인(SL)들에 연결된 복수의 스테이지들을 포함할 수 있다. 스테이지들은 픽셀(P)들의 스위치 소자들을 제어하기 위한 스캔신호를 생성하여 스캔라인(SL)들에 공급할 수 있다.

[0023] 드라이버 IC(D-IC)(200)는 타이밍 제어부(20)와 데이터 구동부(30)를 포함한다. 데이터 구동부(30)는 구동전압 생성부(31) 및 센싱부(32)를 포함할 수 있으나, 이에 한정되지 않는다.

[0024] 타이밍 제어부(20)는 호스트 시스템(10)으로부터 입력되는 타이밍 신호들, 예컨대 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등을 참조로 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와, 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 생성할 수 있다.

[0025] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함할 수 있으나 이에 한정되지 않는다. 소스 스타트 펄스는 구동전압 생성부(31)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 구동전압 생성부(31)의 출력 타이밍을 제어한다.

[0026] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함할 수 있으나, 이에 한정되지 않는다. 게이트 스타트 펄스는 첫 번째 게이트 출력을 생성하는 스테이지에 인가되어 그 스테이지의 동작을 활성화한다. 게이트 쉬프트 클럭은 스테이지들에 공통으로 입력되는 것으로서 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다.

[0027] 타이밍 제어부(20)는 패널 구동부의 동작 타이밍을 제어함으로써, 파워 온 기간, 각 프레임의 수직 액티브 기간, 각 프레임의 수직 블랭크 기간, 파워 오프 기간 중 적어도 어느 하나에서 픽셀(P)들의 구동 특성을 센싱할 수 있다. 여기서, 파워 온 기간은 시스템 전원이 인가된 후부터 화면이 켜지기 전까지의 기간이고, 파워 오프 기간은 화면이 꺼진 후부터 시스템 전원이 해제되기 전까지의 기간이다. 수직 액티브 기간은 화면 재생을 위해 영상 데이터가 표시패널(100)에 기입되는 기간이고, 수직 블랭크 기간은 이웃한 수직 액티브 기간들 사이에 위치하며 영상 데이터의 기입이 중지되는 기간이다. 픽셀(P)들의 구동 특성은 픽셀(P)들에 포함된 구동 소자들의 문턱전압과 전자 이동도를 포함한다.

[0028] 타이밍 제어부(20)는 표시패널(100)의 픽셀 라인들(HL1~HL4)에 대한 센싱 구동 타이밍과 디스플레이 구동 타이밍을 정해진 시퀀스에 따라 제어함으로써, 디스플레이 구동과 센싱 구동을 구현할 수 있다.

[0029] 타이밍 제어부(20)는 디스플레이 구동을 위한 타이밍 제어신호들(GDC, DDC)과 센싱 구동을 위한 타이밍 제어신호들(GDC, DDC)을 서로 다르게 생성할 수 있다. 센싱 구동은 센싱 대상 픽셀 라인에 포함된 픽셀(P)들에 센싱용 데이터전압(VSEN)을 기입하여 해당 픽셀(P)들의 구동 특성을 센싱하고, 센싱 데이터(SD)를 기초로 해당 픽셀(P)들의 구동 특성 변화를 보상하기 위한 보상값을 업데이트하는 것을 의미한다. 그리고, 디스플레이 구동은 업데이트된 보상값을 기반으로 하여, 해당 픽셀(P)들에 입력될 디지털 영상 데이터를 보정하고, 보정된 영상 데이터(CDATA)에 대응되는 디스플레이용 데이터전압(VDIS)을 해당 픽셀(P)들에 인가하여 입력 영상을 표시하는 것을 의미한다.

[0030] 구동전압 생성부(31)는 디지털 신호를 아날로그 신호로 변환하는 디지털-아날로그 변환기(Digital to Analog converter, 이하 DAC라 함)로 구현될 수 있다. 구동전압 생성부(31)는 센싱 구동에 필요한 센싱용 데이터전압(VSEN)과 디스플레이 구동에 필요한 디스플레이용 데이터전압(VDIS)을 생성하여 데이터라인(DL)들에 공급한다.

[0031] 디스플레이용 데이터전압(VDIS)은 보상 IC(300)에서 보정된 디지털 영상 데이터(CDATA)에 대한 디지털-아날로그 변환 결과로서, 계조값 및 보상값에 따라 픽셀 단위로 그 크기가 달라질 수 있다. 센싱용 데이터전압(VSEN)은 컬러 별로 구동소자의 구동 특성이 다름을 고려하여 R(적색), G(녹색), B(청색), W(백색) 픽셀들 단위로 다르게 설정될 수 있다.

- [0032] 센싱부(32)는 센싱 구동을 위해, 픽셀(P)들의 구동 특성, 예컨대, 구동 소자의 문턱전압과 전자 이동도, 발광 소자의 동작점 전압을 센싱 라인들을 통해 센싱할 수 있다. 기준전압 라인(RL)는 제1 선택 스위치(SEL1)를 통해서 센싱부(32)와 연결된다.
- [0033] 센싱부(32)는 복수의 아날로그 센싱값들을 복수개의 ADC(Aanlog-Digital Conveter)들을 이용하여 동시에 병렬 처리할 수도 있고, 복수의 아날로그 센싱값들을 1개의 ADC를 이용하여 순차적으로 직렬 처리할 수도 있다. ADC의 샘플링 속도와 센싱의 정확도는 트레이드 오프(Trade-off) 관계에 있다. 병렬 처리 방식의 ADC는 직렬 처리 방식의 ADC에 비해 샘플링 속도를 늦출 수 있어 센싱의 정확도를 높이는 데 유리하다. ADC는 플래시 타입의 ADC, 트래킹(tracking) 기법을 이용한 ADC, 연속 근사 레지스터 타입(Successive Approximation Register type)의 ADC 등으로 구현될 수 있다. ADC는 미리 정해진 센싱 레인지에 따라 아날로그 센싱값들을 디지털 센싱 데이터(SD)로 변환한 후, 저장 메모리(50)에 공급한다.
- [0034] 저장 메모리(50)는 센싱 구동시 센싱부(32)로부터 입력되는 디지털 센싱 데이터(SD)를 저장한다. 저장 메모리(50)는 플래시 메모리로 구현될 수 있으나, 이에 한정되지 않는다.
- [0035] 보상 IC(300)는 보상부(310)와 보상 메모리(320)를 포함할 수 있다. 보상 메모리(320)는 저장 메모리(50)로부터 읽어들인 센싱 데이터(SD)를 보상부(310)에 전달한다. 보상 메모리(320)는 RAM(Random Access Memory), 예컨대 DDR SDRAM(Double Date Rate Synchronous Dynamic RAM)일 수 있으나, 이에 한정되지 않는다. 보상부(310)는 저장 메모리(50)로부터 읽어들인 디지털 센싱 데이터(SD)를 기반으로 각 픽셀 별로 보상 오프셋(Offset)과 보상 게인(Gain)을 연산하고, 연산된 보상 오프셋과 보상 게인에 따라 호스트 시스템(10)으로부터 입력 받은 영상 데이터를 보정하고, 보정된 영상 데이터(CDATA)를 드라이버 IC(200)에 공급한다.
- [0036] 도 3은 도 2의 픽셀 어레이에 연결된 데이터 구동부(30)의 일 구성을 보여주는 도면이다. 도 4는 도 3에 도시된 픽셀의 일 등가 회로도이다. 도 3의 데이터 구동부(30)는 픽셀(P)들의 구동 특성을 기준전압라인(RL)들을 통해 센싱하는 실시 예를 도시하고 있다.
- [0037] 도 3 및 도 4를 참조하면, 데이터 구동부(30)는 데이터라인(DL)을 통해 픽셀(P)의 게이트 노드(Ng)에 접속되고, 기준전압라인(RL)을 통해 픽셀(P)의 소스 노드(Ns)에 접속될 수 있다. 픽셀(P)의 소스 노드(Ns)에는 픽셀 전류(IPIX)가 흐르기 때문에, 제1 선택 스위치(SEL1)를 통해 소스 노드(Ns)에 접속된 기준전압라인(RL)이 센싱 라인으로 활용될 수 있다.
- [0038] 기준전압라인(RL)은 제1 및 제2 선택 스위치(SEL1, SEL2)를 통해 기준전압(VREF)의 입력단 또는 센싱부(32)에 선택적으로 연결된다. 기준전압라인(RL)과 기준전압(VREF)의 입력단 사이에는 제2 선택 스위치(SEL2)가 접속되고, 기준전압라인(RL)과 센싱부(32) 사이에는 제1 선택 스위치(SEL1)가 접속된다. 제1 선택 스위치(SEL1)와 제2 선택 스위치(SEL2)는 선택적으로 턴 온 된다. 기준전압(VREF)이 픽셀(P)에 기입되는 타이밍에 동기하여 제2 선택 스위치(SEL2)만이 턴 온 되고, 픽셀(P)에 흐르는 픽셀 전류(IPIX)를 센싱하는 타이밍에 동기하여 제1 선택 스위치(SEL1)만이 턴 온 된다. 따라서, 기준전압라인(RL)은 제1 및 제2 선택 스위치들(SEL1, SEL2)을 통해 기준전압(VREF)의 입력단 또는 센싱부(32)에 선택적으로 연결된다.
- [0039] 도 4를 참조하면, 기준전압 라인(RL)을 센싱 라인으로 활용하는 일 픽셀(P)은 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 스위치 트랜지스터들(ST1, ST2), 및 스토리지 커패시터(Cst)를 포함한다. 구동 트랜지스터(DT)와 스위치 트랜지스터들(ST1, ST2)은 NMOS로 구현될 수 있으나 이에 한정되지 않는다.
- [0040] 유기발광 다이오드(OLED)는 구동 트랜지스터(DT)로부터 인입되는 픽셀 전류에 대응되는 세기로 발광하는 발광 소자이다. 유기발광 다이오드(OLED)의 애노드 전극은 소스 노드(Ns)에 접속되고, 캐소드 전극은 저전위 구동전압(EVSS)의 입력단에 접속된다.
- [0041] 구동 트랜지스터(DT)는 게이트-소스 간 전압에 대응하여 픽셀 전류를 생성하는 구동 소자이다. 구동 트랜지스터(DT)의 게이트전극은 게이트 노드(Ng)에 접속되고, 제1 전극은 고전위 전원 라인(PWL)을 통해 고전위 구동전압(EVDD)의 입력단에 접속되며, 제2 전극은 소스 노드(Ns)에 접속된다.
- [0042] 스위치 트랜지스터들(ST1, ST2)은 구동 트랜지스터(DT)의 게이트-소스 간 전압을 설정하고, 구동 트랜지스터(DT)의 제2 전극과 기준전압라인(RL)을 연결하는 스위치 소자들이다.
- [0043] 제1 스위치 트랜지스터(ST1)는 데이터라인(DL)과 게이트 노드(Ng) 사이에 접속되어 스캔라인(SL)으로부터의 스캔신호(SCAN)에 따라 턴 온 된다. 제1 스위치 트랜지스터(ST1)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 된다. 제1 스위치 트랜지스터(ST1)가 턴 온 될 때, 센싱용 데이터전압(VSEN) 또는 디스플레

이용 데이터전압(VDIS)이 게이트 노드(Ng)에 인가된다. 제1 스위치 트랜지스터(ST1)의 게이트전극은 스캔라인(SL)에 접속되고, 제1 전극은 데이터 라인(DL)에 접속되며, 제2 전극은 게이트 노드(Ng)에 접속된다.

[0044] 제2 스위치 트랜지스터(ST2)는 기준전압라인(RL)과 소스 노드(Ns) 사이에 접속되어 스캔라인(SL)으로부터의 스캔신호(SCAN)에 따라 턴 온 된다. 제2 스위치 트랜지스터(ST2)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 되어, 기준 전압(VREF)을 소스 노드(Ns)에 인가한다. 또한, 제2 스위치 트랜지스터(ST2)는 센싱 구동 중의 센싱 기간에서도 턴 온 되어 구동 트랜지스터(DT)에서 생성된 픽셀 전류를 기준전압 라인(RL)에 인가한다. 제2 스위치 트랜지스터(ST2)의 게이트전극은 스캔라인(SL)에 접속되고, 제1 전극은 기준전압 라인(RL)에 접속되며, 제2 전극은 소스 노드(Ns)에 접속된다.

[0045] 스토리지 커패시터(Cst)는 게이트 노드(Ng)와 소스 노드(Ns) 사이에 접속되어 구동 트랜지스터(DT)의 게이트-소스 간 전압을 일정 기간 동안 유지한다.

[0046] 도 5는 본 발명의 일 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 도 5의 픽셀 센싱 장치는 도 1의 센싱부(32)를 포함한다.

[0047] 도 5를 참조하면, 센싱부(32)는 적분기(CI) 및 ADC를 포함할 수 있다. 적분기(CI)는 표시패널(10)의 기준전압라인(RL)을 통해 일 픽셀(P)에 연결된다. 본 발명에 의한 적분기는 센싱 전류를 누적하여 샘플링하는 전류 적분기로 구동할 수 있을 뿐만 아니라, 전압 센싱을 위한 적분기로 이용될 수 있다. 이를 위해서, 적분기(CI)는 앰프(AMP), 제1 내지 제3 적분 커패시터들(CF1, CF2, CF3), 리셋 스위치(RST), 제1 내지 제3 스위치들(S1~S2), 초기 적분기 스위치(이하, 제6 스위치)(S6), 제1 적분기 스위치(이하, 제5 스위치)(S5), 제2 적분기 스위치(이하, 제4 스위치)(S4), 노드접속 스위치(이하, 제7 스위치)(S7), 및 스케일제어 스위치(이하, 제8 스위치)(S8)를 포함한다.

[0048] 먼저, 적분기(CI)의 전류 센싱 구동을 위한 구성을 살펴보면 다음과 같다.

[0049] 적분기(CI)는 픽셀(P)에 흐르는 픽셀 전류(IPIX)를 적분하여 초기 적분기 기준전압(VREF_CI) 또는 제1 적분기 기준전압(VREF1)으로부터 변화되는 적분기 출력전압(CIA_OUT)을 생성한다.

[0050] 적분기 앰프(AMP)는 기준전압라인(RL)으로부터의 픽셀 전류(IPIX)를 제1 노드(N1)를 통해서 입력받는 제1 입력단자(-), 제2 노드(N2)를 통해서 적분기 기준전압들(VREF_CI, VREF1, VREF2) 중에서 어느 하나의 적분기 기준전압을 입력받는 제2 입력단자(+), 및 픽셀 전류(IPIX)의 적분 결과인 적분기 출력전압(CIA_OUT)을 출력하는 제3 노드(N3)를 포함한다. 앰프(AMP)의 제3 노드(N3)는 제3 노드(N3)에 해당한다.

[0051] 적분기 기준전압들(VREF_CI, VREF1, VREF2) 중에서, 전류 적분기로 동작할 때에는 초기 적분기 기준전압(VREF_CI) 및 제1 적분기 기준전압(VREF1) 만이 관여된다. 초기 적분기 기준전압(VREF_CI)은 전류 적분기의 구동에서, 다운스케일링(downscaling) 이전의 ADC 구동의 기준이 되는 기준전압이고, 제1 적분기 기준전압(VREF1)은 다운스케일링 이후 ADC 구동의 기준이 되는 기준전압이다.

[0052] 제6 스위치(S6)는 초기 적분기 기준전압(VREF_CI)의 입력단자(-)와 제2 입력단자(+) 사이에 접속되고, 제5 스위치(S5)는 제1 적분기 기준전압(VREF1)의 입력단자(-)와 제2 입력단자(+) 사이에 접속된다.

[0053] 제1 내지 제3 적분 커패시터들(CF1, CF2, CF3) 각각의 제1 전극은 제1 입력단자(-)에 접속된다. 제1 내지 제3 적분 커패시터들(CF1, CF2, CF3) 각각의 제2 전극은 제1 내지 제3 스위치들(S1~S3)과 일대일로 접속된다. 제1 스위치(S1)는 제1 적분 커패시터(CF1)를 제3 노드(N3) 또는 초기 적분기 기준전압(VREF_CI)의 입력단에 선택적으로 연결시킨다. 제2 스위치(S2)는 제2 적분 커패시터(CF2)를 제3 노드(N3) 또는 초기 적분기 기준전압(VREF_CI)의 입력단에 선택적으로 연결시킨다. 제3 스위치(S3)는 제3 적분 커패시터(CF3)를 제3 노드(N3) 또는 초기 적분기 기준전압(VREF_CI)의 입력단에 선택적으로 연결시킨다.

[0054] 적분기 앰프(AMP)의 제1 입력단자(-)와 제3 노드(N3) 사이에는 적분 커패시터들(CF1, CF2, CF3)과 병렬로 리셋 스위치(RST)가 더 연결된다.

[0055] 적분기 앰프(AMP)는 네거티브 타입으로 구현될 수도 있고 포지티브 타입으로 구현될 수도 있다. 네거티브 타입 앰프(AMP)는 도 5에 도시된 바와 같이, 제1 입력단자가 적분기 앰프(AMP)의 제1 입력단자(-)가 되고 제2 입력단자가 적분기 앰프(AMP)의 제2 입력단자(+)가 된다. 이러한 네거티브 타입 앰프(AMP)는 픽셀 전류(IPIX)가 적분 커패시터들(CF1~CF3)에 누적됨에 따라 적분기 출력전압(CIA_OUT)이 적분기 기준전압(VREF_CI)으로부터 점차 낮아진다. 적분기 기준전압(VREF_CI)의 하강 기울기는 픽셀 전류(IPIX)의 크기에 비례한다.

- [0056] 한편, 포지티브 타입 앰프(AMP)는 제1 입력단자가 적분기 앰프의 제2 입력단자(+)가 되고 제2 입력단자가 적분기 앰프의 제1 입력단자(-)가 된다. 이러한 포지티브 타입 앰프(AMP)는 핵심 전류(IPIX)가 적분 커뮤니티들(CF1~CF3)에 누적됨에 따라 적분기 출력 전압(CIA_OUT)이 적분기 기준전압(VREF_CI)으로부터 점차 높아진다. 적분기 기준전압(VREF_CI)의 상승 기울기는 핵심 전류(IPIX)의 크기에 비례한다.
- [0057] 본 발명의 기술적 사상은 네거티브 타입 앰프(AMP)에도 적용될 수 있고, 포지티브 형 앰프(AMP)에도 적용될 수 있다. 이하, 본 명세서는 네거티브 타입 앰프(AMP) 중심으로 설명한다.
- [0058] 적분기(CI)의 전압 센싱을 위한 구성을 살펴보면 다음과 같다.
- [0059] 전압 센싱 과정에서 앰프(AMP)는 구동전압을 인가받지 않고, 동작 불능(disable) 상태가 유지된다.
- [0060] 기준전압라인(RL)으로부터의 센싱 전압은 적분 커뮤니티들(CF1, CF2, CF3)에 직접 충전된 상태에서 샘플링된다.
- [0061] 제2 노드(N2)는 기준전압 선택스위치(이하, 제7 스위치)를 통해서 제1 내지 제3 스위치들(S1~S3)과 연결된다. 적분 커뮤니티들(CF1, CF2, CF3)은 제1 내지 제3 스위치들(S1~S3)를 통해서 제2 노드(N2)와 접속된 상태를 유지한다.
- [0062] 제4 스위치(S4)는 제2 노드(N2)와 제2 적분기 기준전압(VREF2)의 입력단 사이에 연결되고, 제5 스위치(S5)는 제2 노드(N2)와 제1 적분기 기준전압(VREF1)의 입력단 사이에 연결된다. 제2 적분기 기준전압(VREF2)은 다운스케일링 이전의 ADC 구동에 이용되는 기준전압이고, 제1 적분기 기준전압(VREF1)은 다운스케일링 이후의 ADC 구동에 이용되는 기준전압이다.
- [0063] 커뮤니티 제어스위치(이하, 제8 스위치)(S8)는 다운스케일링 기간 내에서 일정기간 제1 노드(N1)와 제1 커뮤니티(CF1)를 오픈(open) 시킨다.
- [0064] 전류 적분 또는 전압 센싱 과정에서, ADC는 미리 정해진 센싱 레인지에 따라 아날로그 신호(즉, 적분기 출력 전압)를 디지털 신호(즉, 디지털 센싱데이터)로 변환한다.
- [0065] 이하, 본 발명에 의한 센싱부의 동작을 살펴보면 다음과 같다.
- [0066] 먼저 전류 센싱 구동을 살펴보면 다음과 같다.
- [0067] 도 6a 내지 도 6f은 전류 센싱 구동을 설명하는 도면들이고, 도 7은 전류 센싱 구동에서 출력전압의 변화를 나타내는 타이밍이다. 도 7에서 "N1"은 앰프(AMP)의 제2 입력단자(+)에 해당하는 제1 노드(N1)의 전압 변화를 나타내고, "N3"은 앰프(AMP)의 출력단자에 해당하는 제3 노드(N3)의 전압 변화를 나타낸다.
- [0068] 전류 센싱 구동에서, 제7 스위치(S7)는 항상 턴-오프 상태를 유지하고, 제8 스위치(S8)는 항상 턴-온 상태를 유지한다.
- [0069] 도 6a 및 도 7을 참조하면, 초기화 기간(SF1) 동안 제1 선택 스위치(SEL1) 및 리셋 스위치(RST)는 턴-온되고, 제1 내지 제3 스위치들(S1~S3)은 앰프(AMP)의 제3 노드(N3)와 접속된다. 제6 스위치(S6)는 턴-온된다.
- [0070] 초기화 기간(SF1)에서, 제1 선택 스위치(SEL1)는 턴-온되어 기준전압라인(RL)은 제1 입력단자(-)와 연결된다. 리셋 스위치(RST)는 턴 온되어 인해 적분기(CI)는 이득이 1인 유닛 개인 버퍼로 동작한다. 제6 스위치(S6)를 통해서 앰프(AMP)의 제2 입력단자(+)에는 초기 기준전압(VREF_CI)이 인가된다. 그 결과, 앰프(AMP)의 입력단자들(+,-)과 제3 노드(N3), 기준전압라인(RL)은 초기 기준전압(VREF_CI)으로 초기화된다.
- [0071] 도 6b 및 도 7을 참조하면, 센싱 기간(SF2)에서, 리셋 스위치(RST)는 턴 오프된다. 제1 선택 스위치(SEL1), 제6 스위치(S6)는 턴-온 상태를 유지한다. 제1 내지 제3 스위치들(S1~S3)은 앰프(AMP)의 제3 노드(N3)와 접속된 상태를 유지한다.
- [0072] 센싱 기간(SF2)에서 앰프(AMP)의 제1 입력단자(-)에 유입되는 전하에 의해 적분 커뮤니티(Cfb)의 양단 전위차는 커진다. 앰프(AMP)의 특성상 제1 입력단자(-) 및 제2 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이므로, 센싱 기간(SF2)에서 제1 입력단자(-)의 전위는 적분 커뮤니티들(CF1, CF2, CF3)의 전위차 증가에 상관없이 초기 적분기 기준전압(VREF_CI)으로 유지된다. 그리고 적분 커뮤니티들(CF1, CF2, CF3)의 양단 전위차에 대응하여 앰프(AMP)의 출력전압(CIA_OUT)이 낮아진다.
- [0073] 도 6c 및 도 7을 참조하면, 샘플링 기간(SF3)에서, 제1 선택 스위치(SEL1) 및 리셋 스위치(RST)는 턴-오프

되고, 앰프(AMP)의 출력전압(CIA_OUT)을 샘플링한다. 샘플링 기간(SF3)에서 초기 적분기 기준전압(VREF_CI)에 대비한 앰프(AMP)의 출력전압(CIA_OUT)의 변화량(Vin)은 제1 내지 제3 적분 커패시터들(CF1~CF3)의 전위에 비례한다.

[0074] 도 6d 및 도 7을 참조하면, 제1 다운스케일링 기간(SF4) 동안, 제1 선택 스위치(SEL1) 및 리셋 스위치(RST)는 턴-오프 상태를 유지한다.

[0075] 제1 스위치(S1)는 제3 노드(N3)에 연결된 상태를 유지하고, 제2 및 제3 스위치들(S2,S3)은 제1 입력단자(-)에 연결된다. 그 결과, 제2 및 제3 적분 커패시터들(CF2,CF3)의 전압은 초기화 된다.

[0076] 도 6e 및 도 7을 참조하면, 제2 다운스케일링 기간(SF5) 동안, 제1 선택 스위치(SEL1) 및 리셋 스위치(RST)는 턴-오프 상태를 유지한다. 제1 내지 제3 스위치들(S1~S3)은 제3 노드(N3)에 연결된다. 제1 적분 커패시터들(CF1)에 저장된 전하는 제2 및 제3 적분 커패시터들(CF2,CF3)에 분배되고, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각은 동일한 전위를 갖는다.

[0077] 제1 적분 커패시터들(CF1)에 저장된 전하는 제2 및 제3 적분 커패시터들(CF2,CF3)에 분배되어, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)의 양단의 전위차가 감소한다. 그 결과, 앰프(AMP)의 출력전압(CIA_OUT)은 증가한다.

[0078] 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 용량이 동일할 때, 제2 다운스케일링 기간(SF5)에 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 전위는 샘플링 기간(SF3)에서의 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 전위에 대비하여 1/3 수준이 된다. 제2 다운스케일링 기간(SF5)에서 출력전압(CIA_OUT)의 크기는 제2 다운스케일링 기간(SF5)에 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)의 전위에 비례한다. 따라서, "제2 다운스케일링 기간(SF5)에서 초기 적분기 기준전압(VREF_CI)에 대비하여 감소한 출력전압의 변화량(Vin_d)"은 "샘플링 기간(SF3)에서 초기 적분기 기준전압(VREF_CI)에 대비하여 감소한 출력전압의 변화량(Vin)"에 대비하여 1/3 수준이 된다.

[0079] 도 6f 및 도 7을 참조하면, 제3 다운스케일링 기간(SF6) 동안, 제1 입력단자(-)에는 제1 적분기 기준전압(VREF1)이 인가된다. 제1 적분기 기준전압(VREF1)은 초기 적분기 기준전압(VREF_CI) 보다 낮은 전압레벨로 설정된다.

[0080] 적분기 출력전압(CIA_OUT)은 앰프(AMP)의 제2 입력단자(+)에 인가되는 기준전압에 비례한다. 따라서, 제3 다운스케일링 기간(SF6)에서 기준전압이 초기 적분기 기준전압(VREF_CI)에서 제1 적분기 기준전압(VREF1)으로 낮아지는 변화량('VREF_CI'-'VREF1') 만큼 적분기 출력전압(CIA_OUT)도 하강한다. 이처럼 본 발명은 제1 내지 제3 다운스케일링 구동에 의해서, 적분기 출력전압(CIA_OUT)의 크기를 낮출 수 있다. 따라서, 적분기 출력전압(CIA_OUT)이 ADC의 입력범위를 벗어나지 않도록 제어할 수 있다.

[0081] 다운스케일링 구동으로 앰프(AMP)의 제2 입력단자(+)에 인가되는 적분기 기준전압의 크기가 달라지면, 보상부(310)는 보상값을 생성하기 위한 기준값을 달리 설정한다.

[0082] ADC는 출력전압(CIA_OUT)을 센싱전압으로 제공받고 이를 디지털 데이터로 변환하여 센싱데이터(SD)를 생성한다. 그리고 보상부(310)는 센싱데이터(SD)를 바탕으로 보상값을 생성하고, 생성된 보상값을 이용하여 영상데이터를 보상한다. 이때, 전류 센싱 구동에서 보상부(310)가 보상값을 생성하는 기준값은 앰프(AMP)가 출력전압(CIA_OUT)을 생성할 때 제2 입력단자(+)에 인가되는 적분기 기준전압에 해당한다.

[0083] 따라서, 다운스케일링 이전에 초기 적분기 기준전압(VREF_CI)을 이용하여 앰프(AMP)의 출력전압(CIA_OUT)을 생성하였다면, 보상부(310)는 초기 적분기 기준전압(VREF_CI)에 매칭되는 제1 기준값과 센싱데이터(SD)를 비교하여 보상값을 생성한다.

[0084] 그리고, 도 6f의 제3 다운스케일링 과정에서 제1 적분기 기준전압(VREF1)을 이용하여 앰프(AMP)의 출력전압(CIA_OUT)을 생성하였다면, 보상부(310)는 제1 적분기 기준전압(VREF1)에 매칭되는 제2 기준값과 센싱데이터(SD)를 비교하여 보상값을 생성한다.

[0085] 본 발명의 센싱부를 이용한 전압 센싱 구동을 살펴보면 다음과 같다.

[0086] 도 8a 내지 도 8f은 전류 센싱 구동을 설명하는 도면들이고, 도 9는 전압 센싱 구동에서 출력전압의 변화를 나타내는 타이밍이다. 특히, 도 9에서 실선은 제1 노드(N1)의 전압 변화를 나타내는 도면이다.

[0087] 전압 센싱 구동에서 앰프(AMP)는 동작 불능 상태가 유지된다.

- [0088] 전압 센싱 구동에서 제7 스위치(S7)는 터-온 상태를 유지하여, 제2 노드(N2)는 제1 내지 제3 스위치들(S1~S3)과 접속된 상태를 유지한다. 즉, 적분 커패시터들(CF1~CF3)은 제1 내지 제3 스위치(S3)를 통해서 제2 노드(N2)와 접속된 상태를 유지한다.
- [0089] 구체적인 동작은 다음과 같다.
- [0090] 도 8a 및 도 9를 참조하면, 초기화 기간(SF1) 동안 제1 선택 스위치(SEL1), 리셋 스위치(RST) 및 제8 스위치(S8)는 터-온 된다. 리셋 스위치(RST)가 터-온되고, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 양 전극은 쇼트된다. 즉, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)은 양 전극은 제2 적분기 기준전압(VREF2)으로 초기화 된다.
- [0091] 도 8b 및 도 9를 참조하면, 센싱 기간(SF2)에서, 제1 선택 스위치(SEL1)는 터-온되어 제1 노드(N1)는 기준전압라인(RL)과 접속된다. 리셋 스위치(RST)는 터 오프되어, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각은 커패시턴스를 형성한다.
- [0092] 기준전압라인(RL)으로부터 인가되는 센싱전압은 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)의 제1 전극에 충전된다. 따라서, 제1 노드(N1)의 전압은 제2 적분기 기준전압(VREF2)으로부터 점차 상승한다.
- [0093] 도 8c 및 도 9를 참조하면, 샘플링 기간(SF3)에서, 제1 선택 스위치(SEL1) 및 리셋 스위치(RST)는 터-오프 되면서, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)에 충전된 센싱 전압을 샘플링한다.
- [0094] 도 8d 및 도 9를 참조하면, 제1 다운스케일링 기간(SF4) 동안, 제1 선택 스위치(SEL1)는 터-오프 전압을 유지한다.
- [0095] 리셋 스위치(RST)는 터-온되어, 제2 및 제3 적분 커패시터들(CF2,CF3)은 초기화 된다. 즉, 제1 노드(N1)와 제2 노드(N2)는 제2 적분기 기준전압(VREF2)이 된다.
- [0096] 제8 스위치(S8)는 터-오프되어 제1 적분 커패시터(CF1)의 제1 전극은 제1 노드(N1)와 오픈된 상태가 된다. 따라서, 제1 커패시터(CF1)는 센싱 기간(SF2)에서 충전된 전하를 보유한다.
- [0097] 도 8e 및 도 9를 참조하면, 제2 다운스케일링 기간(SF5) 동안, 제8 스위치(S8)는 터-온되고, 리셋 스위치(RST)는 터-오프 된다.
- [0098] 제1 적분 커패시터들(CF1)에 저장된 전하는 제2 및 제3 적분 커패시터들(CF1,CF2)에 분배되고, 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)은 동일한 전위를 갖는다. 제2 다운스케일링 기간(SF5)에서, 적분 커패시터들(CF1,CF2,CF3)의 양단의 전위차는 점차 증가한다.
- [0099] 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 용량이 동일할 때, 제2 다운스케일링 기간(SF5)에 제1 내지 적분 제3 커패시터들(CF1,CF2,CF3) 각각의 전위는 샘플링 기간(SF3)에서의 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3) 각각의 전위에 대비하여 1/3 수준이 된다. 따라서, "제2 다운스케일링 기간(SF5)에서 제2 적분기 기준전압(VREF2)으로부터 증가한 제1 노드(N1)와 제3 노드(N3) 간의 전위차"는 "샘플링 기간(SF3)에서 제2 적분기 기준전압(VREF2)으로부터 증가한 제1 노드(N1)와 제3 노드(N3) 간의 전위차(Vin)"에 대비하여 1/3 수준이 된다.
- [0100] 도 8f 및 도 9를 참조하면, 제3 다운스케일링 기간(SF6) 동안, 제1 입력단자(-)에는 제1 적분기 기준전압(VREF1)이 인가된다. 제1 적분기 기준전압(VREF1)은 제2 적분기 기준전압(VREF2)보다 낮은 전압레벨로 설정된다.
- [0101] 따라서, 제2 노드와 접속된 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)의 제2 전극의 전압은 낮아지고, 커플링 효과에 의해서 제1 내지 제3 적분 커패시터들(CF1,CF2,CF3)의 제1 전극의 전압은 낮아진다. 따라서, 제3 노드(N3)의 전압 변화량을 바탕으로 검출한 제1 노드(N1)의 전압은 낮아진다. 그 결과, 제1 노드(N1)의 전압은 ADC의 입력범위를 벗어나지 않고 센싱 오류가 발생하지 않는다.
- [0102] 다운스케일링 구동으로 앰프(AMP)의 제3 노드(N3)에 인가되는 적분기 기준전압의 크기가 달라지면, 보상부(310)는 보상값을 생성하기 위한 기준값을 달리 설정한다.
- [0103] ADC는 출력전압(CIA_OUT)을 센싱전압으로 제공받고 이를 디지털 데이터로 변환하여 센싱데이터(SD)를 생성한다. 그리고 보상부(310)는 센싱데이터(SD)를 바탕으로 보상값을 생성하고, 생성된 보상값을 이용하여 영상데이터를 보상한다. 이때, 전압 센싱 구동에서 보상부(310)가 보상값을 생성하는 기준값은 제3 노드(N3)에 연결되는 적

분기 기준전압에 매칭된다.

[0104] 따라서, 다운스케일링 이전에 제3 노드(N3)에 제2 적분기 기준전압(VREF2)을 인가하고, 이를 바탕으로 전압 센싱을 구동하였다면 보상부(310)는 제2 적분기 기준전압(VREF2)에 매칭되는 제3 기준값과 센싱데이터(SD)를 비교하여 보상값을 생성한다.

[0105] 그리고, 도 8f의 제3 다운스케일링 과정에서 제1 적분기 기준전압(VREF1)을 제3 노드(N3)에 인가하였다면, 보상부(310)는 제1 적분기 기준전압(VREF1)에 매칭되는 제4 기준값과 센싱데이터(SD)를 비교하여 보상값을 생성한다.

[0106] 상술한 바와 같이, 본 발명은 간단한 적분기 회로 구성을 이용하여, 전류 센싱 뿐만 아니라 전압 센싱 구동을 할 수 있다.

[0107] 특히, 본 발명은 적분기를 이용하여 샘플링&홀더 및 다운스케일링의 기능을 수행한다. 따라서, 종래의 샘플링&홀더 및 다운스케일러가 요구하는 커패시터를 필요로 하지 않는다. 본 발명의 제1 노드 및 제2 노드에서 병렬로 연결된 커패시터는 기존 하나의 피드백 적분 커패시터에 대비하여 개수는 늘어나지만, 병렬 연결된 커패시터의 용량의 합은 기존의 피드백 적분 커패시터의 용량과 동일한 수준이다. 따라서, 제1 노드 및 제2 노드에서 병렬로 연결된 다수의 커패시터들은 기존과 동일한 수준의 사이즈를 갖는다. 결과적으로 본 발명은 종래의 샘플링&홀더 및 다운스케일러에 필요한 커패시터의 사이즈만큼 회로부의 면적을 줄일 수 있다.

[0108] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0109] 100: 표시패널 40: 게이트 구동부

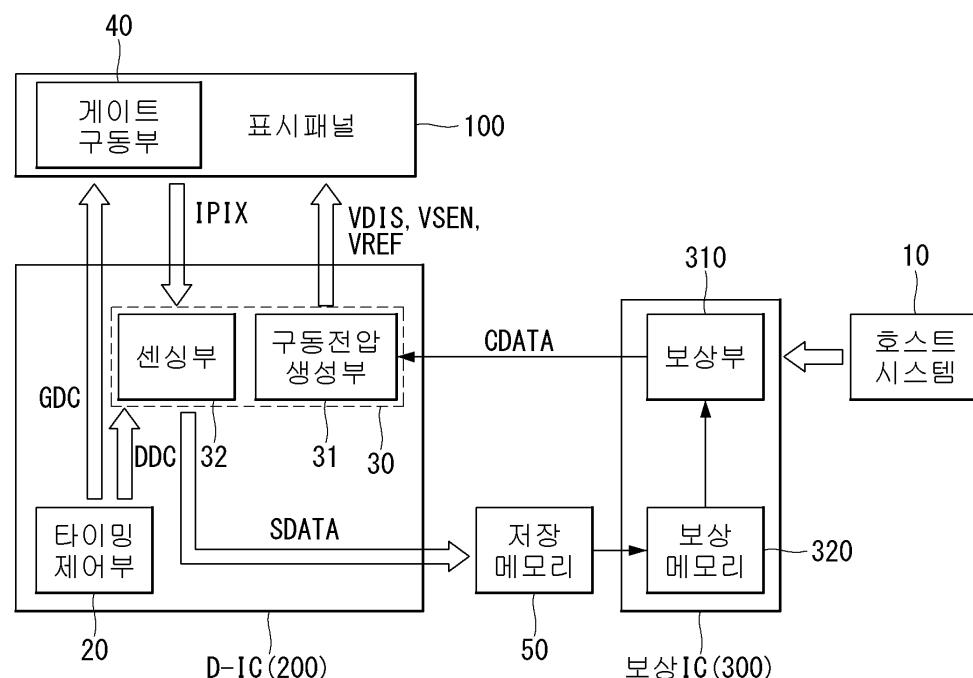
200: 드라이버 IC 20: 타이밍 제어부

32: 센싱부 CI: 적분기

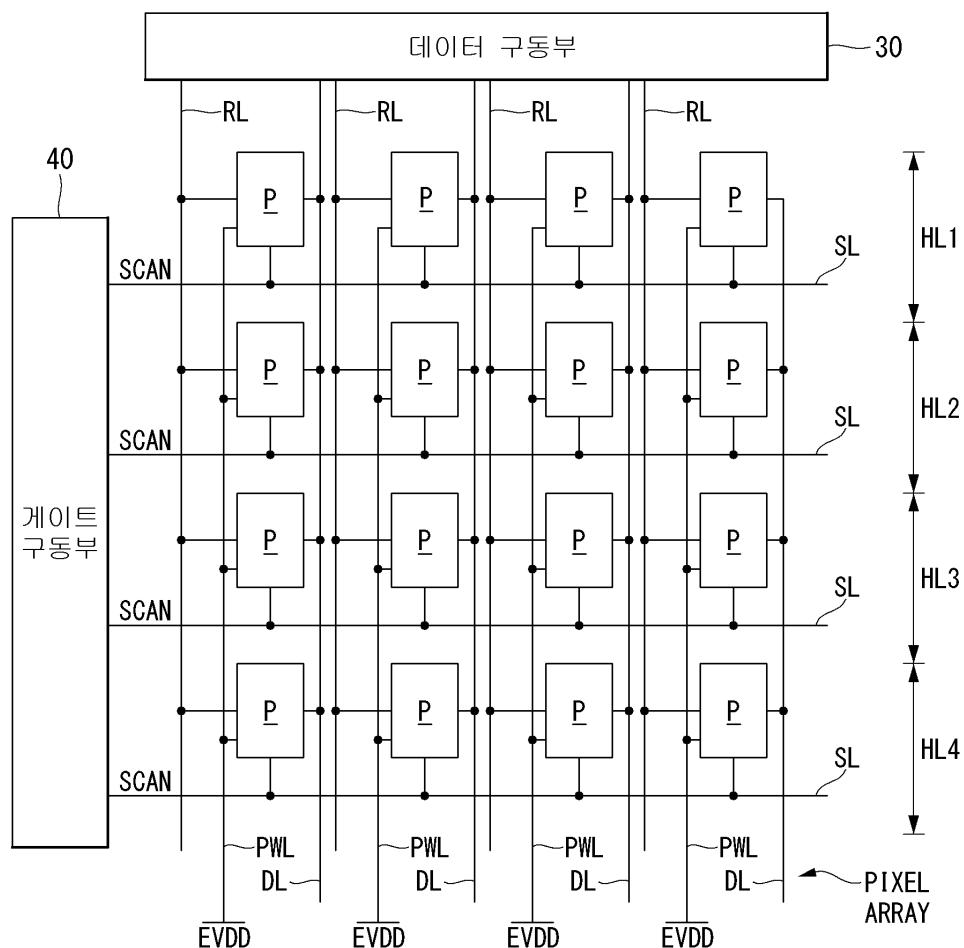
SEL1: 제1 선택 스위치

도면

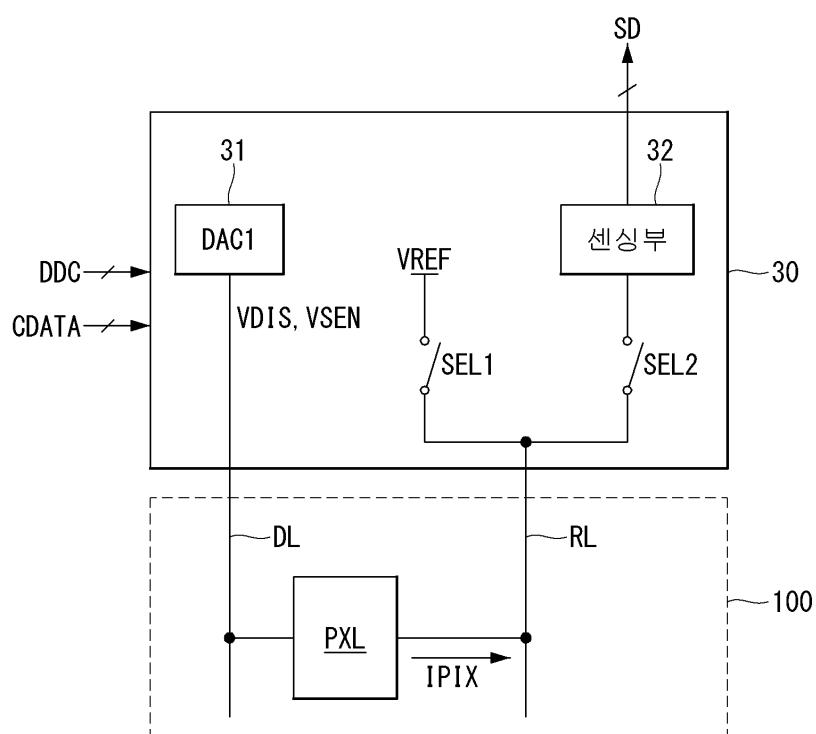
도면1



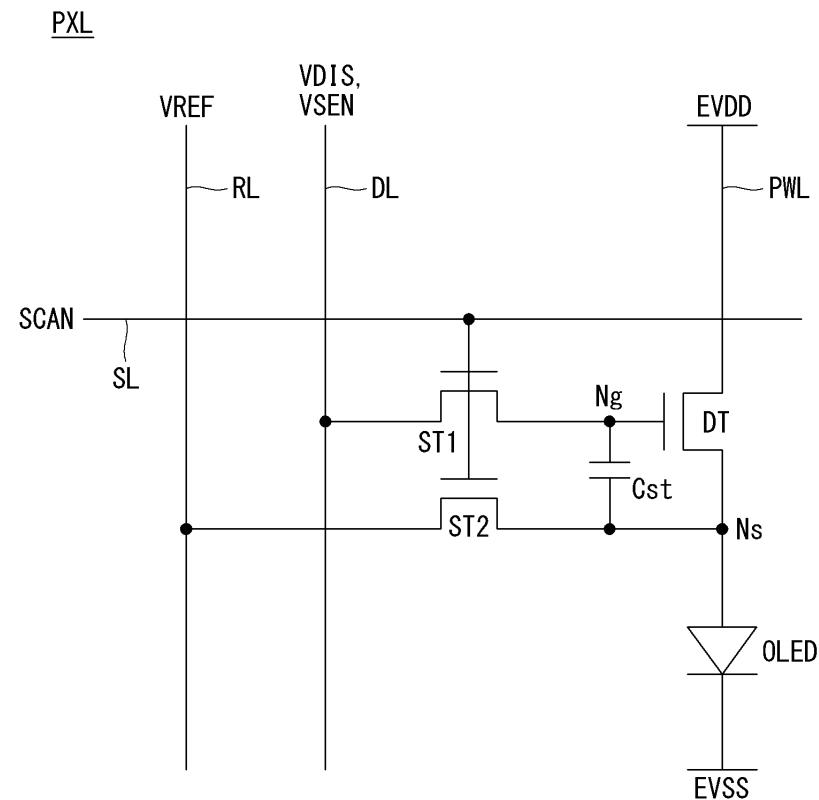
도면2



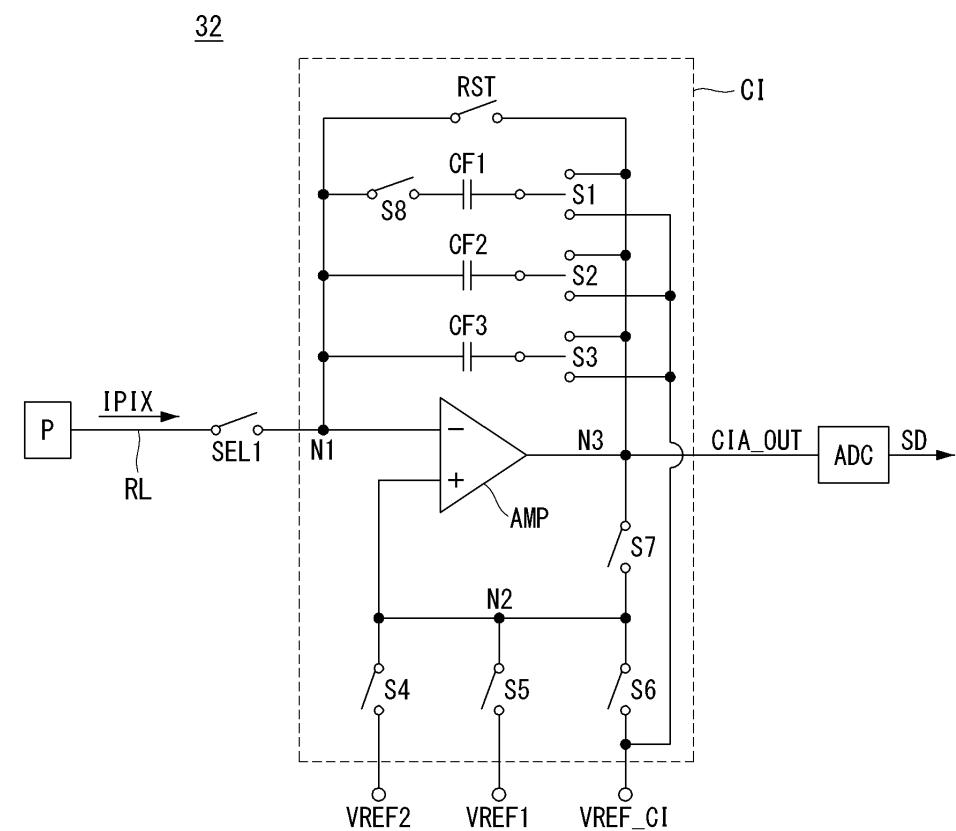
도면3



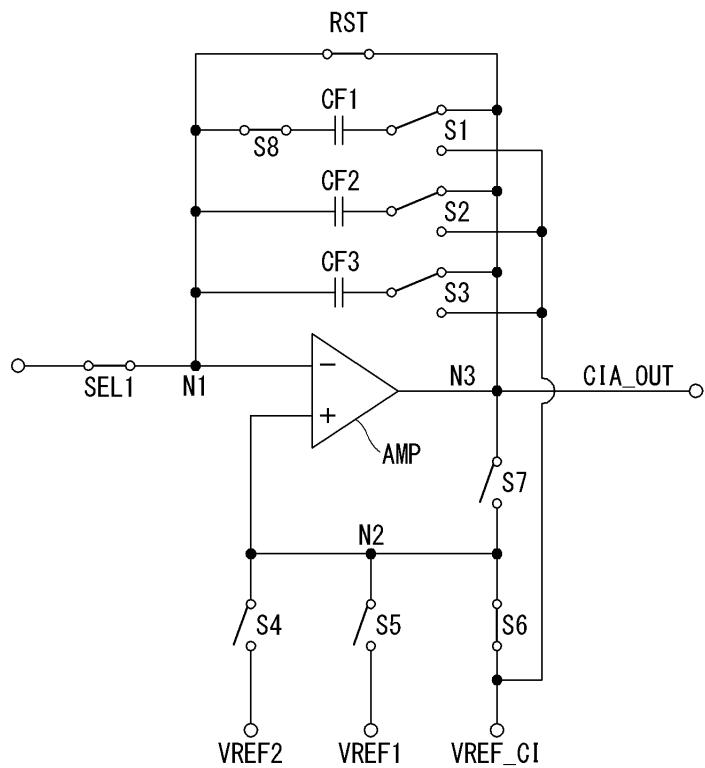
도면4



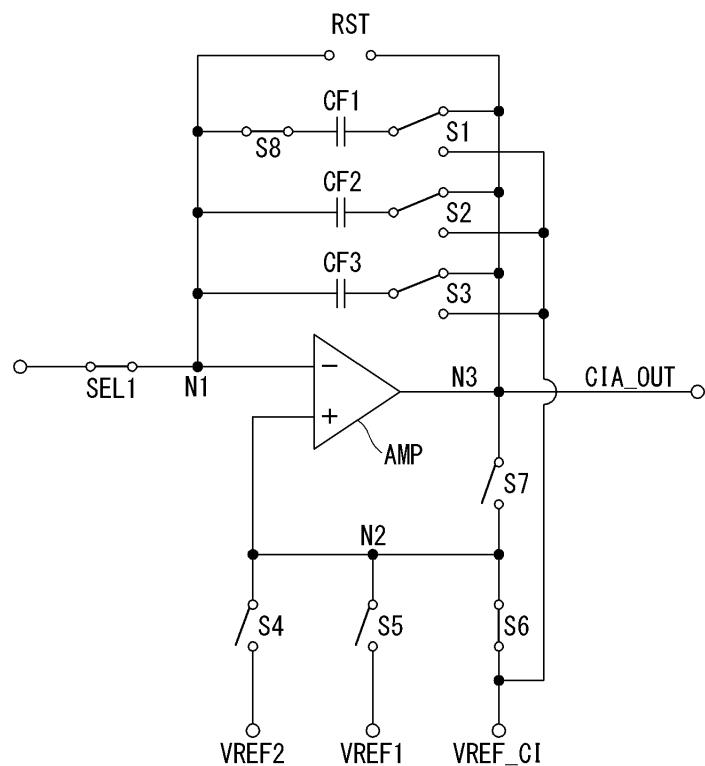
도면5



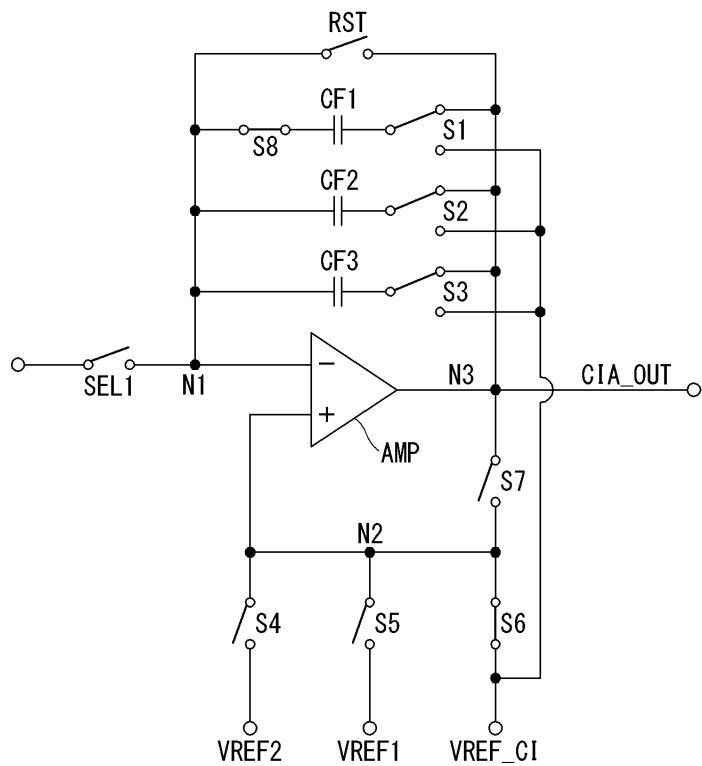
도면6a



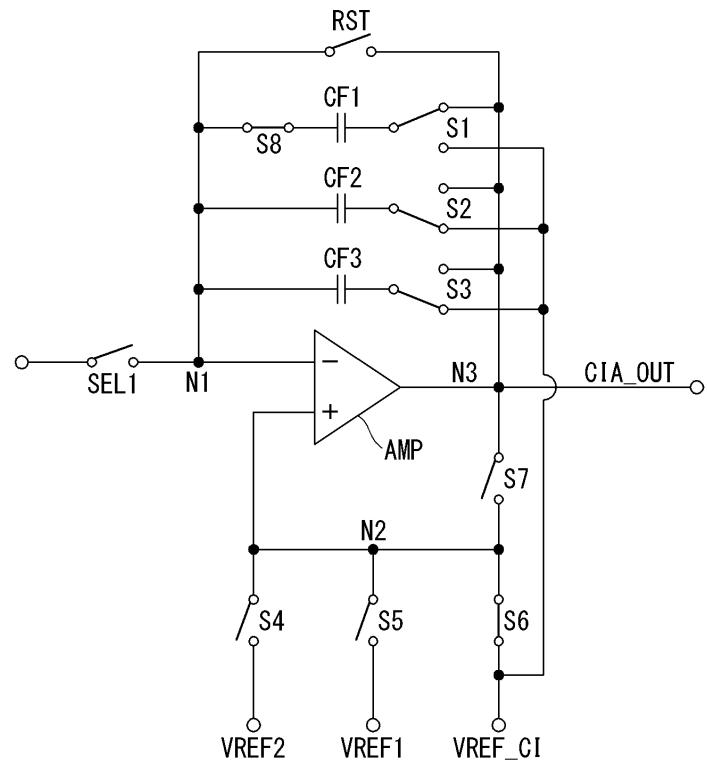
도면6b



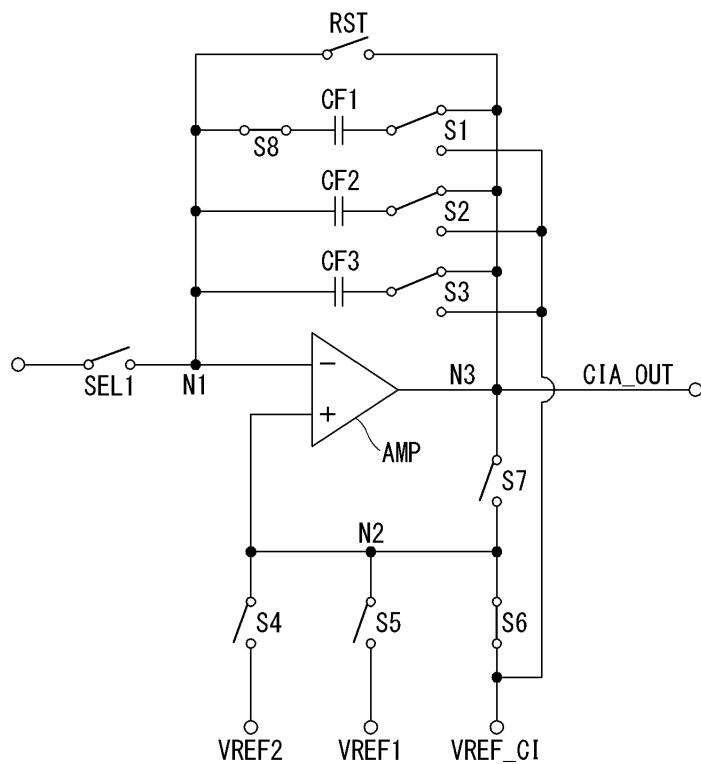
도면6c



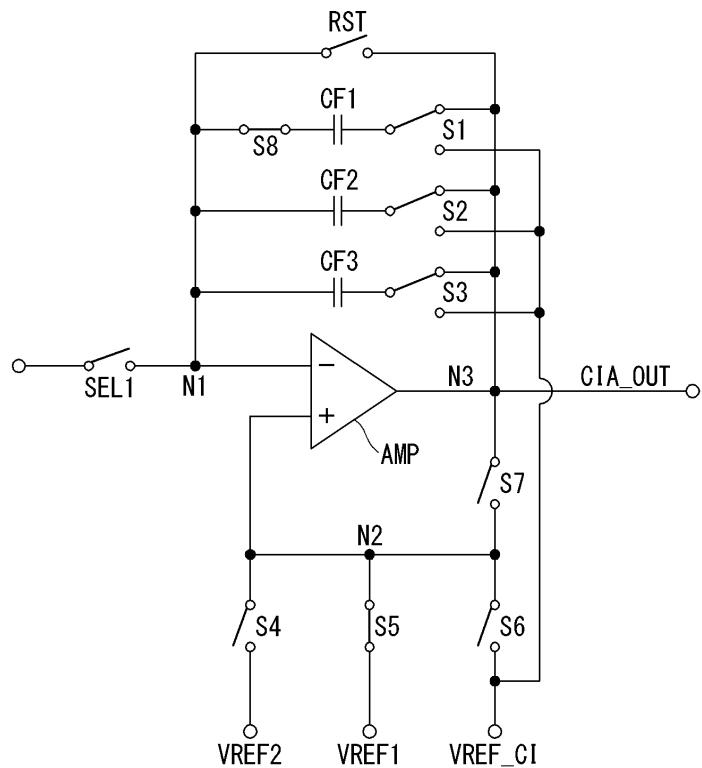
도면6d



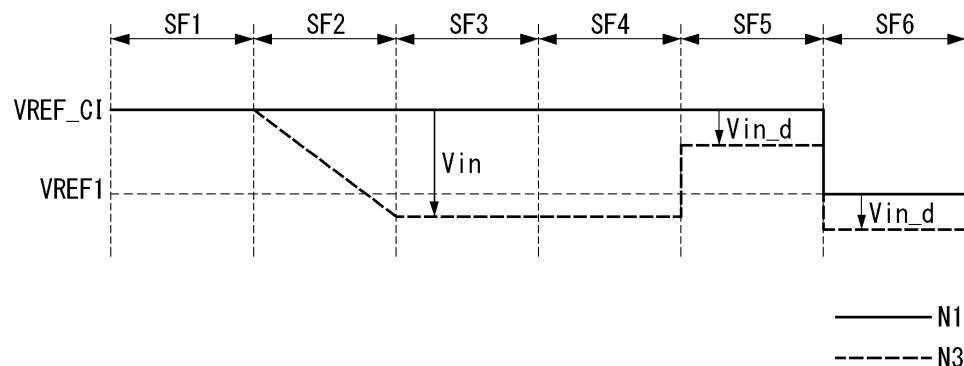
도면6e



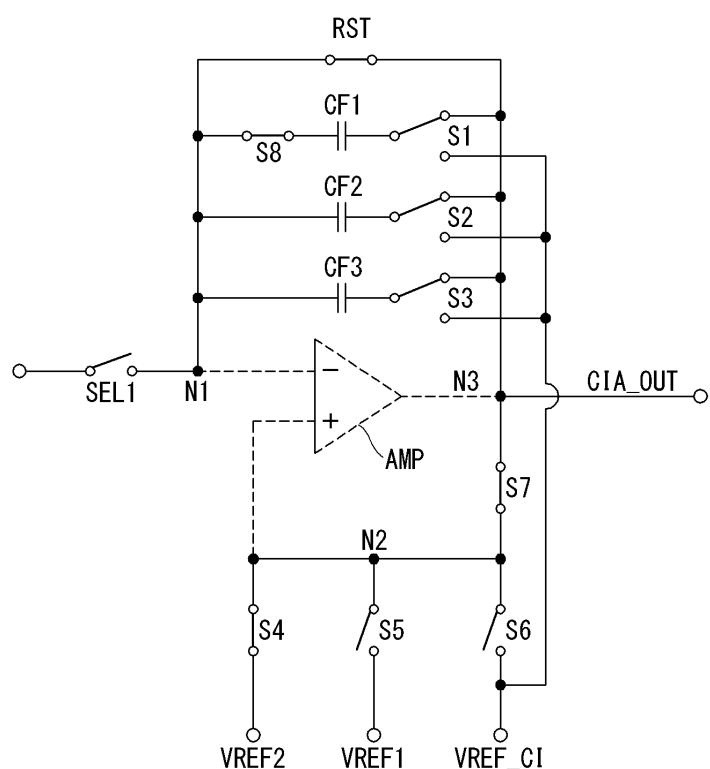
도면6f



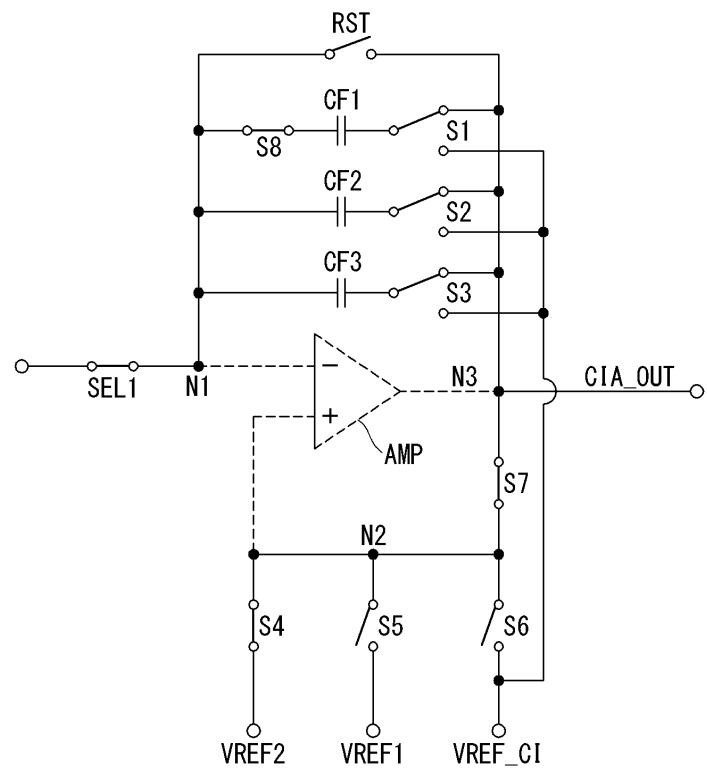
도면7



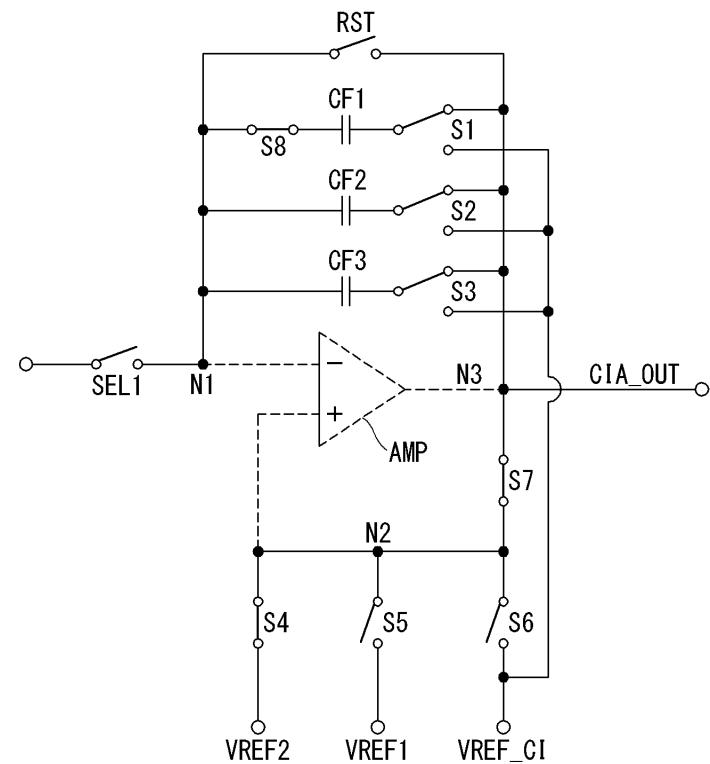
도면8a



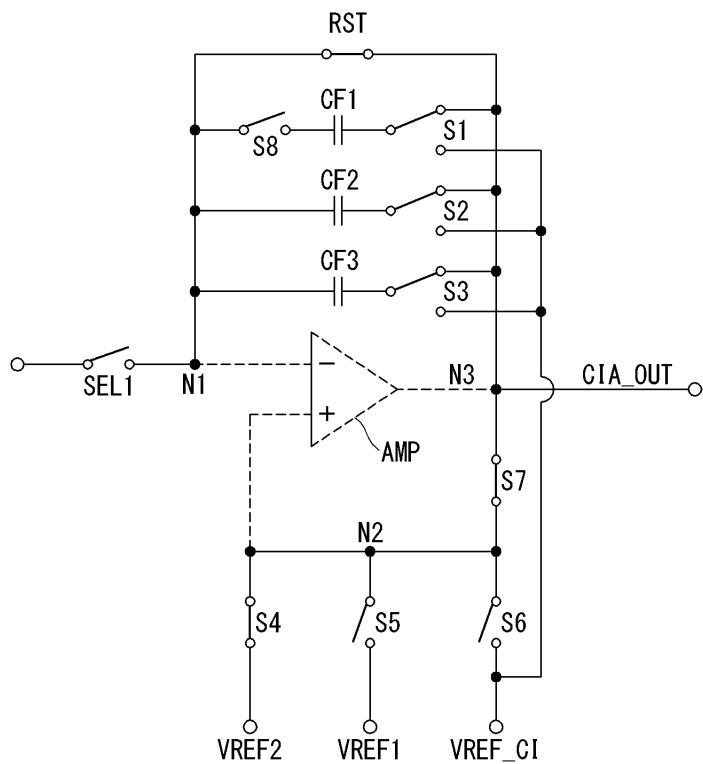
도면8b



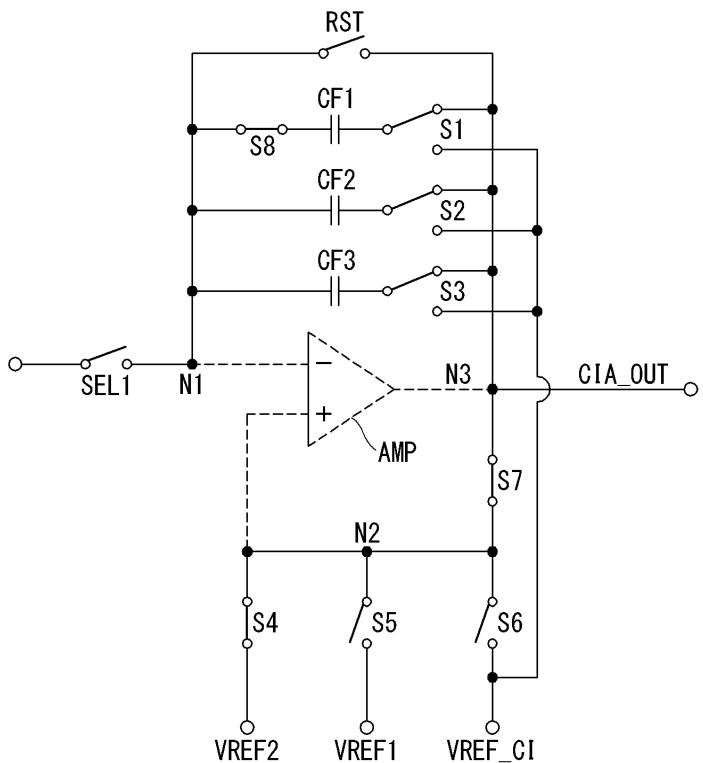
도면8c



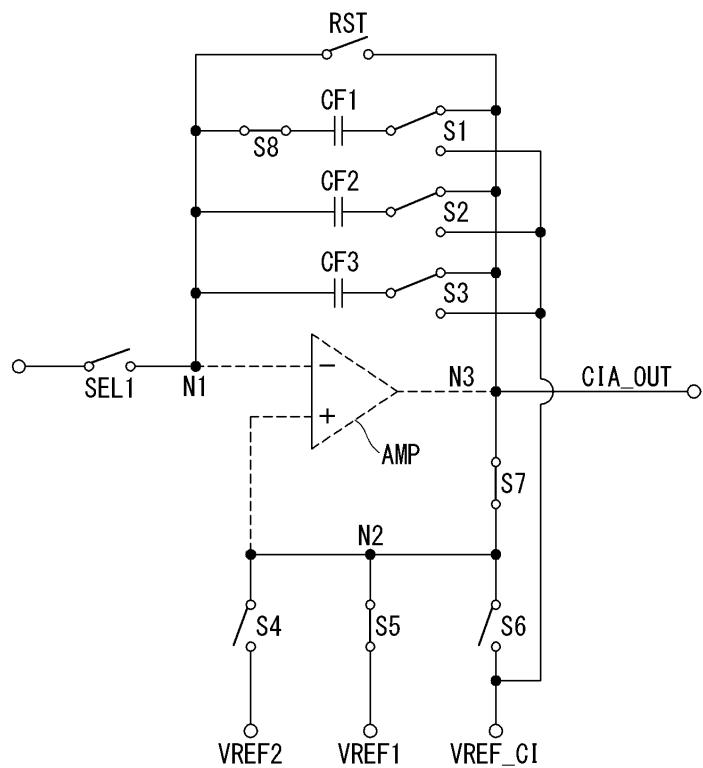
도면8d



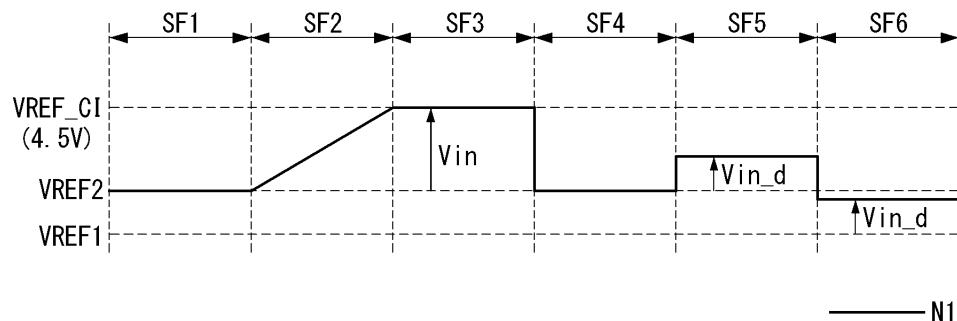
도면8e



도면8f



도면9



专利名称(译)	感测装置和包括该感测装置的有机发光显示装置		
公开(公告)号	KR1020200081081A	公开(公告)日	2020-07-07
申请号	KR1020180171196	申请日	2018-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박만규 홍진철		
发明人	박만규 홍진철		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2320/0295		

摘要(译)

本发明包括放大器,复位开关,电容器和开关。放大器包括:第一输入端子,其通过连接至感测线的第一节点接收像素电流;第二输入端子,其通过第二节点接收初始积分器基准电压或第一积分器基准电压;以及像素电流的积分。输出端子将产生的积分器输出电压输出到第三节点。重置开关连接到第一节点和第三节点。多个电容器在第一节点和第三节点之间彼此并联连接。多个开关与积分电容器一对一连接,并且选择性地连接第三节点的输入端子或初始参考电压。

32

