



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0046196
(43) 공개일자 2020년05월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/32 (2013.01)
H01L 51/56 (2013.01)
(21) 출원번호 10-2018-0126447
(22) 출원일자 2018년10월23일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
양희성
서울특별시 송파구 송파대로 111(문정동, 파크하비오), 202동 C1304호
강승배
경기도 수원시 영통구 영통로154번길 56(망포동, 한양수자인 에듀파크), 106동 1103호
(74) 대리인
박영우

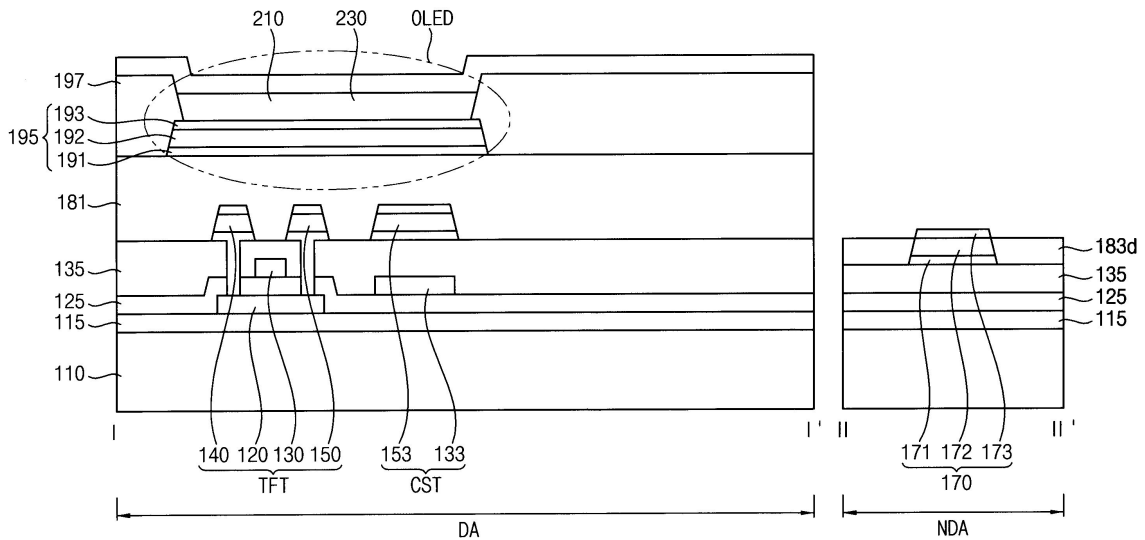
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 기판 상의 표시 영역에 배치된 트랜지스터를 덮는 평탄화막, 상기 평탄화막 상에 유기 발광 다이오드, 상기 표시 영역을 둘러싸는 상기 기판 상의 비표시 영역에 배치된 패드 전극 및 상기 패드 전극의 측면을 캡핑하는 잔류 희생층을 포함한다. 이에 따르면, 표시 영역의 평탄화막을 희생층을 이용한 CMP 연마 공정으로 상기 표시 영역에 존재하는 평탄화막의 단차를 제거할 수 있다. 이에 따라서, 상기 표시 영역의 광 특성 및 광 효율을 향상시킬 수 있다. 또한, 표시 장치의 비표시 영역에 잔류하는 잔류 희생층이 패드 전극 및 배선의 측면을 캡핑함으로써 상기 패드 전극 및 상기 배선을 부식 등과 같은 손상으로부터 보호할 수 있다.

대표도



(52) CPC특허분류

H01L 2251/56 (2013.01)

(72) 발명자

강봉구

서울특별시 성동구 성수일로4길 26(성수동2가, 서울숲힐스테이트), 103동 1701호

강태욱

경기도 성남시 분당구 수내로 181(분당동, 셋별마을우방아파트), 311동 403호

배준화

경기도 수원시 영통구 영통로 232(영통동, 두산.우성.한신아파트), 822동 901호

조우진

경기도 용인시 기흥구 동백중앙로 312(중동, 백현마을동일하이빌아파트), 2103동 1802호

추병권

경기도 화성시 동탄중앙로 220(반송동, 메타폴리스), B동 5101호

명세서

청구범위

청구항 1

기관 상의 표시 영역에 배치된 트랜지스터를 덮는 평탄화막;
 상기 평탄화막 상에 유기 발광 다이오드;
 상기 표시 영역을 둘러싸는 상기 기관 상의 비표시 영역에 배치된 패드 전극; 및
 상기 패드 전극의 측면을 캡핑하는 잔류 희생층을 포함하는 표시 장치.

청구항 2

제1항에 있어서, 상기 희생층은 상기 평탄화막과 다른 선택비를 갖는 물질을 포함하는 것을 특징으로 하는 표시 장치.

청구항 3

제1항에 있어서, 상기 패드 전극은 상기 기관 상에 형성된 제1 층, 상기 제1 층 상에 형성된 제2 층 및 상기 제2 층 상에 형성된 제3 층을 포함하고, 상기 잔류 희생층은 상기 패드 전극의 상기 제1 및 제2층의 측면을 캡핑하는 것을 특징으로 하는 표시 장치.

청구항 4

제3항에 있어서, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄을 포함하는 표시 장치.

청구항 5

제4항에 있어서, 상기 비표시 영역에 배치되고 상기 패드 전극과 연결된 배선을 더 포함하고,
 상기 배선의 측면은 상기 잔류 희생층에 의해 캡핑되는 것을 특징으로 하는 표시 장치.

청구항 6

제5항에 있어서, 상기 배선은 순차적으로 적층되는 상기 제1 층, 상기 제2 층 및 상기 제3 층을 포함하고,
 상기 잔류 희생층은 상기 배선의 상기 제1 및 제2층의 측면을 캡핑하는 것을 특징으로 하는 표시 장치.

청구항 7

제1항에 있어서, 상기 유기 발광 다이오드는
 상기 평탄화막 상에 형성된 제1 전극;
 상기 제1 전극을 노출하는 개구가 형성된 화소 정의막;
 상기 화소 정의막의 상기 개구 내에 형성된 유기 발광층; 및
 상기 유기 발광층 상에 형성된 제2 전극을 포함하는 것을 특징으로 하는 표시 장치.

청구항 8

기관 상의 표시 영역을 둘러싸는 비표시 영역에 패드 전극을 형성하는 단계;
 상기 기관 상의 표시 영역에 형성된 트랜지스터를 제1 두께로 덮는 평탄화막을 형성하는 단계;
 상기 표시 영역의 상기 평탄화막 및 상기 비표시 영역의 상기 패드 전극을 덮는 희생층을 형성하는 단계;
 상기 평탄화막 및 상기 희생층을 CMP(Cheical Mechanical Polishing) 연마하여 상기 평탄화막을 제1 두께로

다 얇은 제2 두께로 형성하는 단계;

상기 패드 전극의 상부 면을 노출하고 상기 패드 전극의 측면을 캡핑하는 잔류 희생층을 형성하는 단계; 및
상기 제2 두께의 상기 평탄화막 상에 유기 발광 다이오드 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 9

제8항에 있어서, 상기 희생층은 상기 평탄화막과 다른 선택비를 갖는 물질을 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 10

제8항에 있어서, 상기 CMP 연마하는 단계는

상기 평탄화막 및 상기 희생층의 연마 속도 비율이 다른 슬러리를 사용하여 상기 평탄화막 및 상기 희생층을 연마하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 11

제10항에 있어서, 상기 슬러리는 상기 패드 전극의 부식을 방지하는 부식 방지제를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 12

제10항에 있어서, 상기 평탄화막은 유기 물질을 포함하고, 상기 희생층은 무기 물질을 포함하는 경우,

상기 무기 물질을 연마하는 제1 슬러리를 이용하여 상기 희생층을 연마하고, 상기 유기 물질을 연마하는 제2 슬러리를 이용하여 상기 평탄화막의 일부 두께를 연마하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 13

제10항에 있어서, 상기 비표시 영역의 패드 전극 상에 형성된 상기 희생층의 두께가 상기 평탄화막의 상기 제1 두께 이상이면,

상기 슬러리는 상기 평탄화막의 연마 속도 비율보다 큰 상기 희생층의 연마 속도 비율을 갖는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 14

제10항에 있어서, 상기 비표시 영역의 패드 전극 상에 형성된 상기 희생층의 두께가 상기 평탄화막의 상기 제1 두께 보다 얇으면,

상기 슬러리는 상기 평탄화막의 연마 속도 비율 보다 작은 상기 희생층의 연마 속도 비율을 갖는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15

제10항에 있어서, 하드(Hard)한 계열의 연마 패드로 상기 슬러리를 가압하여 연마하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 16

제8항에 있어서, 상기 패드 전극은 상기 기판 상에 형성된 제1 층, 상기 제1 층 상에 형성된 제2 층 및 상기 제2 층 상에 형성된 제3 층을 포함하고, 상기 잔류 희생층은 상기 패드 전극의 상기 제1 및 제2 층의 측면을 캡핑하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17

제16항에 있어서, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄을 포함하는 표시 장치의 제조 방법.

청구항 18

제16항에 있어서, 상기 비표시 영역에 배치되고 상기 패드 전극과 연결된 배선을 형성하는 단계를 더 포함하고, 상기 배선의 측면은 상기 잔류 회생층에 의해 캡핑되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 19

제18항에 있어서, 상기 배선은 순차적으로 적층되는 상기 제1 층, 상기 제2 층 및 상기 제3 층을 포함하고, 상기 잔류 회생층은 상기 배선의 상기 제1 및 제2층의 측면을 캡핑하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 20

제8항에 있어서, 상기 유기 발광 다이오드를 형성하는 단계는
 상기 제2 두께의 상기 평탄화막 상에 제1 전극을 형성하는 단계;
 상기 제1 전극을 노출하는 개구가 형성된 화소 정의막을 형성하는 단계;
 상기 화소 정의막의 상기 개구 내에 유기 발광층을 형성하는 단계; 및
 상기 유기 발광층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 대면적 평탄화에 유리한 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치의 중요성이 증대되고 있다. 평판 표시 장치 중 액정 표시 장치 및 유기 발광 표시 장치는 해상도, 화질 등이 우수하여 널리 상용화되고 있다. 특히, 유기 발광 표시 장치는 응답 속도가 빠르고, 소비 전력이 낮으며, 자체 발광하므로 시야각이 우수하여 차세대 평판 표시 장치로 주목 받고 있다.

[0003] 평판 표시 장치는 표시 영역에 광학 소자 및 상기 광학 소자를 구동하기 위한 트랜지스터 및 커패시터를 포함하는 회로층이 형성된다. 상기 회로층은 다수의 금속층들 및 다수의 절연층들이 적층된다. 이에 따라서, 상기 화소 회로 상에 배치되는 광학 소자가 배치된다. 상기 광학 소자의 광학 특성 및 광 효율을 개선하기 위해 상기 광학 소자를 형성하기 전에 상기 화소 회로에 의한 단차를 평탄화하기 위해 두꺼운 두께로 평탄화막을 형성한다. 그럼에도 불구하고, 평탄화막 하부의 적층 구조가 복잡하여 단차를 제거하기 어렵다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 표시 영역의 평탄화로 광학 특성이 개선된 표시 장치를 제공하는 것이다.

[0005] 본 발명의 일 목적은 상기 표시 장치를 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치는 기판 상의 표시 영역에 배치된 트랜지스터를 덮는 평탄화막, 상기 평탄화막 상에 유기 발광 다이오드, 상기 표시 영역을 둘러싸는 상기 기판 상의 비 표시 영역에 배치된 패드 전극 및 상기 패드 전극의 측면을 캡핑하는 잔류 회생층을 포함한다.

[0007] 일 실시예에 따르면, 상기 회생층은 상기 평탄화막과 다른 선택비를 갖는 물질을 포함할 수 있다.

[0008] 일 실시예에 따르면, 상기 패드 전극은 상기 기판 상에 형성된 제1 층, 상기 제1 층 상에 형성된 제2 층 및 상

기 제2 층 상에 형성된 제3 층을 포함하고, 상기 잔류 희생층은 상기 패드 전극의 상기 제1 및 제2층의 측면을 캡핑할 수 있다.

- [0009] 일 실시예에 따르면, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄을 포함할 수 있다.
- [0010] 일 실시예에 따르면, 상기 비표시 영역에 배치되고 상기 패드 전극과 연결된 배선을 더 포함하고, 상기 배선의 측면은 상기 잔류 희생층에 의해 캡핑될 수 있다.
- [0011] 일 실시예에 따르면, 상기 배선은 순차적으로 적층되는 상기 제1 층, 상기 제2 층 및 상기 제3 층을 포함하고, 상기 잔류 희생층은 상기 배선의 상기 제1 및 제2층의 측면을 캡핑할 수 있다.
- [0012] 일 실시예에 따르면, 상기 유기 발광 다이오드는 상기 평탄화막 상에 형성된 제1 전극, 상기 제1 전극을 노출하는 개구가 형성된 화소 정의막, 상기 화소 정의막의 상기 개구 내에 형성된 유기 발광층, 및 상기 유기 발광층 상에 형성된 제2 전극을 포함할 수 있다.
- [0013] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치의 제조 방법은 기판 상의 표시 영역을 둘러싸는 비표시 영역에 패드 전극을 형성하는 단계, 상기 기판 상의 표시 영역에 형성된 트랜지스터를 제1 두께로 덮는 평탄화막을 형성하는 단계, 상기 표시 영역의 상기 평탄화막 및 상기 비표시 영역의 상기 패드 전극을 덮는 희생층을 형성하는 단계, 상기 평탄화막 및 상기 희생층을 CMP(Chemical Mechanical Polishing) 연마하여 상기 평탄화막을 제1 두께 보다 얇은 제2 두께로 형성하는 단계, 상기 패드 전극의 상부 면을 노출하고 상기 패드 전극의 측면을 캡핑하는 잔류 희생층을 형성하는 단계, 및 상기 제2 두께의 상기 평탄화막 상에 유기 발광 다이오드 형성하는 단계를 포함한다.
- [0014] 일 실시예에 따르면, 상기 희생층은 상기 평탄화막과 다른 선택비를 갖는 물질을 포함할 수 있다.
- [0015] 일 실시예에 따르면, 상기 CMP 연마하는 단계는 상기 평탄화막 및 상기 희생층의 연마 속도 비율이 다른 슬러리를 사용하여 상기 평탄화막 및 상기 희생층을 연마할 수 있다.
- [0016] 일 실시예에 따르면, 상기 슬러리는 상기 패드 전극의 부식을 방지하는 부식 방지제를 포함할 수 있다.
- [0017] 일 실시예에 따르면, 상기 평탄화막은 유기 물질을 포함하고, 상기 희생층은 무기 물질을 포함하는 경우, 상기 무기 물질을 연마하는 제1 슬러리를 이용하여 상기 희생층을 연마하고, 상기 유기 물질을 연마하는 제2 슬러리를 이용하여 상기 평탄화막의 일부 두께를 연마할 수 있다.
- [0018] 일 실시예에 따르면, 상기 비표시 영역의 패드 전극 상에 형성된 상기 희생층의 두께가 상기 평탄화막의 상기 제1 두께 이상이면, 상기 슬러리는 상기 평탄화막의 연마 속도 비율보다 큰 상기 희생층의 연마 속도 비율을 가질 수 있다.
- [0019] 일 실시예에 따르면, 상기 비표시 영역의 패드 전극 상에 형성된 상기 희생층의 두께가 상기 평탄화막의 상기 제1 두께 보다 얇으면, 상기 슬러리는 상기 평탄화막의 연마 속도 비율 보다 작은 상기 희생층의 연마 속도 비율을 가질 수 있다.
- [0020] 일 실시예에 따르면, 하드(Hard)한 계열의 연마 패드로 상기 슬러리를 가압하여 연마하는 것을 특징으로 하는 표시 장치의 제조 방법.
- [0021] 일 실시예에 따르면, 상기 패드 전극은 상기 기판 상에 형성된 제1 층, 상기 제1 층 상에 형성된 제2 층 및 상기 제2 층 상에 형성된 제3 층을 포함하고, 상기 잔류 희생층은 상기 패드 전극의 상기 제1 및 제2 층의 측면을 캡핑할 수 있다.
- [0022] 일 실시예에 따르면, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄을 포함할 수 있다.
- [0023] 일 실시예에 따르면, 상기 비표시 영역에 배치되고 상기 패드 전극과 연결된 배선을 형성하는 단계를 더 포함하고, 상기 배선의 측면은 상기 잔류 희생층에 의해 캡핑될 수 있다.
- [0024] 일 실시예에 따르면, 상기 배선은 순차적으로 적층되는 상기 제1 층, 상기 제2 층 및 상기 제3 층을 포함하고, 상기 잔류 희생층은 상기 배선의 상기 제1 및 제2층의 측면을 캡핑할 수 있다.
- [0025] 일 실시예에 따르면, 상기 유기 발광 다이오드를 형성하는 단계는 상기 제2 두께의 상기 평탄화막 상에 제1 전극을 형성하는 단계, 상기 제1 전극을 노출하는 개구가 형성된 화소 정의막을 형성하는 단계, 상기 화소 정의막

의 상기 개구 내에 유기 발광층을 형성하는 단계 및 상기 유기 발광층 상에 제2 전극을 형성하는 단계를 포함할 수 있다.

발명의 효과

[0026] 상기와 같은 본 발명의 실시예들에 따른 표시 장치 및 이의 제조 방법에 따르면, 표시 영역의 평탄화막을 희생층을 이용하여 CMP 연마 공정으로 표시 영역에 존재하는 평탄화막의 단차를 제거할 수 있다. 이에 따라서, 표시 영역의 광 특성 및 광 효율을 향상시킬 수 있다. 또한, 표시 장치의 비표시 영역에 잔류하는 잔류 희생층이 패드 전극의 측면을 캡핑함으로써 상기 패드 전극을 부식 등과 같은 손상으로부터 보호할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
 도 2는 도 1의 표시 장치의 A 부분을 설명하기 위한 확대도이다.
 도 3은 도 2의 I-I'선 및 II-II'선을 따라 절단한 표시 장치의 단면도이다.
 도 4 내지 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.

[0030] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다. 표시 영역(DA)에는 복수의 화소들(PX)이 배치될 수 있다. 표시 영역(DA)은 복수의 화소들(PX)이 방출하는 광들에 기초하여 영상을 표시할 수 있다.

[0031] 비표시 영역(NDA)은 표시 영역(DA)에 이웃할 수 있다. 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일 측에 위치할 수 있다. 예를 들면, 비표시 영역(NDA)은 표시 영역(DA)을 둘러쌀 수 있다. 비표시 영역(NDA)은 복수의 패드들(170)이 배치되는 패드 영역(PDA)을 포함할 수 있다.

[0032] 도 2는 도 1의 표시 장치의 A 부분을 설명하기 위한 확대도이다. 도 3은 도 2의 I-I'선 및 II-II'선을 따라 절단한 표시 장치의 단면도이다.

[0033] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(110), 박막 트랜지스터(TFT), 배선(160), 패드 전극(170) 및 유기 발광 다이오드(OLED)를 포함할 수 있다. 상기 유기 발광 다이오드(OLED)는 제1 전극(195), 유기 발광층(210) 및 제2 전극(220)을 포함할 수 있다.

[0034] 기관(110)은 투명하거나 불투명한 절연 기관일 수 있다. 예를 들면, 기관(110)은 유리 또는 폴리이미드(PI), 폴리카보네이트(PC), 폴리에테르술폰(PES), 폴리에틸렌 테레프탈레이트(PET), 폴리아크릴레이트 등과 같은 플라스틱을 포함할 수 있다.

[0035] 기관(110) 상에는 버퍼층(115)이 배치될 수 있다. 버퍼층(115)은 표시 영역(DA) 및 비표시 영역(NDA)에 위치할 수 있다. 버퍼층(115)은 기관(110)을 통해 침투하는 산소, 수분 등과 같은 불순물을 차단할 수 있다. 또한, 버퍼층(115)은 기관(110)의 상부에 평탄면을 제공할 수 있다. 버퍼층(115)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다. 선택적으로, 버퍼층(115)은 생략될 수 있다.

[0036] 상기 표시 영역(DA)의 버퍼층(115) 상에는 박막 트랜지스터(TFT) 및 스토리지 커패시터(CST)가 배치될 수 있다. 상기 박막 트랜지스터(TFT)는 반도체층(120), 게이트 전극(130), 소스 전극(140) 및 드레인 전극(150)을 포함할 수 있다. 일 실시예에 있어서, 박막 트랜지스터(TFT)는 게이트 전극(130)이 반도체층(120)의 상부에 위치하는 탑-게이트(top-gate) 구조를 가질 수 있다. 그러나, 본 발명은 이에 한정되지 아니한다. 다른 실시예에 있어서, 박막 트랜지스터(TFT)는 게이트 전극이 반도체층의 하부에 위치하는 바텀-게이트(bottom-gate) 구조를 가질 수도 있다.

[0037] 반도체층(120)은 버퍼층(115) 상에 배치될 수 있다. 반도체층(120)은 비정질 실리콘, 다결정 실리콘, 산화물 반도체 등으로 형성될 수 있다. 반도체층(120)은 소스 영역, 드레인 영역 및 이들 사이에 형성되는 채널 영역을 포함할 수 있다.

- [0038] 버퍼층(115) 상에는 반도체층(120)을 덮는 게이트 절연막(125)이 배치될 수 있다. 게이트 절연막(125)은 표시 영역(DA) 및 비표시 영역(NDA)에 위치할 수 있다. 게이트 절연막(125)은 게이트 전극(130)을 반도체층(120)으로부터 절연시킬 수 있다. 게이트 절연막(125)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0039] 게이트 전극(130)은 게이트 절연막(125) 상에 배치될 수 있다. 상기 게이트 전극(130)은 반도체층(120)의 상기 채널 영역과 중첩할 수 있다. 상기 게이트 전극(130)은 제1 금속층으로 형성될 수 있다. 상기 제1 금속층은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 등과 같은 금속 또는 금속의 합금을 포함할 수 있다.
- [0040] 게이트 절연막(125) 상에는 게이트 전극(130)을 덮는 층간 절연막(135)이 배치될 수 있다. 층간 절연막(135)은 표시 영역(DA) 및 비표시 영역(NDA)에 위치할 수 있다. 층간 절연막(135)은 소스 전극(140) 및 드레인 전극(150)을 게이트 전극(130)으로부터 절연시킬 수 있다. 층간 절연막(135)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0041] 소스 전극(140) 및 드레인 전극(150)은 층간 절연막(135) 상에 배치될 수 있다. 소스 전극(140) 및 드레인 전극(150)은 층간 절연막(135) 및 게이트 절연막(125)에 형성되는 접촉 구멍들을 통해 각각 반도체층(120)의 상기 소스 영역 및 상기 드레인 영역에 연결될 수 있다. 상기 소스 전극(140) 및 드레인 전극(150)은 제2 금속층으로 형성될 수 있다. 상기 제2 금속층은 알루미늄 및 알루미늄 합금을 포함할 수 있다. 상기 알루미늄 합금은 구리(Cu), 바나듐(V) 및 실리콘(Si) 중에서 어느 하나를 포함할 수 있다. 상기 제2 금속층은 순차적으로 적층되는 제1 층(171), 제2 층(172) 및 제3 층(173)을 포함할 수 있다.
- [0042] 예를 들면, 제1 층(171)은 제2 층(172)의 하면에 배치되고, 제3 층(173)은 제2 층(172)의 상면에 배치될 수 있다. 상기 제1 층(171), 제2 층(172) 및 제3 층(173)은 각각 티타늄(Ti), 알루미늄 및 티타늄을 포함할 수 있다.
- [0043] 상기 스토리지 커패시터(CST)는 상기 게이트 전극(130)과 동일한 제1 금속층으로 형성된 제1 스토리지 전극(133)과 상기 소스 및 드레인 전극들과 동일한 제2 금속층으로 형성된 제2 스토리지 전극(153)을 포함한다. 상기 제2 스토리지 전극(153)은 상기 제1 스토리지 전극(133)과 중첩하고, 상기 제1 및 제2 스토리지 전극들(133, 153)의 중첩 영역에서 상기 스토리지 커패시터(CST)가 정의될 수 있다.
- [0044] 상기 비표시 영역(NDA)의 층간 절연막(135) 상에는 배선(160) 및 상기 배선(160)의 단부에 연결된 패드 전극(170)이 배치될 수 있다.
- [0045] 상기 배선(160)은 소스 전극(140) 및 드레인 전극(150)과 동일한 제2 금속층으로 형성될 수 있다. 상기 배선(160)은 순차적으로 적층되는 제1 층(171), 제2 층(172) 및 제3 층(173)을 포함할 수 있다. 상기 배선(160)의 상기 제2 층(172)은 주 배선층의 역할을 하고, 상기 배선(160)의 제1 층(171) 및 제3 층(173)은 각각 제2 층(172)의 하면 및 상면을 보호하는 보조 배선층의 역할을 할 수 있다.
- [0046] 상기 패드 전극(170)은 소스 전극(140) 및 드레인 전극(150)과 동일한 제2 금속층으로 형성될 수 있다. 상기 패드 전극(170)은 상기 배선(160)과 일체로 형성될 수 있다. 상기 패드 전극(170)은 순차적으로 적층되는 제1 층(171), 제2 층(172) 및 제3 층(173)을 포함할 수 있다. 상기 패드 전극(170)의 상기 제2 층(172)은 주 전극층의 역할을 하고, 상기 패드 전극(170)의 제1 층(171) 및 제3 층(173)은 각각 제2 층(172)의 하면 및 상면을 보호하는 보조 전극층의 역할을 할 수 있다.
- [0047] 일 실시예에 따르면, 상기 비표시 영역(NDA)에 배치된 상기 패드 전극(170)의 측면을 캡핑하는 잔류 희생층(183d)이 배치된다.
- [0048] 상기 잔류 희생층(183d)은 상기 패드 전극(170)의 측면이 노출되는 것을 막는다. 상기 패드 전극(170)의 제1, 제2 및 제3 층들(171, 172, 173) 중 제1 및 제2 층들(171, 172)의 측면이 노출되는 것을 막을 수 있다.
- [0049] 상기 잔류 희생층(183d)이 상기 패드 전극(170)의 제2 층(172)의 측면을 캡핑함으로써 상기 패드 전극(170)의 주 전극층이 부식 등과 같은 손상으로부터 보호할 수 있다.
- [0050] 또한, 상기 잔류 희생층(183d)은 상기 비표시 영역(NDA)에 배치된 상기 배선(160)의 측면을 캡핑할 수 있다.
- [0051] 상기 잔류 희생층(183d)이 상기 배선(160)의 제2 층(172)의 측면을 캡핑함으로써 상기 배선(160)의 주 배선층이 부식 등과 같은 손상으로부터 보호할 수 있다.
- [0052] 상기 표시 영역(DA)의 상기 층간 절연막(135) 상에는 소스 전극(140) 및 드레인 전극(150)을 덮도록 두꺼운 두께를 갖는 평탄화막(181)이 배치될 수 있다. 상기 평탄화막(181)은 상기 제1 전극(195)을 소스 전극(140) 및 드

레인 전극(150)으로부터 절연시킬 수 있다. 상기 평탄화막(181)은 아크릴계 수지, 에폭시계 수지, 폴리이미드계 수지, 폴리에스테르계 수지 등의 유기 물질을 포함할 수 있다.

- [0053] 일 실시예에 따르면, 상기 평탄화막(181)은 CMP(Chemical Mechanical Polishing) 연마 공정을 통해 상기 평탄화막(181)의 하부에 배치된 적층 구조에 차이에 따른 단차를 제거할 수 있다.
- [0054] 상기 표시 영역(DA)의 평탄화막(181) 상에는 상기 제1 전극(195)이 배치될 수 있다. 상기 제1 전극(195)은 상기 평탄화막(181)에 형성되는 접촉 구멍을 통해 박막 트랜지스터(TFT)의 드레인 전극(150)에 연결될 수 있다.
- [0055] 일 실시예에 있어서, 상기 제1 전극(195)은 순차적으로 적층되는 제1 층(191), 제2 층(192) 및 제3 층(193)을 포함할 수 있다. 예를 들면, 제1 층(191)은 제2 층(192)의 하면에 배치되고, 제3 층(193)은 제2 층(192)의 상면에 배치될 수 있다.
- [0056] 상기 제1 전극(195)의 제1 층(191), 제2 층(192) 및 제3 층(193)은 각각 인듐 주석 산화물(ITO), 은 및 인듐 주석 산화물을 포함할 수 있다. 제1 전극(195)의 제2 층(192)은 주 전극층의 역할을 하고, 제1 전극(195)의 제1 층(191) 및 제3 층(193)은 각각 제2 층(192)의 하면 및 상면을 보호하는 보조 전극층의 역할을 할 수 있다.
- [0057] 상기 표시 영역(DA)의 상기 평탄화막(181) 상에는 제1 전극(195)을 덮는 화소 정의막(197)이 배치될 수 있다. 상기 화소 정의막(197)은 제2 전극(220)을 상기 제1 전극(195)으로부터 절연시킬 수 있다. 또한, 화소 정의막(197)은 상기 제1 전극(195)의 상면을 노출시키는 개구를 포함하고, 발광 영역을 정의할 수 있다. 상기 화소 정의막(197)은 아크릴계 수지, 에폭시계 수지, 폴리이미드계 수지, 폴리에스테르계 수지 등의 유기 물질을 포함할 수 있다.
- [0058] 상기 유기 발광층(210)은 상기 제1 전극(195)의 상면을 노출하는 개구 내에 배치될 수 있다. 상기 유기 발광층(210)은 저분자 유기 화합물 또는 고분자 유기 화합물을 포함할 수 있다.
- [0059] 일 실시예에 있어서, 상기 유기 발광층(210)은 적색광, 녹색광 또는 청색광을 방출할 수 있다. 다른 실시예에 있어서 유기 발광층(210)이 백색광을 방출하는 경우에, 상기 유기 발광층(210)은 적색 발광층, 녹색 발광층 및 청색 발광층을 포함하는 다층 구조를 포함하거나 또는 적색 발광물질, 녹색 발광물질 및 청색 발광물질을 포함하는 단층구조를 포함할 수 있다.
- [0060] 상기 제2 전극(220)은 상기 표시 영역(DA)의 상기 유기 발광층(210) 상에 배치될 수 있다. 구체적으로, 제2 전극(220)은 유기 발광층(210) 및 상기 화소 정의막(197) 상에 배치될 수 있다. 상기 제2 전극(220)은 리튬(Li), 칼슘(Ca), 리튬 불화물(LiF), 알루미늄(Al), 마그네슘(Mg) 또는 이들의 조합을 포함할 수 있다.
- [0061] 도 4 내지 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0062] 도 4를 참조하면, 기판(110) 상에 박막 트랜지스터(TFT), 배선(160) 및 패드 전극(170)을 형성할 수 있다.
- [0063] 먼저, 기판(110) 상의 표시 영역(DA) 및 비표시 영역(NDA)에 버퍼막(115)을 형성할 수 있다. 예를 들면, 버퍼막(115)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 화학 기상 증착, 스퍼터링 등의 다양한 방법에 의하여 형성될 수 있다.
- [0064] 상기 버퍼막(115)이 형성된 기판(110)의 상기 표시 영역(DA)에 반도체층(120)을 형성할 수 있다. 예를 들면, 실리콘을 함유하는 물질, 산화물 반도체 등을 포함하는 막을 버퍼막(115)의 전면에 형성하고, 이를 패터닝하여 반도체층(120)을 형성할 수 있다. 상기 실리콘을 함유하는 물질을 사용하여 반도체층(120)을 형성하는 경우에, 비정질 실리콘막을 버퍼막(115)의 전면에 형성하고, 이를 결정화하여 다결정 실리콘막을 형성할 수 있다. 그 후, 이를 패터닝한 후에 상기 패터닝된 다결정 실리콘막의 양 측부들에 불순물을 도핑하여 소스 영역, 드레인 영역 및 그들 사이에 채널 영역을 포함하는 반도체막(120)을 형성할 수 있다.
- [0065] 상기 반도체막(120)이 형성된 기판(110) 상의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 게이트 절연막(125)을 형성할 수 있다. 예를 들면, 게이트 절연막(125)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 형성될 수 있다.
- [0066] 상기 게이트 절연막(125) 상에 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 상기 표시 영역(DA)에 게이트 전극(130) 및 제1 스토리지 전극(133)을 형성할 수 있다. 상기 게이트 전극(130)은 반도체층(120)과 중첩할 수 있다. 상기 제1 금속층은 금속, 금속의 합금 등을 이용하여 형성될 수 있다.
- [0067] 상기 게이트 전극(130) 및 상기 제1 스토리지 전극(133)이 형성된 기판(110) 위의 상기 표시 영역(DA) 및 상기

비표시 영역(NDA)에 층간 절연막(135)을 형성할 수 있다. 예를 들면, 상기 층간 절연막(135)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 형성될 수 있다.

- [0068] 층간 절연막(135) 및 게이트 절연막(125)에 반도체층(120)을 노출하는 복수의 접촉 구멍들을 형성할 수 있다. 예를 들면, 상기 접촉 구멍들은 각각 반도체층(120)의 소스 영역 및 드레인 영역을 노출시킬 수 있다.
- [0069] 상기 층간 절연막(135)이 형성된 기판(110) 상에 제2 금속층을 형성하고, 상기 제2 금속층을 패터닝한다. 상기 제2 금속층을 이용하여 상기 표시 영역(DA)에 소스 전극(140), 드레인 전극(150) 및 제2 스토리지 전극(153)을 형성하고, 상기 비표시 영역(NDA)에 상기 배선(160) 및 상기 패드 전극(170)을 형성할 수 있다.
- [0070] 상기 제2 금속층은 알루미늄 및 알루미늄 합금을 포함할 수 있고, 상기 알루미늄합금은 구리(Cu), 바나듐(V) 및 실리콘(Si) 중에서 어느 하나를 포함할 수 있다.
- [0071] 일 실시예에 따르면, 상기 제2 금속층은 순차적으로 적층되는 제1 층(171), 제2 층(172) 및 제3 층(173)을 포함할 수 있다. 예를 들면, 상기 제2 금속층은 층간 절연막(135) 상에 티타늄(Ti)을 포함하는 층, 알루미늄을 포함하는 층 및 티타늄을 포함하는 층이 순차적으로 적층될 수 있다. 이에 따라서, 상기 소스 전극(140), 상기 드레인 전극(150), 상기 제2 스토리지 전극(153), 상기 배선(160) 및 상기 패드 전극(170) 각각은 Ti/알루미늄/Ti의 적층 구조를 가질 수 있다.
- [0072] 도 5를 참조하면, 상기 층간 절연막(135)이 형성된 기판(110) 상의 상기 표시 영역(DA)에 상기 소스 전극(140) 및 상기 드레인 전극(150)을 덮는 평탄화막(181)을 두꺼운 제1 두께(t1)로 형성할 수 있다.
- [0073] 상기 평탄화막(181)은 상기 표시 영역(DA)의 상기 드레인 전극(150)을 노출하는 접촉 구멍을 포함한다. 상기 평탄화막(181)은 상기 비표시 영역(NDA)에서 제거되고 상기 배선(160) 및 상기 패드 전극(170)은 노출된다. 예를 들면, 상기 평탄화막(181)은 폴리이미드(polyimide)계 수지, 포토레지스트(photoresist), 아크릴(acryl)계 수지, 폴리아미드(polyamide)계 수지, 실록산(siloxane)계 수지 등으로 형성될 수 있다.
- [0074] 상기 표시 영역(DA)의 상기 평탄화막(181)은 상기 평탄화막(181)의 하부 적층 구조의 차이에 따라서 대략 0.3 μm 정도의 단차(Δt)를 가질 수 있다.
- [0075] 상기 표시 영역(DA)의 상기 평탄화막(181)에 존재하는 상기 단차(Δt)를 제거하기 위해 CMP 연마 공정을 수행한다.
- [0076] 도 6을 참조하면, 상기 CMP 연마 공정을 위해서, 상기 평탄화막(181)이 형성된 기판(110) 상에 희생층(183)을 형성한다. 상기 희생층(183)은 상기 표시 영역(DA)에는 제2 두께(t2)로 형성될 수 있고, 상기 비표시 영역(NDA)에는 제3 두께(t3)로 형성될 수 있다. 상기 제3 두께(t3)는 상기 패드 전극(170)의 상부 면부터 상기 비표시 영역(NDA)의 상기 희생층(183)의 상부 면까지로 정의될 수 있다.
- [0077] 상기 희생층(183)은 상기 평탄화막(181)과 다른 선택비를 갖는 물질을 포함할 수 있다.
- [0078] 일 실시예에 따르면, 상기 희생층(183)은 포토레지스트(photoresist)와 같은 유기 물질로 형성될 수 있다.
- [0079] 일 실시예에 따르면, 상기 희생층(183)은 실리콘 산화물, 실리콘 질화물, 인듐 아연 산화물(IZO) 등과 같은 무기 물질로 형성될 수 있다.
- [0080] 도 7을 참조하면, 상기 희생층(183)이 형성된 상기 기판(110)을 CMP 연마 장치를 이용하여 CMP 연마 공정을 수행한다.
- [0081] 상기 CMP 연마 장치(500)는 슬러리(Slurry)(530) 및 연마 패드(550)를 포함한다.
- [0082] 상기 슬러리(530)는 복수의 연마 입자들(510)을 포함한다.
- [0083] 상기 슬러리(530)는 상기 평탄화막(181)의 연마 속도 비율 및 상기 희생층(183)의 연마 속도 비율이 다르다.
- [0084] 일 실시예에 따르면, 상기 평탄화막(181) 및 상기 희생층(183)의 상기 연마 속도 비율은 최대 10 : 1 을 가질 수 있다.
- [0085] 일 실시예에 따르면, 상기 평탄화막(181) 및 상기 희생층(183)의 연마 속도 비율은 상기 희생층(183)의 물질 특성 및 코팅 조건에 따라서 다양하게 조절될 수 있다. 예를 들어, 상기 비표시 영역(NDA)에 형성되는 상기 희생층(183)의 제3 두께(t3)가 상기 표시 영역(DA)에 형성된 상기 평탄화막(181)의 제1 두께(t1) 이상으로 두꺼운 경우, 상기 희생층(183)의 연마 속도 비율이 상기 평탄화막(181)의 연마 속도 비율 보다 크게 조절될 수 있다.

반면, 상기 비표시 영역(NDA)에 형성되는 상기 희생층(183)의 제3 두께(t3)가 상기 표시 영역(DA)에 형성된 상기 평탄화막(181)의 제1 두께(t1) 보다 얇은 경우, 상기 희생층(183)의 연마 속도 비율이 상기 평탄화막(181)의 연마 속도 비율 보다 작게 조절될 수 있다.

- [0086] 상기 CMP 연마 공정에서 상기 비표시 영역(NDA)에 형성된 상기 패드 전극(170)의 상부 면이 노출되는 것을 고려하여, 상기 슬러리(530)는 상기 패드 전극(170)의 상부 면에 대응하는 제3 층(173)의 부식 방지제를 포함할 수 있다. 예를 들면, 티타늄(Ti)의 부식 방지제를 포함할 수 있다.
- [0087] 상기 연마 패드(550)는 하드(Hard)한 계열의 패드를 사용할 수 있다. 상기 하드 계열의 연마 패드(550)는 상기 슬러리(530)를 가압하여 해당 기관의 CMP 연마 공정을 수행한다. 상기 하드 계열의 연마 패드(550)를 사용하면, 상기 연마 패드(550)와 이격 거리가 상대적으로 넓은 좁은 상기 표시 영역(DA)에 배치된 상기 슬러리(530)의 복수의 연마 입자들(510)이 받는 압력이 상기 비표시 영역(NDA)에 배치된 상기 슬러리(530)의 복수의 연마 입자들(510) 보다 상대적으로 클 수 있다. 따라서 상기 비표시 영역(NDA)의 패드 전극(170)을 상기 연마 공정으로부터의 손상을 줄일 수 있고, 반면, 상기 표시 영역(DA)의 평탄화막(181)의 평탄화 공정 효율을 증가시킬 수 있다.
- [0088] 일 실시예에 따라서, 상기 희생층(183)이 상기 평탄화막(181)과 유사한 유기 물질로 형성된 경우, 상기 희생층(183) 및 상기 평탄화막(181)에 대해 서로 다른 연마 속도 비율을 갖는 슬러리(530)를 이용하여 상기 희생층(183)과 상기 평탄화막(181)을 동시에 상기 CMP 연마 공정을 수행할 수 있다.
- [0089] 도 8을 참조하면, 상기 CMP 연마 공정을 통해서, 상기 표시 영역(DA)의 상기 희생층(183)이 완전히 제거되고, 상기 평탄화막(181)은 일부 두께가 제거될 수 있다. 상기 표시 영역(DA)의 상기 평탄화막(181)에 존재하는 대략 0.3 μm 정도의 단차(Δt)를 제거할 수 있다. 상기 표시 영역(DA)의 상기 평탄화막(181)은 상기 CMP 연마 공정 전의 제1 두께(t1) 보다 얇은 제4 두께(t4)를 가질 수 있으며, 평탄한 면을 가질 수 있다.
- [0090] 한편, 상기 비표시 영역(DA)의 상기 희생층(183)은 제거되어 상기 패드 전극(170)의 상부 면을 노출한다. 상기 패드 전극(170)의 측면은 상기 패드 전극(170)의 두께(d)로 잔류하는 희생층(830d)에 의해 캡핑된다. 잔류 희생층(830d)은 상기 패드 전극(170)의 측면을 캡핑함으로써 상기 패드 전극(170)의 주 전극층인 제2 층(172)을 부식 등과 같은 손상으로부터 보호할 수 있다.
- [0091] 일 실시예에 따라서, 상기 희생층(183)이 상기 평탄화막(181)과 다른 무기 물질로 형성된 경우, 상기 희생층(183) 및 상기 평탄화막(181)의 연마 속도 비율을 조절하기 어렵다. 이에 따라서 상기 희생층(183) 및 상기 평탄화막(181)을 서로 다른 슬러리(530)를 이용하는 CMP 연마하는 공정을 각각 수행할 수 있다.
- [0092] 먼저, 무기 물질을 제거하기 위한 제1 슬러리(530)를 이용하여 1차 연마 공정을 수행하여, 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 무기 물질로 형성된 상기 희생층(183)을 먼저 제거할 수 있다.
- [0093] 다음, 유기 물질을 제거하기 위한 제2 슬러리(530)를 이용하여 2차 연마 공정을 수행하여, 상기 표시 영역(DA)에 유기 물질로 형성된 평탄화막(181)의 일부 두께를 제거할 수 있다. 상기 표시 영역(DA)의 상기 평탄화막(181)에 존재하는 대략 0.3 μm 정도의 단차(Δt)를 제거할 수 있다.
- [0094] 도 8을 참조하면, 상기 표시 영역(DA)의 상기 평탄화막(181)은 상기 CMP 연마 공정 전의 제1 두께(t1) 보다 얇은 제4 두께(t4)를 가질 수 있고, 평탄한 면을 가질 수 있다.
- [0095] 한편, 상기 비표시 영역(DA)의 상기 희생층(183)은 제거되고, 상기 패드 전극(170)의 상부 면은 노출되고, 상기 패드 전극(170)의 측면은 상기 패드 전극(170)의 두께(d)로 형성된 상기 희생층(830)에 의해 잔류한다. 상기 패드 전극(170)의 측면에 잔류하는 잔류 희생층(830d)은 상기 패드 전극(170)의 측면을 캡핑할 수 있다. 상기 잔류 희생층(830d)은 상기 패드 전극(170)의 주 전극층인 제2 층(172)을 부식 등과 같은 손상으로부터 보호할 수 있다.
- [0096] 이와 같이, 상기 CMP 연마 공정을 통해서, 상기 표시 영역(DA)의 평탄화막(181)은 평탄한 면을 가질 수 있다. 또한, 상기 비표시 영역(NDA)의 패드 전극(170)은 측면이 잔류 희생층(830d)에 의해 캡핑될 수 있다.
- [0097] 또한, 도 2에 도시된 상기 비표시 영역(NDA)의 배선(160)의 측면도 상기 잔류 희생층에 의해 캡핑될 수 있다. 이에 따라서, 상기 비표시 영역(NDA)의 배선(160)의 주 배선층인 제2 층(172)을 부식 등과 같은 손상으로부터 보호할 수 있다.
- [0098] 도 9를 참조하면, 상기 CMP 연마 공정에 의해 평탄화된 상기 평탄화막(181) 상에 제1 전극(195)을 형성한다. 상기 제1 전극(195)은 순차적으로 적층되는 제1 층(191), 제2 층(192) 및 제3 층(193)을 포함할 수 있다. 예를 들

면, 상기 제1 전극(195)은 인듐 주석 산화물(ITO)을 포함하는 층, 은을 포함하는 층 및 인듐 주석 산화물을 포함하는 층을 순차적으로 증착하여 ITO/Ag/ITO의 적층 구조를 가질 수 있다.

- [0099] 상기 제1 전극(195)이 형성된 기판(110) 상의 표시 영역(DA)에 상기 제1 전극(195)을 노출하는 개구가 형성된 화소 정의막(197)을 형성할 수 있다.
- [0100] 예를 들면, 상기 화소 정의막(197)은 폴리이미드(polyimide)계 수지, 포토레지스트(photoresist), 아크릴(acryl)계 수지, 폴리아미드(polyamide)계 수지, 실록산(siloxane)계 수지 등으로 형성될 수 있다.
- [0101] 상기 화소 정의막(197)의 개구 내에 유기 발광층(210)을 형성할 수 있다. 예를 들면, 상기 유기 발광층(210)은 스크린 인쇄, 잉크젯 인쇄, 증착 등의 방법을 이용하여 저분자 유기 화합물 또는 고분자 유기 화합물로 형성될 수 있다.
- [0102] 상기 화소 정의막(197) 및 유기 발광층(210)이 형성된 기판(110) 상에 제2 전극(220)을 형성할 수 있다. 예를 들면, 제2 전극(220)은 리튬(Li), 칼슘(Ca), 리튬 불화물(LiF), 알루미늄(Al), 마그네슘(Mg) 등으로 형성될 수 있다.
- [0103] 본 발명의 실시예들에 따르면, 표시 영역의 평탄화막을 희생층을 이용한 CMP 연마 공정으로 상기 표시 영역에 존재하는 평탄화막의 단차를 제거할 수 있다. 이에 따라서, 상기 표시 영역의 광 특성 및 광 효율을 향상시킬 수 있다. 또한, 표시 장치의 비표시 영역에 잔류하는 잔류 희생층이 패드 전극 및 배선의 측면을 캡핑함으로써 상기 패드 전극 및 상기 배선을 부식 등과 같은 손상으로부터 보호할 수 있다.

산업상 이용가능성

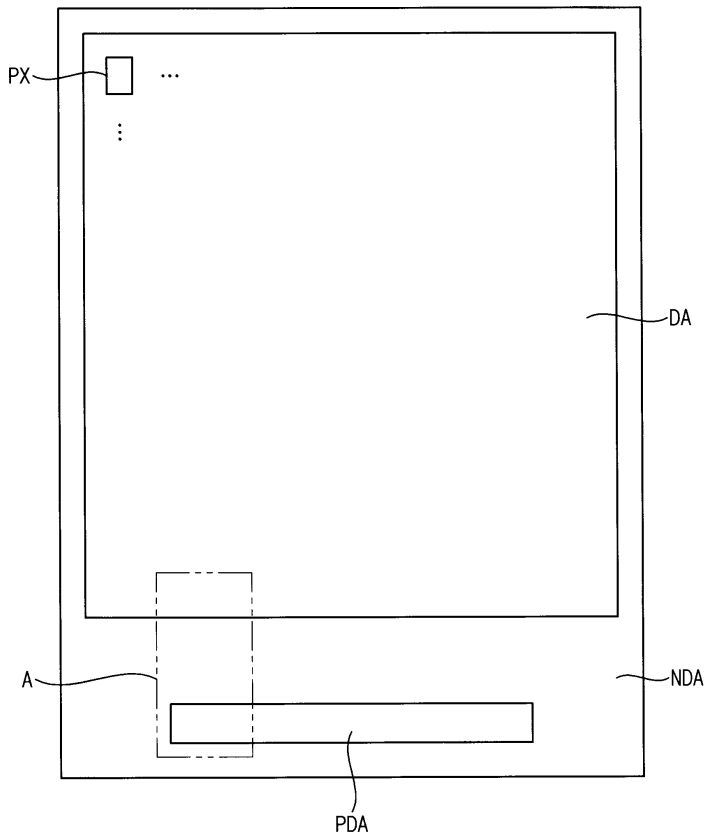
- [0104] 본 발명은 표시 장치 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서 본 발명은 휴대폰, 스마트 폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 시스템, 스마트 카드, 프린터 등과 같은 다양한 전자 기기에 유용하게 이용될 수 있다.
- [0105] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

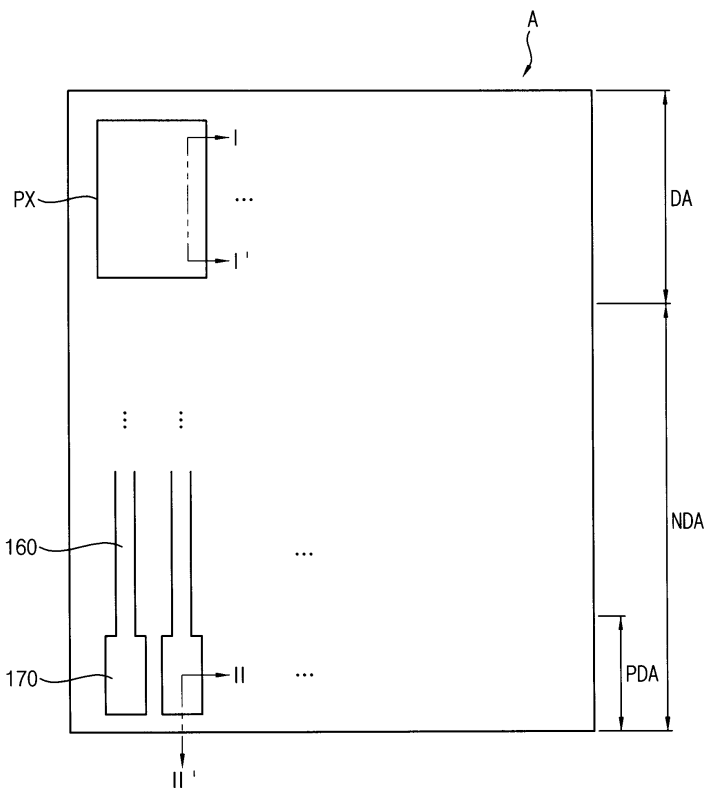
- [0106] 110 : 기판 120 : 반도체층
- 130 : 게이트 전극 140 : 소스 전극
- 150 : 드레인 전극 160 : 배선
- 170 : 패드 전극 181 : 평탄화막
- 183 : 희생층 183d : 잔류 희생층
- 500 : CMP 연마 장치 510 : 연마 입자
- 530 : 슬러리 550 : 연마 패드

도면

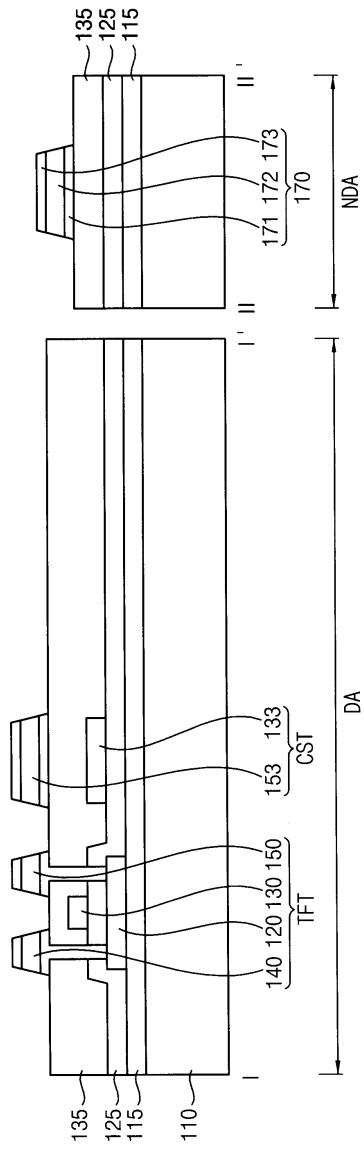
도면1



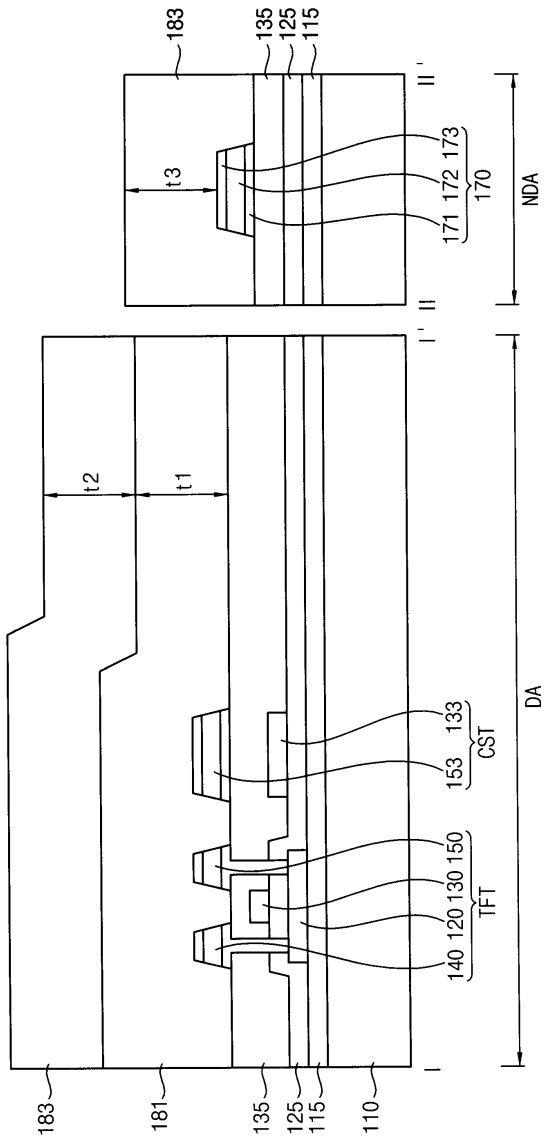
도면2



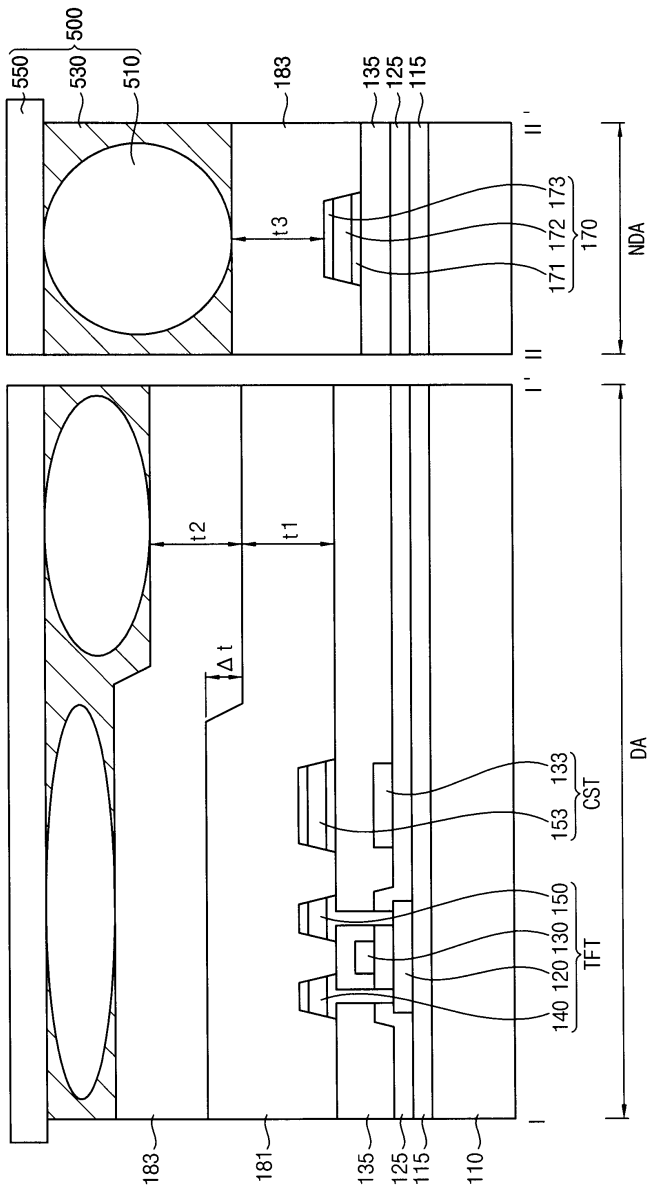
도면4



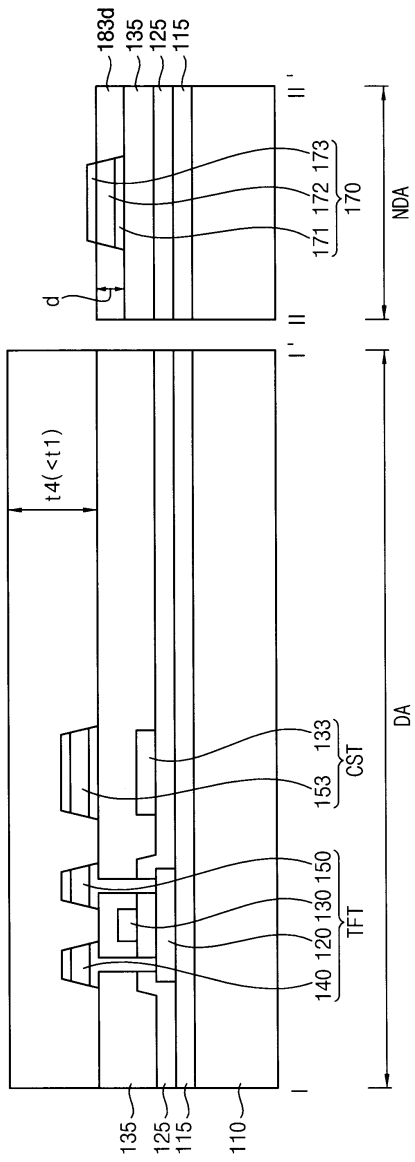
도면6



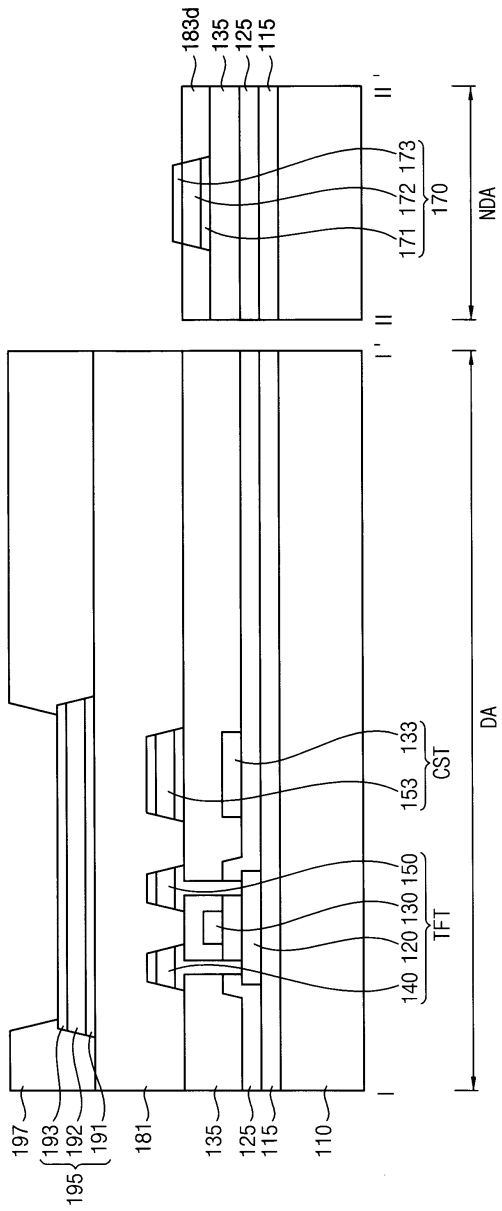
도면7



도면8



도면9



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020200046196A	公开(公告)日	2020-05-07
申请号	KR1020180126447	申请日	2018-10-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	양희성 강승배 강봉구 강태욱 배준화 조우진 추병권		
发明人	양희성 강승배 강봉구 강태욱 배준화 조우진 추병권		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L2251/56 H01L21/31053 H01L21/31058 H01L27/3276 H01L2251/558 H01L21/31051 H01L21/31127		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

显示装置包括：平坦化层，其覆盖基板上的显示区域中的晶体管；平坦化层上的有机发光二极管；基板上的非显示区域中的围绕显示区域的焊盘电极；以及牺牲层残余物覆盖层 焊盘电极的侧面。

