



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0026474
(43) 공개일자 2020년03월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2300/0408 (2013.01)

(21) 출원번호 10-2018-0104451
(22) 출원일자 2018년09월03일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최재이
경기도 파주시 월롱면 엘지로 245
(74) 대리인
이승찬

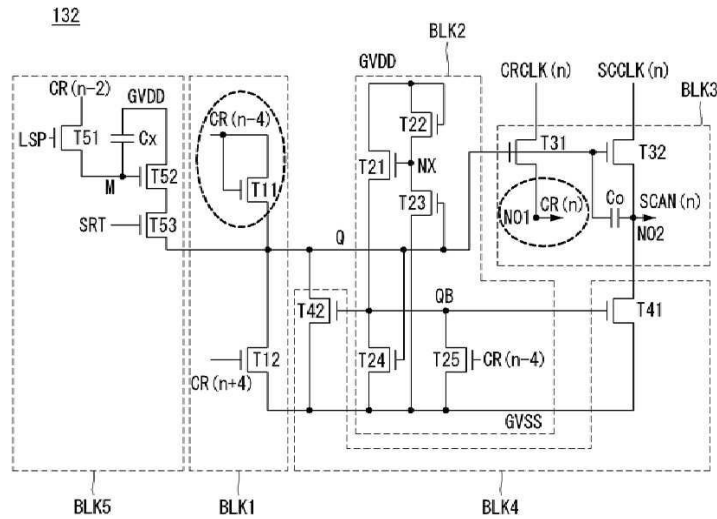
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 게이트 드라이버와 이를 포함한 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 상기 스테이지들 각각은, Q 노드가 게이트 온 전압보다 높은 전압으로 부트 스트랩핑 되는 동안 캐리 클럭을 제1 출력단에 캐리 신호로 출력하는 제1 풀업 트랜지스터; 상기 Q 노드가 부트 스트랩핑 되는 동안 스캔 클럭을 제2 출력단에 스캔 신호로 출력하는 제2 풀업 트랜지스터; 및 상기 Q 노드와 반대로 충전전되는 QB 노드의 전압에 따라 동작되는 홀딩 트랜지스터들을 포함하고, 상기 홀딩 트랜지스터들은 상기 제1 출력단을 제외하고 상기 제2 출력단과 상기 Q 노드에 연결된다.

대표도 - 도10



(52) CPC특허분류

G09G 2300/043 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/061 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지들을 갖는 게이트 드라이버에 있어서,

상기 스테이지들 각각은,

Q 노드가 게이트 온 전압보다 높은 전압으로 부트 스트랩핑 되는 동안 캐리 클럭을 제1 출력단에 캐리 신호로 출력하는 제1 풀업 트랜지스터;

상기 Q 노드가 부트 스트랩핑 되는 동안 스캔 클럭을 제2 출력단에 스캔 신호로 출력하는 제2 풀업 트랜지스터; 및

상기 Q 노드와 반대로 충전되는 QB 노드의 전압에 따라 동작되는 홀딩 트랜지스터들을 포함하고,

상기 홀딩 트랜지스터들은 상기 제1 출력단을 제외하고 상기 제2 출력단과 상기 Q 노드에 연결되는 게이트 드라이버.

청구항 2

제 1 항에 있어서,

상기 홀딩 트랜지스터들은,

상기 QB 노드에 상기 게이트 온 전압이 인가되는 동안 상기 제2 출력단을 게이트 오프 전압의 저전위 전원전압단에 연결하는 제1 홀딩 트랜지스터와,

상기 QB 노드에 상기 게이트 온 전압이 인가되는 동안 상기 Q 노드를 상기 저전위 전원전압단에 연결하는 제2 홀딩 트랜지스터를 포함하는 게이트 드라이버.

청구항 3

제 2 항에 있어서,

상기 스테이지들 각각은,

전단 스테이지들 중 어느 하나로부터 입력된 전단 캐리 신호를 상기 Q 노드에 직접 인가하여 상기 Q 노드를 상기 게이트 온 전압으로 활성화하는 입력 트랜지스터를 더 포함하는 게이트 드라이버.

청구항 4

제 3 항에 있어서,

상기 입력 트랜지스터는 상기 전단 캐리 신호의 입력단과 상기 Q 노드 사이에 다이오드 연결된 게이트 드라이버.

청구항 5

제 4 항에 있어서,

상기 입력 트랜지스터의 게이트전극 및 제1 전극은 상기 전단 캐리 신호의 입력단에 접속되고,

상기 입력 트랜지스터의 제2 전극은 상기 Q 노드에 접속된 게이트 드라이버.

청구항 6

제 5 항에 있어서,

상기 QB 노드에 상기 게이트 온 전압이 인가되는 동안,

상기 전단 캐리 신호의 입력단과 상기 Q 노드 사이, 및 상기 Q 노드와 상기 저전위 전원전압단 사이에는 리플 방전 경로가 형성된 게이트 드라이버.

청구항 7

제 1 항에 있어서,

상기 스테이지들 각각은,

전단 스테이지들 중 어느 하나로부터 입력된 전단 캐리 신호를 픽셀라인 선택신호에 따라 M 노드에 저장하고, 상기 M 노드의 전압과 센싱 지시신호에 따라 상기 Q 노드를 상기 게이트 온 전압으로 활성화하는 센싱라인 선택부를 더 포함하는 게이트 드라이버.

청구항 8

제 7 항에 있어서,

한 프레임 중에서 영상 데이터 기입이 이뤄지는 수직 액티브 기간 동안, 상기 픽셀라인 선택신호가 상기 스테이지들 중의 어느 한 스테이지에 인가되는 게이트 드라이버.

청구항 9

제 8 항에 있어서,

상기 수직 액티브 기간에 연속되며 상기 영상 데이터 기입이 이뤄지지 않는 수직 블랭크 기간 동안, 상기 센싱 지시신호가 상기 어느 한 스테이지에 인가되는 게이트 드라이버.

청구항 10

제 7 항에 있어서,

상기 센싱라인 선택부는,

상기 픽셀라인 선택신호에 따라 턴 온 되어 상기 전단 캐리 신호를 상기 M 노드에 인가하는 제1 트랜지스터;

상기 M 노드에 인가된 상기 전단 캐리 신호를 저장하는 커패시터; 및

상기 게이트 온 전압의 고전위 전원전압단과 상기 Q 노드 사이에 직렬 접속되고, 상기 M 노드의 전압과 센싱 지시신호에 따라 상기 게이트 온 전압을 상기 Q 노드에 인가하는 제2 및 제3 트랜지스터를 포함하는 게이트 드라이버.

청구항 11

상기 청구항 제1항 내지 제10항 중 어느 한 항의 게이트 드라이버; 및

게이트 라인들을 통해 상기 게이트 드라이버에 연결된 다수의 픽셀들을 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 드라이버와 이를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 드라이버를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 게이트 신호(스캔 신호)를 생성하여 게이트라인들에 순차적으로 공급한다.

[0004] 이러한 유기발광 표시장치는 픽셀들 간의 구동 특성 편차를 보상하기 위해 외부 보상 기술을 채용하고 있다. 또

한, 유기발광 표시장치에서는, 표시패널의 표시면 중에서 화상이 출력되지 않는 좌우 테두리 부분을 최소화시키는 대신, 화상이 출력되는 부분을 증대시킴으로써, 사용자에게 보다 넓은 화면을 제공하는 협 베젤(Narrow bezel) 기술에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

- [0005] 외부 보상 기술은 화면 표시 중에 픽셀들의 구동 특성 변화를 센싱하는 실시간 센싱 기술을 기반으로 한다. 실시간 센싱을 구현하기 위해서는 그에 적합한 게이트 드라이버가 필요하다. 또한, 게이트 드라이버는 표시패널의 비 표시영역에 구비되며, 게이트 드라이버가 위치하는 비 표시영역은 베젤(Bezel) 영역이 된다. 협 베젤을 구현하기 위해서는 게이트 드라이버를 간소화할 필요가 있다.
- [0006] 따라서, 본 발명은 협 베젤 구현에 적합한 게이트 드라이버와 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.
- [0007] 나아가, 본 발명은 실시간 센싱이 가능한 게이트 드라이버와 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

- [0008] 본 발명의 실시예에 따른 게이트 드라이버는 복수의 스테이지들을 갖는다. 상기 스테이지들 각각은, Q 노드가 게이트 온 전압보다 높은 전압으로 부트 스트랩핑 되는 동안 캐리 클럭을 제1 출력단에 캐리 신호로 출력하는 제1 풀업 트랜지스터; 상기 Q 노드가 부트 스트랩핑 되는 동안 스캔 클럭을 제2 출력단에 스캔 신호로 출력하는 제2 풀업 트랜지스터; 및 상기 Q 노드와 반대로 충전전되는 QB 노드의 전압에 따라 동작되는 홀딩 트랜지스터들을 포함하고, 상기 홀딩 트랜지스터들은 상기 제1 출력단을 제외하고 상기 제2 출력단과 상기 Q 노드에 연결된다.

발명의 효과

- [0009] 본 발명은 게이트 쉬프트 레지스터를 구성하는 스테이지들의 캐리 출력단들에서 홀딩 트랜지스터를 삭제함으로써 스테이지 회로를 간소화하여 베젤 영역을 축소할 수 있다. 그리고, 트랜지스터 개수가 줄어든 만큼 불량률을 줄일 수 있고 생산 수율을 향상시킬 수 있다.
- [0010] 본 발명은 캐리 출력단들에서 홀딩 트랜지스터를 삭제함으로써 생기는 사이드 이펙트를 캐리 입력 구조를 다이오드 입력 구조로 적용하여 스테이지 내에서 방전 경로를 형성함으로써 보완할 수 있다.
- [0011] 본 발명은 게이트 쉬프트 레지스터를 구성하는 스테이지들 각각에서 캐리 신호를 출력하는 제1 풀업 트랜지스터와 스캔 신호를 출력하는 제2 풀업 트랜지스터를 동일한 Q 노드를 이용하여 동시에 제어함으로써, 스테이지 회로 구성을 더욱 간소화하여 베젤 영역을 더욱 줄일 수 있다.
- [0012] 본 발명은 게이트 쉬프트 레지스터를 구성하는 스테이지들에 센싱라인 선택부를 포함시켜 실시간 센싱을 용이하게 구현할 수 있다.
- [0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다.
- 도 2는 도 1의 표시패널에 구비된 픽셀 어레이를 보여주는 도면이다.
- 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 구조를 보여주는 도면이다. 도 4는 IDW 구동과 SDW 구동이 수행되는 타이밍을 보여주는 도면이다.
- 도 5는 IDW 구동을 위한 스캔 신호와 그에 동기되는 데이터신호를 보여주는 도면이다.
- 도 6a는 도 5의 프로그래밍 기간에 대응되는 픽셀의 등가회로도이다.

도 6b는 도 5의 발광 기간에 대응되는 픽셀의 증가회로도이다.

도 7은 SDW 구동을 위한 스캔 신호와 그에 동기되는 데이터신호를 보여주는 도면이다.

도 8a는 도 7의 셋업 기간에 대응되는 픽셀의 증가회로도이다.

도 8b는 도 7의 센싱 기간에 대응되는 픽셀의 증가회로도이다.

도 8c는 도 7의 리셋 기간에 대응되는 픽셀의 증가회로도이다.

도 9는 게이트 쉬프트 레지스터에 포함된 신호 배선들과 스테이지들 간의 연결 구성을 보여주는 도면이다.

도 10은 도 9의 게이트 쉬프트 레지스터에 포함된 일 스테이지를 나타내는 회로도이다.

도 11은 도 10에 포함된 센싱라인 선택부의 동작을 설명하기 위한 도면이다.

도 12는 캐리 출력단에서 홀딩 트랜지스터를 삭제함으로써 생기는 사이드 이펙트를 캐리 입력 구조를 다이오드 입력 구조로 적용하여 보완한 것을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0019] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0020] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로와 게이트 드라이버는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0021] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다.

- [0022] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0023] 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 드라이버를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에 게이트 온 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드의 전위가 게이트 오프 전압으로 방전된다는 것을 의미한다.
- [0024] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다. 도 2는 도 1의 표시패널에 구비된 픽셀 어레이를 보여주는 도면이다. 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀 구조를 보여주는 도면이다. 그리고, 도 4는 IDW 구동과 SDW 구동이 수행되는 타이밍을 보여주는 도면이다.
- [0025] 도 1 내지 도 3을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 드라이버, 게이트 드라이버, 및 타이밍 컨트롤러(110) 등을 구비한다.
- [0026] 표시패널(100)에는 다수의 데이터라인들(15) 및 기준전압 라인들(16)과, 다수의 게이트라인들(17)이 구비될 수 있다. 그리고, 데이터라인들(15), 기준전압 라인들(16) 및 게이트라인들(17)의 교차영역에는 픽셀들(PXL)이 배치될 수 있다. 그리고, 매트릭스 형태로 배치된 픽셀들(PXL)에 의해 표시패널(100)의 표시 영역에 도 2와 같은 픽셀 어레이가 형성될 수 있다.
- [0027] 픽셀 어레이에서, 픽셀들(PXL)은 일 방향을 기준으로 라인 별로 구분될 수 있다. 예컨대, 픽셀들(PXL)은 게이트 라인 연장 방향(또는 수평 방향)을 기준으로 다수의 픽셀 라인들(Line 1-Line 4 등)로 구분될 수 있다. 여기서, 픽셀 라인은 물리적인 신호라인이 아니라, 일 수평 방향을 따라 서로 이웃하게 배치된 픽셀들(PXL)의 집합체를 의미한다. 따라서, 동일 픽셀 라인을 구성하는 픽셀들(PXL)은 동일한 게이트라인들(17)에 연결될 수 있다.
- [0028] 픽셀 어레이에서, 픽셀들(PXL) 각각은 데이터라인(15)을 통해 디지털-아날로그 컨버터(이하, DAC)(121)에 연결되고, 기준전압 라인(16)을 통해 센싱부(SU)(122)에 연결될 수 있다. 기준전압 라인(16)은 기준 전압의 공급을 위해 DAC(121)에 더 연결될 수 있다. DAC(121)와 센싱부(SU)는 데이터 드라이버에 내장될 수 있으나, 이에 한정되지 않는다.
- [0029] 픽셀 어레이에서, 픽셀들(PXL) 각각은 전원라인(18)을 통해 고전위 픽셀전원(EVDD)에 연결될 수 있다. 그리고, 픽셀들(PXL) 각각은 게이트라인(17)을 통해 게이트 드라이버에 연결될 수 있다.
- [0030] 각 픽셀(PXL)은 도 3과 같이 구현될 수 있다. k(k는 정수)번째 픽셀라인에 배치된 일 픽셀(PXL)은, OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함하며, 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 동일한 게이트라인(17(k))에 연결될 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0031] OLED는 소스 노드(Ns)에 접속된 애노드전극과, 저전위 픽셀전원(EVSS)의 입력단에 접속된 캐소드전극과, 애노드 전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압차에 따라 OLED에 흐르는 구동 전류를 제어한다. 구동 TFT(DT)는 게이트 노드(Ng)에 접속된 게이트 전극, 고전위 픽셀전원(EVDD)의 입력단에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다. 스토리지 커패시터(Cst)는 게이트 노드(Ng)와 소스 노드(Ns) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압을 저장한다.
- [0032] 제1 스위치 TFT(ST1)는 스캔신호(SCAN(k))에 따라 데이터라인(15)과 게이트 노드(Ng) 사이의 전류 흐름을 온 시켜, 데이터라인(15)에 충전되어 있는 데이터전압을 게이트 노드(Ng)에 인가한다. 제1 스위치 TFT(ST1)는 게이트 라인(17(k))에 접속된 게이트전극, 데이터라인(15)에 접속된 제1 전극, 및 게이트 노드(Ng)에 접속된 제2 전극을 구비한다. 제2 스위치 TFT(ST2)는 스캔신호(SCAN(k))에 따라 기준전압 라인(16)과 소스 노드(Ns) 사이의 전류 흐름을 온 시켜, 기준전압 라인(16)에 충전된 기준전압을 소스 노드(Ns)에 인가하거나 또는, 픽셀 전류에 따른 소스 노드(Ns) 전압 변화를 기준전압 라인(16)으로 전달한다. 제2 스위치 TFT(ST2)는 게이트라인(17(k))에

접속된 게이트전극, 기준전압 라인(16)에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다.

- [0033] 각 픽셀(PXL)에 연결되는 게이트라인(17)의 개수는 픽셀(PXL) 구조에 따라 달라질 수 있다. 예컨대, 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 서로 다르게 구동되는 2-스캔 픽셀 구조의 경우, 각 픽셀(PXL)에 연결되는 게이트라인(17)의 개수는 2개이다. 2-스캔 픽셀 구조에서 게이트라인(17) 각각은 스캔 신호가 인가되는 제1 게이트라인과 센스 신호가 인가되는 제2 게이트라인을 포함한다. 이에 반해, 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 동일하게 구동되는 1-스캔 픽셀 구조의 경우, 각 픽셀(PXL)에 연결되는 게이트라인(17)의 개수는 1개이다. 이하에서는 설명의 편의상, 1-스캔 픽셀 구조를 예시 대상으로 하지만, 본 명세서의 기술적 사상은 픽셀 구조나 게이트라인의 개수 등에 제한되지 않는다.
- [0034] 타이밍 컨트롤러(110)는 호스트 시스템(미도시)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 드라이버의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이버의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 생성할 수 있다. 게이트 타이밍 제어신호는 게이트 스타트 신호, 게이트 쉬프트 클럭들, 픽셀라인 선택 신호, 센싱 지시신호 등을 포함할 수 있다. 소스 타이밍 제어신호는 소스 스타트 펄스, 소스 샘플링 클럭, 및 소스 출력 인에이블신호 등을 포함한다. 소스 스타트 펄스는 데이터 드라이버의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어한다. 소스 출력 인에이블신호는 데이터 드라이버의 출력 타이밍을 제어한다.
- [0035] 타이밍 컨트롤러(110)는 게이트/소스 타이밍 제어신호들을 기초로 표시패널(100)의 픽셀 라인들에 대한 디스플레이 구동 타이밍과 센싱 구동 타이밍을 제어함으로써, 화상 표시 중에 실시간으로 픽셀들의 구동 특성이 센싱 되도록 할 수 있다.
- [0036] 여기서, 센싱 구동이란 특정 픽셀 라인에 배치된 픽셀들(PXL)에 센싱용 데이터를 기입하여 해당 픽셀들(PXL)의 구동 특성을 센싱하고, 이 센싱 결과를 기초로 해당 픽셀들(PXL)의 구동 특성 변화를 보상하기 위한 보상 값을 업데이트하는 구동이다. 이하, 본 명세서에서 센싱 구동을 SDW(Sensing Data Writing) 구동이라 칭한다.
- [0037] 디스플레이 구동이란 1 프레임 내에서 입력 영상 데이터(RGB)를 픽셀 라인들에 기입하여 입력 영상을 표시패널(100)의 표시면에 재현하는 구동이다. 이하, 본 명세서에서 디스플레이 구동을 IDW(Image Data Writing) 구동이라 칭한다.
- [0038] 타이밍 컨트롤러(110)는 도 4와 같이 한 프레임 중의 수직 액티브 기간(VWP)에서 IDW 구동을 구현하고, IDW 구동이 이뤄지지 않는 수직 블랭크 기간(VBP)에서 SDW 구동을 구현할 수 있다. 타이밍 컨트롤러(110)는 IDW 및 SDW 구동을 위해 전용한 게이트 타이밍 제어신호를 게이트 드라이버에 출력한다.
- [0039] 타이밍 컨트롤러(110)는 도 4와 같이 한 프레임에 한 픽셀 라인을 대상으로 SDW 구동을 구현할 수 있다. SDW 구동이 수행되는 픽셀 라인은 프레임마다 바뀌는데, 순차적으로 바뀔 수도 있고, 비 순차적으로 바뀔 수도 있다. SDW 구동이 수행되는 픽셀 라인의 휘도는 다른 픽셀 라인들의 휘도에 비해 낮으므로, 라인 덤으로 시인될 수 있다. 따라서, 타이밍 컨트롤러(110)는 SDW 구동의 대상 픽셀 라인을 랜덤하게 미리 설정함으로써, 라인 덤을 시간적 및 공간적으로 분산시켜 최대한 눈에 덜 띄게 할 수 있다.
- [0040] 타이밍 컨트롤러(110)는 SDW 구동에 따른 센싱 결과를 기초로 픽셀들의 구동 특성 편차가 보상되도록 영상 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다. 타이밍 컨트롤러(110)는 내부적으로 생성된 (또는 특정값으로 미리 설정된) 센싱용 데이터를 데이터 드라이버에 출력한다. 센싱용 데이터는 SDW 구동시 센싱 대상 픽셀 라인의 픽셀들(PXL)에 일정한 픽셀 전류를 흐르게 하기 위한 것이다. R,G,B 픽셀들(PXL)에 기입될 센싱용 데이터는 R,G,B OLED들의 발광 효율 차이를 감안하여 서로 다르게 설정될 수 있다.
- [0041] 데이터 드라이버는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터 영상 데이터(RGB)를 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 영상 데이터(RGB)를 감마보상전압으로 변환하여 데이터전압을 생성하고, 그 데이터전압을 스캔 신호에 동기시켜 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0042] 소스 드라이브 IC들(120) 각각은 복수의 DAC들(121)과, 복수의 센싱부들(SU)(122)을 포함한다. DAC(121)는 타이밍 컨트롤러(110)로부터의 데이터 타이밍 제어신호(DDC)에 기초하여 입력 영상 데이터(RGB)를 IDW용 데이터전압(VIDW)으로 변환하고, 센싱용 데이터를 SDW용 데이터전압(VSDW)으로 변환한다. 그리고, DAC(121)는 픽셀들(PX

L)에 인가될 기준 전압을 생성한다.

- [0043] DAC(121)는 IDW 구동을 구현하기 위해, 스캔 신호(SCAN)에 동기하여 IDW용 데이터전압(VIDW)을 데이터라인들(15)에 출력하고, 스캔 신호(SCAN)에 동기하여 기준 전압을 기준 라인들(16)에 출력한다.
- [0044] DAC(121)는 SDW 구동을 구현하기 위해, 스캔 신호(SCAN)에 동기하여 SDW용 데이터전압(VSDW)을 데이터라인들(15)에 출력하고, 스캔 신호(SCAN)에 동기하여 기준 전압을 기준 라인들(16)에 출력함으로써, 센싱 대상 픽셀 라인을 셋업한다. 센싱부들(SU)(122)은 센싱 대상 픽셀 라인의 픽셀들(PXL)에 흐르는 픽셀 전류를 기준 라인들(16)을 통해 센싱한다. 센싱이 종료된 후, DAC(121)는 스캔 신호(SCAN)에 동기하여 SDW용 원복전압(VREC)을 데이터라인들(15)에 출력하여, 센싱 대상 픽셀 라인의 표시 상태를 센싱 직전과 동일하게 원복시킨다. SDW용 원복전압(VREC)은 IDW용 데이터전압(VIDW)일 수 있다.
- [0045] 게이트 드라이버는 게이트 라인들에 접속된 게이트 쉬프트 레지스터(130)와, 타이밍 콘트롤러(110)에서 출력되는 신호의 전압 레벨을 부스팅하여 게이트 쉬프트 레지스터(130)에 공급하는 레벨 쉬프트(level shift)(150)를 포함한다.
- [0046] 레벨 쉬프트(150)는 타이밍 콘트롤러(110)로부터 입력되는 게이트 타이밍 제어신호의 TTL(Transistor-Transistor- Logic) 레벨 전압을 표시패널(100)의 픽셀 어레이에 형성된 TFT를 스위칭시킬 수 있는 게이트 온 전압과 게이트 오프 전압으로 부스팅한다. 그리고, 레벨 쉬프트(150)는 레벨 쉬프트된 게이트 타이밍 제어신호를 게이트 쉬프트 레지스터(130)에 공급한다.
- [0047] 게이트 쉬프트 레지스터(130)는 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호(DDC)에 기초하여 IDW용 스캔 신호(SCAN)와 SDW용 스캔 신호(SCAN)를 생성한다. 게이트 쉬프트 레지스터(130)는 IDW용 스캔 신호(SCAN)를 수직 액티브 기간(VWP) 동안 모든 게이트 라인들(17)에 순차적으로 공급하고, SDW용 스캔 신호(SCAN)를 수직 블랭크 기간(VBP) 동안 센싱 대상 픽셀 라인에 포함된 특정 게이트라인(17)에 공급한다.
- [0048] 게이트 쉬프트 레지스터(130)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 기관 상에 직접 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다. 게이트 쉬프트 레지스터(130)는 RC 딜레이로 인한 게이트 신호의 왜곡을 최소화하기 위해 표시패널(100)의 제1 측 베젤 영역(BZ)과 제2 측 베젤 영역(BZ)에 형성될 수 있다.
- [0049] 게이트 쉬프트 레지스터(130)는 N상 클럭들을 기반으로 게이트 신호를 출력하는 다수의 스테이지들을 포함한다. 스테이지들 각각은 스캔 출력단과 Q 노드에 홀딩 트랜지스터들을 연결하여 스캔 출력단의 전압과 Q 노드의 전압을 안정화시킨다. 반면, 스테이지들 각각은 캐리 출력단에서 홀딩 트랜지스터를 삭제하여 스테이지 회로 구성을 간소화하고 스테이지 실장 면적을 줄인다. 스테이지들 각각은 캐리 출력단에서 홀딩 트랜지스터를 삭제함으로써 생기는 사이드 이펙트를 캐리 입력 구조를 다이오드 입력 구조로 적용하여 보완한다. 더욱이, 스테이지들 각각은 캐리 신호를 출력하는 제1 풀업 트랜지스터와 스캔 신호를 출력하는 제2 풀업 트랜지스터를 동일한 Q 노드를 이용하여 동시에 제어함으로써, 스테이지 회로 구성을 더욱 간소화할 수 있다. 나아가, 스테이지들 각각은 SDW 구동에 적합하도록 센싱라인 선택부를 더 포함할 수 있다. 이러한 스테이지 구성에 대해서는 도 10 내지 도 12를 참조하여 상세히 설명하기로 한다.
- [0050] 도 5는 IDW 구동을 위한 스캔 신호와 그에 동기되는 데이터신호를 보여주는 도면이다. 도 6a는 도 5의 프로그래밍 기간에 대응되는 픽셀의 등가회로도이다. 그리고, 도 6b는 도 5의 발광 기간에 대응되는 픽셀의 등가회로도이다.
- [0051] 도 5는 제k 픽셀 라인의 픽셀들(PIX)에 인가되는 IDW용 스캔 신호(SCAN(k))와 데이터신호를 예시적으로 보여준다. 데이터신호는 IDW용 데이터전압(VIDW)과 기준전압(Vref)을 포함한다. 도 5를 참조하면, IDW 구동을 위한 한 프레임은 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압을 화상 표시용 픽셀 전류에 맞게 설정하는 프로그래밍 기간(Tp)과, 픽셀 전류에 따라 OLED가 발광하는 발광 기간(Te)을 포함한다.
- [0052] 도 5 및 도 6a를 참조하면, 프로그래밍 기간(Tp)에서 픽셀의 제1 스위치 TFT(ST1)는 게이트 온 전압(GON)의 IDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 게이트 노드(Ng)에 IDW용 데이터전압(VIDW)을 인가한다. 프로그래밍 기간(Tp)에서 픽셀의 제2 스위치 TFT(ST2)는 게이트 온 전압(GON)의 IDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 소스 노드(Ns)에 기준전압(Vref)을 인가한다. 이를 통해 프로그래밍 기간(Tp)에서 픽셀의 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압이 원하는 픽셀 전류에 맞게 설정된다.
- [0053] 도 5 및 도 6b를 참조하면, 발광 기간(Te)에서 픽셀의 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)는 턴 오프

된다. 프로그래밍 시간(T_p)에서 픽셀에 기 설정된 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압(V_{gs})은 발광 기간(T_e)에서도 유지된다. 이러한 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압(V_{gs})은 픽셀의 구동 TFT(DT)의 문턱전압보다 크기 때문에, 발광 기간(T_e) 동안 픽셀의 구동 TFT(DT)에는 픽셀 전류(I_{oled})가 흐른다. 이 픽셀 전류(I_{oled})에 의해 발광 기간(T_e)에서 게이트 노드(N_g)의 전위와 소스 노드(N_s)의 전위가 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압(V_{gs})을 유지한 채 부스팅된다. 소스 노드(N_s)의 전위가 OLED의 동작점 레벨까지 부스팅 되면 픽셀의 OLED는 발광한다.

[0054] 도 7은 SDW 구동을 위한 스캔 신호와 그에 동기되는 데이터신호를 보여주는 도면이다. 도 8a는 도 7의 셋업 기간에 대응되는 픽셀의 증가회로도이다. 도 8b는 도 7의 센싱 기간에 대응되는 픽셀의 증가회로도이다. 그리고, 도 8c는 도 7의 리셋 기간에 대응되는 픽셀의 증가회로도이다.

[0055] 도 7은 제k 픽셀 라인의 픽셀들(PIX)에 인가되는 SDW용 스캔 신호(SCAN(k))와 데이터신호를 예시적으로 보여준다. 데이터신호는 SDW용 데이터전압(VIDW)과 SDW용 원복전압(VREC)과 기준전압(V_{ref})을 포함한다. 도 7을 참조하면, SDW 구동을 위한 수직 블랭크 기간(VBP)은 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압을 센싱용 픽셀 전류에 맞게 설정하는 셋업 기간(①)과, 픽셀 전류를 샘플링하는 센싱 기간(②)과, 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압을 셋업 기간(①)의 직전 상태로 원복 시키는 리셋 기간(③)을 포함한다.

[0056] 도 7 및 도 8a를 참조하면, 셋업 기간(①)에서 픽셀의 제1 스위치 TFT(ST1)는 게이트 온 전압(GON)의 SDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 게이트 노드(N_g)에 SDW용 데이터전압(VSDW)을 인가한다. 셋업 기간(①)에서 픽셀의 제2 스위치 TFT(ST2)는 게이트 온 전압(GON)의 SDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 소스 노드(N_s)에 기준전압(V_{ref})을 인가한다. 이를 통해 셋업 기간(①)에서 픽셀의 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압이 센싱용 픽셀 전류에 맞게 설정된다.

[0057] 도 7 및 도 8b를 참조하면, 센싱 기간(②)에서 픽셀의 제1 스위치 TFT(ST1)는 턴 오프 되지만 제2 스위치 TFT(ST2)는 턴 온 상태를 유지한다. 그리고, 기준전압 라인(16)은 DAC와의 연결이 끊기는 대신에 센싱부(SU)로 연결된다. 센싱 기간(②)에서 센싱부(SU)는 제2 스위치 TFT(ST2)와 기준전압 라인(16)을 통해 입력되는 센싱용 픽셀 전류(I_{pix})를 샘플링한다.

[0058] 도 7 및 도 8c를 참조하면, 리셋 기간(③)에서 픽셀의 제1 스위치 TFT(ST1)는 게이트 온 전압(GON)의 SDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 게이트 노드(N_g)에 원복용 데이터전압(VREC)을 인가한다. 원복용 데이터전압(VREC)은 IDW용 데이터전압일 수 있다. 리셋 기간(③)에서 기준전압 라인(16)은 DAC에 다시 연결되고, 픽셀의 제2 스위치 TFT(ST2)는 게이트 온 전압(GON)의 SDW용 스캔 신호(SCAN(k))에 따라 턴 온 되어 소스 노드(N_s)에 기준전압(V_{ref})을 인가한다. 이를 통해 리셋 기간(③)에서 픽셀의 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압이 SDW 구동 직전의 상태, 즉 IDW 구동 상태로 원복된다.

[0059] 도 9는 게이트 쉬프트 레지스터(130)에 포함된 신호 배선들과 스테이지들(132) 간의 연결 구성을 보여주는 도면이다.

[0060] 도 9를 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터(130)는 서로 종속적으로 접속된 다수의 스테이지들(132)을 구비한다. 스테이지들(132)은 GIP(Gate driver In Panel) 방식으로 형성된 GIP 소자들일 수 있다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있으나, 이에 한정되지 않는다.

[0061] 스테이지들(132)은 신호 배선들을 통해 입력되는 전원 전압(PS), 게이트 스타트 신호(VSP) 및 게이트 쉬프트 클럭들(CLKs) 등을 기초로 게이트 신호를 생성한다. 게이트 신호는 스캔 신호(SCAN(n)~SCAN(n+3))와 캐리 신호(CRY(n)~CRY(n+3))를 포함할 수 있다.

[0062] 스테이지들(132)은 스캔 신호(SCAN(n))를 생성하여 표시패널(100)의 게이트라인들(17)에 공급한다. 스테이지들(132)은 캐리 신호(CRY(n)~CRY(n+3))를 독립적으로 생성함으로써, 게이트 로드(load)에 의해 캐리 신호가 왜곡되는 것을 방지할 수 있다. 스테이지들(132)은 캐리 신호(CRY(n)~CRY(n+3))를 생성하여 후단 스테이지들 중 어느 하나에 전단 캐리 신호로 공급함과 아울러, 전단 스테이지들 중 어느 하나에 후단 캐리 신호로 공급할 수 있다. 전단 캐리 신호는 Q 노드를 활성화하는 내부 스타트 신호가 되고, 후단 캐리 신호는 Q 노드를 비 활성화하는 내부 리셋 신호가 된다.

[0063] 스테이지들(132) 각각은 매 프레임마다 캐리 입력 단자에 인가되는 게이트 스타트 신호(VSP) 또는, 전단 캐리 신호에 따라 Q 노드의 동작을 활성화한다. 전단 캐리 신호는 전단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호(CRY)이다. 스테이지들(132) 각각은 매 프레임마다 캐리 입력 단자에 인가되는 후단 캐리 신호에 따라 Q

노드의 동작을 비 활성화한다. 후단 캐리 신호는 후단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호(CR_Y)이다.

- [0064] 게이트 스타트 신호(VSP), 게이트 쉬프트 클럭들(CLKs)은 스테이지들(132)에 공통으로 공급되는 신호들이다. 위상이 서로 다른 N(N은 자연수)상 클럭들로 구현되는 게이트 쉬프트 클럭들(CLKs)은 N상 캐리 클럭들과 N상 스캔 클럭들을 포함할 수 있다.
- [0065] 스캔 클럭들은 스캔 신호(SCAN(n)~SCAN(n+3))를 생성하기 위한 클럭 신호이고, 캐리 클럭들은 캐리 신호(CRY(n)~CRY(n+3))를 생성하기 위한 클럭 신호이다. 스캔 클럭들은 스캔 신호(SCAN(n)~SCAN(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다. 캐리 클럭들은 캐리 신호(CRY(n)~CRY(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다.
- [0066] 이러한 게이트 쉬프트 클럭들(CLKs)은 고속 구동시 충분한 충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 게이트 쉬프트 클럭들(CLKs)의 게이트 온 전압 구간들이 미리 설정된 시간 만큼씩 중첩될 수 있다.
- [0067] 각 스테이지들(132)은 외부의 전원 공급부(미도시)로부터 전원 전압(PS)을 공급받을 수 있다. 전원 전압(PS)은 고전위 전원전압과 저전위 전원전압을 포함한다. 고전위 전원전압은 게이트 온 전압, 예컨대 28V로 설정될 수 있다. 저전위 전원전압은 각 스테이지들(132)에 속하는 트랜지스터들의 누설 전류를 억제하기 위해 복수의 게이트 오프 전압들, 예컨대 -6V, -12V로 설정될 수 있다. 이 경우, 스캔 클럭들은 -6V와 12V 사이에서 스윙될 수 있고, 캐리 클럭들은 -12V와 12V 사이에서 스윙될 수 있다. 다시 말해, 캐리 클럭들의 스윙 폭은 스캔 클럭들의 스윙 폭에 비해 클 수 있다. 그리고, 캐리 신호(CRY(n)~CRY(n+3))의 스윙 폭은 스캔 신호(SCAN(n)~SCAN(n+3))의 스윙폭보다 더 클 수 있다. 이렇게 하면, 각 스테이지에서 Q_b 노드에 게이트전극이 연결된 풀다운 트랜지스터의 열화를 억제하는 데 효과적이다.
- [0068] 도 10은 도 9의 게이트 쉬프트 레지스터(130)에 포함된 일 스테이지(132)를 나타내는 회로도이다.
- [0069] 도 10을 참조하면, 제n 스테이지(132)는 제n 캐리 신호(CR(n))를 생성하여 전단 스테이지들 중 어느 하나에 공급함과 아울러 후단 스테이지들 어느 하나에 공급한다. 제n 스테이지(132)는 제n 스캔 신호(SCAN(n))를 생성하여 제n 게이트라인에 공급한다.
- [0070] 이를 위해, 제n 스테이지(132)는 입력&리셋부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4)를 포함하여, 실시간 센싱 구현을 위해 센싱라인 선택부(BLK5)를 더 포함할 수 있다.
- [0071] 입력&리셋부(BLK1)는 제n-4 스테이지로부터의 전단 캐리신호(CR(n-4))에 따라 Q 노드를 게이트 온 전압으로 충전하고, 제n+4 스테이지로부터의 후단 캐리신호(CR(n+4))에 따라 Q 노드를 게이트 오프 전압으로 방전한다. 입력&리셋부(BLK1)는 전단 캐리신호(CR(n-4))를 Q 노드에 충전하는 트랜지스터 T11과, 후단 캐리신호(CR(n+4))에 따라 Q 노드를 저전위 전원전압(GVSS)(즉, 게이트 오프 전압)으로 방전하는 트랜지스터 T12를 포함한다. 트랜지스터 T11는 입력 트랜지스터로서, 전단 캐리신호(CR(n-4))에 포함될 수도 있는 비정상 출력, 즉, 리플(Ripple)이 효과적으로 방전될 수 있도록 전단 캐리신호(CR(n-4))의 입력단과 Q 노드 사이에 다이오드 연결된다. 다시 말해, 트랜지스터 T11의 게이트전극과 제1 전극은 전단 캐리신호(CR(n-4))의 입력단에 접속되고, 트랜지스터 T11의 제2 전극은 Q 노드에 접속된다. 트랜지스터 T12는 리셋 트랜지스터로서, 트랜지스터 T12의 게이트전극에는 후단 캐리신호(CR(n+4))가 입력되고, 트랜지스터 T12의 제1 전극은 Q 노드에 접속되며, 트랜지스터 T12의 제2 전극에는 저전위 전원전압(GVSS)이 입력된다.
- [0072] 인버터부(BLK2)는 Q 노드의 전압에 따라 Q_b 노드의 전압을 Q 노드와 반대로 충전/방전한다. 인버터부(BLK2)는 Q 노드가 게이트 온 전압으로 충전될 때 Q_b 노드를 저전위 전원전압(GVSS)(즉, 게이트 오프 전압)으로 방전하는 트랜지스터 T24와, Q 노드가 게이트 오프 전압으로 방전될 때 Q_b 노드를 고전위 전원전압(GVDD)(즉, 게이트 온 전압)으로 충전하는 트랜지스터들 T21~T23과, 전단 캐리신호(CR(n-4))에 따라 Q 노드를 저전위 전원전압(GVSS)으로 방전하는 트랜지스터 T25를 포함한다. 트랜지스터 T21의 게이트전극은 NX 노드에 접속되고, 트랜지스터 T21의 제1 전극에는 고전위 전원전압(GVDD)이 입력되며, 트랜지스터 T21의 제2 전극은 Q_b 노드에 접속된다. 트랜지스터 T22의 게이트전극과 제1 전극에는 고전위 전원전압(GVDD)이 입력되며, 트랜지스터 T22의 제2 전극은 NX 노드에 접속된다. 트랜지스터 T23의 게이트전극은 Q 노드에 접속되고, 트랜지스터 T23의 제1 전극은 NX 노드에 접속되며, 트랜지스터 T23의 제2 전극에는 저전위 전원전압(GVSS)이 입력된다. 트랜지스터 T24의 게이트전극은 Q 노드에 접속되고, 트랜지스터 T24의 제1 전극은 Q_b 노드에 접속되며, 트랜지스터 T24의 제2 전극에는 저전위 전원전압(GVSS)이 입력된다. 트랜지스터 T25의 게이트전극에는 전단 캐리신호(CR(n-4))가 입력되고, 트랜지

스터 T25의 제1 전극은 QB 노드에 접속되며, 트랜지스터 T25의 제2 전극에는 저전위 전원전압(GVSS)이 입력된다.

- [0073] 출력부(BLK3)는 Q 노드가 게이트 온 전압보다 높은 전압으로 부트 스트랩핑(Bootstrapping) 되는 동안, 캐리 클럭(CRCLK(n))을 캐리 신호(CR(n))로 출력하는 풀업 트랜지스터 T31과, 스캔 클럭(SCCLK(n))을 스캔 신호(SCAN(n))로 출력하는 풀업 트랜지스터 T32를 포함한다. 풀업 트랜지스터 T31의 게이트전극은 Q 노드에 접속되고, 풀업 트랜지스터 T31의 제1 전극에는 캐리 클럭(CRCLK(n))이 입력되며, 풀업 트랜지스터 T31의 제2 전극은 제1 출력단(N01)에 접속된다. 풀업 트랜지스터 T32의 게이트전극은 Q 노드에 접속되고, 풀업 트랜지스터 T32의 제1 전극에는 스캔 클럭(SCCLK(n))이 입력되며, 풀업 트랜지스터 T32의 제2 전극은 제2 출력단(N02)에 접속된다. 풀업 트랜지스터 T32의 게이트전극과 제2 출력단(N02) 사이에는 부트 스트랩핑을 위한 부스터 커패시터 Co가 더 접속될 수 있다.
- [0074] 안정화부(BLK4)는 QB 노드가 게이트 온 전압으로 충전된 동안, 제2 출력단 (N02)의 리플을 억제하는 홀딩 트랜지스터 T41과, Q 노드의 리플을 억제하는 홀딩 트랜지스터 T42를 포함한다. 즉, 홀딩 트랜지스터들(T41,T42)은 제1 출력단(N01)을 제외하고 제2 출력단 (N02)과 Q 노드에 연결된다. 스테이지 회로 구성이 간소화될 수 있도록 제1 출력단(N01)에는 홀딩 트랜지스터가 연결되지 않는다.
- [0075] 홀딩 트랜지스터 T41은 QB 노드에 게이트 온 전압이 인가되는 동안 제2 출력단(N02)을 게이트 오프 전압의 저전위 전원전압(GVSS) 단자에 연결한다. 홀딩 트랜지스터 T41의 게이트전극은 QB 노드에 접속되고, 홀딩 트랜지스터 T41의 제1 전극과 제2 전극은 제2 출력단(N02)과 저전위 전원전압(GVSS) 단자에 접속된다.
- [0076] 홀딩 트랜지스터 T42는 QB 노드에 게이트 온 전압이 인가되는 동안 Q 노드를 게이트 오프 전압의 저전위 전원전압(GVSS) 단자에 연결한다. 홀딩 트랜지스터 T42의 게이트전극은 QB 노드에 접속되고, 홀딩 트랜지스터 T42의 제1 전극과 제2 전극은 Q 노드와 저전위 전원전압(GVSS) 단자에 접속된다.
- [0077] 제1 출력단(N01)에는 홀딩 트랜지스터가 연결되지 않기 때문에, QB 노드에 게이트 온 전압이 인가되는 동안 제1 출력단(N01)에서 출력되는 캐리 신호(CR(n))에 외부 회로 간섭 등의 이유로 리플이 포함될 수 있다. 캐리 신호들에 포함된 리플 성분은 도 12와 같은 리플 방전 경로를 통해 제거될 수 있다. 이러한 리플 방전 경로는 입력 트랜지스터 T11을 다이오드 연결함으로써 용이하게 구현될 수 있다. 즉, QB 노드에 게이트 온 전압이 인가되는 동안, 전단 캐리 신호(CR(n-4))의 입력단과 Q 노드 사이, 및 Q 노드와 저전위 전원전압(GVSS) 단자 사이에는 리플 방전 경로가 형성될 수 있는 것이다. 제n-4 스테이지의 전단 캐리 신호(CR(n-4))에 포함된 리플 성분은 제n 스테이지의 리플 방전 경로를 통해 저전위 전원전압(GVSS) 단자로 방전될 수 있기 때문에, 제n 스테이지의 캐리 출력 및 스캔 출력에 영향을 미치지 않는다.
- [0078] 센싱라인 선택부(BLK5)는 전단 스테이지들 중 어느 하나(예컨대, 제n-2 스테이지)로부터 입력된 전단 캐리 신호(CR(n-2))를 픽셀라인 선택신호(LSP)에 따라 M 노드에 저장하고, 상기 M 노드의 전압과 센싱 지시신호(SRT)에 따라 Q 노드를 게이트 온 전압으로 활성화한다. 매 프레임마다 1 픽셀라인씩 SDW 구동될 수 있도록, 도 11과 같이 픽셀라인 선택신호(LSP)는 영상 데이터 기입이 이뤄지는 수직 액티브 기간(VWP) 동안 스테이지들 중에서 어느 한 스테이지(예컨대, 제n 스테이지)인가되고, 센싱 지시신호(SRT)는 수직 액티브 기간(VWP)에 연속되며 영상 데이터 기입이 이뤄지지 않는 수직 블랭크 기간(VBP) 동안 상기 어느 한 스테이지에 인가된다.
- [0079] 픽셀라인 선택신호(LSP)에 의해 제n 스테이지의 M 노드는 수직 액티브 기간(VWP)에서 전단 캐리 신호(CR(n-2))를 저장하여 SDW 구동을 준비한다. 그리고, 제n 스테이지는 센싱 지시신호(SRT)에 따라 수직 블랭크 기간(VBP)에서 Q 노드를 게이트 온 전압으로 활성화하여 SDW 구동을 위한 스캔 신호(SCAN(n))를 출력한다.
- [0080] 이렇게 SDW 구동을 준비 및 수행하는 스테이지는 픽셀라인 선택신호(LSP)와 센싱 지시신호(SRT)에 따라 매 프레임마다 바뀐다.
- [0081] 센싱라인 선택부(BLK5)는 픽셀라인 선택신호(LSP)에 따라 턴 온 되어 전단 캐리 신호(CR(n-2))를 M 노드에 인가하는 트랜지스터 T51과, M 노드에 인가된 전단 캐리 신호(CR(n-2))를 저장하는 커패시터 Cx와, 트랜지스터 T52와, 트랜지스터 T53을 포함한다. 트랜지스터 T52와 트랜지스터 T53는 게이트 온 전압의 고전위 전원전압(GVDD) 단자와 Q 노드 사이에 직렬 접속되고, M 노드의 전압과 센싱 지시신호(SRT)에 따라 고전위 전원전압(GVDD)(즉, 게이트 온 전압)을 Q 노드에 인가한다.
- [0082] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

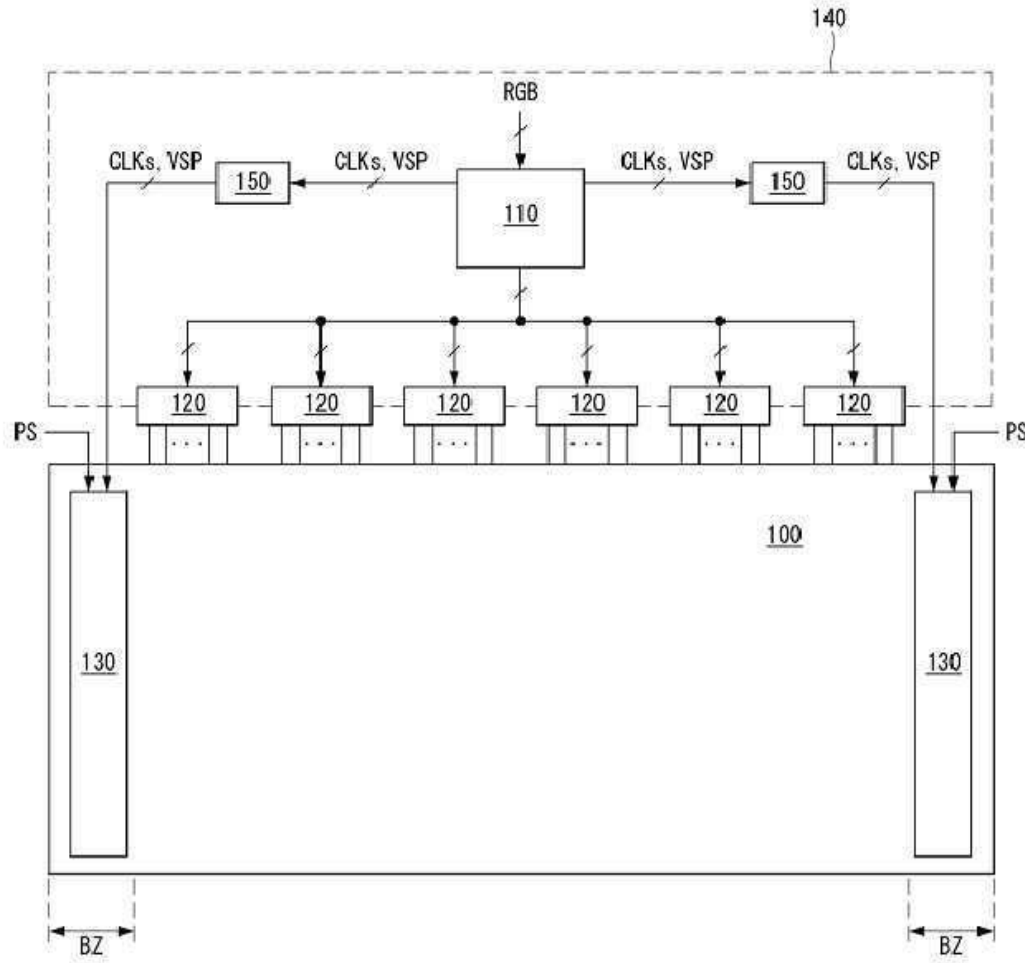
[0083]

100 : 표시패널 110 : 타이밍 컨트롤러

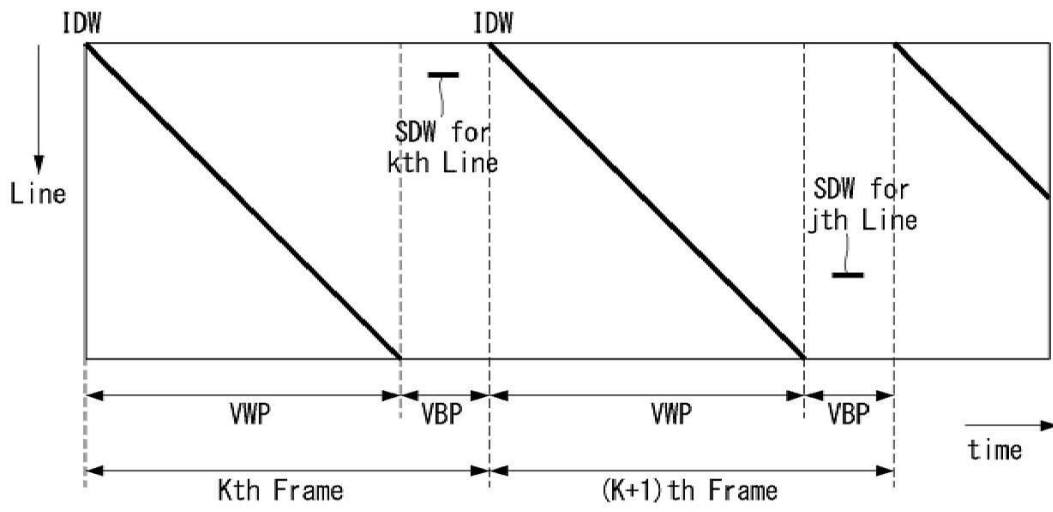
130 : 게이트 쉬프트 레지스터 132 : 스테이지

도면

도면1

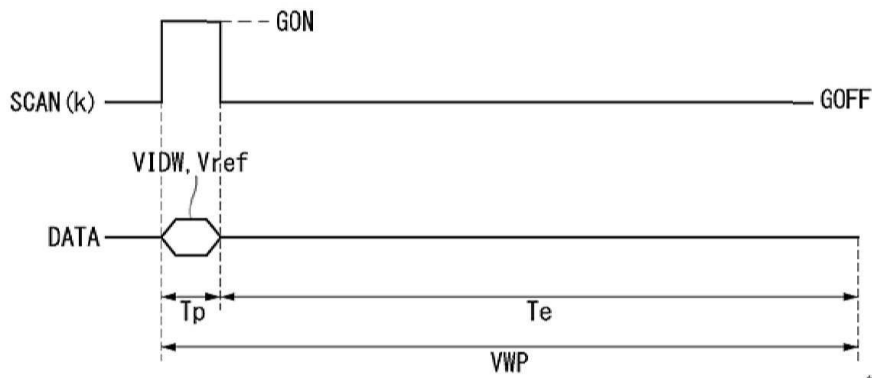


도면4

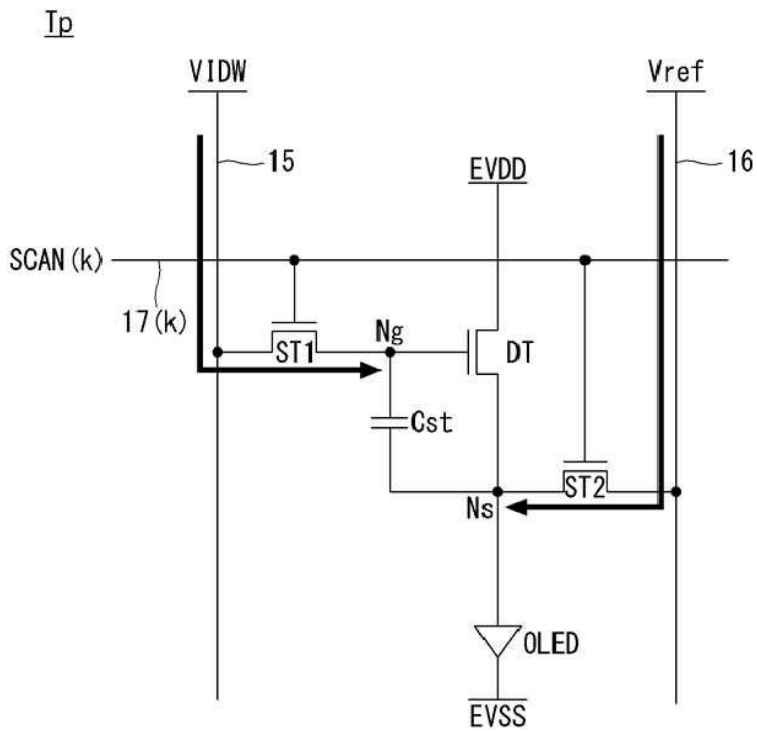


도면5

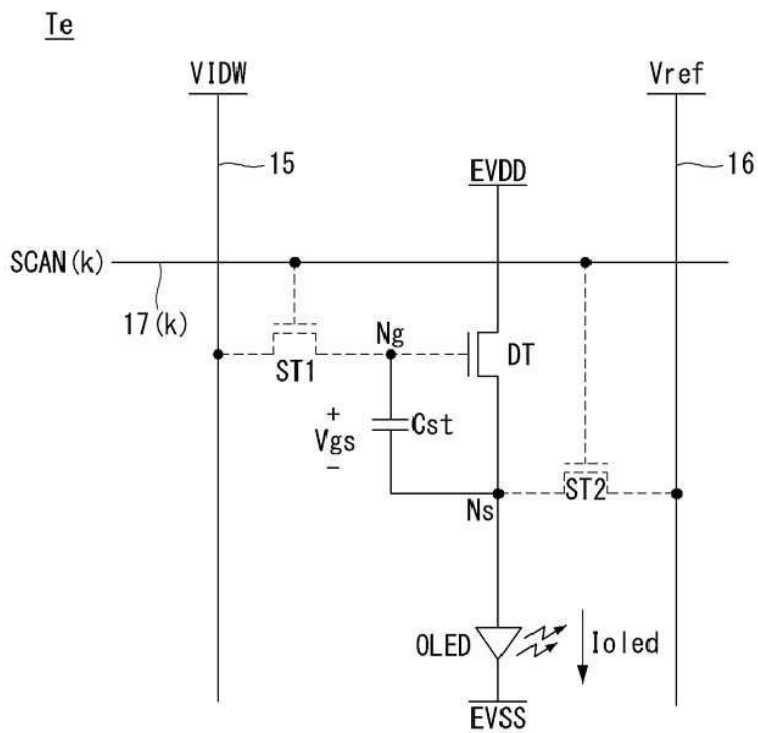
IDW 구동



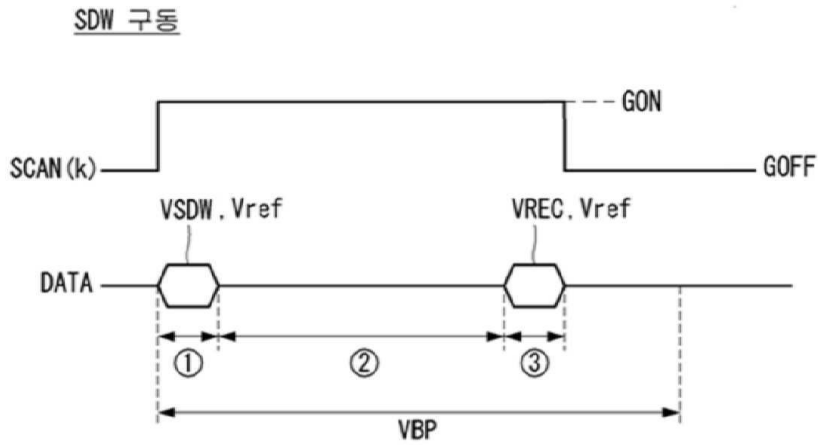
도면6a



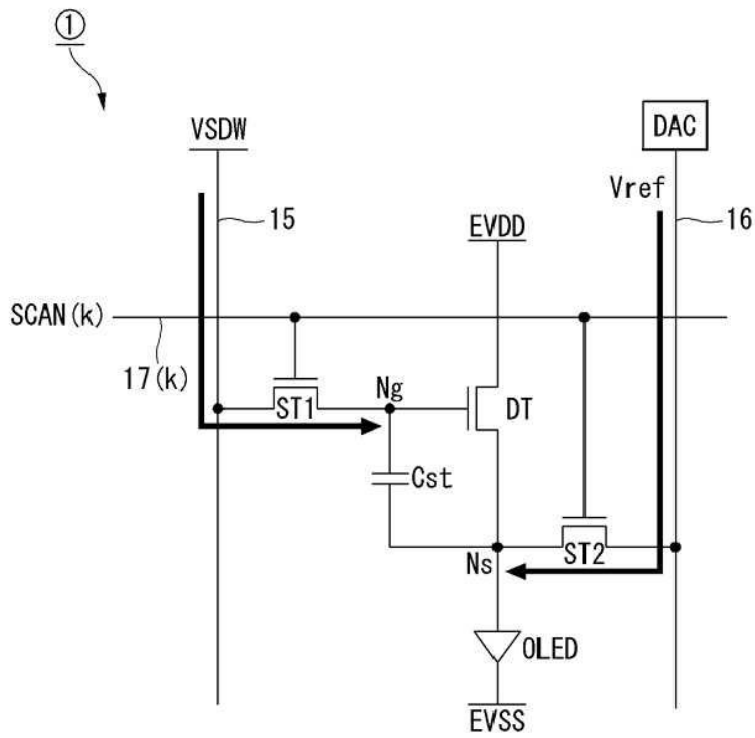
도면6b



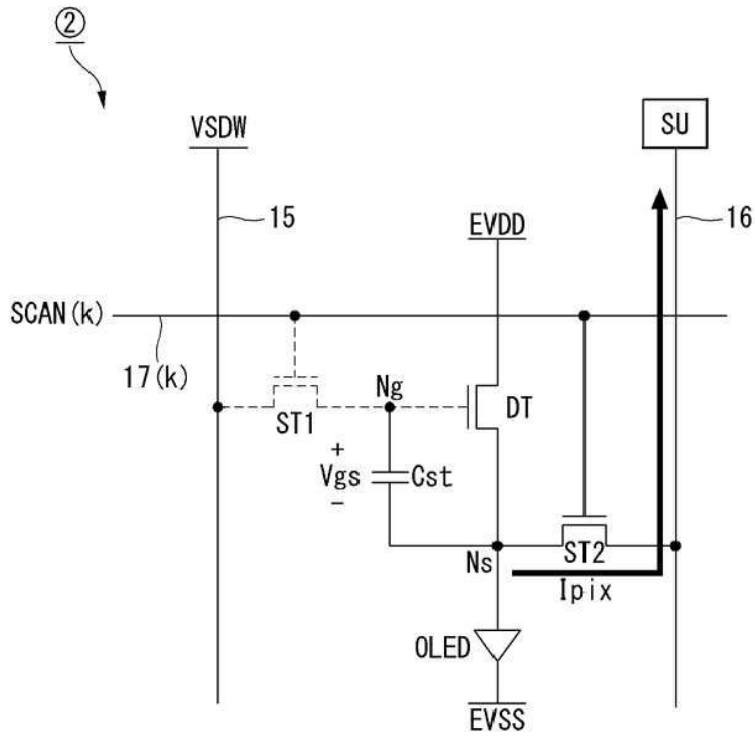
도면7



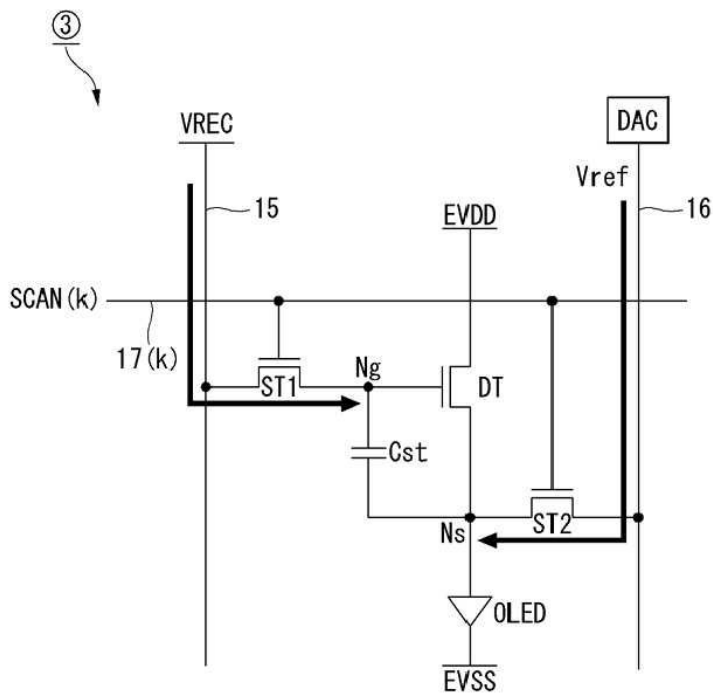
도면8a



도면8b

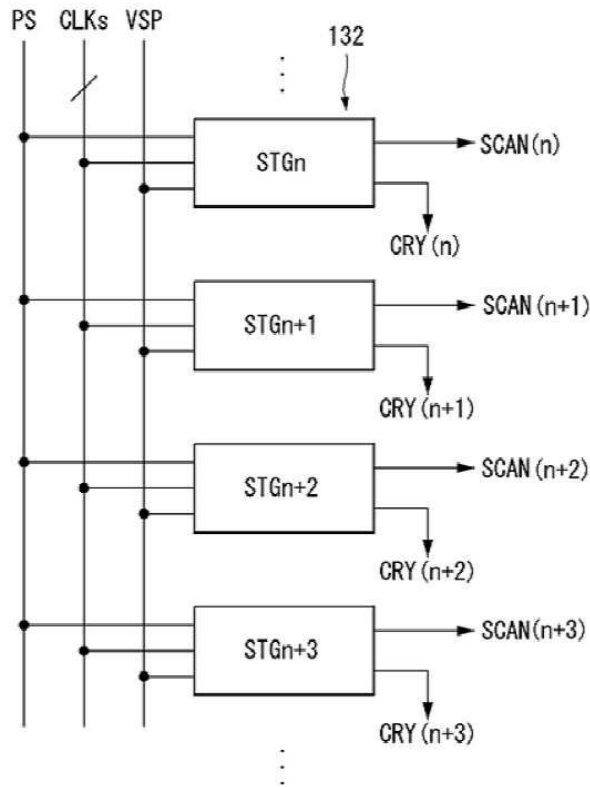


도면8c



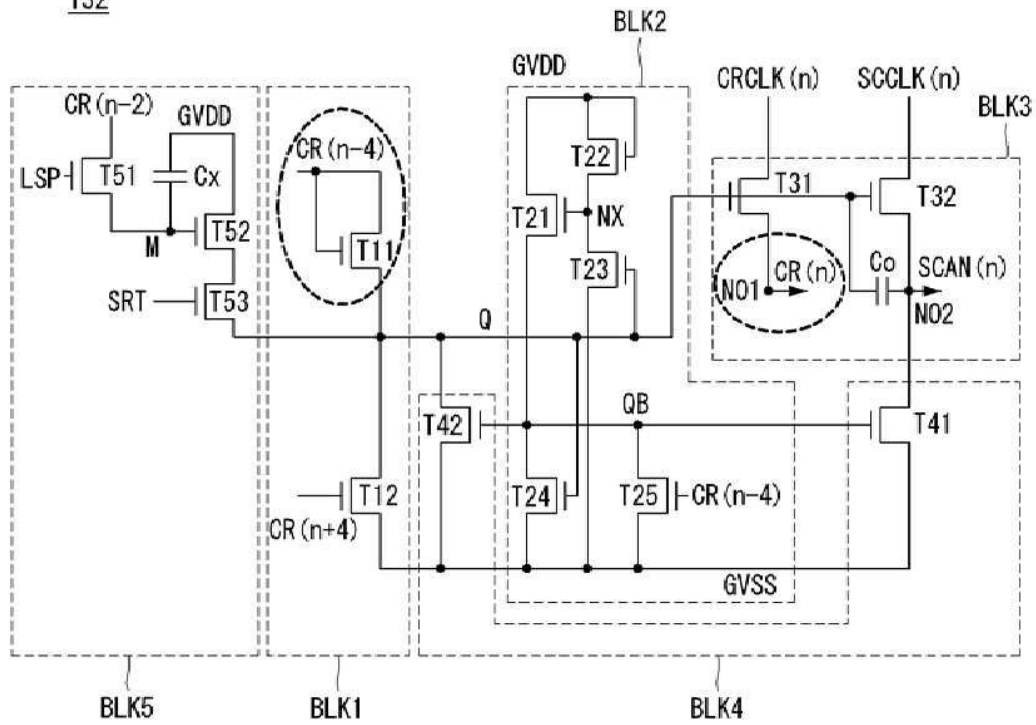
도면9

130

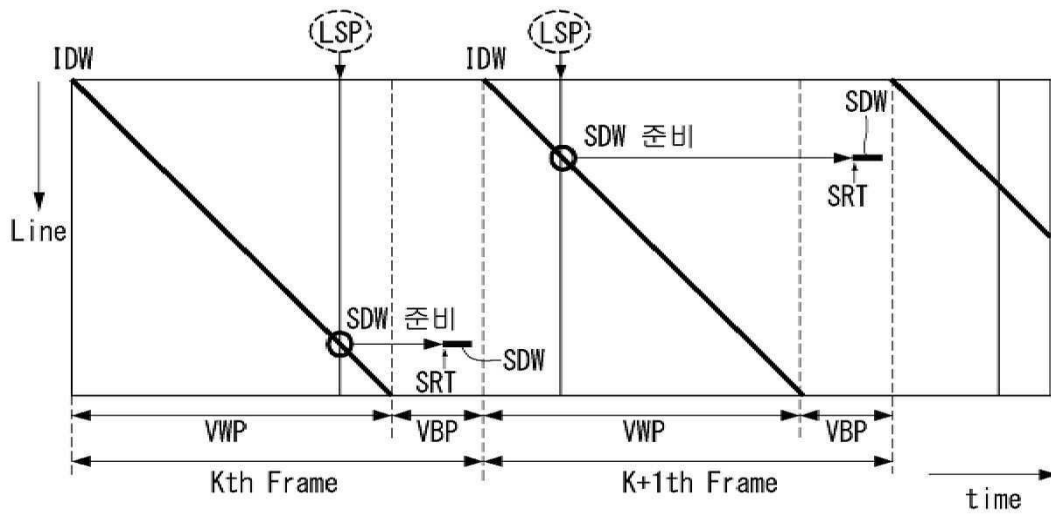


도면10

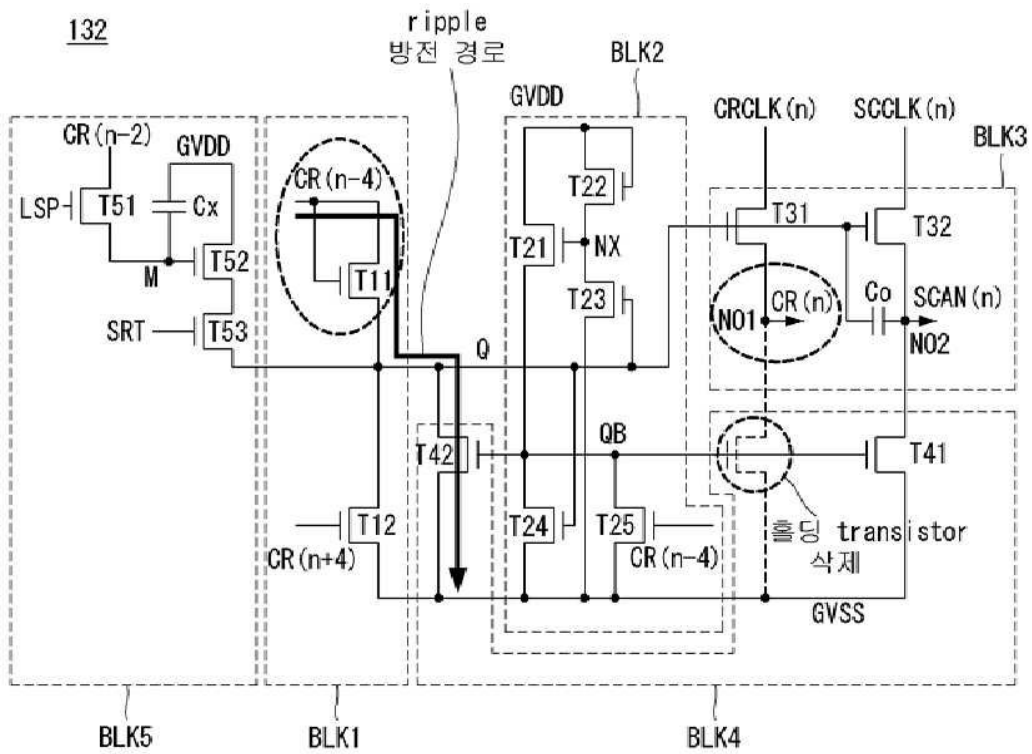
132



도면11



도면12



专利名称(译)	栅极驱动器和包括该栅极驱动器的有机发光显示装置		
公开(公告)号	KR1020200026474A	公开(公告)日	2020-03-11
申请号	KR1020180104451	申请日	2018-09-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
发明人	최재이		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2300/0408 G09G2300/043 G09G2310/0286 G09G2310/061 G09G3/3275 G09G2300/0814 G09G2300/0819 G09G3/3291 G09G2300/0426 G09G2310/08		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例的用于实现实时感测的栅极驱动器具有多个阶段。每个级包括:第一上拉晶体管,其在Q节点被以高于栅极导通电压的电压自举的同时,将进位时钟作为进位信号输出到第一输出端子;以及第二上拉晶体管在自举Q节点的同时向第二输出端输出扫描时钟作为扫描信号。保持晶体管根据QB节点的电压操作,该QB节点的电压与Q节点相反地充电和放电。保持晶体管连接到第二输出端子和除第一输出端子之外的Q节点。

