



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0009162
(43) 공개일자 2020년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/525 (2013.01)
H01L 27/3244 (2013.01)
(21) 출원번호 10-2018-0082807
(22) 출원일자 2018년07월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
허지혜
충청남도 아산시 배방읍 모산로126번길 17-26,
103동 203호 (아산한도아파트)
왕순정
충청남도 천안시 서북구 시청로 73, 306동 902호
(불당동, 불당마을동일하이빌아파트)
이은주
충청남도 천안시 서북구 불당26로 50, 507동 210
2호 (불당동, 천안불당지웰시티푸르지오2단지)
(74) 대리인
팬코리아특허법인

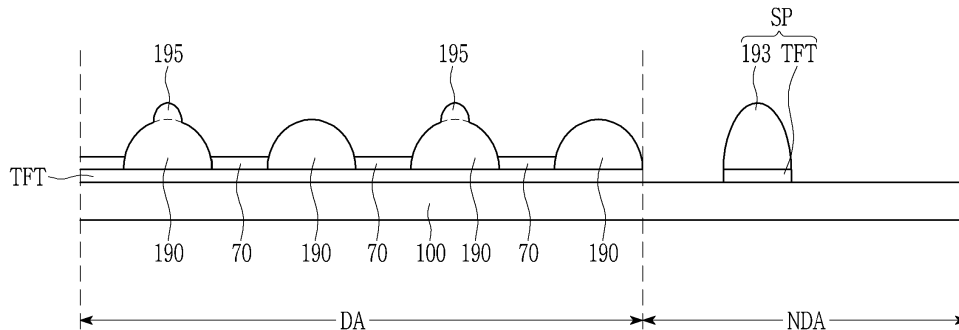
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 표시 장치

(57) 요약

일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기관, 상기 기관에 위치하는 트랜지스터층, 상기 트랜지스터층에 위치하는 복수개의 격벽, 상기 격벽 사이에 위치하는 발광 소자, 및 상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며, 상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바디 및 트랜지스터층의 일부 또는 전부를 포함한다.

대표도 - 도1



(52) CPC특허분류
H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 비표시 영역을 포함하는 기관;
상기 기관에 위치하는 트랜지스터층;
상기 트랜지스터층에 위치하는 복수개의 격벽;
상기 격벽 사이에 위치하는 발광 소자; 및
상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며,
상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바다, 및
상기 트랜지스터층의 일부 또는 전부를 포함하는 표시 장치.

청구항 2

제1항에서,
상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고,
상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치하는 더미 전극을 포함하는 표시 장치.

청구항 3

제2항에서,
상기 트랜지스터층은 게이트 절연막, 제1 층간 절연막 및 제2 층간 절연막을 더 포함하고,
상기 스페이서는 게이트 절연막, 제1 층간 절연막, 제2 층간 절연막을 더 포함하는 표시 장치.

청구항 4

제3항에서,
상기 트랜지스터층은 상기 소스 전극 및 드레인 전극을 피복하는 피복층을 더 포함하고,
상기 스페이서는 상기 더미 전극 위에 위치하는 피복층을 더 포함하는 표시 장치.

청구항 5

제1항에서,
상기 트랜지스터층은 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함하고,
상기 스페이서는 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함하는 표시 장치.

청구항 6

제1항에서,
상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치하는 표시 장치.

청구항 7

제6항에서,
상기 격벽 및 상기 격벽 스페이서는 동일 물질을 포함하며 서로 연결되어 있는 표시 장치.

청구항 8

제6항에서,

상기 전체 격벽 중 격벽 스페이서가 위치하는 격벽의 비율은 10% 내지 20%인 표시 장치.

청구항 9

제6항에서,

상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.7 내지 1인 표시 장치.

청구항 10

제1항에서,

상기 스페이서의 높이는 3 μm 내지 6 μm 인 표시 장치.

청구항 11

제1항에서,

상기 스페이서는 상기 표시 영역의 가장자리로부터 150 μm 내지 200 μm 이격되어 위치하는 표시 장치.

청구항 12

제1항에서,

상기 스페이서 바디는 상기 격벽과 동일 물질을 포함하는 표시 장치.

청구항 13

제1항에서,

상기 비표시 영역에 위치하는 댐을 더 포함하고,

상기 스페이서는 상기 댐과 상기 표시 영역 사이에 위치하는 표시 장치.

청구항 14

표시 영역 및 비표시 영역을 포함하는 기관;

상기 기관에 위치하는 트랜지스터층;

상기 트랜지스터층에 위치하는 복수개의 격벽;

상기 격벽 사이에 위치하는 발광 소자; 및

상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며,

상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치하고,

상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도보다 상기 비표시 영역에 위치하는 스페이서의 배치 밀도가 더 큰 표시 장치.

청구항 15

제14항에서,

상기 표시 영역에 위치하는 전체 격벽 중 격벽 스페이서가 위치하는 격벽의 비율은 10% 내지 20%인 표시 장치.

청구항 16

제14항에서,

상기 비표시 영역에 위치하는 스페이서의 배치 밀도는 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도의

1.5배 내지 3배인 표시 장치.

청구항 17

제14항에서,

상기 격벽 및 상기 격벽 스페이서는 동일 물질을 포함하며 서로 연결되어 있는 표시 장치.

청구항 18

제14항에서,

상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바디, 및 상기 트랜지스터층의 일부 또는 전부를 포함하는 표시 장치.

청구항 19

제18항에서,

상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고,

상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치하는 더미 전극을 포함하는 표시 장치.

청구항 20

제19항에서,

상기 트랜지스터층은 게이트 절연막, 제1 층간 절연막 및 제2 층간 절연막을 더 포함하고,

상기 스페이서는 게이트 절연막, 제1 층간 절연막, 제2 층간 절연막을 더 포함하는 표시 장치.

청구항 21

제14항에서,

상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.5 내지 1인 표시 장치.

청구항 22

표시 영역 및 비표시 영역을 포함하는 기관;

상기 기관에 위치하는 트랜지스터층;

상기 트랜지스터층에 위치하는 복수개의 격벽;

상기 격벽 사이에 위치하는 발광 소자; 및

상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며,

상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치하고,

상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바디 및 상기 트랜지스터층의 일부 또는 전부를 포함하고,

상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도보다, 상기 비표시 영역에 위치하는 스페이서의 배치 밀도가 더 큰 표시 장치.

청구항 23

제22항에서,

상기 비표시 영역에 위치하는 스페이서의 배치 밀도는 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도의 1.5배 내지 3배인 표시 장치.

청구항 24

제22항에서,

상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고,

상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치하는 더미 전극을 포함하는 표시 장치.

청구항 25

제22항에서,

상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.7 내지 1인 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 표시 장치에 관한 것으로서, 보다 구체적으로 제조 공정 중 마스크에 의한 표시 장치의 손상을 방지하는 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치의 화소는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 두 개의 전극 중 하나인 캐소드로부터 주입된 전자(electron)와 애노드로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 유기 발광 표시 장치의 유기 발광층은 마스크 등을 이용하여 형성될 수 있다. 마스크를 위치시키는 과정에서 표시 장치와 마스크가 접촉한다. 이러한 접촉 과정에서 표시 장치가 손상될 수 있다.

발명의 내용

해결하려는 과제

[0004] 실시예들은 표시 장치의 제조 공정 중 마스크에 의한 유기 발광 표시 장치의 손상을 예방한 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기판, 상기 기판에 위치하는 트랜지스터층, 상기 트랜지스터층에 위치하는 복수개의 격벽, 상기 격벽 사이에 위치하는 발광 소자, 및 상기 기판의 비표시 영역에 위치하는 스페이서를 포함하며, 상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바다, 및 상기 트랜지스터층의 일부 또는 전부를 포함한다.

[0006] 상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고, 상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치하는 더미 전극을 포함할 수 있다.

[0007] 상기 트랜지스터층은 게이트 절연막, 제1 층간 절연막 및 제2 층간 절연막을 더 포함하고, 상기 스페이서는 게이트 절연막, 제1 층간 절연막, 제2 층간 절연막을 더 포함할 수 있다.

[0008] 상기 트랜지스터층은 상기 소스 전극 및 드레인 전극을 피복하는 피복층을 더 포함하고, 상기 스페이서는 상기 더미 전극 위에 위치하는 피복층을 더 포함할 수 있다.

[0009] 상기 트랜지스터층은 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함하고, 상기 스페이서는 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함할 수 있다.

[0010] 상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치할 수 있다.

[0011] 상기 격벽 및 상기 격벽 스페이서는 동일 물질을 포함하며 서로 연결되어 있을 수 있다.

[0012] 상기 전체 격벽 중 격벽 스페이서가 위치하는 격벽의 비율은 10% 내지 20%일 수 있다.

- [0013] 상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.7 내지 1일 수 있다.
- [0014] 상기 스페이서의 높이는 3 μm 내지 6 μm 일 수 있다.
- [0015] 상기 스페이서는 상기 표시 영역의 가장자리로부터 150 μm 내지 200 μm 이격되어 위치할 수 있다.
- [0016] 상기 스페이서 바디는 상기 격벽과 동일 물질을 포함할 수 있다.
- [0017] 상기 표시 장치는 상기 비표시 영역에 위치하는 댐을 더 포함하고, 상기 스페이서는 상기 댐과 상기 표시 영역 사이에 위치할 수 있다.
- [0018] 본 발명의 다른 일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기관, 상기 기관에 위치하는 트랜지스터층, 상기 트랜지스터층에 위치하는 복수개의 격벽, 상기 격벽 사이에 위치하는 발광 소자, 및 상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며, 상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치하고, 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도보다 상기 비표시 영역에 위치하는 스페이서의 배치 밀도가 더 클 수 있다.
- [0019] 상기 표시 영역에 위치하는 전체 격벽 중 격벽 스페이서가 위치하는 격벽의 비율은 10% 내지 20%일 수 있다.
- [0020] 상기 비표시 영역에 위치하는 스페이서의 배치 밀도는 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도의 1.5배 내지 3배일 수 있다.
- [0021] 상기 격벽 및 상기 격벽 스페이서는 동일 물질을 포함하며 서로 연결되어 있을 수 있다.
- [0022] 상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바디, 및 상기 트랜지스터층의 일부 또는 전부를 포함할 수 있다.
- [0023] 상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고, 상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치할 수 있다.
- [0024] 상기 트랜지스터층은 게이트 절연막, 제1 층간 절연막 및 제2 층간 절연막을 더 포함하고, 상기 스페이서는 게이트 절연막, 제1 층간 절연막, 제2 층간 절연막을 더 포함할 수 있다.
- [0025] 상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.5 내지 1일 수 있다.
- [0026] 본 발명의 다른 일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기관, 상기 기관에 위치하는 트랜지스터층, 상기 트랜지스터층에 위치하는 복수개의 격벽, 상기 격벽 사이에 위치하는 발광 소자, 및 상기 기관의 비표시 영역에 위치하는 스페이서를 포함하며, 상기 복수개의 격벽 중 일부 격벽에 격벽 스페이서가 위치하고, 상기 스페이서는 상기 격벽과 동일 층에 위치하는 스페이서 바디 및 상기 트랜지스터층의 일부 또는 전부를 포함하고, 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도보다, 상기 비표시 영역에 위치하는 스페이서의 배치 밀도가 더 클 수 있다.
- [0027] 상기 비표시 영역에 위치하는 스페이서의 배치 밀도는 상기 표시 영역에 위치하는 격벽 스페이서의 배치 밀도의 1.5배 내지 3배일 수 있다.
- [0028] 상기 트랜지스터층은 소스 전극 및 드레인 전극을 포함하고, 상기 스페이서는 상기 소스 전극 및 드레인 전극과 동일 층에 위치하는 더미 전극을 포함할 수 있다.
- [0029] 상기 격벽 스페이서의 높이에 대한 상기 스페이서의 높이 비는 0.7 내지 1일 수 있다.

발명의 효과

- [0030] 실시예들에 따르면, 표시 장치의 제조 공정 중 마스크에 의한 유기 발광 표시 장치의 손상을 예방한 표시 장치를 제공한다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 단면을 간략하게 도시한 것이다.
- 도 2는 본 발명의 다른 일 실시예에 따른 표시 장치의 단면을 도시한 것이다.
- 도 3은 본 발명의 다른 일 실시예에 따른 표시 장치의 단면을 도시한 것이다.

도 4 및 도 7는 본 발명의 비교예에 따른 표시 장치에서 마스크 위치시 격벽 스페이서가 손상되는 원리를 도시한 것이다.

도 8은 실제로 격벽 스페이서의 손상이 발생한 이미지이다.

도 9는 도 1의 실시예에 따른 표시 장치에 마스크를 위치시킨 구성을 도시한 것이다.

도 10은 도 2의 실시예에 따른 표시 장치에 마스크를 위치시킨 구성을 도시한 것이다.

도 11은 본 발명 비교예에 따른 표시 장치의 이미지이고 도 12는 도 2의 실시예에 따른 표시 장치의 이미지이다.

도 13은 한 실시예에 따른 표시 장치의 평면도이고, 도 14는 한 실시예에 따른 표시 장치의 한 화소에 대한 등가 회로도의 한 예이다.

도 15는 도 13의 XV-XV 선을 따라 잘라 개략적으로 도시한 단면도이다.

도 16은 본 발명의 비교예에 따른 스페이서의 적층 형태를 도시한 것이다.

도 17 내지 도 19는 본 발명의 일 실시예에 따른 스페이서의 다양한 적층 형태를 도시한 것이다.

도 20은 본 발명의 다른 일 실시예에 따른 표시 장치에서, 도 15와 동일한 단면을 도시한 것이다.

도 21은 본 발명의 다른 일 실시예에 따른 표시 장치에서, 도 15와 동일한 단면을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0033] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0034] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0035] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0036] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0037] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0038] 그러면 이하에서 본 발명의 일 실시예에 따른 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 단면을 간략하게 도시한 것이다. 도 1을 참고로 하면, 본 발명의 일 실시예에 따른 표시 장치는 표시 영역(DA) 및 비표시 영역(NDA)을 포함한다.
- [0040] 표시 영역(DA)은 기판(100) 위에 위치하는 트랜지스터층(TFT), 트랜지스터층(TFT) 위에 위치하는 복수개의 유기 발광 소자(70) 및 격벽(190)을 포함한다. 도 1에서는 편의상 트랜지스터층(TFT)을 하나의 층으로 간단하게 도시하였으나, 트랜지스터층(TFT)은 게이트 전극, 반도체층, 소스 전극, 드레인 전극 및 절연막 등을 모두 포함하는 층이다. 트랜지스터층(TFT)의 구체적인 구조는 이후 도 15, 도 20, 도 21 등에서 상세하게 설명한다. 마찬가지로, 도 1의 유기 발광 소자(70)는 화소 전극(미도시), 유기 발광층(미도시) 및 공통 전극(미도시)을 포함한다. 유기 발광 소자(70)의 구체적인 구조는 이후 도 15, 도 20, 도 21 등에서 상세하게 설명한다.

- [0041] 도 1을 참고하면, 격벽(190)은 복수개의 유기 발광 소자(70) 사이에 위치한다. 일부 격벽(190)에는 격벽 스페이서(195)가 위치한다. 격벽 스페이서(195)는 격벽과 동일한 물질로 이루어질 수 있으며, 격벽(190) 형성시 하프톤 마스크 등을 이용하여 단일 공정으로 형성될 수 있다. 즉, 격벽의 일부는 돌출되어 격벽 스페이서(195)를 구성할 수 있다.
- [0042] 격벽 스페이서(195)는 유기 발광 소자(70)의 유기 발광층 형성 공정에서 사용되는 마스크와 접촉한다. 즉 격벽 스페이서(195)는 격벽(190)과 마스크가 직접 접촉하는 것을 방지한다. 격벽(190)과 마스크가 직접 접촉하는 경우, 접촉 면적이 넓어서 마스크와 격벽(190)이 잘 분리되지 않고, 마스크 분리 과정에서 격벽(190)을 비롯한 각 층들이 박리되는 현상이 발생할 수 있다. 그러나 격벽(190) 중 일부에 격벽 스페이서(195)를 위치시키고 격벽 스페이서(195)와 마스크가 직접 접촉하도록 함으로써, 격벽 스페이서(195)와 마스크의 접촉 면적을 감소시키고 마스크를 용이하게 분리할 수 있다.
- [0043] 격벽 스페이서(195)는 복수개의 격벽(190) 중 일부에만 위치한다. 일례로, 격벽 스페이서(195)는 열 개의 격벽 중 하나 또는 둘 위에만 위치할 수 있다. 즉, 표시 영역(DA)에서 격벽 스페이서(195)의 배치 밀도는 10% 내지 20%일 수 있다. 본 발명에서 배치 밀도란 격벽 스페이서(195)가 위치하는 격벽의 수를 전체 격벽의 수로 나눈 값이다.
- [0044] 도 1을 참고로 하면, 비표시 영역(NDA)에는 스페이서(SP)가 위치한다. 비표시 영역(NDA)의 스페이서(SP)는 표시 영역(DA)의 격벽 스페이서(195)와 동일하게 마스크와 접촉한다.
- [0045] 본 발명의 일 실시예에서, 스페이서(SP)는 트랜지스터층(TFT)의 일부 또는 전부를 포함한다. 즉 스페이서(SP)는 격벽(190)과 동일 공정으로 형성되는 스페이서 바디(193) 및 트랜지스터층(TFT)을 포함한다.
- [0046] 본 발명 비교예의 경우, 스페이서(SP)는 격벽(190)과 동일 공정으로 형성되는 스페이서 바디(193)만 포함한다. 이 때, 격벽(190) 하부에는 트랜지스터층(TFT)이 위치하지만, 비표시 영역(NDA)의 스페이서(SP) 하부에는 트랜지스터층(TFT)이 위치하지 않는다. 따라서 표시 영역(DA)의 격벽 스페이서(195)의 높이와 비표시 영역(NDA)의 스페이서(SP)의 높이가 달라지게 된다. 본 명세서에서 격벽 스페이서(195)의 높이는 격벽 스페이서(195)의 가장 돌출된 부분과 기판(100)사이의 최단 거리를 의미한다. 마찬가지로 스페이서(SP)의 높이는 스페이서(SP)의 가장 돌출된 부분과 기판(100)사이의 최단 거리를 의미한다.
- [0047] 표시 영역(DA)의 격벽 스페이서(195)의 높이와 비표시 영역(NDA)의 스페이서(SP)의 높이가 다른 경우, 유기 발광층 형성을 위한 마스크를 위치시키는 과정에서 마스크가 평평하게 위치하지 않는다. 따라서, 표시 영역(DA) 가장자리에 위치하는 격벽 스페이서(195)에 응력이 집중된다. 이러한 응력에 의해, 표시 영역(DA) 가장자리에 위치하는 격벽 스페이서(195)가 늘리거나 손상되게 된다. 이러한 격벽 스페이서(195)의 손상은 격벽 스페이서(195) 하부에 위치하는 다른 층의 박리를 유발할 수 있다.
- [0048] 그러나 도 1을 참고로 하면 본 발명의 일 실시예에 따른 표시 장치는 비표시 영역(NDA)에 위치하는 스페이서(SP)가 스페이서 바디(193) 및 트랜지스터층(TFT)을 포함한다. 즉 스페이서(SP) 하부에 절연막, 데이터선 등이 위치하면서 표시 영역(DA)의 격벽 스페이서(195)와 비표시 영역(NDA)의 스페이서(SP) 사이의 높이 차이를 최소화한다. 스페이서(SP)는 표시 영역(DA)에 위치하는 트랜지스터층(TFT)을 구성하는 모든 층을 다 포함할 수도 있고, 트랜지스터층(TFT) 중 일부만 포함할 수도 있다. 일례로, 스페이서(SP)는 하부에 데이터선만을 포함할 수 있다. 또는 스페이서(SP)는 데이터선과 절연막을 포함할 수도 있고, 표시 영역을 구성하는 다른 도전층, 예를 들어 게이트선 또는 반도체층을 포함할 수도 있다. 일례로, 표시 영역(DA)이 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함하는 경우, 스페이서(SP) 또한 서로 다른 층에 위치하는 2 이상의 데이터 도전체를 포함할 수 있다. 이는 표시 영역(DA)의 격벽 스페이서(195)와 비표시 영역(NDA)의 스페이서(SP)의 높이차를 최소화 하는 범위 내에서 당업자가 적절하게 선택 가능하다.
- [0049] 일례로, 비표시 영역(NDA)의 스페이서(SP) 높이는 표시 영역(DA)의 격벽 스페이서(195)의 높이의 70% 내지 100%일 수 있다. 비표시 영역(NDA)의 스페이서(SP) 높이는 3 μm 내지 6 μm 일 수 있다.
- [0050] 도 2는 본 발명의 다른 일 실시예에 따른 표시 장치의 단면을 도시한 것이다. 도 2를 참고로 하면, 도 2의 실시예에 따른 표시 장치는 표시 영역(DA)의 격벽 스페이서(195)의 배치 밀도와 비표시 영역(NDA)의 스페이서(SP)의 배치 밀도가 상이하다. 즉, 비표시 영역(NDA)의 스페이서(SP)가 배치된 밀도가, 표시 영역(DA)의 격벽 스페이서(195)가 배치된 밀도보다 크다. 비표시 영역(NDA)의 스페이서(SP) 배치 밀도는 표시 영역(DA)과 동일하게 정의한다. 즉 비표시 영역(NDA)의 스페이서(SP) 배치 밀도는 비표시 영역(NDA)의 전체 면적 중 스페이서(SP)가 형성된 단위 면적의 비율로 정의한다. 여기서 단위 면적은, 표시 영역(DA)의 하나의 발광 영역과 대응하는 면적일

수 있다.

- [0051] 일례로, 비표시 영역(NDA)의 스페이서(SP) 배치 밀도는 표시 영역(DA)의 격벽 스페이서(195) 배치 밀도의 1.5배 내지 3배 일 수 있다.
- [0052] 도 2의 실시예에서 스페이서(SP)는 트랜지스터층(TFT)을 포함하지 않는다. 스페이서(SP)는 스페이서 바디(193)만 포함하고, 따라서 비표시 영역(NDA)의 스페이서(SP)와 표시 영역(DA)의 격벽 스페이서(195)의 높이가 상이하다.
- [0053] 일례로, 비표시 영역(NDA)의 스페이서(SP) 높이는 표시 영역(DA)의 격벽 스페이서(195)의 높이의 50% 내지 100%일 수 있다.
- [0054] 그러나 본 실시예에 따른 표시 장치는 비표시 영역(NDA)에 높은 배치 밀도로 존재하는 스페이서(SP)에 의해 마스크 적용시의 응력이 분산된다. 따라서 표시 영역(NDA) 가장자리에 위치하는 격벽 스페이서(195)의 손상을 방지할 수 있다.
- [0055] 도 3은 본 발명의 다른 일 실시예에 따른 표시 장치의 단면을 도시한 것이다. 도 3을 참고로 하면, 본 실시예에 따른 표시 장치는 도 1의 실시예에 따른 특징과 도 2의 실시예에 따른 특징을 모두 포함한다. 즉 도 3의 실시예에 따른 표시 장치에서 비표시 영역(NDA)의 스페이서(SP)는 하부에 트랜지스터층(TFT)을 포함하고, 표시 영역(DA)의 격벽 스페이서(195)보다 높은 배치 밀도를 갖는다. 이 경우, 비표시 영역(NDA)의 스페이서(SP)와 표시 영역(DA)의 격벽 스페이서(195)의 높이가 유사하기 때문에 마스크 적용시 표시 영역(DA)의 가장자리에 위치하는 격벽 스페이서(195)에 가해지는 응력을 최소화 할 수 있다. 또한, 비표시 영역(NDA)의 스페이서(SP)는 표시 영역(DA)의 격벽 스페이서(195)에 비하여 높은 배치 밀도로 위치하는바, 표시 영역(DA)의 격벽 스페이서(195)에 가해지는 응력을 분산한다. 따라서 마스크에 의한 격벽 스페이서(195)의 손상을 효과적으로 방지할 수 있다.
- [0056] 도 4 및 도 7는 본 발명의 비교예에 따른 표시 장치에서 마스크 위치시 격벽 스페이서(195)가 손상되는 원리를 도시한 것이다. 도 4는 표시 장치의 표시 영역의 이미지이며, 도 4의 점선으로 표시된 부분의 단면을 도 5에 간단히 나타내었다. 도 5를 참고로 하면, 표시 영역(DA)에서 격벽(190) 일부에 격벽 스페이서(195)가 위치한다. 표시 영역(DA) 내에서는 격벽 스페이서(195)의 높이가 동일한바 마스크(800)가 안정적으로 위치한다.
- [0057] 도 6은 표시 장치의 표시 영역 및 비표시 영역이 모두 나타난 이미지이다. 도 6에서 밝은 마름모꼴로 나타난 부분은 표시 영역이고 어두운 마름모꼴로 나타난 부분은 비표시 영역이다. 도 6에서 스페이서는 검은색 원으로 도시되었다. 도 6에서 점선으로 표시한 부분의 단면을 도 7에 나타내었다.
- [0058] 도 7을 참고로 하면, 비표시 영역(NDA)의 스페이서(SP)는 표시 영역(DA)의 격벽 스페이서(195)에 비하여 높이가 낮다. 이는 비표시 영역(NDA) 하부에 데이터선 등과 같은 트랜지스터층 구조물이 위치하지 않기 때문이다. 따라서 도 7에서와 같이 마스크(800)는 비스듬히 위치하게 된다. 이때 표시 영역(DA)과 비표시 영역(NDA)의 경계부분, 즉, 표시 영역(DA)의 가장자리에 위치하는 격벽 스페이서(195)에 응력이 집중된다. 따라서 격벽 스페이서(195)가 압력을 받아 눌리게 되고, 격벽 스페이서(195)가 손상된다.
- [0059] 도 8은 실제로 격벽 스페이서(195)의 손상이 발생한 이미지이다. 도 8을 참고로 하면, 도 8에서 손상된 격벽 스페이서가 어둡게 나타남을 확인할 수 있다. 격벽 스페이서(195)가 손상되는 경우, 격벽 스페이서(195) 하부의 다른 층이 박리될 가능성이 높아진다. 따라서 도 8에 도시된 바와 같이 암점으로 시인되며 표시 장치의 불량을 유발한다. 이러한 격벽 스페이서(195)의 손상은 도 8에서 확인할 수 있는 바와 같이 표시 영역(DA)의 가장자리 부분, 즉 비표시 영역(NDA)과 인접한 부분에 주로 나타난다. 이는 표시 영역(DA)의 격벽 스페이서(195)와 비표시 영역(NDA)의 스페이서(SP)의 높이 차이에 의한 응력이 표시 영역(DA) 가장자리에 집중되기 때문이다.
- [0060] 그러나 도 1과 같은 본 발명의 일 실시예에 따른 표시 장치는 비표시 영역(NDA)의 스페이서(SP)가 하부에 트랜지스터층(TFT)의 일부 또는 전부를 포함하며, 따라서 비표시 영역(NDA)의 스페이서(SP)와 표시 영역(DA)의 격벽 스페이서(195)의 높이가 유사하다. 따라서 격벽 스페이서(195)와 스페이서(SP) 높이 차이에 의한 응력이 발생하지 않고, 표시 영역(DA)에서 격벽 스페이서(195)의 손상 및 하부 층들의 박리를 방지할 수 있다.
- [0061] 도 9는 도 1의 실시예에 따른 표시 장치에 마스크(800)를 위치시킨 구성을 도시한 것이다. 도 9를 참고로 하면, 격벽 스페이서(195)의 높이와 비표시 영역(NDA)의 스페이서(SP)의 높이가 유사하기 때문에, 마스크(800)에 의한 응력이 어느 한 곳으로 집중되지 않는다. 따라서 격벽 스페이서(195)의 손상을 막을 수 있다.
- [0062] 도 10은 도 2의 실시예에 따른 표시 장치에 마스크(800)를 위치시킨 구성을 도시한 것이다. 도 10을 참고로 하면, 도 10의 실시예에서 격벽 스페이서(195)와 스페이서(SP)의 높이는 상이하다. 그러나 비표시 영역(NDA)에 스

페이서(SP)가 높은 배치 밀도로 더 촘촘히 위치하기 때문에, 격벽 스페이서(195)와 스페이서(SP)의 높이 차이에 의한 응력이 분산된다. 따라서, 격벽 스페이서(195)에 응력이 집중되지 않으며, 손상을 막을 수 있다.

- [0063] 도 11은 본 발명 비교예에 따른 표시 장치의 이미지이고 도 12는 도 2의 실시예에 따른 표시 장치의 이미지이다. 도 11 및 도 12를 비교하면, 도 12는 도 11에 비하여 비표시 영역(NDA)에 스페이서(SP)가 높은 배치 밀도로 위치한다. 이렇게 비표시 영역의 스페이서(SP) 배치 밀도를 높이는 경우, 스페이서에 의해 응력이 분산되기 때문에, 표시 영역(DA)의 격벽 스페이서(195)의 손상을 막을 수 있다.
- [0064] 그러면 이하에서, 본 발명의 일 실시예에 따른 표시 장치의 구체적인 구조에 대하여 도 13 내지 도 15를 참고로 하여 상세하게 설명한다. 도 13은 한 실시예에 따른 표시 장치의 평면도이고, 도 14는 한 실시예에 따른 표시 장치의 한 화소에 대한 등가 회로도의 한 예이다. 도 15는 도 13의 XV-XV 선을 따라 잘라 개략적으로 도시한 단면도이다.
- [0065] 먼저, 도 13을 참고하면, 본 실시예에 따른 표시 장치는 영상을 표시하는 표시 영역(DA)과 표시 영역(DA)의 외곽에 위치하는 비표시 영역(NDA)을 포함한다.
- [0066] 비표시 영역(NDA)은 표시 영역(DA)에 신호를 전달하는 구동부(600)가 위치하는 구동 영역(PA)을 포함한다. 비표시 영역(NDA)에는 공통 전압을 전달하는 공통 전압 전달선(400), 구동 전압을 전달하는 구동 전압 전달선(500a, 500b)이 위치한다. 그러나, 도 13에 도시한 공통 전압 전달선(400)과 구동 전압 전달선(500a, 500b)의 배치는 한 예로, 본 발명은 이에 한정되지 않는다.
- [0067] 도 14 및 도 15를 참고하여, 표시 영역(DA)과 비표시 영역(NDA)의 구조에 대하여 설명한다.
- [0068] 먼저 도 14를 참고하면, 한 실시예에 따른 표시 장치의 표시 영역(DA)은 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel, PX)를 포함한다. 화소(PX)는 도 15에서 복수의 신호선(121, 171, 172)에 의해 구획된 한 영역을 지칭하는 것으로, 이미지를 표시하는 최소 단위를 말한다. 표시 장치는 복수의 화소들을 이용해 이미지를 표시한다.
- [0069] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(121), 데이터 신호를 전달하는 복수의 데이터선(171) 및 구동 전압(ELVDD)을 전달하는 복수의 구동 전압선(172)을 포함한다. 데이터선(171), 구동 전압선(172)을 포함하여 데이터 도전체, 게이트선(121)을 게이트 도전체라고 지칭하기로 한다.
- [0070] 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)의 수직 방향 부분은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0071] 각 화소(PX)는 스위칭 박막 트랜지스터(switching thin film transistor)(Qs), 구동 박막 트랜지스터(driving thin film transistor)(Qd), 유기 축전기(storage capacitor)(Cst) 및 유기 발광 소자(organic light emitting diode, OLED)(LD)를 포함한다. 도면에 표시되지 않았으나, 하나의 화소(PX)는 유기 발광 소자에 제공되는 전류를 보상하기 위해 부가적으로 박막 트랜지스터 및 축전기를 더 포함할 수 있다.
- [0072] 스위칭 박막 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 박막 트랜지스터(Qd)에 전달한다. 구동 박막 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다. 축전기(Cst)는 구동 박막 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 박막 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- [0073] 유기 발광 소자(LD)는 구동 박막 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode), 공통 전압(ELVSS)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 소자(LD)는 구동 박막 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0074] 이제 도 15를 참고하여, 표시 장치의 층간 구조에 대하여 설명한다.
- [0075] 앞서 설명한 바와 같이, 표시 장치는 표시 영역(DA)과 비표시 영역(NDA)을 포함한다.
- [0076] 표시 장치는 기판(100)을 포함하고, 기판(100)은 플렉서블(flexible)하고, 서로 중첩하는 제1 절연 필름(100a)과 제2 절연 필름(100b)을 포함할 수 있다. 제1 절연 필름(100a)과 제2 절연 필름(100b)은 폴리이미드(polyimide)를 포함할 수 있다. 그러나, 제1 절연 필름(100a)과 제2 절연 필름(100b)은 이에 한정되지 않고, 내열성, 내화학적성, 내마모성이 좋고 플렉서블한 다른 물질을 포함할 수 있다.

- [0077] 기판(100)은 제1 절연 필름(100a)과 제2 절연 필름(100b) 사이에 위치하는 제1 배리어 필름(100c)을 더 포함할 수 있다. 제1 배리어 필름(100c)은 제1 절연 필름(100a)과 제2 절연 필름(100b) 사이에 외부로부터 습기나 기체가 유입되는 것을 방지하여, 제1 절연 필름(100a)과 제2 절연 필름(100b)의 변형을 방지한다.
- [0078] 기판(100)은 서로 중첩하는 제1 절연 필름(100a)과 제2 절연 필름(100b)을 포함함으로써, 외부와 접촉하는 제1 절연 필름(100a)에 손상이 오더라도 기판(100)의 성능이 저하되는 것을 방지할 수 있다. 그러나 상기 기판(100)의 구조는 일 예시이며, 기판(100)은 플렉서블한 소재를 포함하는 단일층일 수도 있다.
- [0079] 기판(100) 위에는 버퍼층(120)이 위치한다. 버퍼층(120)은 질화 규소(SiNx)와 산화 규소(SiOx)의 단일막 또는 복수의 다층막을 포함할 수 있고, 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지한다.
- [0080] 도시하지는 않았지만, 제2 절연 필름(100b)과 버퍼층(120) 사이에는 제2 배리어 필름(도시하지 않음)이 위치할 수 있다.
- [0081] 표시 영역(DA)의 버퍼층(120) 위에는 제1 반도체층(135)이 위치한다. 제1 반도체층(135)은 폴리 실리콘 또는 산화물 반도체를 포함할 수 있다.
- [0082] 제1 반도체층(135)은 제1 채널 영역(1355)과 제1 채널 영역(1355)의 양측에 각각 위치하는 제1 소스 영역(1356) 및 제1 드레인 영역(1357)을 포함한다. 제1 반도체층(135)의 제1 채널 영역(1355)은 불순물이 도핑되지 않은 영역이고, 제1 반도체층(135)의 제1 소스 영역(1356) 및 제1 드레인 영역(1357)은 도전성 불순물이 도핑된 영역일 수 있다.
- [0083] 제1 반도체층(135) 위에는 게이트 절연막(140)이 위치한다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 산화 규소(SiOx), 질화 규소(SiNx)을 포함하는 단일막 또는 이들이 적층된 다층막일 수 있다.
- [0084] 게이트 절연막(140) 위에는 제1 게이트 전극(155)이 위치한다. 제1 게이트 전극(155)은 제1 채널 영역(1355)과 중첩한다.
- [0085] 제1 게이트 전극(155)은 알루미늄(Al), 티타늄(Ti), 몰리브덴(Mo), 구리(Cu), 니켈(Ni) 또는 이들의 합금과 같은 저저항 물질 또는 부식이 강한 물질을 포함하는 단층 또는 복수층일 수 있다.
- [0086] 제1 게이트 전극(155) 위에는 제1 층간 절연막(160)이 위치한다. 제1 층간 절연막(160)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 산화 규소(SiOx), 질화 규소(SiNx)을 포함하는 단일막 또는 이들이 적층된 다층막일 수 있다.
- [0087] 제1 층간 절연막(160) 및 게이트 절연막(140)은 제1 소스 영역(1356) 및 제1 드레인 영역(1357)과 중첩하는 제1 소스 접촉 구멍(166) 및 제1 드레인 접촉 구멍(167)을 가진다.
- [0088] 제1 층간 절연막(160) 위에는 제1 소스 전극(173) 및 제1 드레인 전극(175)이 위치한다. 또한, 비표시 영역(NDA)의 제1 층간 절연막(160) 위에는 더미 전극(177)이 위치한다. 더미 전극(177)은 제1 소스 전극(173) 및 제1 드레인 전극(175)과 동일 공정으로 형성될 수 있으며, 제1 소스 전극(173) 및 제1 드레인 전극(175)과 동일한 두께를 가질 수 있다. 또한, 비표시 영역(NDA)의 제1 층간 절연막(160) 위에는 공통 전압 전달선(400)이 위치한다. 더미 전극(177)은 표시 영역(DA)과 공통 전압 전달선(400) 사이에 위치할 수 있다.
- [0089] 더미 전극(177)은 표시 영역(DA)의 가장자리로부터 150 μm 내지 200 μm 이격되어 위치할 수 있다.
- [0090] 제1 소스 전극(173) 및 제1 드레인 전극(175)은 제1 소스 접촉 구멍(166) 및 제1 드레인 접촉 구멍(167)을 통해서, 제1 반도체층(135)의 제1 소스 영역(1356) 및 제1 드레인 영역(1357)에 연결된다.
- [0091] 제1 소스 전극(173) 및 제1 드레인 전극(175)은 알루미늄(Al), 티타늄(Ti), 몰리브덴(Mo), 구리(Cu), 니켈(Ni) 또는 이들의 합금과 같은 저저항 물질 또는 부식이 강한 물질을 포함하는 단층 또는 복수층일 수 있다. 더미 전극(177) 및 공통 전압 전달선(400)은 제1 소스 전극(173) 및 제1 드레인 전극(175)과 같은 층으로 동시에 형성될 수 있다.
- [0092] 표시 영역(DA)의 제1 반도체층(135), 제1 게이트 전극(155), 제1 소스 전극(173) 및 제1 드레인 전극(175)은 도 14에 도시한 화소(PX)의 구동 박막 트랜지스터(Qd)를 이룬다. 또한, 도시하지는 않았지만, 비표시 영역(NDA)에서도 게이트 구동부 등에 포함된 박막 트랜지스터가 위치할 수 있다.
- [0093] 제1 소스 전극(173) 및 제1 드레인 전극(175) 위에는 제2 층간 절연막(180)이 위치한다. 제2 층간 절연막(180)

0)은 제1 층간 절연막(160)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 산화 규소(SiO_x), 질화 규소(SiN_x)을 포함하는 단일막 또는 이들이 적층된 다층막일 수 있다.

- [0094] 제2 층간 절연막(180)은 제1 드레인 전극(175)과 중첩하는 접촉 구멍(82)을 가진다. 제2 층간 절연막(180)은 공통 전압 전달선(400)과 중첩하는 영역에서 제거되어, 공통 전압 전달선(400)의 대부분은 제2 층간 절연막(180)과 중첩하지 않고, 공통 전압 전달선(400)의 가장자리 일부분만 제2 층간 절연막(180)과 중첩할 수 있다. 그러나, 공통 전압 전달선(400)의 전체는 제2 층간 절연막(180)과 중첩하지 않을 수도 있다.
- [0095] 제2 층간 절연막(180) 위에는 화소 전극(710)이 위치한다. 화소 전극(710)은 도 14의 유기 발광 소자의 애노드 전극일 수 있다. 본 실시예에서는 화소 전극(710)과 제1 드레인 전극(175) 사이에 제2 층간 절연막(180)이 위치하지만, 화소 전극(710)과 제1 드레인 전극(175)과 동일한 층에 위치할 수 있으며, 제1 드레인 전극(175)과 일체형일 수도 있다.
- [0096] 화소 전극(710) 위에는 격벽(190)이 위치한다. 격벽(190)은 화소 전극(710)과 중첩하는 개구부(197)를 가진다. 격벽(190)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함할 수 있다. 격벽(190)의 일부는 위로 돌출되어 격벽 스페이서(195)를 구성한다. 격벽 스페이서(195)에 대한 설명은 앞서 설명한 바와 동일하다. 동일한 구성에 대한 구체적인 설명은 생략한다. 즉 격벽 스페이서(195)는 격벽(190)과 동일 공정으로 형성될 수 있으며, 하프톤 마스크 등을 이용하여 격벽(190)보다 돌출된 높이를 가질 수 있다. 이러한 격벽 스페이서(195)는 격벽(190) 중 일부에만 형성되어, 마스크 위치시 격벽(190)의 손상을 예방한다.
- [0097] 비표시 영역(NDA)에는 격벽(190)과 동일 공정으로 형성된 스페이서 바디(193)가 위치한다. 스페이서 바디(193)는 격벽(190)과 동일 공정으로 형성되어, 동일한 물질을 포함할 수 있다. 스페이서 바디(193)의 두께는 격벽(190)과 격벽 스페이서(195)의 두께의 합과 동일할 수 있다.
- [0098] 스페이서 바디(193)는 더미 전극(177)과 중첩하여 위치할 수 있다. 도 15에서 확인할 수 있는 바와 같이, 스페이서 바디(193), 더미 전극(177), 제2 층간 절연막(180), 제1 층간 절연막(160), 게이트 절연막(140), 버퍼층(120) 등은 스페이서(SP)를 구성할 수 있다.
- [0099] 스페이서(SP)는 하부에 더미 전극(177)을 포함하기 때문에, 표시 영역(DA)의 격벽 스페이서(195)와 유사한 높이를 갖는다. 즉, 표시 영역(DA)의 격벽 스페이서(195) 하부에 위치하는 제1 소스 전극(173) 및 제1 드레인 전극(175)과 대응하는 더미 전극(177)이 스페이서(177) 하부에 위치하기 때문에, 표시 영역(DA)의 격벽 스페이서(195)와 비표시 영역(NDA)의 스페이서(SP)의 높이 차이를 최소화 한다.
- [0100] 스페이서(SP)는 표시 영역(DA)과 공통 전압 전달선(400) 사이에 위치할 수 있다. 스페이서(SP)는 상기 표시 영역의 가장자리로부터 150 μm 내지 200 μm 이격되어 위치할 수 있다.
- [0101] 격벽(190)의 개구부(197)에는 유기 발광층(720)이 위치한다.
- [0102] 유기 발광층(720)은 발광층과 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층일 수 있다. 유기 발광층(720)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(710) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0103] 격벽(190) 및 유기 발광층(720) 위에는 공통 전극(730)이 위치한다. 공통 전극(730)은 유기 발광 소자의 캐소드 전극이 된다. 따라서 화소 전극(710), 유기 발광층(720) 및 공통 전극(730)은 유기 발광 소자(70)를 이룬다.
- [0104] 유기 발광 소자(70)가 빛을 방출하는 방향에 따라서 유기 발광 표시 장치는 전면 표시형, 배면 표시형 및 양면 표시형 중 어느 한 구조를 가질 수 있다.
- [0105] 공통 전극(730)은 표시 영역(DA)과 비표시 영역(NDA)을 포함하는 기판(100) 전면에 위치할 수 있고, 비표시 영역(NDA)의 공통 전압 전달선(400)과 접촉하여 공통 전압을 인가 받는다.
- [0106] 비표시 영역(NDA)의 공통 전압 전달선(400)의 외부에는 댐(D1)이 위치한다. 댐(D1)은 표시 영역(DA)에 위치하는 제2 층간 절연막(180) 및 격벽(190)과 같은 층으로 이루어진 절연막과 추가적인 절연막(199)으로 이루어질 수 있다. 댐(D1)은 추가적인 절연막(199)에 의해 높은 높이를 가질 수 있으며, 이는 유기 봉지층 등의 형성 과

정에서 유기물이 흐르는 것을 막을 수 있다. 댐(D1)은 스페이서(SP)보다 표시 영역(DA)에서 멀리 위치하며, 댐(D1)의 높이는 스페이서(SP)의 높이보다 높을 수 있다. 즉 댐(D1)과 스페이서(SP) 모두 제1 층간 절연막(160), 제2 층간 절연막(180) 및 격벽(190)과 같은 층으로 이루어진 층을 포함한다는 점에서 구조가 일부 유사하지만, 그 기능이 상이하다. 즉, 스페이서(SP)는 표시 영역(DA)의 격벽 스페이서(195)와 유사한 높이를 가지고 공정 과정에서 마스크를 지지한다. 그러나 댐(D1)은 표시 영역(DA)의 격벽 스페이서(195)보다 높은 높이를 가지며, 유기물의 흐름을 막아준다.

- [0107] 공통 전극(730) 위에는 봉지층(80)이 위치한다. 봉지층(80)은 하나 이상의 무기층과 하나 이상의 유기층이 상호 교번하여 적층 형성될 수 있고, 무기층 또는 상기 유기층은 각각 복수 개일 수 있다.
- [0108] 도시한 실시예에서, 봉지층(80)은 제1 무기 봉지층(810)과 제2 무기 봉지층(820), 그리고 제1 무기 봉지층(810)과 제2 무기 봉지층(820) 사이에 위치하는 유기 봉지층(830)을 포함한다.
- [0109] 봉지층(80) 위에는 터치부와 편광판 등과 같은 추가관(90)이 위치하고, 봉지층(80)과 추가관(90) 사이에는 접착층(900)이 위치할 수 있다.
- [0110] 도 15에서는 스페이서(SP) 하부에 더미 전극(177)만 위치하는 것으로 도시하였으나, 스페이서(SP) 하부에는 표시 영역(DA)의 트랜지스터에 위치하는 다른 구조물이 더 포함될 수 있다. 즉, 반도체층(135)이나 게이트 전극(155)등이 더 포함될 수도 있다. 또한 표시 영역(DA)이 서로 다른 층에 위치하는 2개 이상의 소스 전극을 포함하는 경우, 비표시 영역(NDA)의 스페이서(SP) 하부에도 서로 다른 층에 위치하는 2개 이상의 소스 전극층이 포함될 수 있다.
- [0111] 도 16은 본 발명의 비교예에 따른 스페이서(SP)의 적층 형태를 도시한 것이다. 도 17 내지 도 19는 본 발명의 일 실시예에 따른 스페이서(SP)의 다양한 적층 형태를 도시한 것이다.
- [0112] 도 16을 참고로 하면, 본 발명의 비교예에 따른 스페이서(SP)는 제1 층간 절연막(160), 제2 층간 절연막(180) 및 스페이서 바디(193)를 포함한다. 즉, 하부에 더미 전극(177)이나 기타 다른 트랜지스터층의 구조물을 포함하지 않기 때문에 표시 영역(DA)의 격벽 스페이서(195)와 스페이서(SP)의 높이가 서로 상이하다.
- [0113] 도 17 내지 도 19는 본 발명의 다양한 실시예에 따른 스페이서(SP)의 적층 형태를 도시한 것이다.
- [0114] 도 17을 참고로 하면, 본 발명의 일 실시예에 따른 스페이서(SP)는 제1 층간 절연막(160), 더미 전극(177), 제2 층간 절연막(180) 및 스페이서 바디(193)를 포함할 수 있다. 또한, 도 17에 도시되지 않았으나, 제1 층간 절연막(160) 하부의 버퍼층(120), 게이트 절연막(140)등을 더 포함할 수 있다.
- [0115] 또는 도 18을 참고로 하면, 본 발명의 일 실시예에 따른 스페이서(SP)는 더미 전극(177), 표시 영역의 소스 전극 및 드레인 전극의 측면을 피복하는 피복층(181), 제1 층간 절연막(160), 제2 층간 절연막(180) 및 스페이서 바디(193)를 포함할 수 있다. 도 18을 참고로 하면, 더미 전극(177)이 하부에 위치하고, 더미 전극(177)과 중첩하여 제1 층간 절연막(160) 및 제2 층간 절연막(180)이 위치한다. 비표시 영역(NDA)의 스페이서(SP)에서 더미 전극(177), 제1 층간 절연막(160) 및 제2 층간 절연막(180)의 적층 순서는 표시 영역(DA)의 적층 순서에 따라 달라질 수 있다. 즉, 표시 영역(DA)에서 소스 전극 등이 제1 층간 절연막(160) 아래에 위치하는 구조라면, 비표시 영역(NDA)의 스페이서(SP) 또한 더미 전극(177)이 제1 층간 절연막(160) 아래에 위치할 수 있다.
- [0116] 피복층(181)은 표시 영역(DA)에서 소스 전극과 드레인 전극의 측면을 감싸는 층이다. 도 15에는 도시되지 않았으나, 피복층(181)은 소스 전극과 드레인 전극의 측면을 피복할 수 있다. 비표시 영역(NDA)의 스페이서(SP)는 이러한 피복층(181)을 포함할 수도 있다.
- [0117] 도 19는 본 발명의 다른 일 실시예에 따른 스페이서(SP)를 도시한 것이다. 도 19를 참고로 하면, 본 실시예에 따른 스페이서(SP)는 서로 다른 층에 위치하는 더미 전극(177) 및 보조 더미 전극(176)을 포함한다. 즉, 도 19를 참고로 하면 더미 전극(177), 피복층(181), 제1 층간 절연막(160), 보조 더미 전극(176), 제2 층간 절연막(180) 및 스페이서 바디(193)가 차례로 적층되어 있다. 보조 더미 전극(176)은 표시 영역(DA) 내의 ELVDD 선과 동일한 층에 위치할 수 있다. 즉 보조 더미 전극(176)은 표시 영역(DA)의 ELVDD 선 적층시 동일 공정으로 형성될 수 있다.
- [0118] 다만, 도 17 내지 도 19는 일 예시일 뿐이며, 스페이서(SP)의 적층 구조가 이에 한정되는 것은 아니다. 즉 스페이서(SP)는 표시 영역(DA)의 적층 구조 전부 또는 일부를 적절히 포함할 수 있다.
- [0119] 그러면 이하에서, 본 발명의 다른 일 실시예에 따른 표시 장치에 대하여 도면을 참고로 하여 상세하게

설명한다.

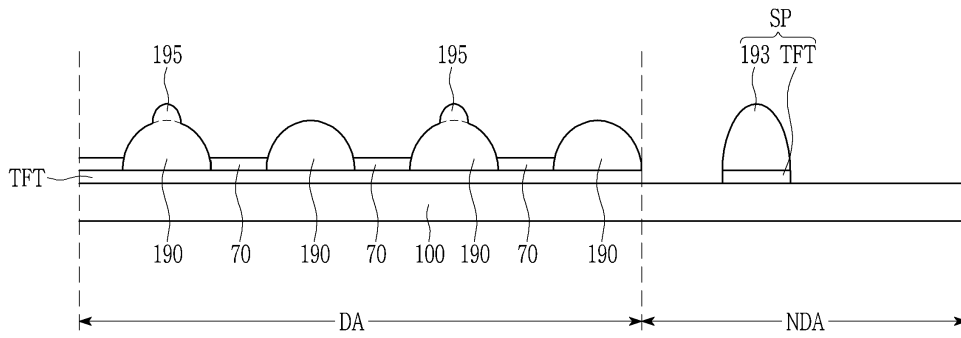
- [0120] 도 20은 본 발명의 다른 일 실시예에 따른 표시 장치에서, 도 15와 동일한 단면을 도시한 것이다. 도 20을 참고로 하면 본 실시예에 따른 표시 장치는 스페이스(SP)의 적층 구조 및 배치 밀도를 제외하고는 도 15의 실시예와 동일하다. 동일한 구성요소에 대한 구체적인 설명은 생략한다.
- [0121] 다만 도 20을 참고로 하면, 본 실시예에 따른 표시 장치는 스페이스(SP) 하부에 더미 전극이 위치하지 않는다. 다만 본 실시예에 따른 표시 장치는 표시 영역(DA)의 격벽 스페이스(195)의 배치 밀도보다, 비표시 영역(NDA)의 스페이스(SP)의 배치 밀도가 더 높다. 즉, 표시 영역(DA)의 격벽 스페이스(195)는 열 개의 격벽(190) 중 하나 또는 둘 위에 위치하지만, 비표시 영역(NDA)의 스페이스(SP)는 그보다 높은 배치 밀도로 위치할 수 있다. 일례로, 비표시 영역(NDA)의 스페이스(SP) 배치 밀도는 표시 영역(DA) 격벽 스페이스(195) 배치 밀도의 1.5 배 내지 3배일 수 있다.
- [0122] 이렇게 비표시 영역(NDA)의 스페이스(SP) 배치 밀도가 높은 경우, 도 10에 도시된 바와 같이 표시 영역(DA)의 가장자리 격벽 스페이스(195)에 응력이 집중되는 것을 막을 수 있다.
- [0123] 도 21은 본 발명의 다른 일 실시예에 따른 표시 장치에서, 도 15와 동일한 단면을 도시한 것이다. 도 21을 참고로 하면, 본 실시예에 따른 표시 장치는 스페이스(SP)의 배치 밀도를 제외하고는 도 15의 실시예와 동일하다. 동일한 구성요소에 대한 구체적인 설명은 생략한다.
- [0124] 도 21을 참고로 하면, 본 실시예에 따른 표시 장치의 스페이스(SP)는 스페이스 바디(193) 및 스페이스 바디(193)와 중첩하는 더미 전극(177)을 포함한다. 이때 표시 영역(DA)의 격벽 스페이스(195)의 배치 밀도보다, 비표시 영역(NDA)의 스페이스(SP)의 배치 밀도가 더 높다. 즉, 도 21의 실시예에 따른 표시 장치는 도 15에 따른 표시 장치와 도 20에 따른 표시 장치가 결합된 형태이다. 즉, 도 3의 실시예에 따른 표시 장치의 구조를 보다 상세하게 나타낸 것이 도 21이다. 도 21을 참고로 하면, 본 실시예에 따른 표시 장치는 스페이스(SP) 하부에 더미 전극(177)을 포함하는바 스페이스(SP)와 격벽 스페이스(195)의 단차를 최소화 한다. 또한, 비표시 영역(NDA)의 스페이스(SP)의 배치 밀도가 표시 영역(DA)의 스페이스(SP)의 배치 밀도보다 높기 때문에 표시 영역(DA) 가장자리에 위치하는 격벽 스페이스(195)에 응력이 집중되는 것을 막을 수 있다.
- [0125] 이상과 같이 본 발명의 일 실시예에 따른 표시 장치는 비표시 영역(NDA)의 스페이스(SP) 하부에 트랜지스터층(TFT)의 구조물 일부 또는 전부를 포함한다. 따라서 표시 영역(DA)의 격벽 스페이스(195)와 비표시 영역(NDA)의 스페이스(SP) 사이의 단차를 최소화하고, 표시 장치의 격벽 스페이스(195)에 가해지는 응력을 최소화할 수 있다. 또한, 본 발명의 일 실시예에 따른 표시 장치는 비표시 영역(NDA)의 스페이스(SP)가 표시 영역(DA)의 격벽 스페이스(195)보다 더 높은 배치 밀도로 촘촘하게 위치한다. 따라서 표시 영역(DA)의 격벽 스페이스(195)에 가해지는 응력을 분산할 수 있다.
- [0126] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

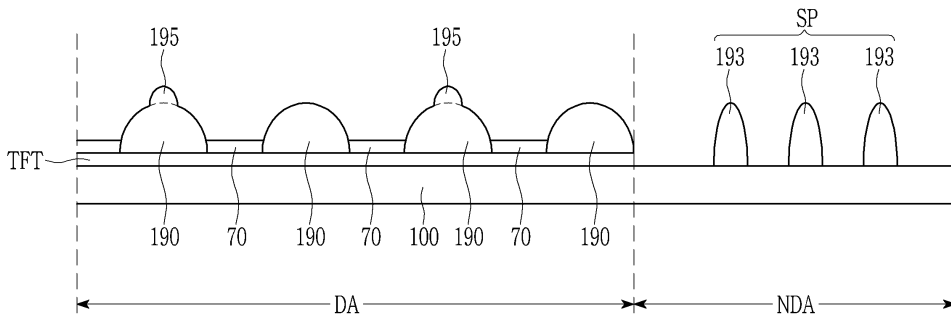
- [0127] 100: 기판 120: 버퍼층
- 121: 게이트선 135: 제1 반도체층
- 140: 게이트 절연막 155: 제1 게이트 전극
- 160: 제1 층간 절연막 `171: 데이터선
- 177: 더미 전극 180: 제2 층간 절연막
- 190: 격벽 195: 격벽 스페이스
- 70: 유기 발광 소자 SP: 스페이스
- 193: 스페이스 바디 TFT: 트랜지스터층
- 90: 추가판 900: 접착층

도면

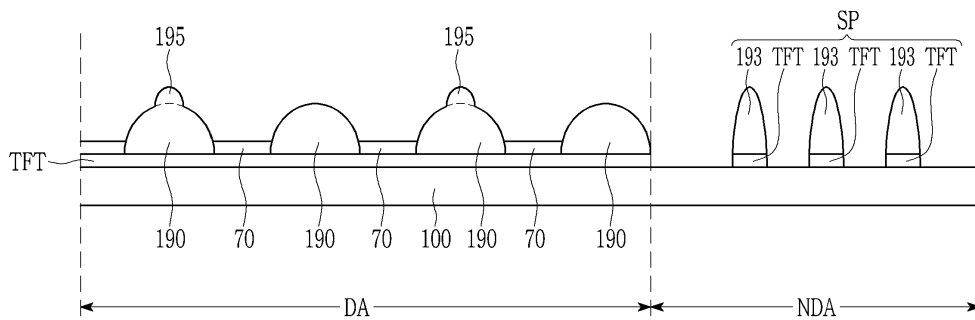
도면1



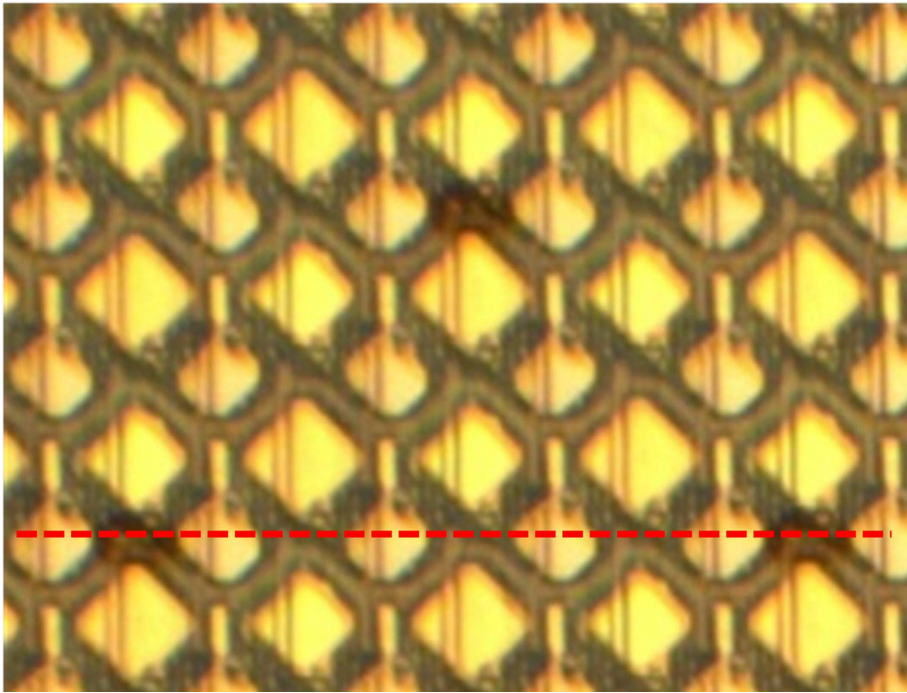
도면2



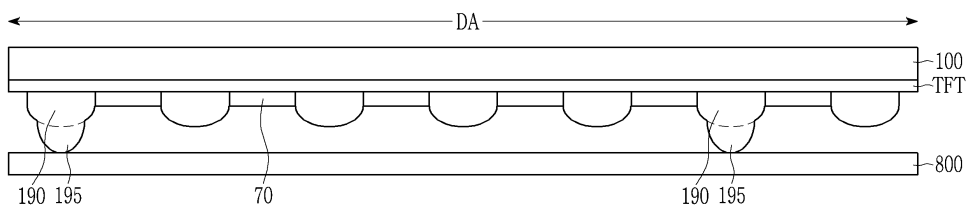
도면3



도면4



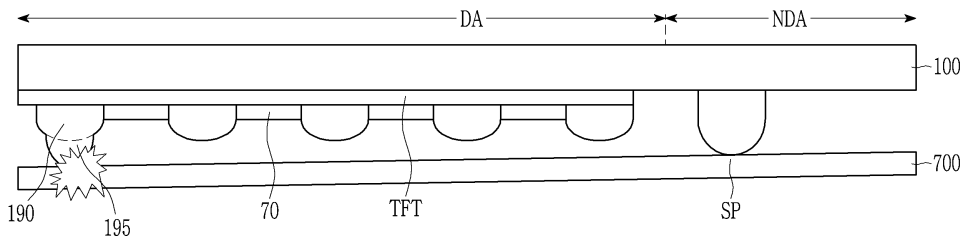
도면5



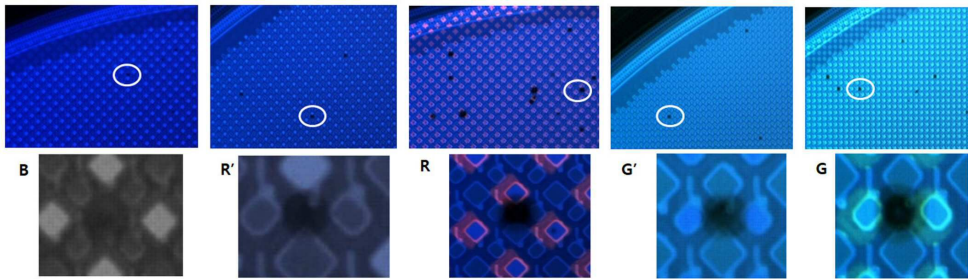
도면6



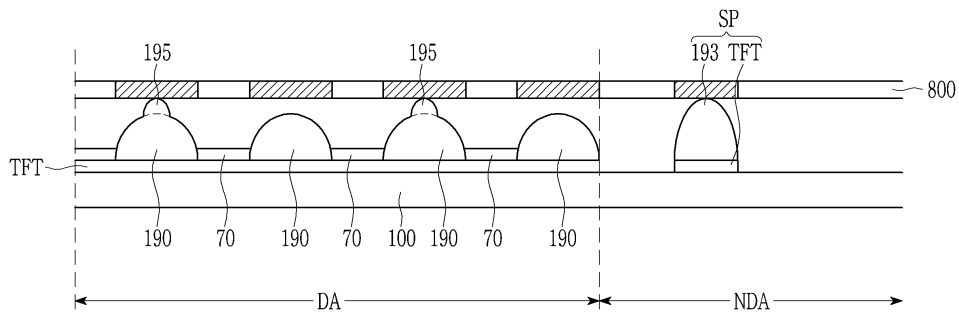
도면7



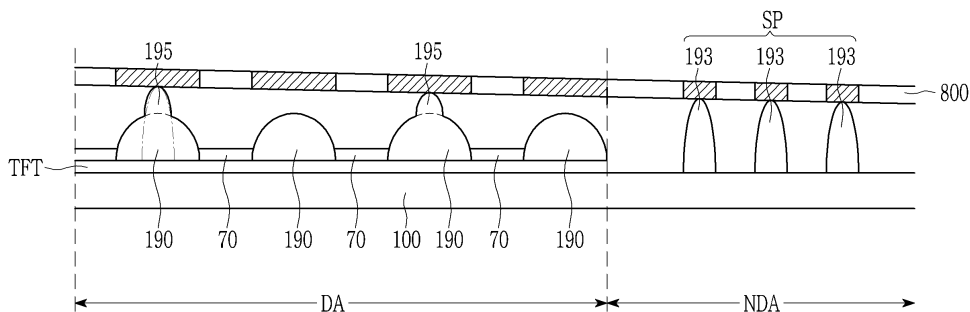
도면8



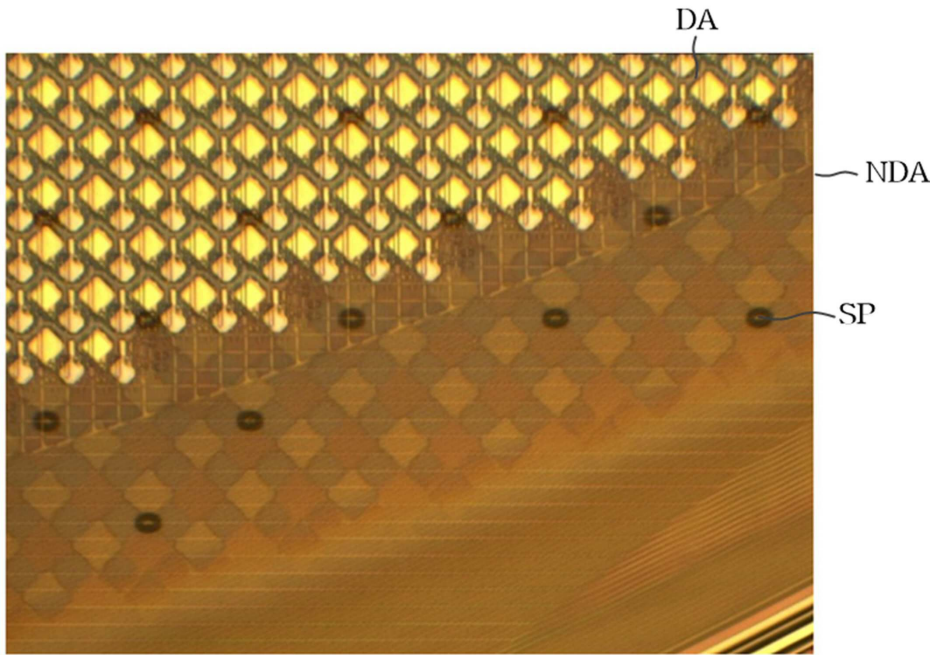
도면9



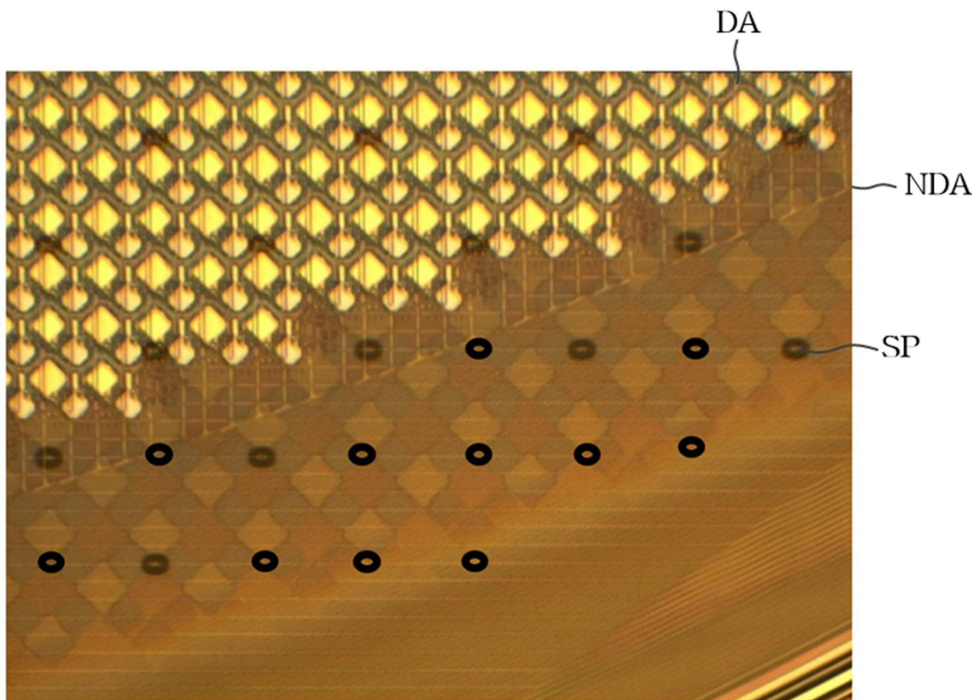
도면10



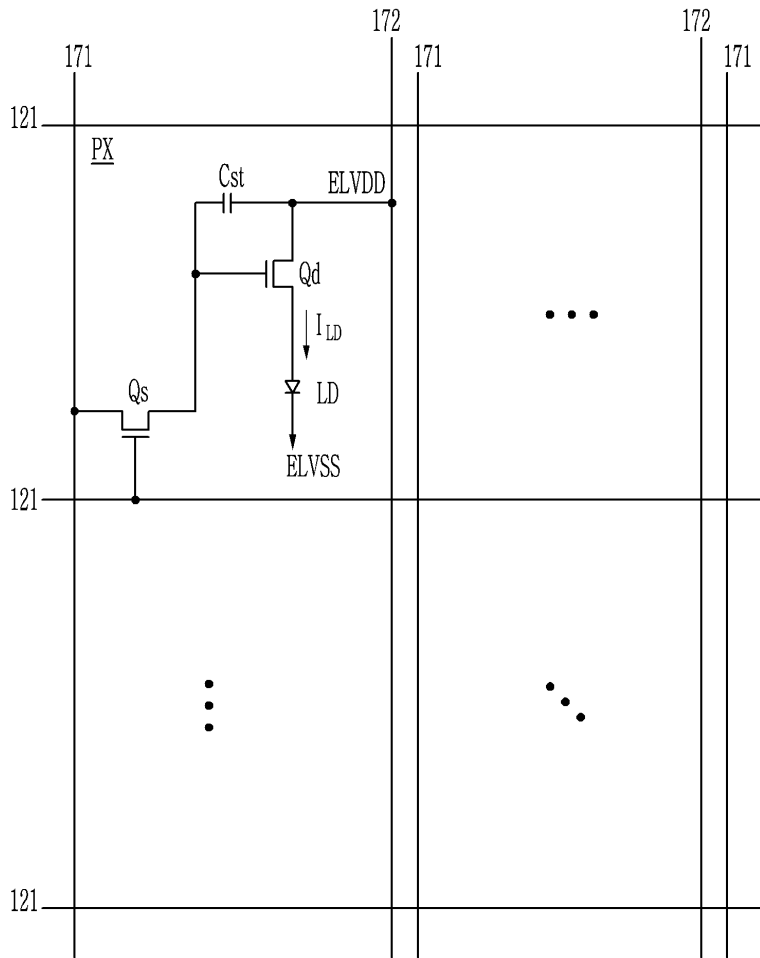
도면11



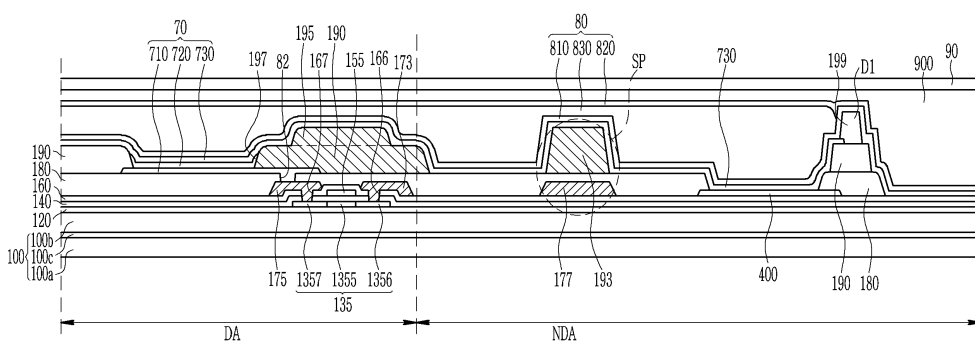
도면12



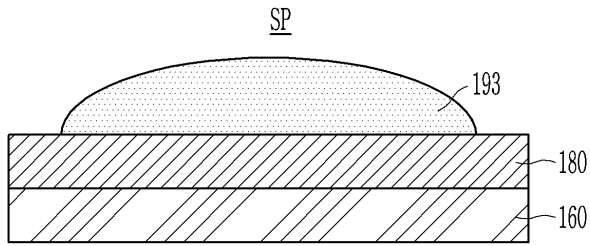
도면14



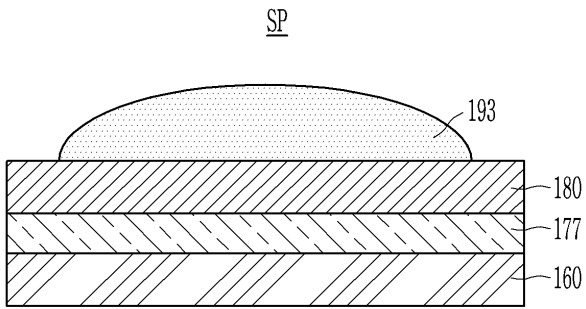
도면15



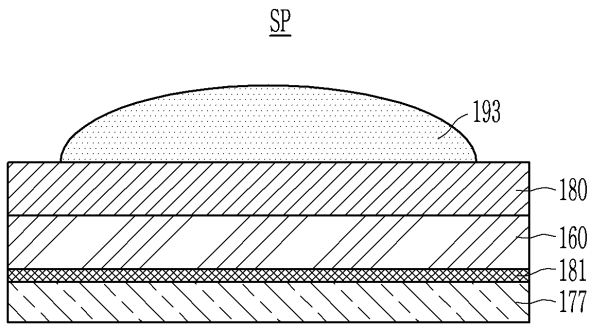
도면16



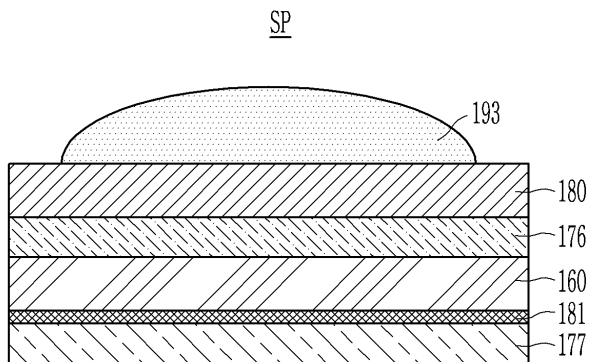
도면17



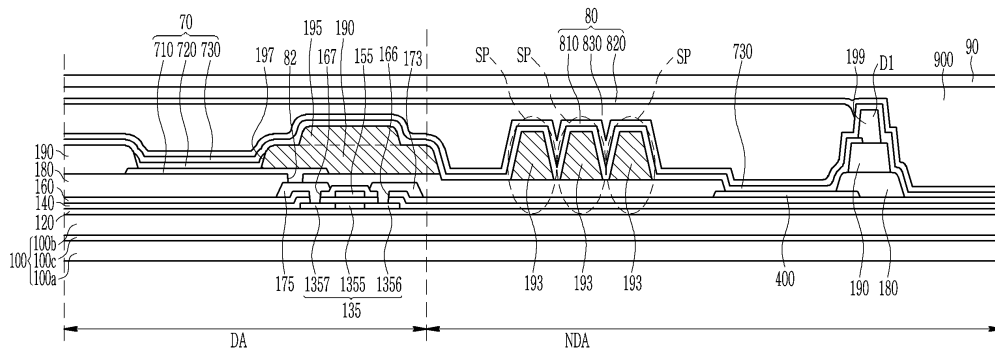
도면18



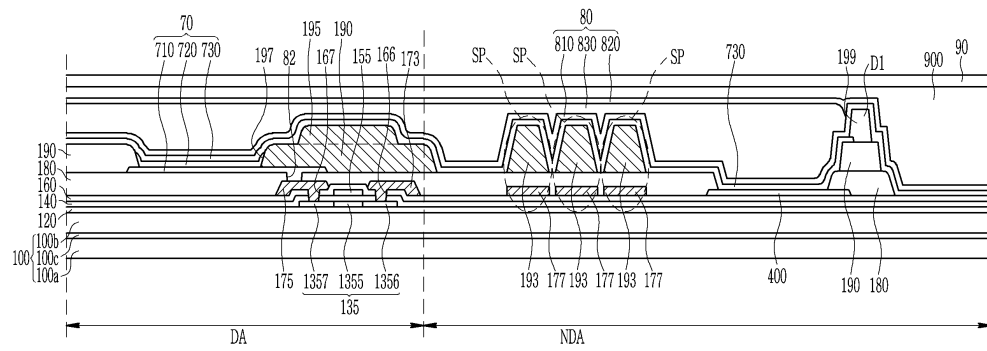
도면19



도면20



도면21



专利名称(译)	显示装置		
公开(公告)号	KR1020200009162A	公开(公告)日	2020-01-30
申请号	KR1020180082807	申请日	2018-07-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	허지혜 왕순정 이은주		
发明人	허지혜 왕순정 이은주		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/525 H01L27/3244 H01L51/56 H01L27/3246 H01L27/3248 H01L27/3223 H01L27/3258 H01L2251/558 H01L27/3262 H01L51/5012 H01L51/5256		
外部链接	Espacenet		

摘要(译)

根据一个实施例，一种显示装置包括：包括显示区域和非显示区域的基板；位于基板上的晶体管层；位于晶体管层上的多个分隔壁；位于分隔壁之间的发光元件。以及位于基板的非显示区域中的隔离物。隔离物包括位于与分隔壁相同的层上的隔离物主体以及晶体管层的一部分或全部。因此，本发明将提供一种显示装置，用于防止在显示装置的制造过程中掩模对有机发光装置的损坏。

