



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0115144
(43) 공개일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01)

(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0036859
(22) 출원일자 2018년03월29일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
김현웅
경기도 용인시 기흥구 삼성로 1 (농서동)
이승규
경기도 용인시 기흥구 삼성로 1 (농서동)
황원미
경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인
김두식, 문용호, 오종한

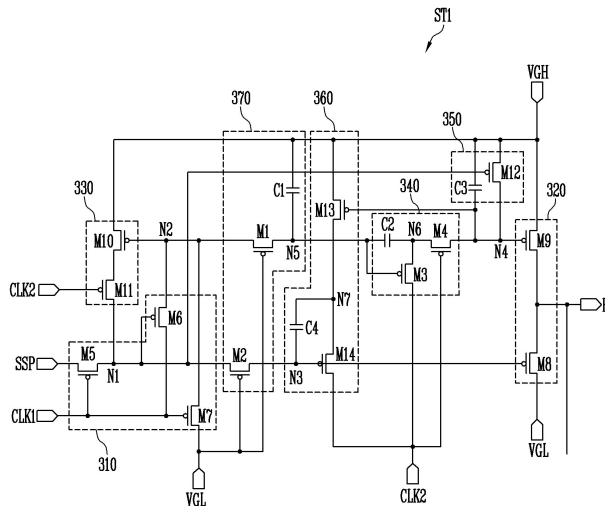
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 발광 구동부 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

발광 구동부는 발광 제어 신호를 각각 출력하는 복수의 스테이지들을 포함한다. 제k(단, k는 자연수) 스테이지는, 제2 입력 단자로 공급되는 신호에 응답하여, 제1 입력 단자로 공급되는 신호를 제1 노드에 공급하고 제1 전원의 전압을 제2 노드에 공급하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부; 및 입력부와 출력부 사이에 전기적으로 연결되며, 제1 노드와 제3 노드 사이의 전압 강하를 제한하는 안정화부를 포함할 수 있다. 안정화부는 제2 전원의 전압을 하강시켜 제2 노드와 제4 노드 사이의 전압 강하를 제한한다.

대표도 - 도3



명세서

청구범위

청구항 1

발광 제어 신호를 각각 출력하는 복수의 스테이지들을 포함하고, 제k(단, k는 자연수) 스테이지는

제2 입력 단자로 공급되는 신호에 응답하여, 제1 입력 단자로 공급되는 신호를 제1 노드에 공급하고 제1 전원의 전압을 제2 노드에 공급하는 입력부;

제3 노드의 전압 및 제4 노드의 전압에 응답하여 상기 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부;

상기 제2 노드의 전압 및 제3 입력 단자로 공급되는 신호에 응답하여 상기 제1 노드의 전압을 제어하는 제1 신호 처리부;

상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부;

상기 제1 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제3 신호 처리부;

상기 제4 노드의 전압에 응답하여 상기 제3 노드의 전압을 제어하는 제4 신호 처리부; 및

상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드와 상기 제3 노드 사이의 전압 강하를 제한하는 안정화부를 포함하고,

상기 안정화부는 상기 제2 전원의 전압을 하강시켜 상기 제2 노드와 상기 제4 노드 사이의 전압 강하를 제한하는 것을 특징으로 하는 발광 구동부.

청구항 2

제 1 항에 있어서, 상기 안정화부는

상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제1 트랜지스터;

상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제2 트랜지스터; 및

상기 제2 전원과 상기 제5 노드 사이에 접속되는 제1 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 3

제 2 항에 있어서, 상기 제2 신호 처리부는

제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 제5 노드에 접속되는 제3 트랜지스터;

상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제4 트랜지스터; 및

상기 제5 노드와 상기 제6 노드 사이에 접속되는 제2 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 4

제 3 항에 있어서, 상기 제1 커패시터와 상기 제2 커패시터 사이의 정전 용량 비율에 기초하여 상기 제1 트랜지스터의 드레인-소스 전압의 바이어스(bias)가 결정되는 것을 특징으로 하는 발광 구동부.

청구항 5

제 3 항에 있어서, 상기 제1 및 제2 트랜지스터들은 상기 제1 내지 제3 입력 단자들로 공급되는 신호들과 관계

없이 턴-온 상태를 유지하는 것을 특징으로 하는 발광 구동부.

청구항 6

제 1 항에 있어서, 상기 제1 전원의 전압은 게이트 온 전압에 대응하고, 상기 제2 전원의 전압은 게이트 오프 전압에 대응하는 것을 특징으로 하는 발광 구동부.

청구항 7

제 1 항에 있어서, 상기 제1 입력 단자는 스타트 펄스 또는 이전 스테이지의 출력 신호를 수신하는 것을 특징으로 하는 발광 구동부.

청구항 8

제 1 항에 있어서, 상기 제2 입력 단자는 제1 클럭 신호를 수신하고, 상기 제2 입력 단자는 제2 클럭 신호를 수신하는 것을 특징으로 하는 발광 구동부.

청구항 9

제 8 항에 있어서, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 동일한 주기를 가지며, 상기 제2 클럭 신호는 상기 제1 클럭 신호에서 반주기만큼 시프트된 신호인 것을 특징으로 하는 발광 구동부.

청구항 10

제 2 항에 있어서, 상기 입력부는

상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터;

상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제6 트랜지스터; 및

상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제7 트랜지스터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 11

제 2 항에 있어서, 상기 출력부는

상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제8 트랜지스터; 및

상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제9 트랜지스터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 12

제 2 항에 있어서, 상기 제1 신호 처리부는

상기 제2 전원과 상기 제1 노드 사이에 서로 직렬로 접속되는 제10 트랜지스터 및 제11 트랜지스터를 포함하고,

상기 제10 트랜지스터의 게이트 전극은 제2 노드에 접속되고, 상기 제11 트랜지스터의 게이트 전극은 상기 제3 입력 단자에 접속되는 것을 특징으로 하는 발광 구동부.

청구항 13

제 2 항에 있어서, 상기 제3 신호 처리부는

상기 제2 전원과 상기 제4 노드 사이에 접속되고, 게이트 전극이 상기 제1 노드 또는 상기 제3 노드에 접속되는 제12 트랜지스터; 및

상기 제2 전원과 상기 제4 노드 사이에 접속되는 제3 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 14

제 2 항에 있어서, 상기 제4 신호 처리부는

상기 제2 전원과 제7 노드 사이에 접속되고, 게이트 전극이 상기 제4 노드에 접속되는 제13 트랜지스터;

상기 제7 노드와 상기 제3 입력 단자 사이에 접속되고, 게이트 전극이 상기 제3 노드에 접속되는 제14 트랜지스터; 및

상기 제7 노드와 상기 제3 노드 사이에 접속되는 제4 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 15

복수의 화소들을 포함하는 표시 패널;

주사 라인들을 통해 상기 화소들로 주사 신호를 공급하는 스캔 구동부;

발광 제어 라인들을 통해 상기 화소들로 발광 제어 신호를 공급하는 발광 구동부; 및

데이터 라인들을 통해 상기 화소들로 데이터 신호를 공급하는 데이터 구동부를 포함하고,

상기 발광 구동부는

상기 발광 제어 신호를 각각 출력하는 복수의 스테이지들을 포함하고, 제 k (단, k 는 자연수) 스테이지는

제2 입력 단자로 공급되는 신호에 응답하여, 제1 입력 단자로 공급되는 신호를 제1 노드에 공급하고 제1 전원의 전압을 제2 노드에 공급하는 입력부;

제3 노드의 전압 및 제4 노드의 전압에 응답하여 상기 제1 전원의 전압 또는 제2 전원의 전압을 포함하는 상기 발광 제어 신호를 출력 단자로 공급하는 출력부;

상기 제2 노드의 전압 및 제3 입력 단자로 공급되는 신호에 응답하여 상기 제1 노드의 전압을 제어하는 제1 신호 처리부;

상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부;

상기 제1 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제3 신호 처리부;

상기 제4 노드의 전압에 응답하여 상기 제3 노드의 전압을 제어하는 제4 신호 처리부; 및

상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드와 상기 제3 노드 사이의 전압 강하를 제한하는 안정화부를 포함하고,

상기 안정화부는 상기 제2 전원의 전압을 하강시켜 상기 제2 노드와 상기 제4 노드 사이의 전압 강하를 제한하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 안정화부는

상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제1 트랜지스터;

상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제2 트랜지스터; 및

상기 제2 전원과 상기 제5 노드 사이에 접속되는 제1 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서, 상기 제2 신호 처리부는

제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 제5 노드에 접속되는 제3 트랜지스터;

상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제4 트랜지스터; 및

상기 제5 노드와 상기 제6 노드 사이에 접속되는 제2 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서, 상기 제1 커패시터와 상기 제2 커패시터 사이의 정전 용량 비율에 기초하여 상기 제1 트랜지스터의 드레인-소스 전압의 바이어스(bias)가 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 15 항에 있어서, 상기 제1 입력 단자는 이전 스테이지의 상기 발광 제어 신호 또는 스타트 펄스를 수신하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서, 제 j (단, j 는 k 보다 작은 자연수) 스테이지의 상기 제2 입력 단자 및 상기 제3 입력 단자는 각각 제1 클럭 신호 및 제2 클럭 신호를 수신하고,

제 $j+1$ 스테이지의 상기 제2 입력 단자 및 상기 제3 입력 단자는 각각 상기 제2 클럭 신호 및 상기 제1 클럭 신호를 수신하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 발광 제어 신호를 출력하는 발광 구동부 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0003] 유기 발광 표시 장치는 데이터 라인들로 데이터 신호를 공급하기 위한 데이터 구동부, 주사 라인들로 주사 신호를 공급하기 위한 주사 구동부, 발광 제어 라인으로 발광 제어 신호를 공급하기 위한 발광 구동부, 데이터 라인들, 주사 라인들 및 발광 제어 라인들과 접속되도록 위치되는 화소들을 구비한다.

[0004] 여기서, 화소들의 발광 시간은 발광 구동부로부터 공급되는 발광 제어 신호에 의하여 제어된다. 이를 위하여, 발광 구동부는 발광 제어 라인들 각각과 접속되는 스테이지를 구비한다. 스테이지는 복수의 클럭 신호들에 대응하여 발광 제어 신호를 생성한다. 발광 제어 신호가 불안정한 경우 원하지 않는 시점에 화소가 발광될 수 있다. 따라서, 안정적으로 발광 제어 신호를 생성할 수 있는 스테이지가 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 목적은 발광 제어 신호의 게이트 오프 전압 레벨의 안정적인 출력을 위한 발광 구동부를 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 발광 구동부를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0008] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 발광 구동부는 발광 제어 신호를 각각 출력하는 복수의 스테이지들을 포함할 수 있다. 제k(단, k는 자연수) 스테이지는, 제2 입력 단자로 공급되는 신호에 응답하여, 제1 입력 단자로 공급되는 신호를 제1 노드에 공급하고 제1 전원의 전압을 제2 노드에 공급하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 상기 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부; 상기 제2 노드의 전압 및 제3 입력 단자로 공급되는 신호에 응답하여 상기 제1 노드의 전압을 제어하는 제1 신호 처리부; 상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부; 상기 제1 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제3 신호 처리부; 상기 제4 노드의 전압에 응답하여 상기 제3 노드의 전압을 제어하는 제4 신호 처리부; 및 상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드와 상기 제3 노드 사이의 전압 강하를 제한하는 안정화부를 포함할 수 있다. 상기 안정화부는 상기 제2 전원의 전압을 하강시켜 상기 제2 노드와 상기 제4 노드 사이의 전압 강하를 제한할 수 있다.
- [0011] 일 실시예에 의하면, 상기 안정화부는 상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제1 트랜지스터; 상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제2 트랜지스터; 및 상기 제2 전원과 상기 제5 노드 사이에 접속되는 제1 커패시터를 포함할 수 있다.
- [0012] 일 실시예에 의하면, 상기 제2 신호 처리부는 제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 제5 노드에 접속되는 제3 트랜지스터; 상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제4 트랜지스터; 및 상기 제5 노드와 상기 제6 노드 사이에 접속되는 제2 커패시터를 포함할 수 있다.
- [0013] 일 실시예에 의하면, 상기 제1 커패시터와 상기 제2 커패시터 사이의 정전 용량 비율에 기초하여 상기 제1 트랜지스터의 드레인-소스 전압의 바이어스(bias)가 결정될 수 있다.
- [0014] 일 실시예에 의하면, 상기 제1 및 제2 트랜지스터들은 상기 제1 내지 제3 입력 단자들로 공급되는 신호들과 관계없이 턴-온 상태를 유지할 수 있다.
- [0015] 일 실시예에 의하면, 상기 제1 전원의 전압은 게이트 온 전압에 대응하고, 상기 제2 전원의 전압은 게이트 오프 전압에 대응할 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 입력 단자는 스타트 펄스 또는 이전 스테이지의 출력 신호를 수신할 수 있다.
- [0017] 일 실시예에 의하면, 상기 제2 입력 단자는 제1 클럭 신호를 수신하고, 상기 제2 입력 단자는 제2 클럭 신호를 수신할 수 있다.
- [0018] 일 실시예에 의하면, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 동일한 주기를 가지며, 상기 제2 클럭 신호는 상기 제1 클럭 신호에서 반주기만큼 시프트된 신호일 수 있다.
- [0019] 일 실시예에 의하면, 상기 입력부는 상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터; 상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제6 트랜지스터; 및 상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제7 트랜지스터를 포함할 수 있다.
- [0020] 일 실시예에 의하면, 상기 출력부는 상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제8 트랜지스터; 및 상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제9 트랜지스터를 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 제1 신호 처리부는 상기 제2 전원과 상기 제1 노드 사이에 서로 직렬로 접속되는 제10 트랜지스터 및 제11 트랜지스터를 포함하고, 상기 제10 트랜지스터의 게이트 전극은 제2 노드에 접속되고, 상기 제11 트랜지스터의 게이트 전극은 상기 제3 입력 단자에 접속될 수 있다.
- [0022] 일 실시예에 의하면, 상기 제3 신호 처리부는 상기 제2 전원과 상기 제4 노드 사이에 접속되고, 게이트 전극이 상기 제1 노드 또는 상기 제3 노드에 접속되는 제12 트랜지스터; 및 상기 제2 전원과 상기 제4 노드 사이에 접속되는 제3 커패시터를 포함할 수 있다.
- [0023] 일 실시예에 의하면, 상기 제4 신호 처리부는 상기 제2 전원과 제7 노드 사이에 접속되고, 게이트 전극이 상기

제4 노드에 접속되는 제13 트랜지스터; 상기 제7 노드와 상기 제3 입력 단자 사이에 접속되고, 게이트 전극이 상기 제3 노드에 접속되는 제14 트랜지스터; 및 상기 제7 노드와 상기 제3 노드 사이에 접속되는 제4 커패시터를 포함할 수 있다.

[0024] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소들을 포함하는 표시 패널; 주사 라인들을 통해 상기 화소들로 주사 신호를 공급하는 스캔 구동부; 발광 제어 라인들을 통해 상기 화소들로 발광 제어 신호를 공급하는 발광 구동부; 및 데이터 라인들을 통해 상기 화소들로 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다. 상기 발광 구동부는 상기 발광 제어 신호를 각각 출력하는 복수의 스테이지들을 포함할 수 있다. 제k(단, k는 자연수) 스테이지는 제2 입력 단자로 공급되는 신호에 응답하여, 제1 입력 단자로 공급되는 신호를 제1 노드에 공급하고 제1 전원의 전압을 제2 노드에 공급하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 상기 제1 전원의 전압 또는 제2 전원의 전압을 포함하는 상기 발광 제어 신호를 출력 단자로 공급하는 출력부; 상기 제2 노드의 전압 및 제3 입력 단자로 공급되는 신호에 응답하여 상기 제1 노드의 전압을 제어하는 제1 신호 처리부; 상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부; 상기 제1 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제3 신호 처리부; 상기 제4 노드의 전압에 응답하여 상기 제3 노드의 전압을 제어하는 제4 신호 처리부; 및 상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드와 상기 제3 노드 사이의 전압 강하를 제한하는 안정화부를 포함할 수 있다. 상기 안정화부는 상기 제2 전원의 전압을 하강시켜 상기 제2 노드와 상기 제4 노드 사이의 전압 강하를 제한할 수 있다.

[0025] 일 실시예에 의하면, 상기 안정화부는 상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제1 트랜지스터; 상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제2 트랜지스터; 및 상기 제2 전원과 상기 제5 노드 사이에 접속되는 제1 커패시터를 포함할 수 있다.

[0026] 일 실시예에 의하면, 상기 제2 신호 처리부는 제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 제5 노드에 접속되는 제3 트랜지스터; 상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제4 트랜지스터; 및 상기 제5 노드와 상기 제6 노드 사이에 접속되는 제2 커패시터를 포함할 수 있다.

[0027] 일 실시예에 의하면, 상기 제1 커패시터와 상기 제2 커패시터 사이의 정전 용량 비율에 기초하여 상기 제1 트랜지스터의 드레인-소스 전압의 바이어스(bias)가 결정될 수 있다.

[0028] 일 실시예에 의하면, 상기 제1 입력 단자는 이전 스테이지의 상기 발광 제어 신호 또는 스타트 펄스를 수신할 수 있다.

[0029] 일 실시예에 의하면, 제j(단, j는 k보다 작은 자연수) 스테이지의 상기 제2 입력 단자 및 상기 제3 입력 단자는 각각 제1 클럭 신호 및 제2 클럭 신호를 수신하고, 제j+1 스테이지의 상기 제2 입력 단자 및 상기 제3 입력 단자는 각각 상기 제2 클럭 신호 및 상기 제1 클럭 신호를 수신할 수 있다.

발명의 효과

[0031] 본 발명의 실시예들에 따른 발광 구동부는 안정화부에 포함되는 제1 커패시터를 이용하여 제1 트랜지스터의 드레인-소스 전압의 바이어스 증가를 억제할 수 있다. 따라서, 발광 구동부의 스테이지에 포함되는 트랜지스터들(특히, 제1 트랜지스터)의 특성 변화가 억제될 수 있으며, 고온, 고조도의 외부 환경에 장시간 노출되어도 발광 제어 신호의 게이트 오프 전압이 안정적으로 출력될 수 있다. 즉, 발광 구동부는 고온, 고조도의 외부 환경에 강건해질 수 있다.

[0032] 또한, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 상기 발광 구동부를 포함함으로써 고 발광 제어 신호의 안정적인 출력을 확보할 수 있다. 따라서, 고온 및/또는 고조도 환경에서의 의도치 않는 화소 발광(예를 들어, 화이트 블록 영상)이 방지되며, 유기 발광 표시 장치의 구동 신뢰성이 확보될 수 있다.

[0033] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 발광 구동부를 나타내는 블록도이다.
- 도 3은 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- 도 4는 도 3의 스테이지의 동작의 일 예를 나타내는 파형도이다.
- 도 5는 도 3의 스테이지의 일 예를 나타내는 회로도이다.
- 도 6은 도 3의 스테이지의 다른 일 예를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0037] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0038] 도 1을 참조하면, 유기 발광 표시 장치(1)는 표시 패널(10), 주사 구동부(20), 발광 구동부(30), 데이터 구동부(40) 및 타이밍 제어부(50)를 포함할 수 있다.
- [0039] 표시 패널(10)은 영상을 표시한다. 표시 패널(10)은 복수의 주사 라인들(SL1 내지 SLn), 복수의 데이터 라인들(DL1 내지 DLm), 복수의 발광 제어 라인들(EL1 내지 ELn), 및 주사 라인들(SL1 내지 SLn), 발광 제어 라인들(EL1 내지 ELn) 및 데이터 라인들(DL1 내지 DLm)에 연결되는 복수의 화소(P)들을 포함한다. 예를 들어, 화소(P)들은 매트릭스 형태로 배치될 수 있다. 일 실시예에서, 주사 라인들(SL1 내지 SLn) 및 발광 제어 라인들(EL1 내지 ELn) 개수는 각각 n개일 수 있다. 데이터 라인들(DL1 내지 DLm)의 개수는 m개일 수 있다. n 및 m은 자연수이다. 이에 따라, 화소들(P)의 개수는 n X m개일 수 있다. 표시 패널(10)은 외부(예를 들어, 전원 공급부)로부터 제1 구동 전원(ELVDD) 및 제2 구동 전원(ELVSS)을 공급받을 수 있다.
- [0040] 타이밍 제어부(50)는 외부의 그래픽 기기와 같은 화상 소스로부터 입력 제어 신호 및 입력 영상 신호를 수신할 수 있다. 타이밍 제어부(50)는 입력 영상 신호에 기초하여 표시 패널(10)의 동작 조건에 맞는 데이터 신호(RGB)를 생성하여 데이터 구동부(40)에 제공한다. 타이밍 제어부(50)는 입력 제어 신호에 기초하여 주사 구동부(20)의 구동 타이밍을 제어하기 위한 주사 구동 제어 신호(SCS), 발광 구동부(30)의 구동 타이밍을 제어하기 위한 발광 구동 제어 신호(ECS) 및 데이터 구동 회로(40)의 구동 타이밍을 제어하기 위한 데이터 구동 제어 신호(DCS)를 생성하여 각각 주사 구동부(20), 발광 구동부(30) 및 데이터 구동부(40)에 제공할 수 있다.
- [0041] 주사 구동 제어 신호(SCS)에는 주사 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 스타트 펄스는 주사 신호의 첫 번째 타이밍을 제어할 수 있다. 클럭 신호들은 스타트 펄스를 쉬프트시키기 위하여 사용된다.
- [0042] 발광 구동 제어 신호(ECS)에는 발광 제어 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 발광 제어 스타트 펄스는 발광 제어 신호의 첫 번째 타이밍을 제어할 수 있다. 클럭 신호들은 발광 제어 스타트 펄스를 쉬프트시키기 위하여 사용된다.
- [0043] 데이터 구동 제어 신호(DCS)에는 소스 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 소스 스타트 펄스는 데이터의 샘플링 시작 시점을 제어할 수 있다. 클럭 신호들은 샘플링 동작을 제어하기 위하여 사용된다.
- [0044] 주사 구동부(20)는 타이밍 제어부(50)로부터 주사 구동 제어 신호(SCS)를 수신할 수 있다. 주사 구동부(20)는 주사 구동 제어 신호(SCS)에 응답하여 주사 라인들(S1 내지 Sn)로 주사 신호를 공급할 수 있다.
- [0045] 발광 구동부(30)는 타이밍 제어부(50)로부터 발광 구동 제어 신호(ECS)를 수신할 수 있다. 발광 구동부(30)는 발광 구동 제어 신호(ECS)에 응답하여 발광 제어 라인들(EL1 내지 ELn)로 발광 제어 신호를 공급한다. 이와 같은 발광 제어 신호는 화소(P)들의 발광 시간을 제어할 수 있다.
- [0046] 데이터 구동부(40)는 타이밍 제어부(50)로부터 데이터 구동 제어 신호(DCS)를 수신할 수 있다. 데이터 구동부(40)는 데이터 구동 제어 신호(DCS)에 응답하여 데이터 라인들(D1 내지 Dm)로 아날로그 형태의 데이터 신호(데이터 전압)를 공급할 수 있다. 데이터 라인들(D1 내지 Dm)로 공급된 데이터 신호는 주사 신호에 의하여 선택된

화소(P)들로 공급된다.

- [0047] 도 2는 본 발명의 실시예들에 따른 발광 구동부를 나타내는 블록도이다.
- [0048] 도 2에서는 설명의 편의를 위해 4개의 스테이지를 도시하기로 한다.
- [0049] 도 2를 참조하면, 발광 구동부(30)는 복수의 스테이지들(ST1 내지 ST4)을 구비할 수 있다. 예를 들어, 제1 내지 제4 스테이지들(ST1 내지 ST4)은 제1 내지 제4 발광 제어 라인들 각각에 접속되고, 클럭 신호들(CLK1, CLK2)에 대응하여 발광 제어 신호(E1 내지 E4)를 출력할 수 있다. 스테이지들(ST1 내지 ST4)은 실질적으로 동일한 회로로 구현될 수 있다.
- [0050] 스테이지들(ST1 내지 ST4) 각각은 제1 입력 단자(101), 제2 입력 단자(102), 제3 입력 단자(103) 및 출력 단자(104)를 구비할 수 있다.
- [0051] 제1 입력 단자(101)는 이전 스테이지의 출력 신호(즉, 발광 제어 신호) 또는 스타트 펄스(SSP)를 수신할 수 있다. 일례로, 제1 스테이지(ST1)의 제1 입력 단자(101)는 스타트 펄스(SSP)를 수신하고, 제2 스테이지(ST2)의 제1 입력 단자(101)는 제1 스테이지(ST1)에서 출력된 발광 제어 신호(E1)를 수신할 수 있다.
- [0052] 일 실시예에서, 제j(단, j는 k보다 작은 자연수) 스테이지의 제2 입력 단자(102)는 제1 클럭 신호(CLK1)를 수신하고, 제3 입력 단자(103)는 제2 클럭 신호(CLK2)를 수신할 수 있다. 반면에, 제j+1 스테이지의 제2 입력 단자(102)는 제2 클럭 신호(CLK2)를 수신하고, 제3 입력 단자(103)는 제1 클럭 신호(CLK1)를 수신할 수 있다.
- [0053] 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 동일한 주기를 가지며 위상이 서로 중첩되지 않는다. 일례로, 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)에서 반주기만큼 쉬프트된 신호로 설정될 수 있다.
- [0054] 추가적으로, 스테이지들(ST1 내지 ST4)은 제1 전원(VGL)의 전압 및 제2 전원(VGH)의 전압을 공급받는다. 제1 전원(VGL)의 전압 및 제2 전원(VGH) 전압은 직류 전압 레벨을 가질 수 있다.
- [0055] 제1 전원(VGL)의 전압은 게이트 온 전압, 제2 전원(VGH)의 전압은 게이트 온 전압으로 설정될 수 있다. 예를 들어, 화소(P) 및 발광 구동부(30)가 피모스(PMOS; P-channel metal oxide semiconductor) 트랜지스터들로 구성되는 경우, 제1 전원(VGL)은 논리 로우 레벨에 대응하고, 제2 전원(VGH)은 논리 하이 레벨에 대응할 수 있다. 다만, 이는 예시적인 것으로서, 제1 전원(VGL)과 제2 전원(VGH)이 이에 한정되는 것은 아니다. 예를 들어, 제1 전원(VGL)의 전압과 제2 전원(VGH)의 전압은 트랜지스터의 종류, 유기 발광 표시 장치의 사용 환경 등에 따라 설정될 수 있다.
- [0056] 유기 발광 표시 장치(1)가 차량 내부 디스플레이, 차량 윈도우의 투명 디스플레이 등에 적용되는 경우, 밝은 외광 조건 및 고온에 대응하기 위해 제1 전원(VGL)과 제2 전원(VGH) 사이의 큰 전압차가 요구된다. 예를 들어, 제1 전원(VGL)은 약 -13V이고, 제2 전원(VGH)은 약 8V로 설정되며, 이들의 전압차는 약 21V로 설정될 수 있다. 다만, 제2 전원(VGH)의 높은 전압 레벨 및 제1 전원(VGL)과 제2 전원(VGH) 사이의 큰 전압차에 기초한 구동이 장시간 지속되는 경우, 스테이지에 포함되는 트랜지스터가 열화되어 동작 특성이 나빠진다.
- [0057] 도 3은 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- [0058] 도 1 내지 도 3을 참조하면, 제1 스테이지(ST1)는 입력부(310), 출력부(320), 제1 신호 처리부(330), 제2 신호 처리부(340), 제3 신호 처리부(350), 제4 신호 처리부(360) 및 안정화부(370)를 포함할 수 있다.
- [0059] 입력부(310)는 제2 입력 단자(102)로 공급되는 신호(예를 들어, 제1 클럭 신호(CLK1))에 응답하여, 제1 입력 단자(101)로 공급되는 신호(예를 들어, 스타트 신호(SSP))를 제1 노드(N1)에 공급하고 제2 노드(N2)의 전압을 제어할 수 있다. 일 실시예에서, 입력부(310)는 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제7 트랜지스터(M7)를 포함할 수 있다.
- [0060] 제5 트랜지스터(M5)는 제1 입력 단자(101)와 제1 노드(N1) 사이에 접속될 수 있다. 제5 트랜지스터(M5)는 제2 입력 단자(102)에 접속되는 게이트 전극을 포함할 수 있다. 제5 트랜지스터(M5)는 제1 클럭 신호(CLK1)가 게이트 온 전압을 가질 때 턴-온되어 제1 입력 단자(101)와 제1 노드(N1)를 전기적으로 접속시킬 수 있다.
- [0061] 제6 트랜지스터(M6)는 제2 입력 단자(102)와 제2 노드(N2) 사이에 접속될 수 있다. 제6 트랜지스터(M6)는 제1 노드(N1)에 접속되는 게이트 전극을 포함할 수 있다. 제6 트랜지스터(M6)는 제1 노드(N1)의 전압에 기초하여 턴-온 또는 턴-오프될 수 있다.
- [0062] 제7 트랜지스터(M7)는 제1 전원(VGL)과 제2 노드(N2) 사이에 접속될 수 있다. 제7 트랜지스터(M7)의 게이트 전

극은 제2 입력 단자(102)에 접속될 수 있다. 제7 트랜지스터(M7)는 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급될 때 턴-온되어 제2 노드(N2)로 제1 전원(VGL)의 전압을 공급할 수 있다.

- [0063] 출력부(320)는 제3 노드(N3)의 전압 및 제4 노드(N4)의 전압에 응답하여 제1 전원(VGL)의 전압 또는 제2 전원(VGH)의 전압을 출력 단자(104)로 공급할 수 있다. 제1 전원(VGL)의 전압은 발광 제어 신호(E1)의 게이트 온 전압 레벨에 대응하고, 제2 전원(VGH)의 전압은 발광 제어 신호(E1)의 게이트 오프 전압 레벨에 대응할 수 있다.
- [0064] 일 실시예에서, 출력부(320)는 제8 트랜지스터(M8) 및 제9 트랜지스터(M9)를 포함할 수 있다.
- [0065] 제8 트랜지스터(M8)는 제1 전원(VGL)과 출력 단자(104) 사이에 접속될 수 있다. 제8 트랜지스터(M8)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 제8 트랜지스터(M8)는 제3 노드(N3)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 여기서, 제8 트랜지스터(M8)가 턴-온될 때 출력 단자(104)로 공급되는 제1 발광 제어 신호(E1)가 게이트 온 전압을 가지며, 화소(P)가 발광할 수 있다.
- [0066] 제9 트랜지스터(M9)는 제2 전원(VGH)과 출력 단자(104) 사이에 접속될 수 있다. 제9 트랜지스터(M9)의 게이트 전극은 제4 노드(N4)에 접속될 수 있다. 제9 트랜지스터(M9)는 제4 노드(N4)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 여기서, 제9 트랜지스터(M9)가 턴-온될 때 출력 단자(104)로 공급되는 제1 발광 제어 신호(E1)가 게이트 오프 레벨을 가지며, 화소(P)는 비발광 상태를 갖는다.
- [0067] 제1 신호 처리부(330)는 제2 노드(N2)의 전압 및 제3 입력 단자(103)로 공급되는 신호에 응답하여 제1 노드(N1)의 전압을 제어할 수 있다. 예를 들어, 제1 신호 처리부(330)는 제2 노드(N2)의 전압이 게이트 온 레벨을 가질 때 제1 노드(N1)의 전압을 제2 전원(VGH)의 전압, 즉, 게이트 오프 전압으로 유지시킬 수 있다. 일 실시예에서, 제1 신호 처리부(330)는 제2 전원(VGH)과 제1 노드(N1) 사이에 서로 직렬로 접속되는 제10 트랜지스터(M10) 및 제11 트랜지스터(M11)를 포함할 수 있다.
- [0068] 제10 트랜지스터(M10)의 게이트 전극은 제2 노드(N2)에 접속될 수 있다. 제10 트랜지스터(M10)는 제2 노드(N2)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0069] 제11 트랜지스터(M11)의 게이트 전극은 제3 입력 단자(103)에 접속될 수 있다. 제11 트랜지스터(M11)는 제2 클럭 신호(CLK2)의 게이트 온 전압에 대응하여 턴-온될 수 있다.
- [0070] 제2 신호 처리부(340)는 제2 노드(N2)와 제4 노드(N4)를 전기적으로 연결하는 제5 노드(N5)에 접속될 수 있다. 제2 신호 처리부(340)는 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2) 및 제5 노드(N5)의 전압에 기초하여 제4 노드(N4)의 전압을 제어할 수 있다. 예를 들어, 제2 노드(N2)의 전압이 게이트 오프 레벨을 가질 때, 제2 신호 처리부(340)는 제4 노드(N4)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 제9 트랜지스터(M9)가 완전히 턴-오프되도록 할 수 있다.
- [0071] 일 실시예에서, 제2 신호 처리부(340)는 제3 트랜지스터(M3), 제4 트랜지스터(M4), 및 제2 커패시터(C2)를 포함할 수 있다.
- [0072] 제2 커패시터(C2)는 제5 노드(N5)와 제6 노드(N6) 사이에 접속될 수 있다.
- [0073] 제3 트랜지스터(M3)는 제3 입력 단자(103)와 제6 노드(N6) 사이에 접속될 수 있다. 제3 트랜지스터(M3)의 게이트 전극은 제5 노드(N5)에 접속될 수 있다. 제3 트랜지스터(M3)는 제5 노드(N5)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0074] 제4 트랜지스터(M4)는 제6 노드(N6)와 제4 노드(N4) 사이에 접속될 수 있다. 제4 트랜지스터(M4)의 게이트 전극은 제3 입력 단자(103)에 접속될 수 있다. 제4 트랜지스터(M4)는 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2)의 게이트 온 레벨에 응답하여 턴-온될 수 있다. 이에 따라, 제2 커패시터의 일 단(즉, 제6 노드(N6))과 제4 노드(N4)가 전기적으로 연결될 수 있다. 이 때, 제3 및 제4 트랜지스터들(M3, M4)가 제2 클럭 신호(CLK2)에 의해 스위칭되더라도, 제5 노드(N5) (또는 제2 노드(N2))의 전압이 충전된 제2 커패시터(C2)에 의해 제4 노드(N4)의 전압이 큰 변동 없이 유지될 수 있다. 예를 들어, 제4 노드(N4)의 전압은 제2 노드(N2) 또는 제5 노드(N5)와 실질적으로 동일한 전압 레벨을 가질 수 있다.
- [0075] 제3 신호 처리부(350)는 제1 노드(N1)의 전압에 응답하여 제3 노드(N3)의 전압을 제어할 수 있다. 예를 들어, 제1 노드(N1)가 게이트 온 전압을 가질 때, 제3 신호 처리부(350)는 제4 노드(N4)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 출력부(320)의 제9 트랜지스터(M9)가 완전히 턴-오프되도록 할 수 있다. 일 실시예에서, 제3 신호 처리부(350)는 제12 트랜지스터(M12) 및 제3 커패시터(C3)를 포함할 수 있다.

- [0076] 제12 트랜지스터(M12)는 제2 전원(VGH)과 제4 노드(N4) 사이에 접속될 수 있다. 제12 트랜지스터(M12)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 제12 트랜지스터(M12)는 제1 노드(N1)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0077] 제3 커패시터(C3)는 제2 전원(VGH)과 제4 노드(N4) 사이에 접속될 수 있다. 제3 커패시터(C3)는 제4 노드(N4)에 인가되는 전압을 충전하고, 제4 노드(N4)의 전압을 안정적으로 유지할 수 있다.
- [0078] 일례로, 제1 노드(N1)의 전압에 의해 제8 트랜지스터(M8)가 턴-온되는 경우, 제12 트랜지스터(M12)가 턴-온 되어 제4 노드(N4)에 제2 전원(VGH)의 전압이 공급될 수 있다.
- [0079] 제4 신호 처리부(360)는 제4 노드(N4)의 전압에 응답하여 제3 노드(N3)의 전압을 제어할 수 있다. 예를 들어, 제4 노드(N4)가 게이트 온 전압을 가질 때, 제4 신호 처리부(360)는 제3 노드(N3)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 출력부(320)의 제8 트랜지스터(M8)가 완전히 턴-오프되도록 할 수 있다.
- [0080] 일 실시예에서, 제3 신호 처리부(350)는 제13 트랜지스터(M13), 제14 트랜지스터(M14), 및 제4 커패시터(C4)를 포함할 수 있다.
- [0081] 제13 트랜지스터(M13)는 제2 전원(VGH)과 제7 노드(N7) 사이에 접속될 수 있다. 제13 트랜지스터(M13)의 게이트 전극은 제4 노드에 접속될 수 있다. 제13 트랜지스터(M13)는 제4 노드(N4)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0082] 제14 트랜지스터(M14)는 제7 노드(N7)와 제3 입력 단자 사이에 접속될 수 있다. 제14 트랜지스터(M14)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 제14 트랜지스터(M14)는 제3 노드(N3)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0083] 제4 커패시터(C4)는 제7 노드(N7)와 제3 노드(N3) 사이에 접속될 수 있다. 제4 커패시터(C4)는 제3 노드(N3)에 인가되는 전압을 충전하고, 제3 노드(N3)의 전압을 안정적으로 유지할 수 있다.
- [0084] 안정화부(370)는 입력부(310)와 출력부(320) 사이에 전기적으로 연결된다. 안정화부(370)는 제1 노드(N1)와 제3 노드(N3) 사이의 전압 강하 및 제2 노드(N2)와 제4 노드(N4) 사이의 전압 강하를 제한할 수 있다. 일 실시예에서, 안정화부(370)는 제5 노드(N5)의 전압을 제2 전원(VGH)의 전압보다 떨어뜨려 제2 노드(N2)와 제4 노드(N4) 사이의 전압 강하를 제한할 수 있다.
- [0085] 일 실시예에서, 안정화부(370)는 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 제1 커패시터(C1)를 포함할 수 있다.
- [0086] 제2 트랜지스터(M2)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속될 수 있다. 제2 트랜지스터(M2)의 게이트 전극은 제1 전원(VGL)에 접속될 수 있다. 따라서, 제1 트랜지스터(M1)는 항상 턴-온 상태를 가져야 한다. 제2 트랜지스터(M2)는 제1 노드(N1)와 제3 노드(N3) 사이에서의 라인 전압 강하 등을 방지할 수 있다. 따라서, 발광 제어 신호(E1)의 게이트 온 전압(로직 로우 레벨)이 안정적으로 출력될 수 있다.
- [0087] 제1 트랜지스터(M1)는 제2 노드(N2)와 제5 노드(N5) 사이에 접속될 수 있다. 제1 트랜지스터(M1)의 게이트 전극은 제1 전원(VGL)에 접속될 수 있다. 이에 따라, 제1 트랜지스터(M1)는 항상 턴-온 상태를 가져야 한다. 제1 트랜지스터(M1)는 제2 노드(N2)와 제5 노드(N5)(내지 제4 노드(N4)) 사이에서의 라인 전압 강하 등을 방지할 수 있다.
- [0088] 그러나, 앞서 설명한 바와 같이, 높은 제2 전원(VGH)의 전압 레벨 및 큰 제1 전원(VGL)과 제2 전원(VGH) 사이의 전압차에 의한 구동이 장시간 지속되는 경우, 제1 트랜지스터(M1)의 이온(ion) 특성이 빠르게 열화될 수 있다. 예를 들어, 제2 전원(VGH)의 전압이 제5 노드(N5)를 통해 제1 트랜지스터(M1)에 공급됨으로써 제1 트랜지스터(M1)의 드레인-소스 전압의 바이어스가 지나치게 증가될 수 있다. 이에 따라, 제1 트랜지스터(M1)의 문턱 전압이 시프트(shift)되고, 이는 제4 노드(N4)의 전압(즉, 제9 트랜지스터(M9)에 대한 게이트 온/오프 전압들) 변동의 원인이 된다.
- [0089] 또한, 제4 노드(N4)의 전압 변동에 의해 제9 트랜지스터(M9)의 동작이 및 발광 제어 신호(E1)의 게이트 오프 전압 출력이 불안정해질 수 있다. 이는 화소(P)의 오발광 및 의도치 않은 백색 블록(white block) 영상 표시를 야기할 수 있다.
- [0090] 이와 같은 문제를 해결하기 위해 제1 커패시터(C1)가 추가됨으로써 제1 트랜지스터(M1)의 드레인-소스 전압의

바이어스가 일정 수준 이하로 떨어질 수 있다.

- [0091] 제1 커패시터(C1)는 제2 전원(VGH)과 제5 노드(N5) 사이에 접속될 수 있다. 제1 커패시터(C1)와 제2 커패시터(C2)가 전기적으로 병렬로 연결되는 경우, 제1 커패시터(C1)는 제2 커패시터(C2)와 함께 제2 전원(VGH)에 대한 직류 전압을 분배하는 기능을 할 수 있다. 즉, 제1 커패시터(C1)와 제2 커패시터(C2) 사이의 정전 용량 비율에 따라 제2 전원(VGH)의 전압 분배 효과가 발생될 수 있다. 이에 따라, 제2 전원(VGH)보다 낮은 전압이 제1 트랜지스터(M1)에 공급되고, 제1 트랜지스터(M1)의 드레인-소스 전압의 바이어스가 감소되어 제1 트랜지스터(M1)의 특성 변화가 방지될 수 있다.
- [0092] 여기서, 제1 커패시터(C1)과 제2 커패시터(C2)의 정전 용량 비율의 조절을 통해 제1 트랜지스터(M1)의 드레인-소스 전압의 바이어스가 최적의 값으로 감소되며, 트랜지스터들의 열화 및 문턱 전압 변화가 방지될 수 있다. 따라서, 고온, 고조도의 외부 환경에 장시간 노출되더라도 발광 제어 신호(E1)의 게이트 오프 전압이 안정적으로 출력될 수 있다. 즉, 고온 및/또는 고조도 환경에서의 안정적인 발광 제어 신호(E1) 출력에 의해 의도치 않는 화소 발광(예를 들어, 화이트 블록 영상)이 방지되며, 유기 발광 표시 장치의 구동 신뢰성이 확보될 수 있다.
- [0093] 도 4는 도 3의 스테이지의 동작의 일 예를 나타내는 파형도이다.
- [0094] 도 3 및 도 4를 참조하면, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 2 수평 기간(2H)의 주기를 가지며, 서로 다른 수평 기간에 공급된다. 다시 말하여, 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)에서 반주기(즉, 1 수평 기간(1H))만큼 쉬프트된 신호로 설정된다.
- [0095] 스타트 펄스(SSP)의 논리 하이 레벨(하이 전압)은 제1 전원(VGH)의 전압에 대응하고, 스타트 펄스(SSP)의 논리 로우 레벨(로우 전압)은 제2 전원(VGL)의 전압에 대응할 수 있다.
- [0096] 클럭 신호(CLK1, CLK2)가 공급될 때 제2 입력 단자(102) 및 제3 입력 단자(103)로 제1 전원(VGL)의 전압이 공급되고, 클럭 신호(CLK1, CLK2)가 공급되지 않을 때 제2 입력 단자(102) 및 제3 입력 단자(103)로 제2 전원(VGH)의 전압이 공급될 수 있다.
- [0097] 제1 시점(t1)에 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급되고 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 턴-온될 수 있다.
- [0098] 제5 트랜지스터(M5)가 턴-온되면 제1 입력 단자(101)와 제1 노드(N1)가 전기적으로 접속될 수 있다. 여기서, 제2 트랜지스터(M2)가 턴-온 상태를 유지하기 때문에 제1 입력 단자(101)는 제1 노드(N1)를 경유하여 제3 노드(N3)와도 전기적으로 접속된다.
- [0099] 제1 시점에서 제1 노드(N1) 및 제3 노드(N3)로 논리 로우 레벨의 전압(일례로, VGL, 이하, 로우 전압)이 공급될 수 있다. 따라서, 제6 트랜지스터(M6), 제8 트랜지스터(M8) 및 제12 트랜지스터(M12)가 턴-온될 수 있다.
- [0100] 제12 트랜지스터(M12)가 턴-온되면 제4 노드(N4)로 제2 전원(VGH)의 전압이 공급되고, 이에 따라 제9 트랜지스터(M9)가 턴-오프될 수 있다. 이때, 제3 커패시터(C3)에는 제9 트랜지스터(M9)의 턴-오프에 대응되는 전압이 충전될 수 있다.
- [0101] 제8 트랜지스터(M8)가 턴-온되면 제1 전원(VGL)의 전압이 출력단자(104)로 공급될 수 있다. 따라서, 제1 시점(t1)에서 제1 발광 제어 신호(E1)는 게이트 온 전압을 가질 수 있다.
- [0102] 제6 트랜지스터(M6)가 턴-온되면 제2 노드(N2)로 제1 클럭 신호(CLK1)가 공급될 수 있다. 제1 클럭 신호(CLK1)는 제2 노드(N2)를 경유하여 제5 노드(N5)로도 공급될 수 있다.
- [0103] 한편, 제7 트랜지스터(M7)가 턴-온되면 제1 전원(VGL)의 전압이 제2 노드(N2) 및 제5 노드(N5)로 공급될 수 있다. 여기서, 제1 클럭 신호(CLK1)는 제1 전원(VGL)의 전압을 가지고, 이에 따라 제2 노드(N2) 및 제5 노드(N5)는 안정적으로 제1 전원(VGL)의 전압을 가질 수 있다.
- [0104] 제2 노드(N2) 및 제5 노드(N5)가 제1 전원(VGL)의 전압을 가지면 제3 트랜지스터(M3)가 턴-온될 수 있다.
- [0105] 제3 트랜지스터(M3)가 턴-온되면 제3 입력 단자(103)로부터의 로직 하이 레벨의 전압(일례로, VGH)이 제2 커패시터(C2)의 일 단(즉, 제6 노드(N6))으로 공급될 수 있다. 이때, 제4 트랜지스터(M4)가 턴-오프 상태이므로, 제4 노드(N4)는 제5 노드(N5)의 전압 및 제6 노드(N6)의 전압과 무관하게 제2 전원(VGH)의 전압을 유지할 수 있다.

- [0106] 제4 노드(N4)의 전압에 의해 제13 트랜지스터(M13)은 턴-오프 상태를 유지하고, 제7 노드(N7)는 플로팅 상태를 가질 수 있다. 따라서, 제1 및 제3 노드들(N1, N3)은 로우 전압을 유지할 수 있다.
- [0107] 제2 시점(t2)에는 제2 입력 단자(102)로 제1 클럭 신호(CLK1)의 공급이 중단될 수 있다. 이에 따라, 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 턴-오프될 수 있다. 이때, 제3 커패시터(C3) 및 제4 커패시터(C4)에 의하여 제4 노드(N4) 및 제3 노드(N3)는 이전 기간의 전압을 유지할 수 있다.
- [0108] 제3 노드(N3)가 로우 전압을 유지하는 경우, 제6 트랜지스터(M6), 제8 트랜지스터(M8) 및 제12 트랜지스터(M12)는 턴-온 상태를 유지할 수 있다.
- [0109] 제6 트랜지스터(M6)의 턴-온 상태에 의해 제2 입력 단자(102)로부터의 하이 전압(논리 하이 레벨의 전압)이 제2 노드(N2) 및 제5 노드(N5)로 공급되고, 제13 트랜지스터(M13) 및 제3 트랜지스터(M3)가 턴-오프될 수 있다.
- [0110] 제3 시점(t3)에는 제3 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급되고, 제4 트랜지스터(M4) 및 제11 트랜지스터(M11)가 턴-온될 수 있다.
- [0111] 제4 트랜지스터(M4)가 턴-온되면 제6 노드(N6)와 제4 노드(N4)가 전기적으로 접속될 수 있다. 이때, 제4 노드(N4)는 제2 전원(VGH)의 전압을 유지할 수 있다.
- [0112] 추가적으로, 제3 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급되면 플로팅 상태의 제4 커패시터(C4)의 커플링에 의하여 제3 노드(N3)는 제1 전원(VGL)보다 낮은 전압으로 하강될 수 있다. 그러면, 제8 트랜지스터(M8) 및 제12 트랜지스터(M12)의 게이트 전극들로 인가되는 전압이 제1 전원(VGL)보다 낮고, 이에 따라 트랜지스터들(즉, M8, M12)의 구동 특성이 향상될 수 있다.
- [0113] 한편, 제1 노드(N1)는 제2 트랜지스터(M2)에 의하여 제2 노드(N2)의 전압 하강과 무관하게 대략 제1 전원(VGL)의 전압을 유지한다. 다시 말하여, 제2 트랜지스터(M2)의 게이트 전극으로 제1 전원(VGL)의 전압이 인가되기 때문에 제3 노드(N3)의 전압 하강과 무관하게 제1 노드(N1)는 제1 전원(VGL)의 전압을 유지할 수 있다. 이 경우, 제5 트랜지스터(M5)의 제 드레인-소스 전압의 바이어스가 감소되어 제5 트랜지스터(M5)의 특성 변화가 방지될 수 있다.
- [0114] 제4 시점(t4)에는 제1 입력 단자(101)로 스타트 펄스(SSP)의 하이 전압이 공급되고, 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급될 수 있다.
- [0115] 제1 클럭 신호(CLK1)에 의해 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 턴-온될 수 있다.
- [0116] 제5 트랜지스터(M5)가 턴-온되면 제1 노드(N1) 및 제3 노드(N3)가 하이 전압을 가질 수 있다. 제1 노드(N1) 및 제3 노드(N3)의 하이 전압에 의해 제6 트랜지스터(M6), 제8 트랜지스터(M8), 및 제12 트랜지스터(M12)가 턴-오프될 수 있다.
- [0117] 제7 트랜지스터(M7)가 턴-온되면 제10 트랜지스터(M10) 및 제3 트랜지스터(M3)가 턴-온될 수 있다. 이때, 제10 트랜지스터(M10)가 턴-온되더라도 제11 트랜지스터(M11)가 턴-오프 상태로 설정되기 때문에 제1 노드(N1)의 전압은 변하지 않는다.
- [0118] 제3 트랜지스터(M3)가 턴-온되면 제6 노드(N6)와 제3 입력 단자(103)가 전기적으로 접속될 수 있다. 이때, 제4 트랜지스터(M4)가 턴-오프 상태로 설정되기 때문에 제4 노드(N4)는 하이 전압을 유지한다.
- [0119] 제5 시점(t5)에는 제2 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급될 수 있다. 제2 클럭 신호(CLK2)에 의해 제11 트랜지스터(M11) 및 제4 트랜지스터(M4)가 턴-온될 수 있다. 제5 시점(t5)에서 제2 노드(N2) 및 제5 노드(N5)가 제1 전원(VGL)의 전압으로 설정되기 때문에 제10 트랜지스터(M10) 및 제3 트랜지스터(M3)는 턴-온 상태를 유지할 수 있다.
- [0120] 제4 트랜지스터(M4) 및 제3 트랜지스터(M3)가 턴-온되면 제2 클럭 신호(CLK2)가 제4 노드(N4)로 공급되고, 제9 트랜지스터(M9)가 턴-온될 수 있다. 제9 트랜지스터(M9)가 턴-온되면 제2 전원(VGH)의 전압이 출력 단자(104)로 공급될 수 있다. 출력 단자(104)로 공급된 제1 전원(VGH)의 전압은 발광 제어 신호(E1)의 게이트 오프 전압에 대응할 수 있다.
- [0121] 제10 트랜지스터(M10) 및 제11 트랜지스터(M11)가 턴-온되면 제1 노드(N1) 및 제3 노드(N3)로 제2 전원(VGH)의 전압이 공급될 수 있다. 따라서, 제6 트랜지스터(M6) 및 제8 트랜지스터(M8)는 안정적으로 턴-오프 상태를 유지할 수 있다.

- [0122] 한편, 제2 커패시터(C2)의 일 단으로 제2 클럭 신호(CLK2)가 공급되면 제2 커패시터(C2)의 커플링에 의하여 제5 노드(N5)의 전압이 제1 전원(VGL)보다 낮은 전압으로 하강될 수 있다. 그러면, 제3 트랜지스터(M3)의 게이트 전극으로 인가되는 전압이 제1 전원(VGH)보다 낮아지고, 이에 따라 제3 트랜지스터(M3)의 구동 특성이 향상될 수 있다.
- [0123] 추가적으로, 제1 트랜지스터(M1)에 의하여 제5 노드(N5)의 전압과 무관하게 제2 노드(N2)의 전압은 대략 제1 전원(VGL)의 전압을 유지할 수 있다. 다시 말하여, 제1 트랜지스터(M1)의 게이트 전극으로는 제1 전원(VGL)의 전압이 인가되기 때문에 제5 노드(N5)의 전압 하강과 무관하게 제2 노드(N2)는 대략 제1 전원(VGL)의 전압을 유지할 수 있다. 이 경우, 제6 트랜지스터(M6)의 드레인-소스 바이어스가 감소되어 제6 트랜지스터(M6)의 특성 변화가 방지될 수 있다.
- [0124] 다만, 앞서 설명한 바와 같이, 높은 제2 전원(VGH)의 전압 레벨에 의해 제5 노드(N5)의 전압이 지나치게 높아질 수 있고, 이에 따라 제1 트랜지스터(M1)의 드레인-소스 바이어스가 증가될 우려가 있다. 제1 트랜지스터(M1)의 높은 드레인-소스 바이어스가 지속되는 경우, 제1 트랜지스터(M1)가 빠르게 열화되는 문제가 발생된다.
- [0125] 이를 해결하기 위해, 본 발명의 스테이지(ST1)는 제1 커패시터(C1)를 추가적으로 포함할 수 있다. 제2 노드(N2)와 제4 노드(N4)가 하이 전압을 갖고 제1 노드가 로우 전압을 가질 때, 제1 커패시터(C1)와 제2 커패시터(C2)는 제2 전원(VGH)에 대하여 실질적으로 병렬로 연결된다. 이에 따라, 제1 커패시터(C1)와 제2 커패시터(C2)가 제2 전원(VGH)의 직류 전압을 분배함으로써 제5 노드(N5)의 전압을 소정의 전압 레벨 이하로 하강시킬 수 있다.
- [0126] 따라서, 제1 트랜지스터(M1)의 드레인-소스 전압의 바이어스가 일정 수준 이하로 감소되어 제1 트랜지스터(M1)의 특성 변화가 방지될 수 있다.
- [0127] 제6 시점(t6)에서는 제1 입력 단자(101)로 스타트 펄스(SSP)의 로우 전압이 공급되고, 제3 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급될 수 있다. 제2 클럭 신호(CLK2)에 의해 제11 트랜지스터(M11) 및 제4 트랜지스터(M4)가 턴-온될 수 있다.
- [0128] 제6 시점(t6)에서는 하이 전압을 갖는 제1 클럭 신호(CLK1)에 의해 제5 트랜지스터(M5)가 턴-오프 상태를 가지므로 스테이지(ST)는 스타트 펄스(SSP)의 변화에 영향을 받지 않는다.
- [0129] 제7 시점(t7)에서는 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급되고, 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 턴-온될 수 있다. 이 때, 스타트 펄스(SSP)는 로우 전압을 유지한다.
- [0130] 제5 트랜지스터(M5)의 턴-온에 의해 제1 입력 단자(101)로부터의 로우 전압이 제1 노드(N1) 및 제3 노드(N3)로 공급될 수 있다. 이에 따라, 제6 트랜지스터(M6), 제8 트랜지스터(M8), 및 제12 트랜지스터(M12)가 턴-온될 수 있다.
- [0131] 제6 트랜지스터(M6)가 턴-온되면 제2 노드(N2) 및 제5 노드(N5)로 제1 클럭 신호(CLK1)가 공급될 수 있다.
- [0132] 제12 트랜지스터(M12)가 턴-온되면 제4 노드(N4)로 제2 전원(VGH)의 전압이 공급되고, 이에 따라 제9 트랜지스터(M9)가 턴-오프될 수 있다. 제8 트랜지스터(M8)의 턴-온에 의해 출력 단자(104)로 제1 전원(VGL)의 전압이 공급될 수 있다. 출력 단자(104)로 공급된 제1 전원(VGL)의 전압은 제1 발광 제어 신호(E1)의 게이트 온 전압에 대응할 수 있다.
- [0133] 한편, 본 발명의 실시예에 의한 발광 스테이지들(ST)은 상술한 과정을 반복하면서 발광 제어 신호를 순차적으로 출력할 수 있다.
- [0134] 도 5는 도 3의 스테이지의 일 예를 나타내는 회로도이다.
- [0135] 도 5에서는 도 3을 참조하여 설명한 구성 요소들에 대해 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 중복되는 설명은 생략하기로 한다. 또한, 도 5의 스테이지는 입력부를 제외하면, 도 3의 스테이지와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0136] 도 3 및 도 5를 참조하면, 제1 스테이지(ST1)는 입력부(311), 출력부(320), 제1 신호 처리부(330), 제2 신호 처리부(340), 제3 신호 처리부(350), 제4 신호 처리부(360) 및 안정화부(370)를 포함할 수 있다.
- [0137] 입력부(311)는 제2 입력 단자(102)로 공급되는 신호(예를 들어, 제1 클럭 신호(CLK1))에 응답하여, 제1 입력 단자(101)로 공급되는 신호(예를 들어, 스타트 신호(SSP))를 제1 노드(N1)에 공급하고 제2 노드(N2)의 전압을 제어할 수 있다. 일 실시예에서, 입력부(310)는 제5 트랜지스터들(M5_1, M5_2), 제6 트랜지스터들(M6_1, M6_2),

및 제7 트랜지스터(M7)를 포함할 수 있다.

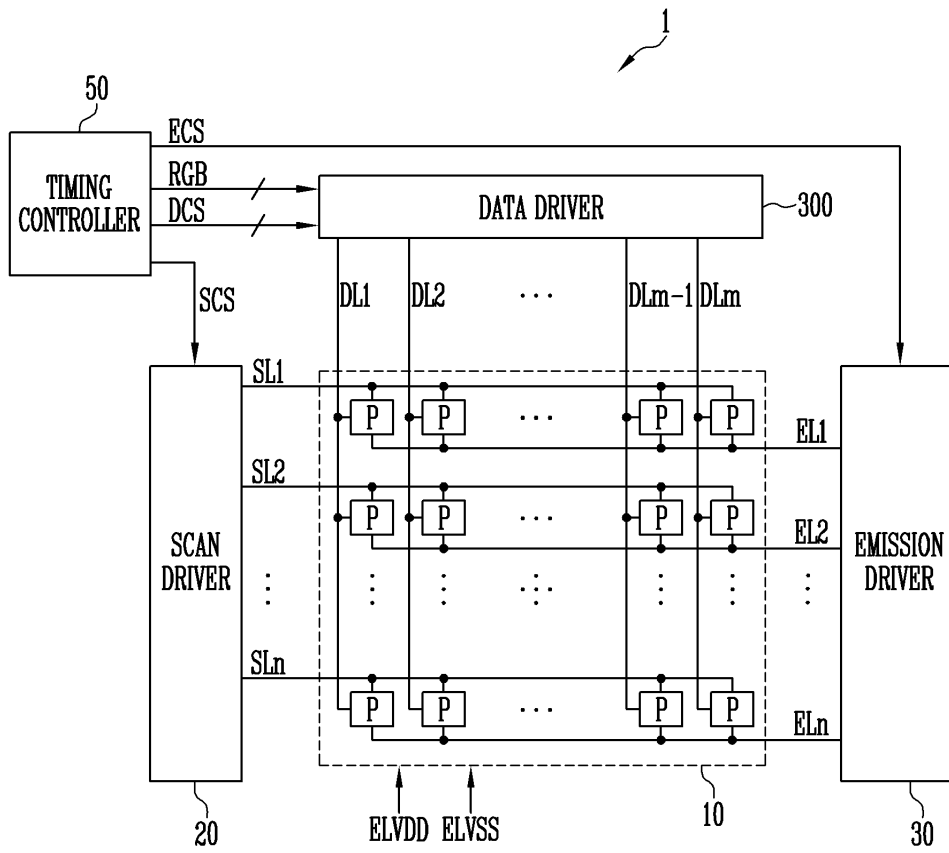
- [0138] 복수의 제5 트랜지스터들(M5_1, M5_2)은 제1 입력 단자(101)와 제1 노드(N1) 사이에 서로 직렬로 접속될 수 있다. 제5 트랜지스터들(M5_1, M5_2)은 각각 제2 입력 단자(102)에 접속되는 게이트 전극을 포함할 수 있다. 제5 트랜지스터들(M5_1, M5_2)은 제1 클럭 신호(CLK1)가 게이트 온 전압을 가질 때 턴-온되어 제1 입력 단자(101)와 제1 노드(N1)를 전기적으로 접속시킬 수 있다.
- [0139] 제6 트랜지스터들(M6_1, M6_2)은 제2 입력 단자(102)와 제2 노드(N2) 사이에 서로 직렬로 접속될 수 있다. 제6 트랜지스터들(M6_1, M6_2)은 제1 노드(N1)에 접속되는 게이트 전극을 각각 포함할 수 있다. 제6 트랜지스터들(M6_1, M6_2)은 제1 노드(N1)의 전압에 기초하여 턴-온 또는 턴-오프될 수 있다.
- [0140] 이와 같은 본 발명의 다른 실시예에서는 누설 전류를 최소화하기 위하여 복수의 제5 및 제6 트랜지스터들(M5_1, M5_2, M6_1, M6_2)을 형성하는 것을 제외한 구성이 도 3과 실질적으로 동일하므로 중복되는 설명은 생략하기로 한다.
- [0141] 도 6은 도 3의 스테이지의 다른 일 예를 나타내는 회로도이다.
- [0142] 도 6에서는 도 3 및 도 5를 참조하여 설명한 구성 요소들에 대해 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 중복되는 설명은 생략하기로 한다. 또한, 도 6의 스테이지는 제3 신호 처리부의 구성을 제외하면, 도 3의 스테이지와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0143] 도 3 및 도 6을 참조하면, 제1 스테이지(ST1)는 입력부(311), 출력부(320), 제1 신호 처리부(330), 제2 신호 처리부(340), 제3 신호 처리부(351), 제4 신호 처리부(360) 및 안정화부(370)를 포함할 수 있다.
- [0144] 제3 신호 처리부(351)는 제1 노드(N1)의 전압에 응답하여 제3 노드(N3)의 전압을 제어할 수 있다. 예를 들어, 제1 노드(N1)가 게이트 온 전압을 가질 때, 제3 신호 처리부(351)는 제4 노드(N4)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 출력부(320)의 제9 트랜지스터(M9)가 완전히 턴-오프되도록 할 수 있다. 일 실시예에서, 제3 신호 처리부(351)는 제12 트랜지스터(M12) 및 제3 커패시터(C3)를 포함할 수 있다.
- [0145] 제12 트랜지스터(M12)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 즉, 제12 트랜지스터(M12)는 제3 노드(N3)의 전압에 의해 동작할 수 있다. 제12 트랜지스터(M12)가 발광 제어 신호 출력을 제어하는 제8 트랜지스터(M8)와 실질적으로 동기하여 제어되므로, 발광 제어 신호 출력 안정성이 더욱 향상될 수 있다.
- [0146] 본 발명은 발광 구동부 및 이를 포함하는 표시 장치에 적용될 수 있다. 특히, 본 발명은 투명 표시 장치, 차량용 표시 장치 등에 적용될 수 있다.
- [0147] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

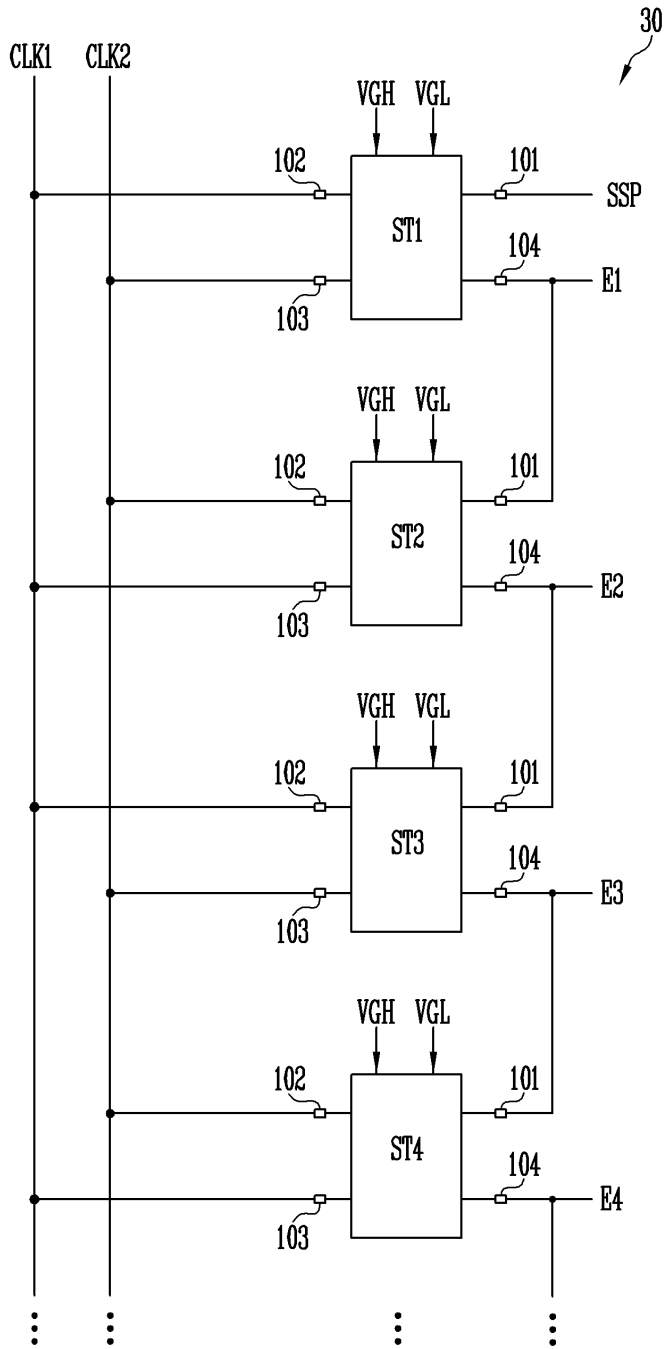
- [0149] 1: 유기 발광 표시 장치 10: 표시 패널
- 20: 주사 구동부 30: 발광 구동부
- 40: 데이터 구동부 50: 타이밍 제어부
- 310: 입력부 320: 출력부
- 330: 제1 신호 처리부 340: 제2 신호 처리부
- 350: 제3 신호 처리부 360: 제4 신호 처리부
- 370: 안정화부

도면

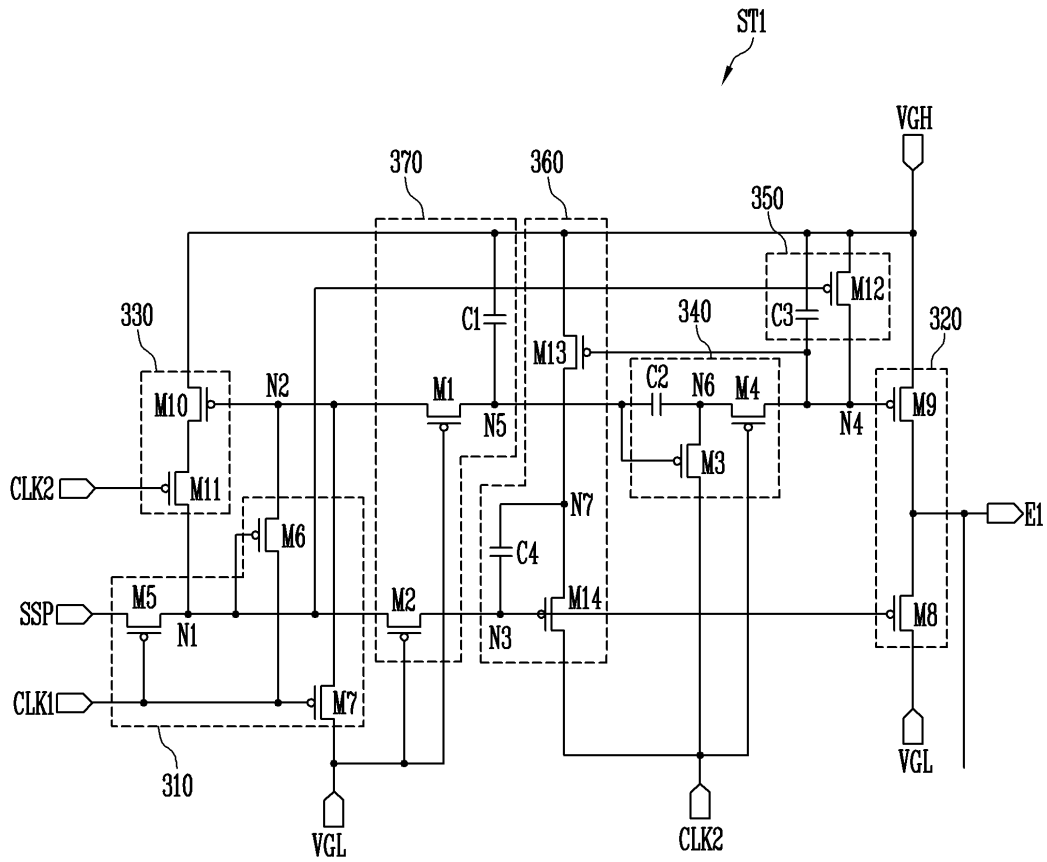
도면1



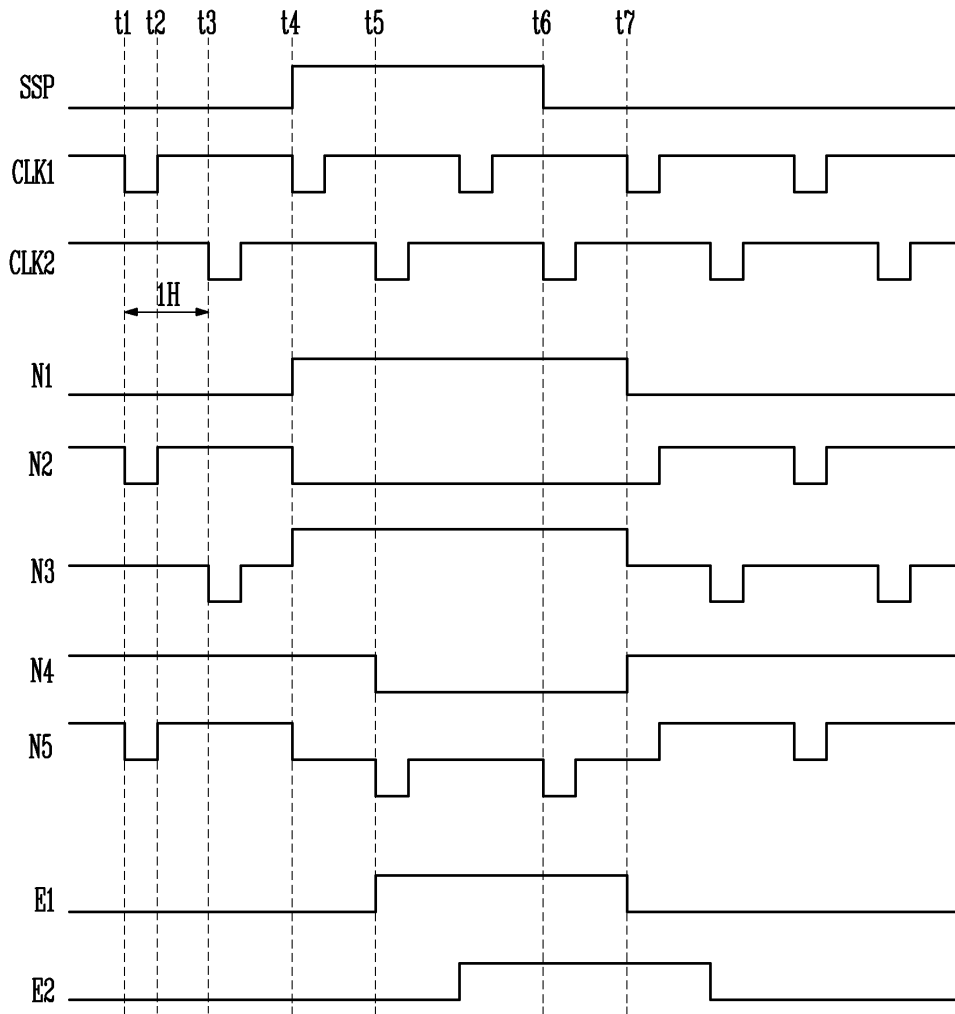
도면2



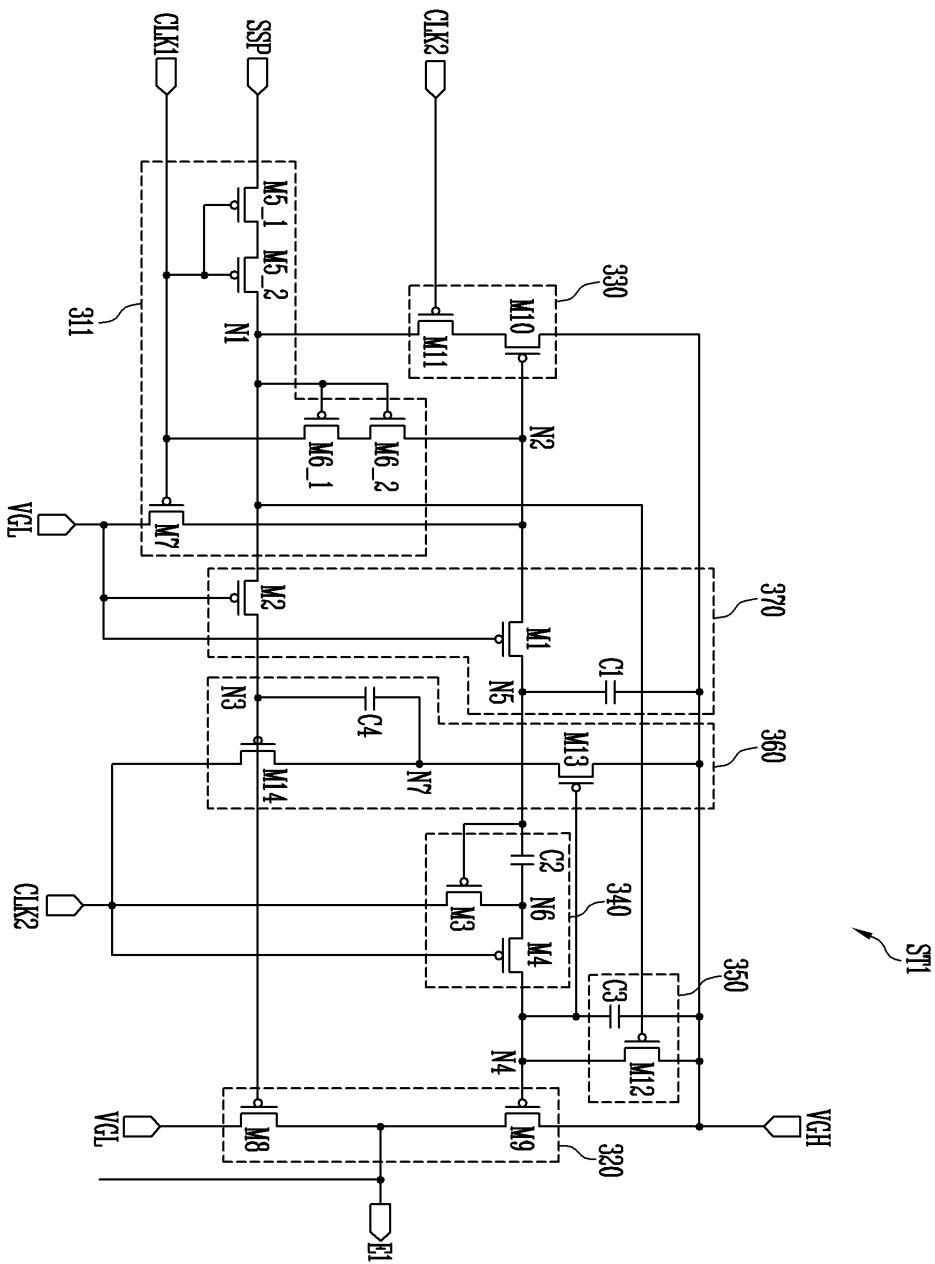
도면3



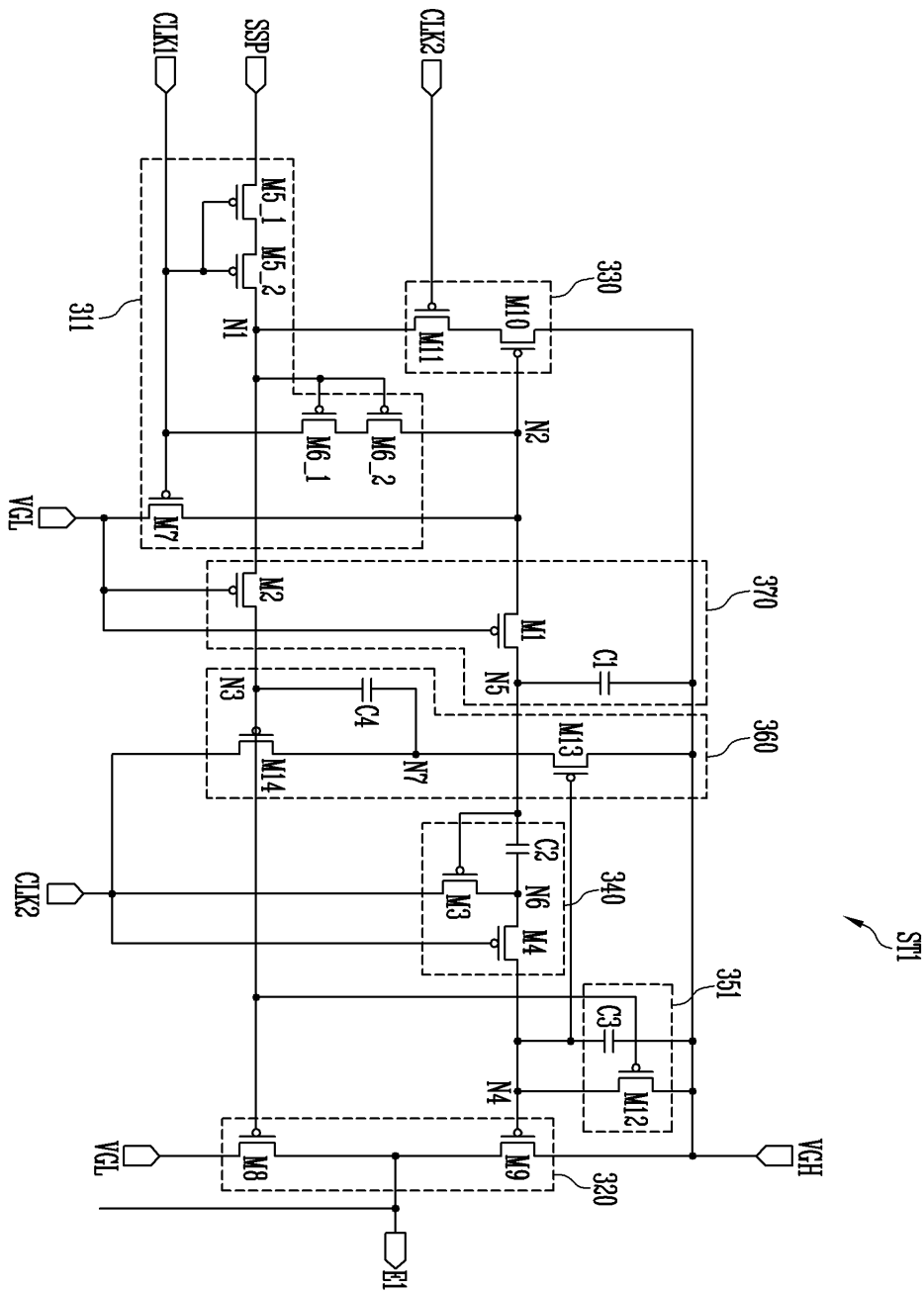
도면4



도면5



도면6



专利名称(译)	发光驱动器和包括该发光驱动器的有机发光显示装置		
公开(公告)号	KR1020190115144A	公开(公告)日	2019-10-11
申请号	KR1020180036859	申请日	2018-03-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김현웅 이승규 황원미		
发明人	김현웅 이승규 황원미		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2230/00 G09G3/3266 G09G2310/0286 G09G3/3258		
代理人(译)	Gimdusik Munyongho Ohjonghan		
外部链接	Espacenet		

摘要(译)

发射驱动单元包括分别输出发射控制信号的多个级。第k级可以包括：输入单元，其响应于提供给第二输入端子的信号，将提供给第一输入端子的信号提供给第一节点，并将第一电源的电压提供给第二节点。输出单元，响应于第三节点的电压和第四节点的电压，将第一电源的电压和第二电源的电压提供给输出端子；稳定单元电连接在输入单元和输出单元之间，并限制第一节点和第三节点之间的电压降，其中k是自然数。稳定单元通过降低第二电源的电压来限制第二节点与第四节点之间的电压降。

