



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0137290
(43) 공개일자 2018년12월27일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.)
<i>G09G 3/3233</i> (2016.01) <i>G09G 3/3266</i> (2016.01)
(52) CPC특허분류
<i>G09G 3/3233</i> (2013.01)
<i>G09G 3/3266</i> (2013.01)
(21) 출원번호 10-2017-0076760
(22) 출원일자 2017년06월16일
심사청구일자 없음 | (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한광희
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄 |
|---|--|

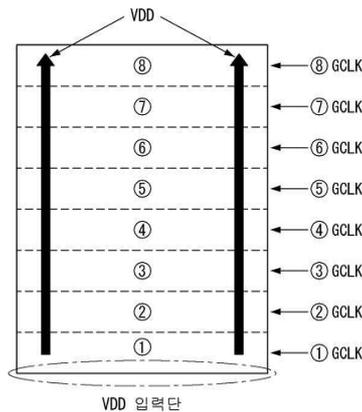
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **전계발광 표시장치**

(57) 요약

본 명세서의 일 실시예에 따른 전계발광 표시장치는, 고전위 구동전압; 고전위 구동전압을 공급받는 전계발광소자와 전계발광소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터를 포함하는 다수의 화소가 배치된 표시패널을 포함하고, 표시패널은, 고전위 구동전압의 입력단으로부터 가까운 A영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제1샘플링 기간과, A영역보다 먼 B영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제2샘플링 기간이 서로 다르다.

대표도 - 도10



* GCLK_width
 ①W > ②W > ③W > ④W ... > ⑧W

(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

고전위 구동전압;

상기 고전위 구동전압을 공급받는 전계발광소자와 상기 전계발광소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터를 포함하는 다수의 화소가 배치된 표시패널을 포함하고,

상기 표시패널은,

상기 고전위 구동전압의 입력단으로부터 가까운 A영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제1샘플링 기간과, 상기 A영역보다 먼 B영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제2샘플링 기간이 서로 다른 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1샘플링 기간은 일정하게 유지되고 상기 제2샘플링 기간은 상기 고전위 구동전압의 입력단으로부터 멀어질수록 점차적으로 작아지는 전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 표시패널이 짝수 프레임을 표시할 때의 상기 A영역 및 상기 B영역과 홀수 프레임을 표시할 때의 상기 A영역 및 상기 B영역은 서로 상이한 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 표시패널에 게이트신호를 공급하는 게이트 구동부를 더 포함하고,

상기 게이트 구동부는 상기 제1샘플링 기간과 상기 제2샘플링 기간이 다르도록 상기 게이트신호의 폭을 가변하는 전계발광 표시장치.

청구항 5

제4항에 있어서,

상기 게이트 구동부는,

상기 A영역에 제공하는 상기 게이트신호의 폭을 일정하게 유지하고,

상기 B영역에 제공하는 상기 게이트 신호는 상기 고전위 구동전압의 입력단으로부터 멀어질수록 상기 게이트신호의 폭이 작아지는 전계발광 표시장치.

청구항 6

제1항에 있어서,

상기 A영역과 상기 B영역은 상기 고전위 구동전압의 입력단과의 거리에 따라 복수의 영역으로 분할되고, 동일한 영역에 포함된 구동 트랜지스터들은 동일한 샘플링 기간을 갖는 전계발광 표시장치.

청구항 7

복수 개의 화소들, 행 방향을 따라 상기 복수 개의 화소들과 연결되는 게이트라인들과 에미션라인들 및 열 방향을 따라 상기 복수 개의 화소들과 연결되는 데이터라인들이 배치된 표시패널;

상기 복수 개의 화소들에 구동전압을 공급하는 고전위 구동전압; 및

상기 게이트라인들에 게이트신호를 공급하는 게이트 구동부를 포함하고,

상기 게이트 구동부는 상기 고전위 구동전압의 입력단으로부터의 거리에 따라 상기 표시패널의 구동 트랜지스터의 샘플링 기간이 가변되도록 상기 게이트신호의 폭을 조정하는 전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 게이트 구동부는,

상기 고전위 구동전압의 입력단으로부터의 거리가 멀어질수록 상기 게이트신호의 폭을 감소시키는 전계발광 표시장치.

청구항 9

제7항에 있어서,

상기 게이트 구동부는,

상기 고전위 구동전압으로부터의 거리가 일정 거리 이상 떨어진 영역부터 상기 게이트신호의 폭을 감소시키는 전계발광 표시장치.

청구항 10

제7항에 있어서,

상기 게이트 구동부는,

상기 표시패널이 짝수 프레임과 홀수 프레임을 표시하는 경우 상기 고전위 구동전압으로부터의 거리가 각기 다른 지점에서부터 상기 게이트신호의 폭을 감소시키는 전계발광 표시장치.

청구항 11

제7항에 있어서,

상기 게이트 구동부는,

상기 고전위 구동전압의 입력단과의 거리에 따라 표시패널을 복수의 영역으로 분할하고, 동일한 영역에 포함된 구동 트랜지스터들은 동일한 샘플링 기간을 갖도록 상기 게이트신호를 공급하는 전계발광 표시장치.

청구항 12

제7항에 있어서,

상기 표시패널은,

상기 게이트 구동부로부터 입력된 상기 게이트신호에 따라 상기 구동 트랜지스터의 문턱전압을 샘플링하여 저장하는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 액티브 매트릭스 타입의 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 전계발광 표시장치는 스스로 발광하는 유기전계발광소자(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 유기전계발광소자(OLED)는 도 1과 같은 구조를 갖는다. 유기전계발광소자(OLED)는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공(도면에서 +로 표시)과 전자수송층(ETL)을 통과한 전자(도면에서 -로 표시)가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 전계발광 표시장치는 전계발광소자를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 전계발광소자에 흐르는 구동전류를 제어하는 구동 트랜지스터(Thin Film Transistor), 구동 트랜지스터의 게이트-소스 간 전압을 한 프레임 동안 일정하게 유지시키는 커패시터 및 게이트신호에 응답하여 구동 트랜지스터의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 트랜지스터를 포함한다. 구동전류는 데이터전압에 따른 구동 트랜지스터의 게이트-소스 간 전압에 의해 결정되며, 화소의 휘도는 전계발광소자에 흐르는 구동전류의 크기에 비례한다.

[0005] 전계발광 표시장치는 높은 명암비와 색재현율 등의 장점을 가지고 있다. 하지만, 실제 표시패널에서는 배선저항 등으로 인하여 전체 패널의 휘도가 불균일해 지는 현상이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 전계발광 표시장치는 배선저항으로 인한 IR 드롭이 발생할 수 있다. 도 2를 참조하면, 패널 상에서 고전위 구동전압의 입력단으로부터 먼 영역에 위치할수록 배선 저항은 증가한다. 배선 저항이 증가하면 IR 드롭이 발생하므로 공간적인 위치에 따라 구동 트랜지스터에 요구되는 고전위 구동전압(VDD)이 달라질 수 있다. 즉, 고전위 구동전압의 공급부로부터 먼 영역일수록 IR 드롭이 크므로, 먼 영역에 인가되는 고전위 구동전압은 실제 화소에 요구되는 고전위 구동전압보다 작아지게 된다. 이로 인해 종래 기술에서는 고전위 구동전압의 입력단으로부터 멀어질수록 휘도가 감소하여 전체 패널의 휘도가 불균일해지는 현상이 발생하였다.

[0007] 따라서, 본 명세서의 일 실시예에 따른 해결과제는 고전위 구동전압의 공급부로부터 먼 영역일수록 배선 저항 증가로 인해 휘도가 감소하는 문제를 해결하여 휘도 균일도를 향상시킬 수 있는 전계발광 표시장치를 제공하는 것이다.

[0008] 또한, 본 명세서의 일 실시예에 따른 해결과제는 전계발광 표시장치의 게이트라인 별로 게이트신호를 조절하여 IR 드롭으로 인해 감소된 휘도를 보상할 수 있는 전계발광 표시장치를 제공하는 것이다.

[0009] 또한, 본 명세서의 일 실시예에 따른 해결과제는 화면을 복수의 블록으로 분할하여 블록 단위로 휘도를 보상함으로써 휘도 균일도를 보장할 수 있는 전계발광 표시장치를 제공하는 것이다.

[0010] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기

재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 본 명세서의 일 실시예에 따른 전계발광 표시장치는, 고전위 구동전압(VDD), 고전위 구동전압을 공급받는 전계발광소자와 전계발광소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터를 포함하는 다수의 화소가 배치되는 표시패널을 포함하고, 표시패널은, 고전위 구동전압의 입력단으로부터 가까운 A영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제1샘플링 기간과, 입력단으로부터의 거리가 A영역보다 먼 B영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제2샘플링 기간이 서로 다르다.

[0012] 본 명세서의 일 실시예에 따른 전계발광 표시장치는, 복수 개의 화소들, 행 방향을 따라 화소들과 연결되는 게이트라인들과 에미션라인들 및 열 방향을 따라 화소들과 연결되는 데이터라인들이 배치되는 표시패널, 화소에 구동전압을 공급하는 고전위 구동전압(VDD), 및 게이트라인들에 게이트신호를 공급하는 게이트 구동부를 포함하고, 게이트 구동부는 고전위 구동전압의 입력단으로부터의 거리에 따라 표시패널의 구동 트랜지스터의 전기적 특성을 보상하기 위한 샘플링 기간이 가변되도록 게이트신호의 폭을 제어한다.

발명의 효과

[0013] 본 명세서의 일 실시예에 따르면 고전위 구동전압의 입력단으로부터의 거리에 따라 표시패널의 구동 트랜지스터의 샘플링 기간을 다르게 설정함으로써, 고전위 구동전압의 공급부로부터 먼 영역일수록 배선 저항 증가로 인해 휘도가 감소하는 문제를 해결할 수 있으므로, 휘도 균일도를 향상시킬 수 있다.

[0014] 또한, 본 명세서의 일 실시예에 따르면 전계발광 표시장치의 게이트신호를 조절하여 IR 드롭으로 인해 감소된 휘도를 보상할 수 있다.

[0015] 또한, 본 명세서의 일 실시예에 따르면 전계발광 표시장치의 화면을 복수의 블록으로 분할하여 블록 단위로 휘도를 보상함으로써 휘도 균일도를 향상시킬 수 있다.

[0016] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0017] 도 1은 전계발광소자의 발광원리를 설명하기 위한 도면.
- 도 2는 전계발광 표시장치의 휘도 불균일 현상을 보여주는 도면.
- 도 3은 본 명세서의 실시예에 따른 전계발광 표시장치를 보여주는 도면.
- 도 4는 본 명세서의 일 화소 구조를 보여주는 등가 회로도.
- 도 5는 도 4의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도.
- 도 6a, 도 6b 및 도 6c는 각각 도 5의 이니셜 기간, 샘플링기간, 및 에미션 기간에 대응되는 화소의 등가 회로도.
- 도 7은 이니셜 기간, 샘플링기간 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면.
- 도 8은 본 명세서의 실시예에 따른 게이트 구동부를 도시한 블록도.
- 도 9는 본 명세서의 실시예에 따른 전계발광 표시장치의 게이트신호를 보여주는 파형도.
- 도 10은 본 명세서의 실시예에 따른 전계발광 표시장치의 휘도 보정을 위한 화면 분할 방법을 보여주는 도면
- 도 11은 전계발광 표시장치의 휘도측정 지점을 보여주는 도면.
- 도 12는 본 명세서의 실시예에 따른 전계발광 표시장치의 도 12의 휘도 측정 지점에서의 측정값을 도시한 표.
- 도 13은 비교예에 따른 전계발광 표시장치의 도 12의 휘도 측정 지점에서의 측정값을 도시한 표.
- 도 14는 본 명세서의 실시예에 따른 전계발광 표시장치의 게이트신호 보정 지점을 도시한 도면.
- 도 15는 도 14의 전계발광 표시장치에 입력되는 게이트신호를 보여주는 파형도.

도 16은 본 명세서의 다른 실시예에 따른 전계발광 표시장치의 게이트신호 보정 지점을 도시한 도면.

도 17은 도 16의 전계발광 표시장치에 입력되는 게이트신호를 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0019] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0022] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0023] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0024] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0025] 이하 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0026] 본 명세서의 실시예에서는 화소를 구성하는 트랜지스터들이 모두 P 타입으로 구현되는 경우를 개시하고 있으나, 본 명세서의 기술적 사상은 이에 한정되지 않고 N 타입으로 구현되는 경우에도 적용될 수 있다.
- [0027] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 대하여 설명하기로 한다.
- [0028] 도 3은 본 명세서의 실시예에 따른 전계발광 표시장치의 블럭도이다.
- [0029] 실시예에 따른 전계발광 표시장치는 화소들(PXL)이 매트릭스 형태로 배열되는 표시패널(10)과, 데이터라인(14)을 구동시키기 위한 데이터 구동부(12)와, 게이트라인(GL) 및 에미션라인(EL)을 구동하는 게이트 구동부(13)와, 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 포함한다.
- [0030] 표시패널(10)에는 복수 개의 화소(PXL)들이 배치되고, 각각의 화소들은 데이터라인(14), 게이트라인(GL) 및 에미션라인(EL)과 연결된다. 데이터라인(14)은 열(Column) 방향으로 배열되고, 데이터 구동부(12)에서 제공받는 데이터전압을 화소(PXL)들에 전달한다. 제1 게이트라인(GL1) 내지 제n 게이트라인(GL(n))은 각각 행(Raw) 방향의 화소행(R#1~R#(n))(n은 자연수)에 배열되고, 게이트 구동부(13)에서 제공받는 게이트전압을 화소(PXL)들에 전달한다. 제1 에미션라인(EL1) 내지 제n 에미션라인(EL(n))은 각각 행(Raw) 방향의 화소행(R#1~R#(n))에 배열되고, 게이트 구동부(13)에서 제공받는 에미션전압을 화소(PXL)들에 전달한다.
- [0031] 화소(PXL)들은 전원발생부로부터 고전위 및 저전위 구동전압(VDD, VSS)과 초기전압(Vini)을 공통으로 공급받을

수 있다. 유기발광소자(OLED)의 불필요한 발광이 방지되도록 초기전압(Vini)은 저전위 구동전압보다 충분히 낮은 범위 내에서 선택될 수 있다.

- [0032] 화소(PXL)를 구성하는 트랜지스터들은 산화물 반도체층을 포함하는 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리할 수 있다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), 또는 ITZO(Indium Tin Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 본 명세서는 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 유기물 (organic) 반도체 등으로 형성될 수 있다.
- [0033] 화소(PXL)들 각각은 구동 트랜지스터의 문턱전압 변화를 보상하기 위해 다수의 트랜지스터들과 커패시터들을 포함한다. 본 명세서의 실시예에 따른 화소 구조는 후술하기로 한다.
- [0034] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동부(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK), 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0035] 데이터 구동부(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다. 데이터 구동부(12)는 데이터전압을 데이터라인(14)에 공급한다. 이때, 데이터전압은 유기발광소자가 나타낼 이미지신호에 대응되는 값일 수 있다.
- [0036] 게이트 구동부(13)는 게이트 제어신호(GDC)를 기반으로 게이트신호와 에미션신호를 생성한다. 게이트 구동부(13)는 게이트신호를 게이트라인(GL)에 순차적으로 제공하고, 에미션신호(EM(j))를 에미션라인(EL)에 순차적으로 제공한다. 즉, 게이트 구동부(13)는 게이트신호(GCLK)를 제1 게이트라인(GL1)부터 제n 게이트라인(GL(n))에 순차적으로 제공하고, 에미션신호(EM(j))를 제1 에미션라인(EL1)부터 제n 에미션라인(EL(n))에 순차적으로 제공한다. 게이트 구동부(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비표시영역 상에 직접 형성될 수 있다.
- [0037] 도 4는 본 명세서의 화소 구조를 보여주는 등가 회로도이다. 그리고 도 5는 도 3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다.
- [0038] 도 4를 참조하면, n(n은 자연수)번째 화소 행에 배치된 각 화소(PXL)는 유기발광소자(OLED), 구동트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 커패시터(Cstg)를 포함한다.
- [0039] 유기발광소자(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광소자(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있으나, 이에 한정되는 것은 아니다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있으나, 이에 한정되는 것은 아니다. 유기발광소자(OLED)의 애노드전극은 노드 C에 접속되고, 유기발광소자의 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0040] 구동트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 게이트전극은 노드 A에 접속되고, 소스전극은 노드 D에 접속되며, 드레인전극은 노드 B에 접속된다.
- [0041] 제1 트랜지스터(T1)는 데이터라인(14)과 노드 D 사이에 접속되고, 제n 게이트신호(GCLK(n))에 따라 온/오프 된다. 제1 트랜지스터(T1)의 게이트전극은 제n 게이트신호(GCLK(n))가 인가되는 n번째 제1 게이트라인에 접속되고, 제1 트랜지스터(T1)의 소스전극은 데이터라인(14)에 접속되며, 제1 트랜지스터(T1)의 드레인전극은 노드 D에 접속된다.
- [0042] 제2 트랜지스터(T2)는 노드 D와 고전위 구동전압(VDD)의 입력단 사이에 접속되고, 제n 에미션신호(EM(n))에 따

라 온/오프 된다. 제2 트랜지스터(T2)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제2 트랜지스터(T2)의 소스전극은 고전위 구동전압(VDD)의 입력단에 접속되며, 제2 트랜지스터(T2)의 드레인전극은 노드 D에 접속된다.

[0043] 제3 트랜지스터(T3)는 노드 A와 노드 B 사이에 접속되고, 제 n 게이트신호(GCLK(n))에 따라 온/오프 된다. 제3 트랜지스터(T3)의 게이트전극은 제 n 게이트신호(GCLK(n))가 인가되는 n 번째 제1 게이트라인에 접속되고, 제3 트랜지스터(T3)의 소스전극은 노드 A에 접속되며, 제3 트랜지스터(T3)의 드레인전극은 노드 B에 접속된다. 여기서, 제3 트랜지스터(T3)는 샘플링 트랜지스터라고 지칭할 수도 있다.

[0044] 제4 트랜지스터(T4)는 노드 B와 노드 C 사이에 접속되고, 제 n 에미션신호(EM(n))에 따라 온/오프 된다. 제4 트랜지스터(T4)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제4 트랜지스터(T4)의 소스전극은 노드 B에 접속되며, 제4 트랜지스터(T4)의 드레인전극은 노드 C에 접속된다. 여기서 제4 트랜지스터(T4)는 에미션 트랜지스터라고 지칭할 수도 있다.

[0045] 제5 트랜지스터(T5)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속되고, 제 $n-1$ 게이트신호(GCLK($n-1$))에 따라 온/오프 된다. 제5 트랜지스터(T5)의 게이트전극은 제 $n-1$ 게이트신호(GCLK($n-1$))가 인가되는 $n-1$ 번째 제1 게이트라인에 접속되고, 제5 트랜지스터(T5)의 소스전극은 노드 A에 접속되며, 제5 트랜지스터(T5)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다. 여기서, 제5 트랜지스터(T5)는 제1 이니셜 트랜지스터라고 지칭할 수도 있다.

[0046] 제6 트랜지스터(T6)는 초기전압(Vini)의 입력단과 노드 C 사이에 접속된다. 제6 트랜지스터(T6)의 게이트전극은 제 $n-1$ 게이트신호(GCLK($n-1$))가 인가되는 $n-1$ 번째 제1 게이트라인에 접속되고, 제6 트랜지스터(T6)의 소스전극은 노드 C에 접속되며, 제6 트랜지스터(T6)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다. 여기서, 제6 트랜지스터(T6)는 제2 이니셜 트랜지스터라고 지칭할 수도 있다.

[0047] 커패시터(Cstg)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속된다.

[0048] 도 5 내지 도 7을 참조하여, 도 4의 화소 동작을 설명한다. 도5는 도4의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 그리고, 도 6a, 도 6b 및 도 6c는 각각 도 5의 이니셜 기간, 샘플링기간, 및 에미션 기간에 동작하는 화소의 등가 회로도이다. 그리고, 도 7은 이니셜 기간, 샘플링기간, 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면이다.

[0049] 도 5에 도시한 바와 같이, 한 프레임기간은, 노드 A와 노드 C를 초기화하는 이니셜 기간(Pi), 구동트랜지스터(DT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(Ps), 및 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자(OLED)를 발광시키는 에미션 기간(Pe)으로 나뉘어질 수 있다. 여기서 로우 레벨은 온 레벨(LO N)이고, 하이 레벨은 오프 레벨(LOFF)이다. 이하에서는, 설명을 용이하게 하기 위해 로우 레벨을 온 레벨(LO N)로, 하이 레벨을 오프 레벨(LOFF)로 설명하기로 한다.

[0050] 도 6a에서 이니셜 기간(Pi)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 5 및 도 6a를 참조하면, 이니셜 기간(Pi)에서, 제 $n-1$ 게이트신호(GCLK($n-1$))는 온 레벨(LON)로 인가되고, 제 n 게이트신호(GCLK(n))와 제 n 에미션신호(EM(n))는 오프 레벨(LOFF)로 인가된다. 이니셜 기간(Pi)에서, 제 $n-1$ 게이트신호(GCLK($n-1$))에 응답하여 제5 및 제6 트랜지스터(T5, T6)가 턴 온됨으로써, 노드 A와 노드 C는 초기전압(Vini)으로 초기화된다. 이때, 제5 및 제6 트랜지스터(T5, T6)의 게이트전극은 $n-1$ 번째 행에 배치된 화소의 게이트전극과 연결되어, 구동트랜지스터(DT)의 문턱전압(Vth)의 샘플링 기간을 충분히 확보하여 문턱전압 보상의 정확성을 향상시킬 수 있다. 즉, 샘플링 동작에 앞서 노드 A와 노드 C가 초기화되므로 샘플링의 신뢰성을 높일 수 있고, 유기발광소자(OLED)의 불필요한 발광을 방지할 수 있다.

[0051] 도 6b에서 샘플링 기간(Ps)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 5 및 도 6b를 참조하면, 샘플링 기간(Ps)에서, 제 n 게이트신호(GCLK(n))는 온 레벨(LON)로 인가되고, 제 $n-1$ 게이트신호(GCLK($n-1$))와 제 n 에미션신호(EM(n))는 오프 레벨(LOFF)로 인가된다. 샘플링 기간(Ps)에서, 제 n 게이트신호(GCLK(n))에 응답하여 제1 및 제3 트랜지스터(T1, T3)가 턴 온 됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)되고, 노드 D에는 데이터전압(Vdata(m))이 인가된다.

[0052] 따라서, 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이 전류(Ids)에 의해 노드 A의 전위는 초기화 상태인 초기전압(Vini)에서 데이터전압(Vdata(m))과 구동트랜지스터(DT)의 문

턱전압을 뺀 값(Vdata(m)-Vth)까지 높아진다. 초기전압(Vini)은 저전위 구동전압(VSS)과 같거나 낮은 전압이다. 구동트랜지스터(DT)의 게이트전극인 노드 A의 전압값이 구동트랜지스터(DT)의 문턱전압(Vth)을 포함하게 됨으로써, 이어지게 될 에미션 기간(Pe)에서 구동트랜지스터(DT)의 문턱전압(Vth)이 소거된 상태의 구동전류를 발생시킬 수 있다.

[0053] 도 6c에서 에미션 기간(Pe)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 5 및 도 6c를 참조하면, 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))는 온 레벨(LON)로 인가되고, 제n-1 게이트신호(GCLK(n-1))와 제n 게이트신호(GCLK(n))는 오프 레벨(LOFF)로 인가된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))에 응답하여 제2 트랜지스터(T2)가 턴 온 됨으로써 구동트랜지스터(DT)의 소스전극에 고전위 구동전압(VDD)을 연결한다. 또한, 제n 에미션신호(EM(n))에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 노드 B 및 노드 C의 전위를 유기발광소자(OLED)의 동작전압(Voled)으로 동일하게 한다.

[0054] 이때, 제4 트랜지스터(T4)는 유기발광소자의 애노드 전극에 연결되어 에미션 기간(Pe) 이외의 이니셜 기간(Pi) 및 샘플링 기간(Ps)에는 턴 오프 됨으로써, 에미션 기간(Pe) 이외의 기간에 유기발광소자로 흐르는 누설전류를 차단할 수 있다. 에미션 기간(Pe)에서 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학적 식 2와 같이 된다. 유기발광소자(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.

[0055] [수학적 식 1]

[0056]
$$I_{OLED} = k/2(V_{sg} - V_{th})^2 = k/2((V_s - V_g) - V_{th})^2 = k/2((V_{DD} - (V_{data} - V_{th})) - V_{th})^2 = k/2(V_{DD} - V_{data})^2$$

[0057] 수학적 식 1에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0058] 구동전류(Ioled) 수식은 $k/2(V_{sg} - V_{th})^2$ 인데, 에미션 기간(Pe)을 통해 프로그래밍 된 Vsg에는 구동트랜지스터(DT)의 문턱전압(Vth) 성분이 이미 포함되어 있으므로, 수학적 식 1과 같이 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(Vth) 성분은 소거된다. 따라서, 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 최소화될 수 있다.

[0059] 도 7은 상기 6a 내지 6c에서 설명한 이니셜 기간(Pi), 샘플링 기간(Ps), 및 에미션 기간(Pe)에 노드 A, 노드 B, 및 노드 C에 입력되는 전압값을 표로써 나타내고 있다. 샘플링 기간(Ps)을 거친 노드 A는 구동트랜지스터(DT)의 문턱전압(Vth) 성분을 포함하게 됨으로써, 에미션 기간(Pe)에서 유기발광소자가 발광할 때, 구동트랜지스터(DT)의 구동전류(Ioled)는 문턱전압(Vth) 성분을 소거하여 원하는 표시 계조를 나타낼 수 있다.

[0060] 한편, 샘플링 기간(Ps)이 단축되는 경우 노드 A에 샘플링되는 전압은 (Vdata-Vth)보다 낮은 전압이 샘플링된다. 샘플링 기간이 단축될 경우 노드 A에 샘플링되는 전압을 (Vdata-Vth-α)로 표시하면 수학적 식 1은 다음과 같이 나타낼 수 있다.

[0061] [수학적 식 2]

[0062]
$$I_{OLED} = k/2(V_{sg} - V_{th})^2 = k/2((V_s - V_g) - V_{th})^2 = k/2((V_{DD} - (V_{data} - V_{th} - \alpha)) - V_{th})^2$$

[0063] 수학적 식 2에서 변수 α는 샘플링 기간 변경에 따른 변수로서, 샘플링 기간이 충분히 확보될 경우 노드 A는 (Vdata-Vth)에 수렴하게 되므로 α=0이 된다. 반면, 샘플링 단축되는 경우 노드 A는 (Vdata-Vth)보다 낮은 전압으로 충전되므로 노드 A는 Vdata-Vth-α 로 나타낼 수 있다.

[0064] 노드 A가 Vdata-Vth-α 인 경우 상기 수학적 식 2에 대입하여 계산하면 $k/2(V_{DD} - V_{data} + \alpha)^2$ 이므로 IOLED에는 의도했던 전류보다 더 큰 전류가 흐르게 되고 결과적으로 휘도는 상승된다. 각 노드에서의 전압을 표로 나타내면 다음과 같다.

[0065] [표]

	V_G (노드 A)	V_S (노드 D)	V_{SG} (Sampling Time 단축 시)
Sampling Time	$V_{data} - V_{th}$	V_{data}	
Emission Time	$V_{data} - V_{th}$	VDD	$VDD - (V_{data} - V_{th} - \alpha)$

[0066]

[0067] 이상과 같이, 샘플링 타임이 감소하면 I_{OLED} 에 흐르는 전류는 $k/2(VDD - V_{data} + \alpha)^2$ 가 되어 I_{OLED} 에는 의도했던 전류보다 더 큰 전류가 흐르게 되고, 결과적으로 해당 화소의 휘도가 상승하게 된다. 이러한 특성을 이용하여, IR 드롭으로 인해 휘도가 감소하는 영역에서는 구동트랜지스터(DT)의 샘플링 기간을 감소시킴으로써 휘도를 보상할 수 있다.

[0068]

도 8은 도 2의 게이트 구동부(13)의 구성을 예시한 도면이다.

[0069]

게이트 구동부는 각 화소행마다 연결된 적어도 하나 이상의 게이트라인을 구동하기 위해 행 순차 방식으로 게이트신호를 생성하여 게이트라인들에 공급할 수 있다. 게이트 구동부는 시프트 레지스터(Shift Register)를 포함한다. 시프트 레지스터(Shift Register)는 종속적으로 접속된 A스테이지들(A stages, S1(1) 내지 S1(n+1))을 포함한다. 에미션 구동부는 각 화소행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다. 에미션 구동부는 인버터(Inverter)를 포함한다. 인버터(Inverter)는 종속적으로 접속된 B스테이지들(B stages, EM Inv.(1) 내지 EM Inv.(n+1))을 포함한다.

[0070]

A스테이지들(S1(1) 내지 S1(n+1))과 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))은 화상이 표시되는 액티브 영역을 중심으로 대칭되어 액티브 영역의 양측에 배치될 수 있다.

[0071]

예를 들어, n이 2인 경우, A스테이지(S1(n-1))는 스타트 신호(GVST)에 응답하여 제n-1 게이트신호(GCLK(n-1))를 동시에 출력한다. n이 2이상인 경우, A스테이지(S1(n-1))는 제n-1 게이트신호(GCLK(n-1))와 별도의 캐리 신호(Carry signal)를 출력하여 스타트 펄스(GVST)로서 다음 스테이지인 A스테이지(S1(n))에 동시에 공급할 수 있다. 캐리 신호는 다음 단 스테이지의 스타트 펄스로서 입력될 수 있다.

[0072]

제n-1 게이트신호(GCLK(n-1))는 n-1번째 화소의 n-1번째 게이트라인과 n번째 화소의 n-1번째 게이트라인 각각에 동시에 공급되면서 B스테이지(EM Inv.(n)) 및 A스테이지(S1(n))에 공급된다.

[0073]

B스테이지(EM Inv.(n))들은 제n-1 게이트신호(GCLK(n-1))가 공급되면, 제n-1 게이트신호(GCLK(n-1))에 동기되면서 제n-1 게이트신호(GCLK(n-1))에 반전되는 제n 에미션신호(EM(n))를 n번째 화소의 에미션라인에 동시에 공급한다.

[0074]

A스테이지(S1(n))들은 제n-1 게이트신호(GCLK(n-1))가 공급되거나, 제n-1 게이트신호(GCLK(n-1))와 캐리 신호가 공급되면, 스타트 신호(GVST), 클럭(GCLK) 등의 게이트 타이밍 제어신호들에 응답하여 제n 게이트신호(GCLK(n))를 n번째 화소의 n번째 게이트라인에 동시에 공급한다.

[0075]

제n 게이트신호(GCLK(n))는 n번째 화소의 n번째 게이트라인과 n+1번째 픽셀의 n번째 게이트라인 각각에 동시에 공급되면서 B스테이지(EM Inv.(n+1)) 및 A스테이지(S1(n+1))에 공급된다.

[0076]

B스테이지(EM Inv.(n+1))들은 제n 게이트신호(GCLK(n))가 공급되면, 제n 게이트신호(GCLK(n))에 동기되면서 제n 게이트신호(GCLK(n))에 반전되는 제n+1 에미션신호(EM(n+1))를 n+1번째 픽셀의 에미션라인에 동시에 공급한다.

[0077]

A스테이지(S1(n+1))들은 제n 게이트신호(GCLK(n))가 공급되거나, 제1 게이트신호(GCLK(n))와 캐리 신호가 공급되면, 스타트 신호(GVST), 클럭(GCLK) 등의 게이트 타이밍 제어신호들에 대응되는 제n+1 게이트신호(GCLK(n+1))를 n+1번째 픽셀의 n+1번째 게이트라인에 동시에 공급한다.

[0078]

이상과 같이, 게이트 구동부는 각 게이트라인에 게이트신호를 공급할 수 있다.

[0079]

이하에서는 샘플링 기간을 줄일 수 있는 방법에 대해 설명한다. 본 명세서의 실시예에 따른 게이트 구동부는 고전위 구동전압의 입력단으로부터의 거리에 따라 표시패널의 구동 트랜지스터의 전기적 특성을 보상하기 위한 샘플링 기간이 가변되도록 게이트신호의 폭을 제어할 수 있다.

[0080]

게이트 구동부는 고전위 구동전압의 입력단으로부터의 거리가 멀어질수록 샘플링 기간이 단축되도록 게이트신호의 폭을 감소시킬 수 있으며, 일정 거리까지는 동일한 샘플링 기간을 유지하고 일정 거리 이후부터는 고전위 구

동전압의 입력단으로부터의 거리가 멀어질수록 샘플링 기간이 단축되도록 게이트신호의 폭을 감소시킬 수 있다.

- [0081] 또 다른 실시예로서, 게이트 구동부는 짝수 프레임을 표시하는 경우와 홀수 프레임을 표시하는 경우, 각각 게이트신호의 폭을 감소시키는 지점을 다르게 설정하는 것도 가능하다.
- [0082] 게이트신호의 폭을 감소시키는 것은 구동 트랜지스터의 샘플링 기간을 단축하여 휘도를 향상시키기 위한 것으로서, 표시패널 상에서 휘도를 보상하고자 하는 영역에 따라 다양한 지점을 시작점으로 설정하여 게이트신호의 폭을 감소시킬 수 있다.
- [0083] 도 9는 본 명세서의 실시예에 따른 전계발광 표시장치의 게이트 신호 파형을 도시한 것이다.
- [0084] 게이트 구동부는 고전위 구동전압의 입력단으로부터의 거리가 멀어질수록 샘플링 기간이 단축되도록 게이트신호의 폭을 감소시킬 수 있다. 도 9는 수직 동기화신호(VSYNC)와 스타트 신호(GVST)가 입력된 후 첫 번째 게이트라인 이후부터 게이트신호(GCLK)의 폭이 순차적으로 감소하는 파형을 예시한 것이다. 게이트신호의 폭이 감소되기 시작하는 게이트라인은 표시 패널이 IR 드롭 특성에 따라 다양하게 설정될 수 있다. 또한, 복수개의 게이트라인을 단위로 게이트신호의 폭을 감소시키는 것도 가능하다.
- [0085] 도 10은 본 명세서의 실시예에 따른 전계발광 표시장치의 휘도 보정을 위한 화면 영역 분할 상태를 도시한 것이다. 본 명세서의 실시예에 따른 전계발광 표시장치의 휘도 보정을 위한 화면 분할 방법에 따르면, 표시패널을 8개의 영역(①~⑧)으로 분할하여 제어할 수 있다.
- [0086] 고전위 구동전압(VDD)의 입력단은 표시패널의 일 측에 위치하여 각 화소의 전계발광소자에 고전위 구동전압을 공급할 수 있다. 고전위 구동전압의 입력단으로부터의 거리가 멀어질수록 저항이 증가하여 IR 드롭이 증가한다. 이에, 고전위 구동전압의 입력단과의 거리를 기준으로 휘도 보정을 위한 영역을 분할할 수 있다.
- [0087] 8개의 영역(①~⑧) 중, 고전위 구동전압의 입력단과 가장 근접한 제1영역(①)은 IR 드롭이 가장 적고, 가장 먼 제8영역(⑧)은 IR 드롭이 가장 크다. 따라서, 동일한 휘도의 데이터를 입력하더라도 제8영역(⑧)으로 갈수록 표시되는 데이터의 휘도는 점차 감소될 수 있다.
- [0088] 이에, 게이트 구동부는 제1영역(①)에서 제8영역(⑧)으로 갈수록 구동 트랜지스터의 샘플링 기간이 순차적으로 감소되도록 제어함으로써 제1영역(①)과 제8영역(⑧) 간의 휘도 차이를 감소시킬 수 있다. 게이트 구동부는 구동 트랜지스터의 샘플링 기간을 순차적으로 감소시키기 위해, 제1영역(①)에 입력되는 게이트신호(①GCLK)에서부터 제8영역(⑧)에 입력되는 게이트신호(⑧GCLK)까지, 게이트신호의 폭(width, W)을 점차 감소시킬 수 있다. 즉, 제1영역(①)에 입력되는 게이트신호의 폭이 가장 크고 제8영역(⑧)에 입력되는 게이트신호의 폭이 가장 작다(①W > ②W > ③W > ④W > ⑤W > ⑥W > ⑦W > ⑧W).
- [0089] 도 11 내지 13은 본 명세서의 실시예에 따른 전계발광 표시장치의 휘도 균일성(uniformity)과 실험예에 따른 전계발광 표시장치의 휘도 균일성을 비교한 실험결과를 도시한 것이다. 도 11은 표시패널에서 휘도 측정 지점을 도시한 도면이고, 도 12는 본 명세서의 실시예에 따른 전계발광 표시장치의 휘도 측정값을 도시한 표이고 도 13은 실험예에 따른 전계발광 표시장치의 휘도 측정값을 도시한 표이다.
- [0090] 도 11에 도시된 바와 같이, 표시패널의 표시 영역을 가로 방향 및 세로 방향으로 분할하고 가로 및 세로 분할선이 교차하는 9개의 포인트를 휘도 측정 지점으로 설정할 수 있다. 각 포인트들은 고전위 구동전압의 입력단과 동일한 거리상에 각각 3개씩 설정될 수 있다. 휘도 측정 실험은 표시패널 전체에 동일한 휘도의 데이터를 표시하면서 각 포인트에서의 휘도값을 측정하는 방법으로 수행될 수 있다.
- [0091] 도 12의 표는 본 명세서의 실시예에 따라 고전위 구동전압의 입력단으로부터 멀어질수록 구동 트랜지스터의 샘플링 기간이 순차적으로 감소되도록 조절된 경우 측정되는 휘도값을 도시한 것이다. 각 측정 포인트에서의 휘도값을 측정하여 편차를 산출한 결과, 본 발명이 적용된 표시패널의 경우 휘도 균일성(uniformity)이 96.29%로 산출되었다.
- [0092] 도 13의 표는 실험예에 따른 표시패널의 휘도 균일성을 측정한 결과이다. 실험예에서는 게이트신호의 폭을 조절하지 않았다. 실험예에 따른 표시패널에서 표시패널 전체에 동일한 휘도의 데이터를 표시하면서 각 포인트에서의 휘도값을 측정하면 휘도 균일성(uniformity)이 90.31%로 산출되었다.
- [0093] 따라서, 본 발명이 적용된 표시패널의 경우 실험예의 표시패널에 비해 휘도 균일성이 약 6%증가됨을 확인할 수 있다.
- [0094] 도 14 및 도 15는 본 명세서의 다른 실시예에 따른 전계발광 표시장치를 도시한 것이다. 도 14는 본 명세서의

다른 실시예에 따른 샘플링 신호 보정 지점을 도시한 도면이고, 도 15는 도 14의 전계발광 표시장치에 입력되는 게이트신호를 보여주는 파형도이다.

- [0095] 본 명세서의 다른 실시예에 따르면, 고전위 구동전압의 입력단으로부터 설정된 거리만큼 이격된 지점에서부터 샘플링 기간이 순차적으로 감소되도록 제어할 수 있다.
- [0096] 도 9 및 도 10을 참조하여 설명했던 실시예에서는 제1영역(①)에서부터 제8영역(⑧)으로 갈수록 구동 트랜지스터의 샘플링 기간이 순차적으로 감소되도록 제어하였고, 도 14 및 도 15에 따른 실시예는 특정 지점, 예를 들어, 제4영역(④)에서부터 샘플링 기간이 순차적으로 감소되도록 제어한다.
- [0097] 고전위 구동전압의 입력단에서부터 바로 샘플링 기간이 순차적으로 감소되는 경우 게이트신호의 폭의 감소폭이 누적되어 고전위 구동전압의 입력단과 가장 이격된 영역의 휘도가 증가된다. 따라서, 고전위 구동전압 입력단보다 휘도가 더 높아지는 휘도 역전 현상이 발생할 수 있다.
- [0098] 이를 방지하기 위해 제1영역(①)에서부터 제4영역(④)까지는 게이트신호의 폭을 동일하게 유지하고, 제4영역(④)에서부터 제8영역(⑧)에 입력되는 게이트신호의 폭(W)을 점차 감소시킬 수 있다. 각 영역의 게이트신호의 폭을 비교하면 " $①W = ②W = ③W = ④W > ⑤W > ⑥W > ⑦W > ⑧W$ "와 같이 나타낼 수 있다.
- [0099] 이와 같이 중간 영역부터 게이트신호의 폭을 조절하여 휘도 보상 영역을 특정 영역으로 한정함으로써 고전위 구동전압의 입력단과 가장 이격된 영역의 휘도가 지나치게 보상되어 휘도가 역전되는 현상을 방지할 수 있다.
- [0100] 도 16 및 도 17은 본 명세서의 다른 실시예에 따른 전계발광 표시장치를 도시한 것이다. 도 16은 본 발명의 다른 실시예에 따라 게이트신호의 폭을 조절하는 개념을 도시한 도면이고, 도 17은 도 16의 전계발광 표시장치에 입력되는 게이트신호를 보여주는 파형도이다.
- [0101] 본 명세서의 다른 실시예에 따르면, 짝수 프레임(Even Frame)과 홀수 프레임(Odd Frame)에 대해, 각기 다른 영역에서부터 게이트신호의 폭이 감소되도록 설정한다. 예를 들어, 짝수 프레임(Even Frame)을 표시할 시에는 제3영역(③)에서부터 게이트신호의 폭을 단축시키고, 홀수 프레임(Odd Frame)을 표시할 시에는 제4영역(④)에서부터 게이트신호의 폭을 단축시킬 수 있다.
- [0102] 따라서, 짝수 프레임(Even Frame)을 표시할 시 각 영역의 게이트신호의 폭을 비교하면 " $①W = ②W > ③W > ④W > ⑤W > ⑥W > ⑦W > ⑧W$ " 와 같이 나타낼 수 있다.
- [0103] 홀수 프레임(Odd Frame)을 표시할 시 각 영역의 게이트신호의 폭을 비교하면 " $①W = ②W = ③W > ④W > ⑤W > ⑥W > ⑦W > ⑧W$ " 와 같이 나타낼 수 있다.
- [0104] 짝수 프레임(Even Frame)과 홀수 프레임(Odd Frame)에 대해 각기 다른 영역에서부터 게이트신호 폭이 감소되도록 설정하는 경우, 동일한 영역일지라도 표시중인 프레임에 따라 휘도 수준이 달라질 수 있다. 그 결과, 동일한 휘도로 표시되는 영역들 간에 단차가 생겨 시인되는 것을 방지하여 휘도 균일성을 더욱 향상시킬 수 있다.
- [0105] 그리고, 상술한 설명에서 언급한 트랜지스터들의 소스전극 및 드레인전극은 바꾸어 적용할 수도 있다. 특히 구동트랜지스터(DT) 이외의 온/오프 역할을 하는 제1 트랜지스터 내지 제6 트랜지스터에 적용할 수 있다.
- [0106] 그리고, 본 명세서의 전계발광 표시장치는 TV, 모바일(Mobile), 태블릿 PC(Tablet PC), 모니터(Monitor), 스마트워치, 노트북 컴퓨터(Laptop Computer), 및 차량용 표시장치 등을 포함한 표시장치 등에 적용될 수 있다. 그리고, 플랫(flat) 디스플레이, 밴더블(bandable) 디스플레이, 폴더블(foldable) 디스플레이, 웨어러블(wearable) 디스플레이, 롤러블(rollable) 디스플레이 등 다양한 형태로 구현한 표시장치 등에 적용할 수 있다.
- [0107] 본 명세서의 실시예에 따른 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0108] 본 명세서의 일 실시예에 따른 전계발광 표시장치는, 고전위 구동전압; 고전위 구동전압을 공급받는 전계발광소자와 전계발광소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터를 포함하는 다수의 화소가 배치된 표시패널을 포함하고, 표시패널은, 고전위 구동전압의 입력단으로부터 가까운 A영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제1샘플링 기간과, A영역보다 먼 B영역의 구동 트랜지스터의 전기적 특성을 보상하기 위한 제2샘플링 기간이 서로 다를 수 있다.
- [0109] 제1샘플링 기간은 일정하게 유지되고 제2샘플링 기간은 고전위 구동전압의 입력단으로부터 멀어질수록 점차적으로 작아질 수 있다.
- [0110] 표시패널이 짝수 프레임을 표시할 때의 A영역 및 B영역과 홀수 프레임을 표시할 때의 A영역 및 B영역은 서로 상

이할 수 있다.

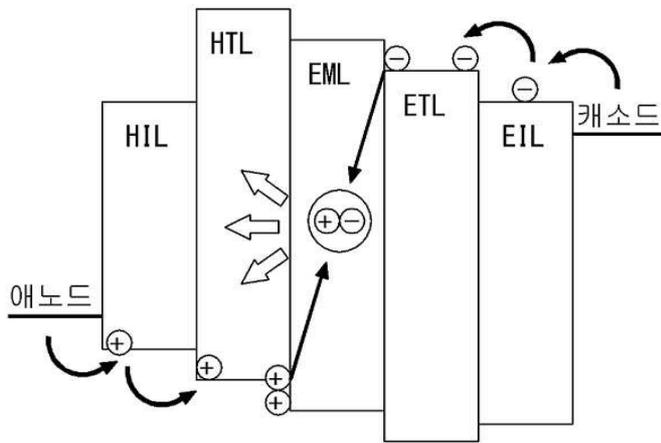
- [0111] 표시패널에 게이트신호를 공급하는 게이트 구동부를 더 포함하고, 게이트 구동부는 제1샘플링 기간과 제2샘플링 기간이 다르도록 게이트신호의 폭을 가변할 수 있다.
- [0112] 게이트 구동부는, A영역에 제공하는 게이트신호의 폭을 일정하게 유지하고, B영역에 제공하는 게이트 신호는 고전위 구동전압의 입력단으로부터 멀어질수록 게이트신호의 폭이 작아질 수 있다.
- [0113] A영역과 B영역은 고전위 구동전압의 입력단과의 거리에 따라 복수의 영역으로 분할되고, 동일한 영역에 포함된 구동 트랜지스터들은 동일한 샘플링 기간을 가질 수 있다.
- [0114] 본 명세서의 실시예에 따른 전계발광 표시장치는, 복수 개의 화소들, 행 방향을 따라 복수 개의 화소들과 연결되는 게이트라인들과 에미션라인들 및 열 방향을 따라 복수 개의 화소들과 연결되는 데이터라인들이 배치된 표시패널; 복수 개의 화소들에 구동전압을 공급하는 고전위 구동전압; 및 게이트라인들에 게이트신호를 공급하는 게이트 구동부를 포함하고, 게이트 구동부는 고전위 구동전압의 입력단으로부터의 거리에 따라 표시패널의 구동 트랜지스터의 샘플링 기간이 가변 되도록 게이트신호의 폭을 조정할 수 있다.
- [0115] 게이트 구동부는, 고전위 구동전압의 입력단으로부터의 거리가 멀어질수록 게이트신호의 폭을 감소시킬 수 있다.
- [0116] 게이트 구동부는, 고전위 구동전압으로부터의 거리가 일정 거리 이상 떨어진 영역부터 게이트신호의 폭을 감소시킬 수 있다.
- [0117] 게이트 구동부는, 표시패널이 짝수 프레임과 홀수 프레임을 표시하는 경우 고전위 구동전압으로부터의 거리가 각기 다른 지점에서부터 게이트신호의 폭을 감소시킬 수 있다.
- [0118] 게이트 구동부는, 고전위 구동전압의 입력단과의 거리에 따라 표시패널을 복수의 영역으로 분할하고, 동일한 영역에 포함된 구동 트랜지스터들은 동일한 샘플링 기간을 갖도록 게이트신호를 공급할 수 있다.
- [0119] 표시패널은, 게이트 구동부로부터 입력된 게이트신호에 따라 구동 트랜지스터의 문턱전압을 샘플링하여 저장할 수 있다.
- [0120] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0121] 10 : 표시패널 11 : 타이밍 컨트롤러
- 12 : 데이터 구동부 13 : 게이트 구동부
- 14: 데이터라인

도면

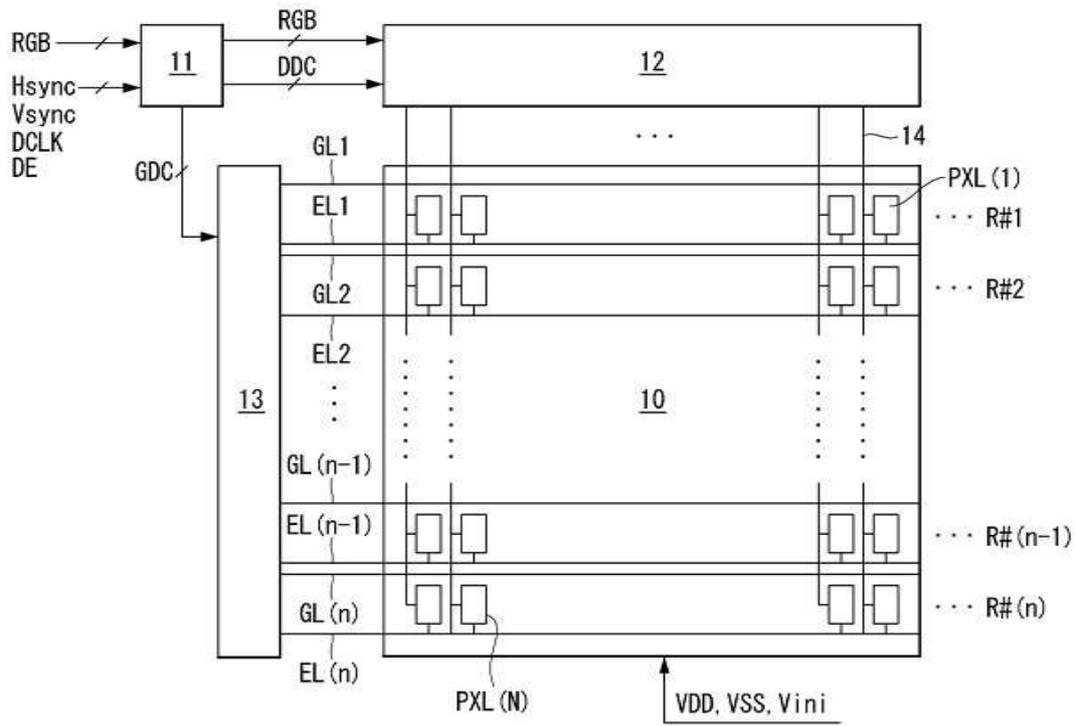
도면1



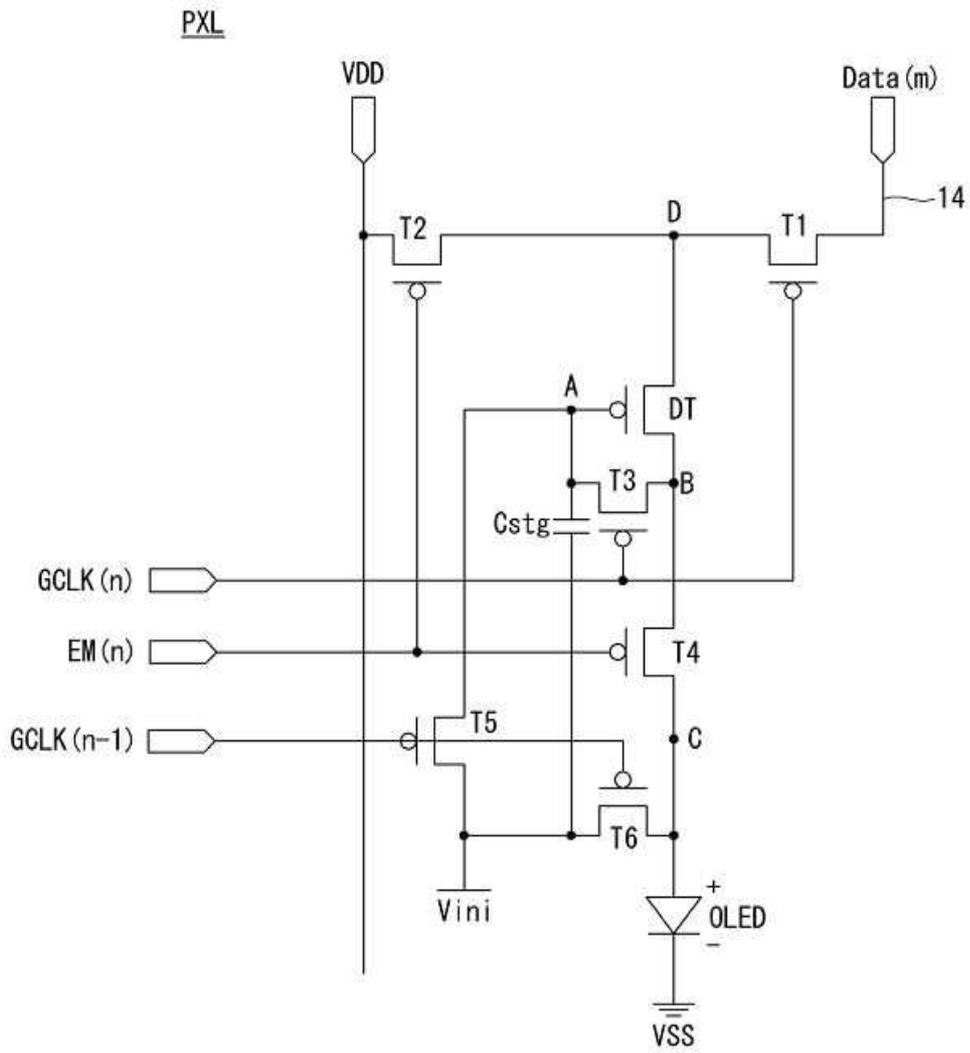
도면2



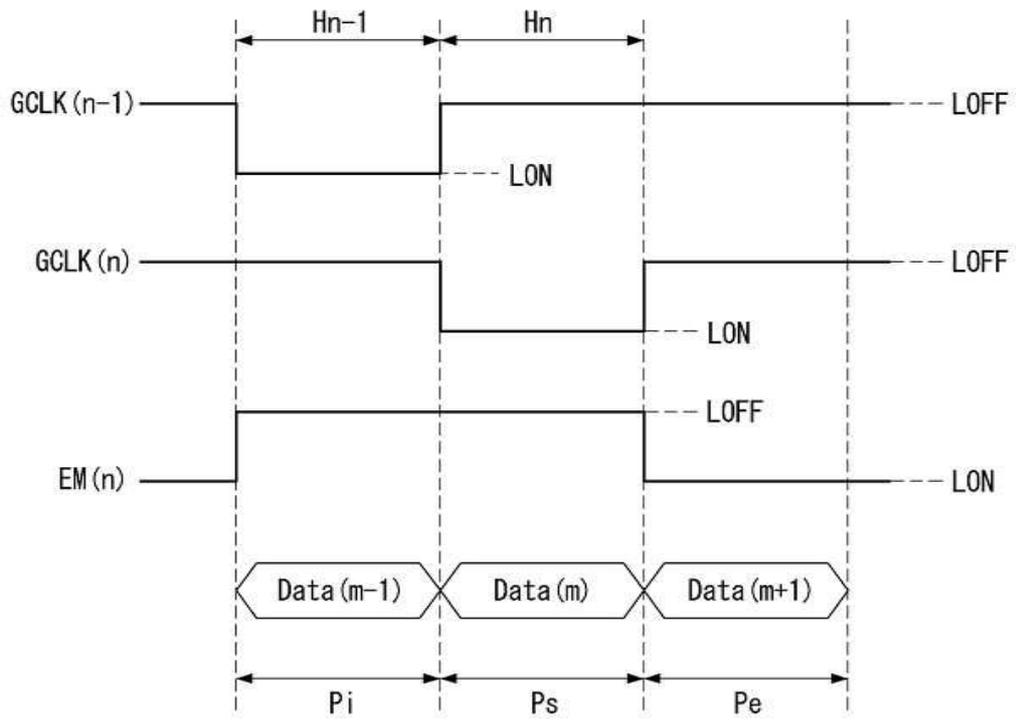
도면3



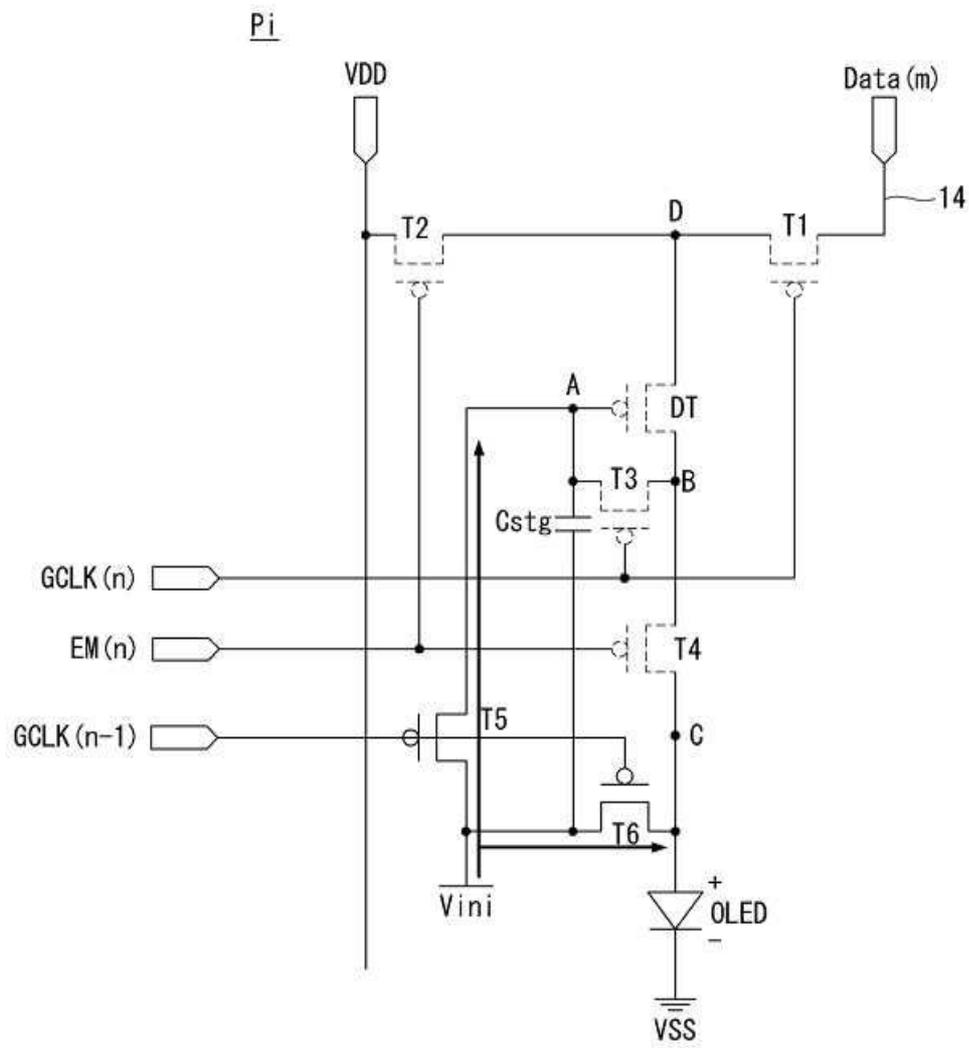
도면4



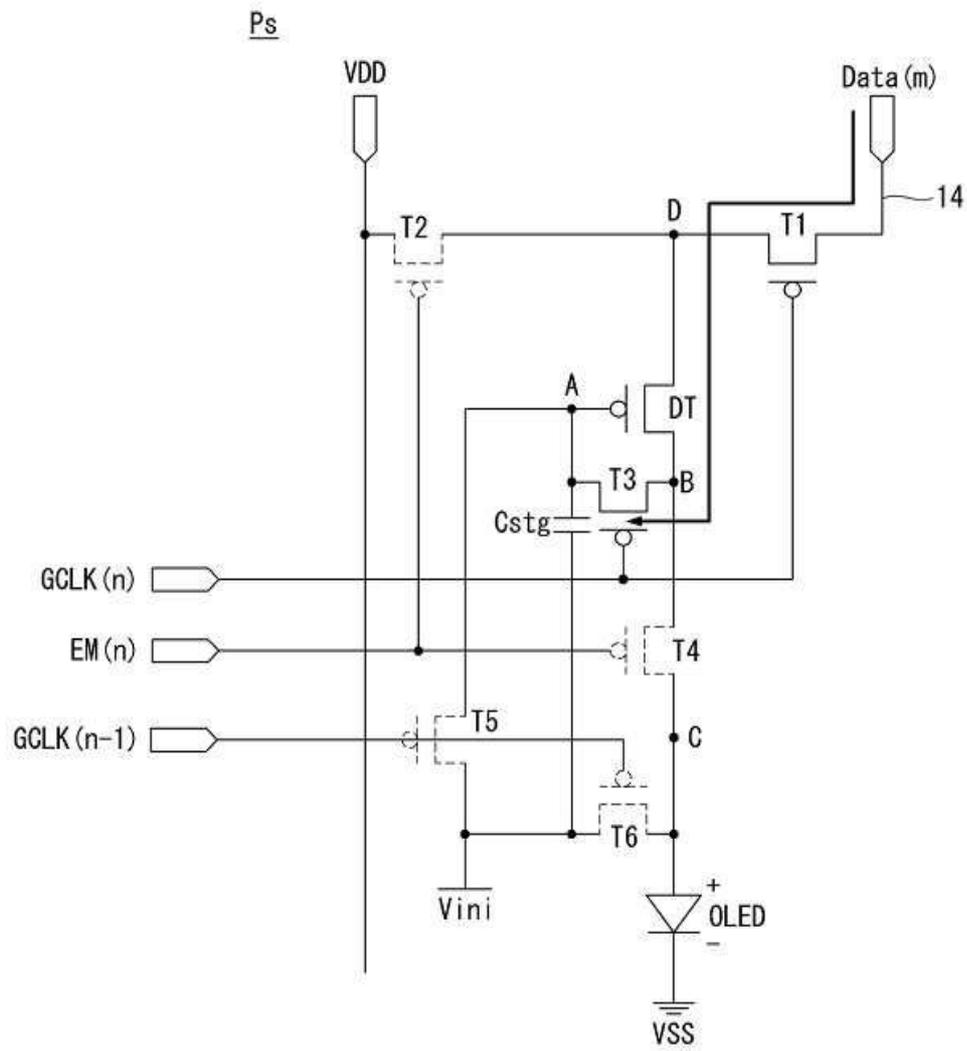
도면5



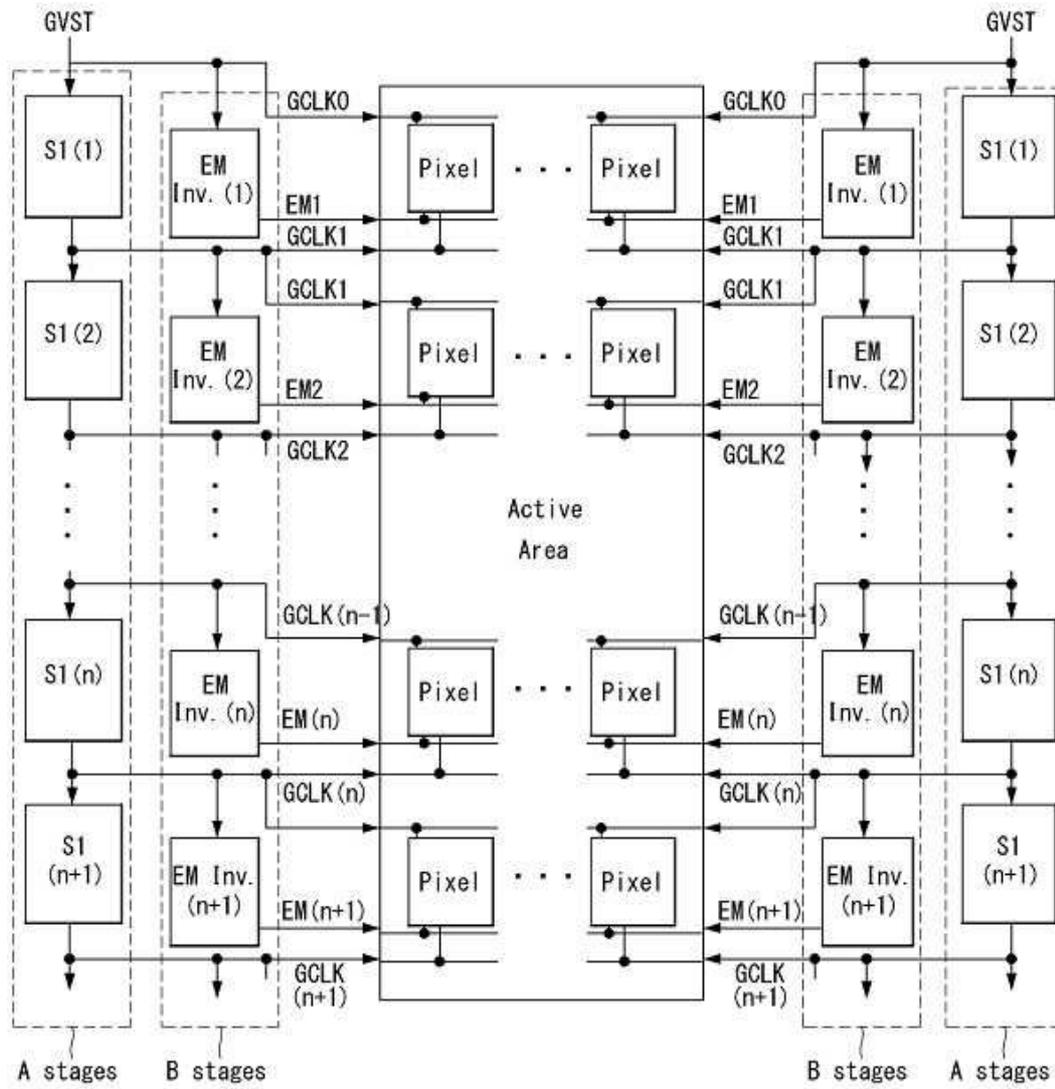
도면6a



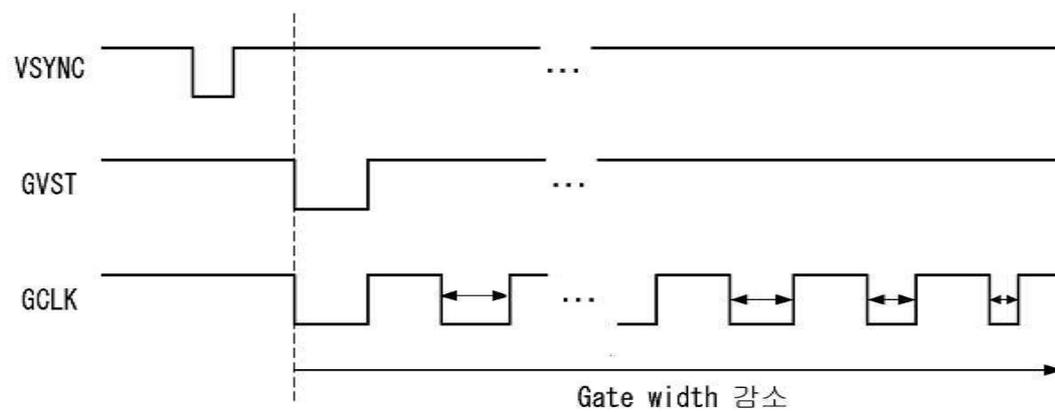
도면6b



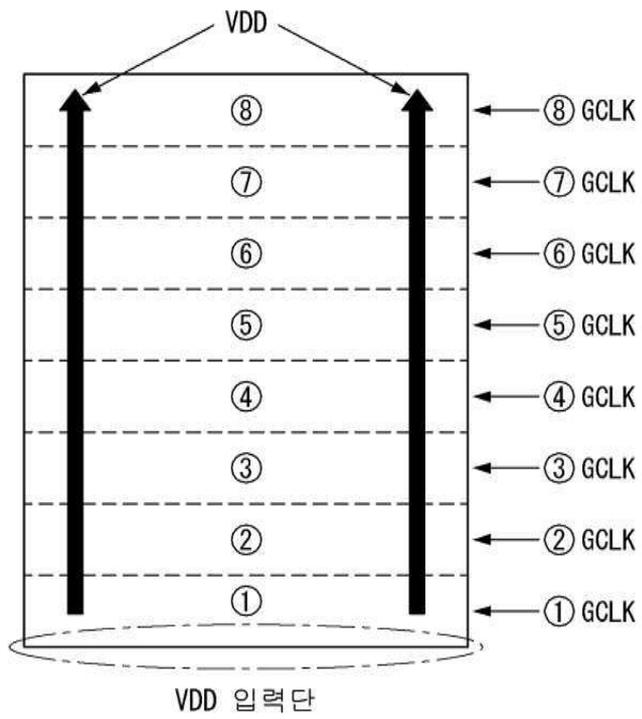
도면8



도면9



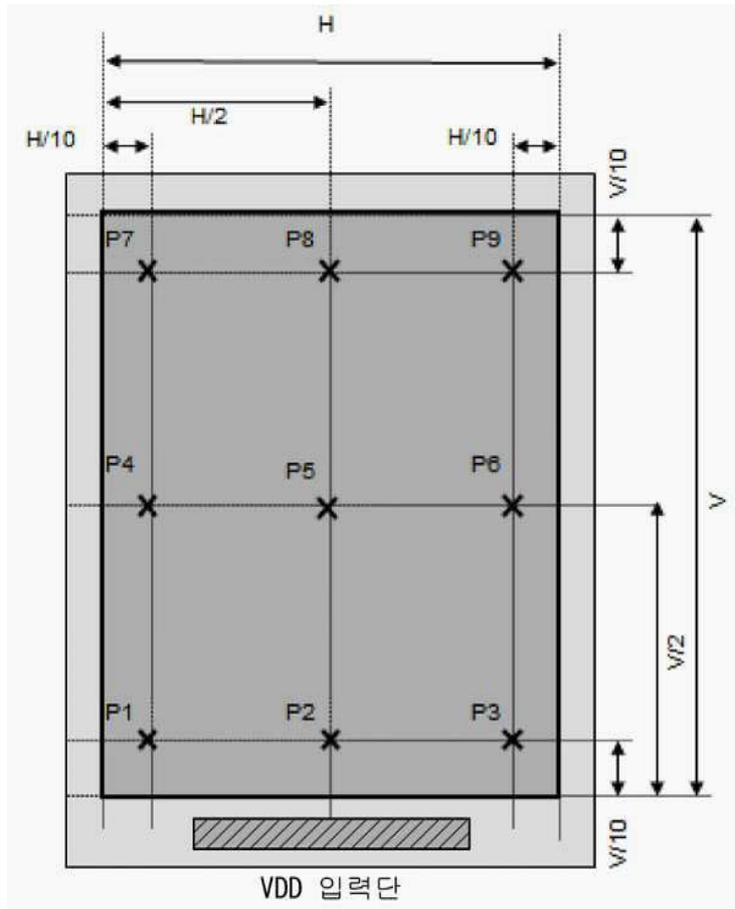
도면10



* GCLK_width

$$\textcircled{1} W > \textcircled{2} W > \textcircled{3} W > \textcircled{4} W \dots > \textcircled{8} W$$

도면11



도면12

측정POINT	P1	P2	P3	P4	P5	P6	P7	P8	P9
휘도	184.53	177.76	180.88	182.59	179.10	177.69	183.93	179.06	180.89

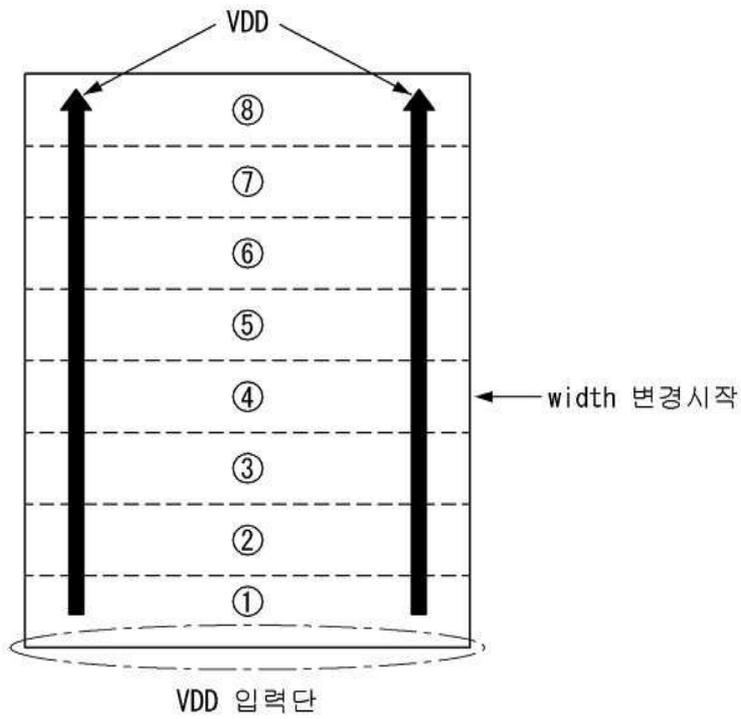
Max.	Min.	Uniformity
184.53	177.69	96.29%

도면13

측정POINT	P1	P2	P3	P4	P5	P6	P7	P8	P9
휘도	186.00	178.29	178.50	178.88	175.22	173.92	170.24	169.94	167.98

Max.	Min.	Uniformity
185.99	167.98	90.31%

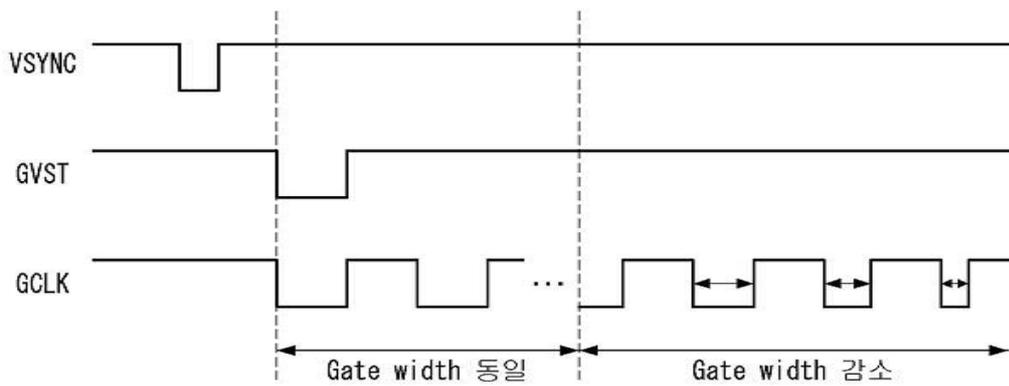
도면14



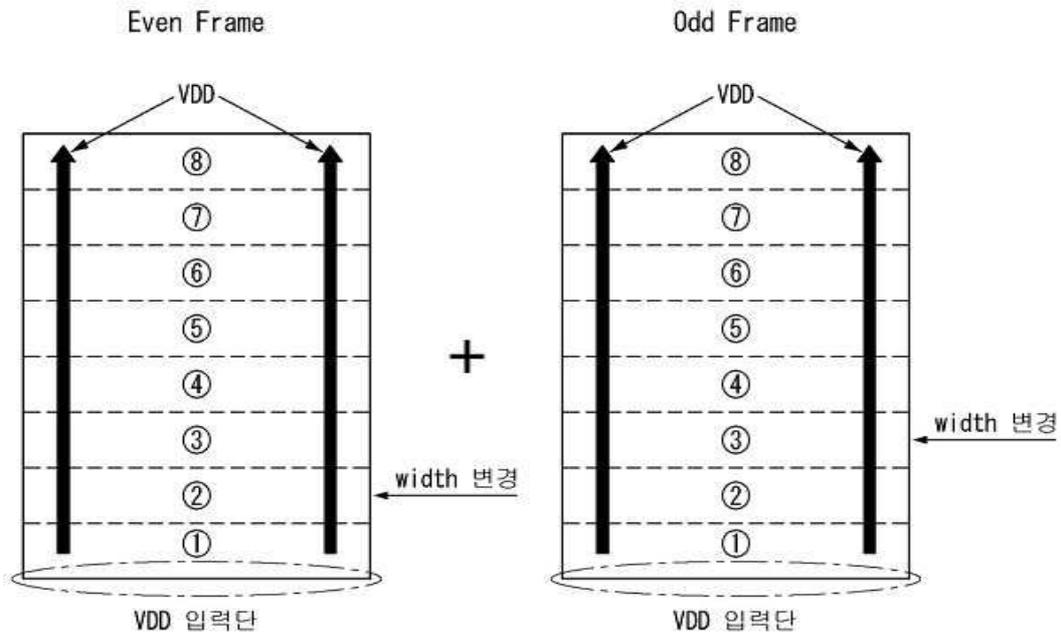
* GCLK_width

$$\textcircled{1} W = \textcircled{2} W = \textcircled{3} W = \textcircled{4} W > \textcircled{5} W > \textcircled{6} W > \textcircled{7} W > \textcircled{8} W$$

도면15



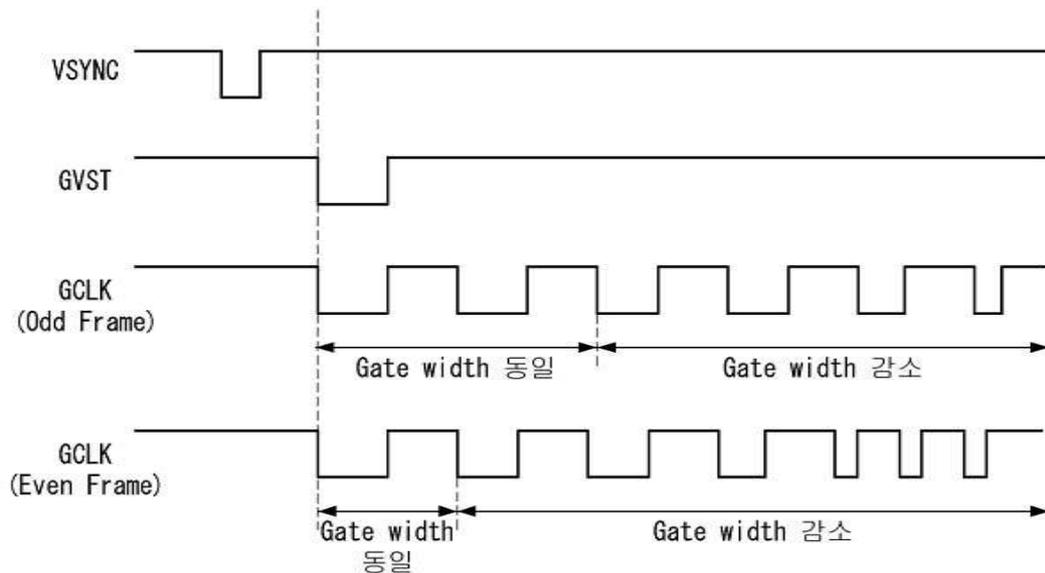
도면16



Even : ①W = ②W > ③W > ④W > ⑤W > ⑥W > ⑦W > ⑧W

Odd : ①W = ②W = ③W > ④W > ⑤W > ⑥W > ⑦W > ⑧W

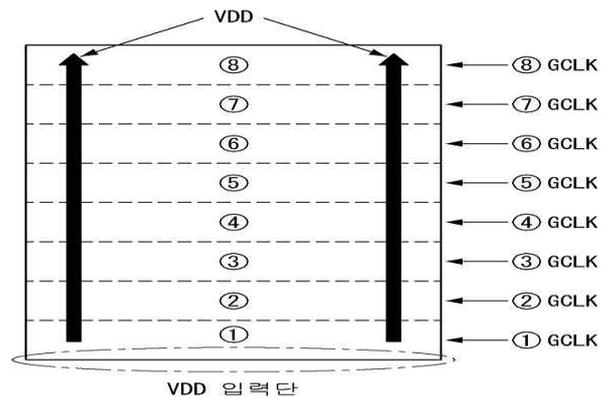
도면17



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020180137290A	公开(公告)日	2018-12-27
申请号	KR1020170076760	申请日	2017-06-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN KWANG HEE 한광희		
发明人	한광희		
IPC分类号	G09G3/3233 G09G3/3266		
CPC分类号	G09G3/3233 G09G3/3266 G09G2320/0233 G09G2230/00 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

以及用于控制流过电致发光元件的驱动电流的驱动晶体管，其中显示面板具有靠近高电位驱动电压输入端的区域A中的驱动晶体管的电特性并且用于补偿远离A区域的B区域中的驱动晶体管的电特性的第二采样周期彼此不同。



* GCLK_width
 ① W > ② W > ③ W > ④ W ... > ⑧ W