



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078672
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(52) CPC특허분류
H01L 51/524 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2016-0183677
(22) 출원일자 2016년12월30일
심사청구일자 없음

(72) 발명자
김태경
전라남도 여수시 여문2로 125 (문수동) 예뜨랑
403호
(74) 대리인
특허법인천문

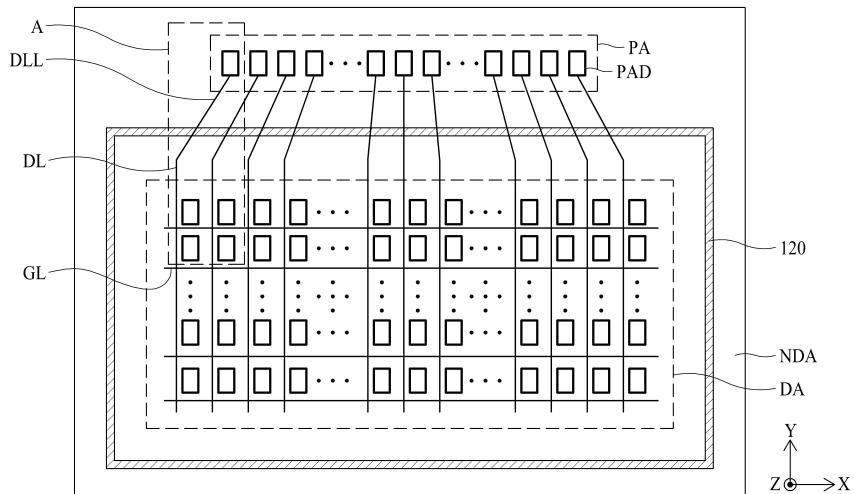
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 표시장치와 그의 제조방법

(57) 요 약

본 발명은 유기발광소자에 수분이 침투하는 것을 방지할 수 있는 표시장치 및 그의 제조방법을 제공한다. 본 발명의 일 실시예에 따른 표시장치는 화소를 포함하는 표시 영역 및 패드를 포함하는 패드 영역을 포함하는 기판, 패드로부터 신호가 입력되는 제1 전극 라인, 제1 전극 라인과 제1 콘택홀을 통해 전기적으로 접속되어 제1 전극 라인으로부터 상기 신호를 입력받는 제2 전극 라인, 및 표시 영역과 패드 영역 사이에 배치된 제1 댐을 포함한다. 제1 콘택홀은 제1 댐과 표시 영역 사이에 배치된다.

대 표 도



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5256 (2013.01)

명세서

청구범위

청구항 1

화소를 포함하는 표시 영역 및 패드를 포함하는 패드 영역을 포함하는 기판;

상기 패드로부터 신호가 입력되는 제1 전극 라인;

상기 제1 전극 라인과 제1 콘택홀을 통해 전기적으로 접속되어 상기 제1 전극 라인으로부터 상기 신호를 입력받는 제2 전극 라인; 및

상기 표시 영역과 상기 패드 영역 사이에 배치된 제1 댐을 포함하고,

상기 제1 콘택홀은 상기 제1 댐과 상기 표시 영역 사이에 배치되는 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서,

상기 표시 영역을 덮는 제1 무기막;

상기 제1 무기막 상에 배치된 유기막; 및

상기 유기막과 상기 제1 댐을 덮는 제2 무기막을 더 포함하고,

상기 제1 콘택홀 상에는 상기 유기막 및 상기 제2 무기막이 배치되는 것을 특징으로 하는 표시장치.

청구항 3

제1항에 있어서,

상기 제1 댐과 상기 표시 영역 사이에 배치된 제2 댐을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 4

제3항에 있어서,

상기 제1 콘택홀은 상기 제1 댐과 상기 제2 댐 사이에 배치되는 것을 특징으로 하는 표시장치.

청구항 5

제4항에 있어서,

상기 표시 영역을 덮는 제1 무기막;

상기 제1 무기막 상에 배치된 유기막; 및

상기 유기막, 상기 제1 댐 및 상기 제2 댐을 덮는 제2 무기막을 더 포함하고,

상기 제1 콘택홀 상에는 상기 유기막 및 상기 제2 무기막이 배치되는 것을 특징으로 하는 표시장치.

청구항 6

제1항에 있어서,

상기 화소는,

상기 기판 상에 배치된 게이트 전극;

상기 게이트 전극 상에 배치된 충간 절연막; 및

상기 충간 절연막 상에 배치된 소스 전극과 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 7

제6항에 있어서,

상기 제1 전극 라인은 게이트 전극과 동일한 물질로 이루어진 게이트 금속패턴으로 형성되고, 상기 제2 전극 라인은 상기 소스 전극 및 상기 드레인 전극과 동일한 물질로 이루어진 소스/드레인 금속패턴으로 형성되는 것을 특징으로 하는 표시장치.

청구항 8

제7항에 있어서,

상기 제2 전극 라인은 상기 층간 절연막을 관통하여 상기 제1 전극 라인을 노출시키는 상기 제1 콘택홀을 통해 상기 제1 전극 라인과 접속되는 것을 특징으로 하는 표시장치.

청구항 9

제6항에 있어서,

상기 제1 전극 라인은 상기 소스 전극 및 상기 드레인 전극과 동일한 물질로 이루어진 소스/드레인 금속패턴으로 형성되고, 상기 제2 전극 라인은 상기 게이트 전극과 동일한 물질로 이루어진 게이트 금속패턴으로 형성되는 것을 특징으로 하는 표시장치.

청구항 10

제9항에 있어서,

상기 제1 전극 라인은 상기 층간 절연막을 관통하여 상기 제2 전극 라인을 노출시키는 상기 제1 콘택홀을 통해 상기 제2 전극 라인과 접속되는 것을 특징으로 하는 표시장치.

청구항 11

제1항에 있어서,

상기 패드와 상기 제1 전극 라인은 동일층에서 동일한 금속패턴으로 형성되어 접속되는 것을 특징으로 하는 표시장치.

청구항 12

제1항에 있어서,

상기 패드는 제2 콘택홀을 통해 상기 제1 전극 라인과 접속되는 것을 특징으로 하는 표시장치.

청구항 13

제1항에 있어서,

상기 제1 전극 라인은 상기 패드로부터 데이터 전압이 입력되는 데이터 링크 라인이고, 상기 제2 전극 라인은 상기 데이터 링크 라인으로부터 상기 데이터 전압을 입력받는 데이터 라인인 것을 특징으로 하는 표시장치.

청구항 14

제1항에 있어서,

상기 제1 전극 라인은 상기 패드로부터 전원 전압이 입력되는 전원 보조 라인이고, 상기 제2 전극 라인은 상기 전원 보조 라인으로부터 상기 전원 전압을 입력받아 상기 화소에 공급하는 전원 라인인 것을 특징으로 하는 표시장치.

청구항 15

제1항에 있어서,

상기 제1 전극 라인은 상기 패드로부터 전원 전압이 입력되는 전원 보조 라인이고, 상기 제2 전극 라인은 상기

전원 보조 라인으로부터 상기 전원 전압을 입력받는 연결 라인인 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서,

제3 콘택홀을 통해 상기 연결 라인과 접속되고, 상기 연결 라인으로부터 상기 전원 전압을 입력받아 상기 화소에 공급하는 전원 라인을 더 포함하고,

상기 제3 콘택홀은 상기 제1 댐과 상기 표시 영역 사이에 배치되는 것을 특징으로 하는 표시장치.

청구항 17

제16항에 있어서,

상기 전원 보조 라인과 상기 전원 라인은 동일층에 형성되는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 표시장치와 그의 제조방법에 관한 것이다.

배경 기술

[0002]

정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003]

표시장치들 중에서 유기발광표시장치는 자체발광형으로서, 액정표시장치(LCD)에 비해 시야각, 대조비 등이 우수하며, 별도의 백라이트가 필요하지 않아 경량 박형이 가능하며, 소비전력이 유리한 장점이 있다. 또한, 유기발광표시장치는 직류저전압 구동이 가능하고, 응답속도가 빠르며, 특히 제조비용이 저렴한 장점이 있다.

[0004]

유기발광표시장치는 유기발광소자를 각각 포함하는 화소들, 및 화소들을 정의하기 위해 화소들을 구획하는 뱅크를 포함한다. 뱅크는 화소 정의막으로 역할을 할 수 있다. 유기발광소자는 애노드 전극, 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극을 포함한다. 이 경우, 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0005]

유기발광소자는 외부의 수분, 산소와 같은 외적 요인에 의해 쉽게 열화가 일어나는 단점이 있다. 이를 방지하기 위하여, 유기발광표시장치는 외부의 수분, 산소가 유기발광소자에 침투되지 않도록 봉지막을 형성한다. 이때, 봉지막은 무기막을 포함함으로써, 유기발광층과 캐소드 전극에 산소 또는 수분이 침투되는 것을 방지한다.

[0006]

무기막은 일반적으로 CVD(Chemical Vapor Deposition) 기법을 이용하여 증착할 수 있다. 이때, 무기막이 증착되는 표면이 단차가 있어 평탄하지 않는 경우에는 두께를 일정하게 증착하는 것이 어렵다는 문제가 있다. 특히, 단차가 발생한 경계부근에서는 무기막이 끊어진 형태를 가지는 심(seam)이 발생할 수 있다. 무기막 심(seam)이 발생하게 되면, 무기막 심(seam)을 통해 산소 또는 수분이 침투할 수 있다. 수분은 유기발광층 및 캐소드 전극에까지 침투하여 산화시킴에 따라 유기발광소자에 열화가 발생한다.

발명의 내용

해결하려는 과제

[0007]

본 발명은 유기발광소자에 수분이 침투하는 것을 방지할 수 있는 표시장치 및 그의 제조방법을 제공한다.

과제의 해결 수단

[0008]

본 발명의 일 실시예에 따른 표시장치는 화소를 포함하는 표시 영역 및 패드를 포함하는 패드 영역을 포함하는

기판, 패드로부터 신호가 입력되는 제1 전극 라인, 제1 전극 라인과 제1 콘택홀을 통해 전기적으로 접속되어 제1 전극 라인으로부터 상기 신호를 입력받는 제2 전극 라인, 및 표시 영역과 패드 영역 사이에 배치된 제1 댐을 포함한다. 제1 콘택홀은 제1 댐과 표시 영역 사이에 배치된다.

발명의 효과

- [0009] 본 발명은 비표시 영역에 형성되는 콘택홀을 댐과 표시 영역 사이에 배치함으로써 콘택홀 상에 무기막 이외에 유기막이 형성될 수 있도록 한다. 이러한 본 발명의 실시예는 무기막이 단차가 없는 표면에 증착될 수 있고, 이로 인해 무기막에 심이 발생하는 것을 방지할 수 있다.
- [0010] 또한, 본 발명은 비표시 영역에 형성되는 콘택홀 상에 무기막이 일정한 두께로 증착됨에 따라 유기발광소자로 수분 또는 산소가 침투하는 경로를 효과적으로 차단할 수 있다.
- [0011] 또한, 본 발명은 이중 댐을 형성함으로써 유기막의 흐름을 효과적으로 차단할 수 있다.
- [0012] 또한, 본 발명은 댐과 댐 사이에 비표시 영역에 형성되는 콘택홀을 배치함으로써, 이중 댐을 형성함에 따른 베젤 증가를 최소화시킬 수 있다. 또한, 본 발명은 댐과 댐 사이까지 유기막을 형성함으로써 콘택홀 상에 무기막 이외에 유기막이 형성될 수 있도록 한다. 이에 따라, 본 발명의 실시예는 무기막이 단차가 없는 표면에 증착될 수 있고, 이로 인해 무기막에 심이 발생하는 것을 방지할 수 있다.
- [0013] 또한, 본 발명은 비표시 영역에 형성되는 콘택홀을 통해 유기발광소자로 수분 또는 산소가 침투하는 것을 방지 할 수 있다. 이에 따라, 본 발명은 표시 장치의 수율 및 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다.
- 도 2는 도 1의 제1 기판, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
- 도 3은 본 발명의 제1 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이다.
- 도 4는 도 3의 A 영역을 보여주는 확대 평면도이다.
- 도 5는 도 4의 I-I' 선의 단면을 개략적으로 나타내는 단면도이다.
- 도 6은 본 발명의 제2 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이다.
- 도 7은 도 6의 B 영역을 보여주는 확대 평면도이다.
- 도 8은 도 7의 II-II' 선의 단면을 개략적으로 나타내는 단면도이다.
- 도 9는 본 발명의 제3 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이다.
- 도 10은 도 9의 C 영역을 보여주는 확대 평면도이다.
- 도 11은 도 10의 III-III' 선의 단면을 개략적으로 나타내는 단면도이다.
- 도 12는 본 발명의 제4 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이다.
- 도 13은 도 12의 D 영역을 보여주는 확대 평면도이다.
- 도 14는 도 13의 III-III' 선의 단면을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 발명의 실시 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필

요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0017] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.

[0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이 하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0022] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0023] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0024] 본 발명의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

[0026] 도 1은 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다. 도 2는 도 1의 제1 기판, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.

[0027] 이하에서는, 본 발명의 일 실시예에 따른 표시장치가 유기발광표시장치(Organic Light Emitting Display)인 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 즉, 본 발명의 일 실시예에 따른 표시장치는 유기발광표시장치뿐만 아니라, 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 및 전기영동 표시장치(Electrophoresis display) 중 어느 하나로 구현될 수도 있다.

[0028] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시장치(100)는 표시패널(110), 게이트 구동부(120), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(130), 연성필름(140), 회로보드(150), 및 타이밍 제어부(160)를 포함한다.

[0029] 표시패널(110)은 제1 기판(111)과 제2 기판(112)을 포함한다. 제2 기판(112)은 봉지 기판일 수 있다. 제1 기판(111)은 플라스틱 필름(plastic film) 또는 유리 기판(glass substrate)일 수 있다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름일 수 있다.

[0030] 제2 기판(112)과 마주보는 제1 기판(111)의 일면 상에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성된다. 화소들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 마련된다.

[0031] 화소들 각각은 박막 트랜지스터와 제1 전극, 유기발광층, 및 제2 전극을 구비하는 유기발광소자를 포함할 수 있다. 화소들 각각은 박막 트랜지스터를 이용하여 게이트 라인으로부터 게이트 신호가 입력되는 경우 데이터 라인의 데이터 전압에 따라 유기발광소자에 소정의 전류를 공급한다. 이로 인해, 화소들 각각의 유기발광소자는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다.

[0032] 표시패널(110)은 도 2와 같이 화소들이 형성되어 화상을 표시하는 표시영역(DA)과 화상을 표시하지 않는 비표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성될 수 있다.

비표시영역(NDA)에는 게이트 구동부(120)와 패드들이 형성될 수 있다.

[0033] 게이트 구동부(120)는 타이밍 제어부(160)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 게이트 구동부(120)는 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 부착될 수도 있다.

[0034] 소스 드라이브 IC(130)는 타이밍 제어부(160)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(130)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 링크 라인들을 통해 데이터 라인들에 공급한다. 소스 드라이브 IC(130)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다.

[0035] 표시패널(110)의 비표시영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(140)에는 패드들과 소스 드라이브 IC(130)를 연결하는 배선들, 패드들과 회로보드(150)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(140)은 이방성 도전 필름(antisotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(140)의 배선들이 연결될 수 있다.

[0036] 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.

[0037] 타이밍 제어부(160)는 회로보드(150)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력받는다. 타이밍 제어부(160)는 타이밍 신호에 기초하여 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(130)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(160)는 게이트 제어신호를 게이트 구동부(120)에 공급하고, 소스 제어신호를 소스 드라이브 IC(130)들에 공급한다.

제1 실시예

[0040] 도 3은 본 발명의 제1 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이고, 도 4는 도 3의 A 영역을 보여주는 확대 평면도이며, 도 5는 도 4의 I-I' 선의 단면을 개략적으로 나타내는 단면도이다.

[0041] 도 3 내지 도 5를 참조하면, 제1 기판(111)은 표시 영역(DA)과 비표시 영역(NDA)으로 구분되며, 비표시 영역(NDA)에는 패드들이 형성되는 패드 영역(PA)을 포함한다.

[0042] 표시 영역(DA)에는 데이터 라인(DL)들, 데이터 라인(DL)들과 교차되는 게이트 라인(GL)들이 형성된다. 또한, 표시 영역(DA)에는 데이터 라인(DL)들과 게이트 라인(GL)들의 교차 영역에 매트릭스 형태로 화상을 표시하는 화소(P)들이 형성된다. 화소(P)들 각각은 게이트 라인(GL)의 게이트 신호가 입력되면 데이터 라인(DL)의 데이터 전압에 따라 유기발광소자(260)에 소정의 전류를 공급한다. 이로 인해, 화소(P)들 각각의 유기발광소자(260)는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다.

[0043] 화소(P)들 각각은 도 5에 도시된 바와 같이 박막 트랜지스터(210) 및 유기발광소자(260)를 포함할 수 있다. 박막 트랜지스터(210)는 액티브층(211), 게이트 전극(212), 소스 전극(213) 및 드레인 전극(214)을 포함한다. 도 5에서는 박막 트랜지스터(210)의 게이트 전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 박막 트랜지스터(210)는 게이트 전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트 전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.

[0044] 보다 구체적으로, 제1 기판(110) 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 제1 기판(110) 상에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.

[0045] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막, 실리콘 질화막 또는 이들의 다중막으로 형성될 수 있다.

- [0046] 게이트 절연막(220) 상에는 게이트 전극(212)이 형성될 수 있다. 게이트 전극(212)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0047] 게이트 전극(212) 상에는 충간 절연막(230)이 형성될 수 있다. 충간 절연막(230)은 무기막, 예를 들어 실리콘 산화막, 실리콘 질화막 또는 이들의 다중막으로 형성될 수 있다.
- [0048] 충간 절연막(230) 상에는 소스 전극(213)과 드레인 전극(214)이 형성될 수 있다. 소스 전극(213)과 드레인 전극(214) 각각은 게이트 절연막(220)과 충간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스 전극(213)과 드레인 전극(214) 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0049] 박막 트랜지스터(210) 상에는 보호막(240)이 형성될 수 있다. 보호막(240)은 절연막으로서 역할을 할 수 있다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막, 실리콘 질화막 또는 이들의 다중막으로 형성될 수 있다.
- [0050] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 평탄화막(250)이 형성될 수 있다. 평탄화막(250)은 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0051] 평탄화막(250) 상에는 유기발광소자(260)와 뱅크(270)가 형성된다. 유기발광소자(260)는 제1 전극(261), 유기발광층(262), 및 제2 전극(263)을 포함한다. 제1 전극(261)은 애노드 전극이고, 제2 전극(263)은 캐소드 전극일 수 있다. 제1 전극(261), 유기발광층(262) 및 제2 전극(263)이 적층된 영역은 발광부로 정의될 수 있다.
- [0052] 제1 전극(261)은 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀을 통해 박막 트랜지스터(210)의 드레인 전극(214)에 접속된다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0053] 뱅크(270)은 화소(P)들을 구획하기 위해 평탄화막(250) 상에서 제1 전극(261)의 가장자리를 덮도록 형성될 수 있다. 뱅크(270)는 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0054] 제1 전극(261)과 뱅크(270) 상에는 유기발광층(262)이 형성된다. 유기발광층(262)은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 전극(261)과 제2 전극(263)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동하게 되며, 발광층에서 서로 결합하여 발광하게 된다.
- [0055] 유기발광층(262)은 백색 광을 발광하는 백색 발광층으로 이루어질 수 있다. 이 경우, 제1 전극(261)과 뱅크(270)를 덮도록 형성될 수 있다. 이 경우, 제2 기판(112) 상에는 컬러필터(310)가 형성될 수 있다.
- [0056] 또는, 유기발광층(262)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 또는 청색 광을 발광하는 청색 발광층으로 이루어질 수 있다. 이 경우, 유기발광층(262)은 제1 전극(261)에 대응되는 영역에 형성될 수 있으며, 제2 기판(112) 상에는 컬러필터가 형성되지 않을 수 있다.
- [0057] 제2 전극(263)은 유기발광층(262) 상에 형성된다. 유기발광표시장치가 상부 발광(top emission) 구조로 형성되는 경우, 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0058] 한편, 유기발광소자(260) 상에는 봉지막(280)이 형성된다. 봉지막(280)은 유기발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지막(280)은 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있다.
- [0059] 예를 들어, 봉지막(280)은 제1 무기막(281), 유기막(282), 및 제2 무기막(283)을 포함할 수 있다. 이 경우, 제1 무기막(281)은 제2 전극(263)을 덮도록 형성된다. 유기막(282)은 제1 무기막(281) 상에 형성된다. 유기막(282)

은 이물들(particles)이 제1 무기막(281)을 뚫고 유기발광층(263)과 제1 전극(262)에 투입되는 것을 방지하기 위해 충분한 두께로 형성되는 것이 바람직하다. 제2 무기막(283)은 유기막(282)을 덮도록 형성된다.

[0060] 제1 및 제2 무기막들(281, 283) 각각은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 제1 및 제2 무기막들(281, 283)은 CVD(Chemical Vapor Deposition) 기법 또는 ALD(Atomic Layer Deposition) 기법으로 증착될 수 있으나, 이에 제한되는 것은 아니다.

[0061] 유기막(282)은 유기발광층(262)에서 발광된 광을 통과시키기 위해 투명하게 형성될 수 있다. 유기막(282)은 유기발광층(282)에서 발광된 광을 99% 이상 통과시킬 수 있는 유기물질 예컨대, 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다. 유기막(282)는 유기물을 사용하는 기상 증착(vapour deposition), 프린팅(printing), 슬릿 코팅(slit coating) 기법으로 형성될 수 있으나, 이에 제한되지 않으며, 유기막(282)는 잉크젯(ink-jet) 공정으로 형성될 수도 있다.

[0062] 봉지막(280) 상에는 제1 내지 제3 컬러필터들(310)과 블랙 매트릭스(320)이 형성될 수 있다. 적색 발광부에는 적색 컬러필터가 형성되고, 청색 발광부에는 청색 컬러필터가 형성되며, 녹색 발광부에는 녹색 컬러필터가 형성될 수 있다.

[0063] 제1 기판(111)의 봉지막(260)과 제2 기판(112)의 컬러필터들(310)은 접착층(290)을 이용하여 접착되며, 이로 인해 제1 기판(111)과 제2 기판(112)은 합착될 수 있다. 접착층(290)은 투명한 접착 레진일 수 있다.

[0064] 한편, 비표시 영역(NDA)에는 댐(120), 데이터 라인(DL)들과 일대일로 접속되는 데이터 링크 라인(DLL)들, 및 데이터 링크 라인(DLL)들과 일대일로 접속되는 패드(PAD)들이 형성된다.

[0065] 댐(120)은 표시 영역(DA)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 또한, 댐(120)은 표시 영역(DA)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단할 수 있다. 이를 통해, 댐(120)은 유기막(282)이 표시 장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.

[0066] 이러한 댐(120)은 화소(P)의 평탄화막(250) 또는 맹크(270)와 동시에 형성될 수 있으며, 평탄화막(250) 또는 맹크(270)와 같은 물질로 이루어질 수 있다. 이와 같은 경우, 댐(120)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 물질로 형성될 수 있다.

[0067] 한편, 도 5에서는 댐(120)이 제1 무기막(281)에 의하여 덮이도록 도시하고 있으나, 이에 한정되지 않는다. 제1 무기막(281)은 표시 영역(DA)을 덮는다면 댐(120)까지 형성되지 않고 표시 영역(DA)과 댐(120) 사이까지만 형성될 수도 있다.

[0068] 데이터 링크 라인(DLL)들은 패드 영역(PA)에 배치된 패드(PAD)들과 일대일로 접속되고, 표시 영역(DA)에 배치된 데이터 라인(DL)들과 일대일로 접속된다. 구체적으로, 데이터 링크 라인(DLL)의 일단은 제1 콘택홀(CT1)을 통해 데이터 라인(DL)에 접속되고, 타단은 제2 콘택홀(CT2)을 통해 패드(PAD)에 접속된다. 패드(PAD)는 이방성 도전 필름(antisotropic conducting film)을 이용하여 제3 콘택홀(CT3)을 통해 연성 필름(150)의 배선들과 전기적으로 연결될 수 있다.

[0069] 데이터 링크 라인(DLL)은 데이터 라인(DL)에 접속되는 일단에서 데이터 라인(DL)과 나란하게 형성되다가 소정의 길이까지 데이터 라인(DL) 대비 비스듬하게 형성될 수 있고, 상기 소정의 길이부터 패드(PAD)에 접속되는 타단 까지 패드(PAD)와 나란하게 형성될 수 있다.

[0070] 데이터 링크 라인(DLL)들은 제1 전극 라인으로서 제1 금속패턴으로 형성된다. 데이터 라인(DL)은 제2 전극 라인으로서 제2 금속패턴으로 형성된다. 패드(PAD)는 데이터 라인(DL)과 동일한 제2 금속패턴으로 형성된다. 본 발명의 실시예에서는 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.

[0071] 제1 기판(111) 상에는 게이트 절연막(220)이 형성되고, 게이트 절연막(220) 상에는 데이터 링크 라인(DLL)이 제1 금속패턴으로 형성된다. 데이터 링크 라인(DLL) 상에는 충간 절연막(230)이 형성된다. 충간 절연막(230)을 관통하여 데이터 링크 라인(DLL)을 노출시키는 제1 콘택홀(CT1) 및 제2 콘택홀(CT2)이 형성된다. 충간 절연막(230) 상에는 제1 콘택홀(CT1)을 통해 데이터 링크 라인(DLL)과 접속하는 데이터 라인(DL)이 제2 금속패턴으로

형성되고, 제2 콘택홀(CT2)을 통해 데이터 링크 라인(DLL)과 접속하는 패드(PAD)가 제2 금속패턴으로 형성된다.

[0072] 본 발명의 실시예는 제1 콘택홀(CT1)을 표시 영역(DA)과 댐(120) 사이에 형성하는 것을 특징으로 한다. 제1 콘택홀(CT1) 상에 형성된 데이터 라인(DL)과 보호막(240)은 제1 콘택홀(CT1)에 의하여 오목한 홈이 발생하게 된다. 제1 콘택홀(CT1)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.

[0073] 제1 무기막(281) 및 제2 무기막(283)은 CVD 기법 또는 ALD 기법을 이용하여 보호막(240) 상에 증착된다. 이때, 보호막(240)의 상면에는 제1 콘택홀(CT1)에 의하여 발생한 오목한 홈이 있다. 이런 이유로, 보호막(240) 상에는 제1 무기막(281) 및 제2 무기막(283)이 일정한 두께로 증착되기 어렵다는 문제가 있다. 더욱이, 제1 무기막(281) 및 제2 무기막(283)은 홈의 경계에서 끊어진 형태를 가지는 심(seam)이 발생할 수 있다. 제1 무기막(281) 및 제2 무기막(283) 모두에 무기막 심(seam)이 발생하게 되면, 무기막 심(seam)을 통해 산소 또는 수분이 침투하여 유기발광소자(260)에 열화가 발생하는 다른 문제가 있다.

[0074] 이러한 문제점을 해결하기 위하여, 본 발명의 실시예는 제1 콘택홀(CT1)을 표시 영역(DA)과 댐(120) 사이에 형성한다. 제1 콘택홀(CT1)을 표시 영역(DA)과 댐(120) 사이에 형성하는 경우, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성된다.

[0075] 본 발명의 실시예는 제1 무기막(281) 상에 유기막(282)이 형성되기 때문에 제1 무기막(281)에 끊어진 형태를 가지는 심(seam)이 발생하더라도 유기막(282)에 덮어져서 외부로 노출되지 않는다. 또한, 본 발명의 실시예는 유기막(282) 상에 제2 무기막(283)이 형성되기 때문에 제2 무기막(283)이 단차가 없는 표면에 증착될 수 있다. 이로 인해, 제2 무기막(283)에는 무기막 심(seam)이 발생하지 않는다.

[0076] 한편, 제2 콘택홀(CT2)은 패드 영역(PA)에 형성되며, 제2 콘택홀(CT2) 상에는 제1 무기막(281) 및 제2 무기막(283)이 형성되지 않는다.

[0077] 도 5에서는 데이터 라인(DL)이 게이트 금속패턴으로 형성되고, 데이터 링크 라인(DLL)이 소스/드레인 금속패턴으로 형성된 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 다른 실시예에 있어서는 데이터 라인(DL)이 소스/드레인 금속패턴으로 형성되고, 데이터 링크 라인(DLL)이 게이트 금속패턴으로 형성될 수도 있다. 그 밖에 데이터 라인(DL)과 데이터 링크 라인(DLL)은 서로 다른 층에 배치된 금속패턴들로 형성될 수 있다.

[0078] 또한, 도 5에서는 데이터 링크 라인(DLL)이 제2 콘택홀(CT2)을 통해 패드(PAD)와 접속되는 것을 도시하고 있으나, 이에 한정되는 것은 아니다. 패드(PAD)는 데이터 링크 라인(DLL)과 동일층에서 동일한 금속패턴으로 형성되어 서로 접속될 수도 있다.

제2 실시예

[0081] 도 6은 본 발명의 제2 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이고, 도 7은 도 6의 B 영역을 보여주는 확대 평면도이며, 도 8은 도 6의 II-II' 선의 단면을 개략적으로 나타내는 단면도이다.

[0082] 도 6 내지 도 8에 도시된 표시장치는 댐을 2개를 형성한다는 점에서 도 3 내지 도 5에 도시된 표시장치와 차이가 있다. 이하에서는 도 3 내지 도 5에 도시된 표시장치와 실질적으로 동일한 박막 트랜지스터(210), 유기발광소자(260) 및 봉지막(280)에 대한 설명을 생략하도록 한다.

[0083] 도 6 내지 도 8을 참조하면, 제1 기판(111)은 표시 영역(DA)과 비표시 영역(NDA)으로 구분되며, 비표시 영역(NDA)에는 패드들이 형성되는 패드 영역(PA)을 포함한다.

[0084] 표시 영역(DA)에는 데이터 라인(DL)들, 데이터 라인(DL)들과 교차되는 게이트 라인(GL)들이 형성된다. 또한, 표시 영역(DA)에는 데이터 라인(DL)들과 게이트 라인(GL)들의 교차 영역에 매트릭스 형태로 화상을 표시하는 화소(P)들이 형성된다. 화소(P)들은 각각은 게이트 라인(GL)의 게이트 신호가 입력되면 데이터 라인(DL)의 데이터 전압에 따라 유기발광소자(260)에 소정의 전류를 공급한다. 이로 인해, 화소(P)들은 각각의 유기발광소자(260)는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다. 화소(P)들은 각각은 박막 트랜지스터(210) 및 유기발광소자(260)를 포함할 수 있다.

[0085] 비표시 영역(NDA)에는 제1 댐(122), 제2 댐(124), 데이터 라인(DL)들과 일대일로 접속되는 데이터 링크 라인(DLL)들, 및 데이터 링크 라인(DLL)들과 일대일로 접속되는 패드(PAD)들이 형성된다.

- [0086] 제1 댐(122)은 표시 영역(DA)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 또한, 제1 댐(122)은 표시 영역(DA)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단한다. 이를 통해, 제1 댐(122)은 유기막(282)이 표시장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.
- [0087] 제2 댐(124)는 제1 댐(122)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 또한, 제2 댐(124)은 제1 댐(122)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단한다. 이를 통해, 제2 댐(124)은 유기막(282)이 표시장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.
- [0088] 한편, 제2 댐(124)은 제1 댐(122) 보다 높이가 클 수 있다. 제1 댐(122)은 표시 영역(DA)으로부터 흘러나오는 유기막(282)을 1차적으로 차단하여 유기막(282)의 흐름 속도 늦출 수 있다. 그리고 제2 댐(124)은 제1 댐(122) 보다 높게 형성하여 제1 댐(122)을 타고 흘러넘친 유기막(282)을 2차적으로 차단한다. 결과적으로, 유기막(282)은 제2 댐(124)에 의하여 최종적으로 흐름이 차단된다.
- [0089] 제1 댐(122) 및 제2 댐(124)은 화소(P)의 평탄화막(250) 또는 뱅크(270)와 동시에 형성될 수 있으며, 평탄화막(250) 또는 뱅크(270)와 같은 물질로 이루어질 수 있다. 이와 같은 경우, 제1 댐(122) 및 제2 댐(124)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 물질로 형성될 수 있다.
- [0090] 한편, 도 8에서는 제1 댐(122) 및 제2 댐(124)이 제1 무기막(281)에 의하여 덮이도록 도시하고 있으나, 이에 한정되지 않는다. 제1 무기막(281)은 표시 영역(DA)을 덮는다면 제2 댐(124)까지 형성되지 않고 표시 영역(DA)과 제1 댐(122) 사이 또는 제1 댐(122)과 제2 댐(124) 사이까지만 형성될 수도 있다.
- [0091] 데이터 링크 라인(DLL)들은 패드 영역(PA)에 배치된 패드(PAD)들과 일대일로 접속되고, 표시 영역(DA)에 배치된 데이터 라인(DL)들과 일대일로 접속된다. 구체적으로, 데이터 링크 라인(DLL)의 일단은 제1 콘택홀(CT1)을 통해 데이터 라인(DL)에 접속되고, 타단은 제2 콘택홀(CT2)을 통해 패드(PAD)에 접속된다. 패드(PAD)는 이방성 도전 필름(antisotropic conducting film)을 이용하여 제3 콘택홀(CT3)을 통해 연성 필름(150)의 배선들과 전기적으로 연결될 수 있다.
- [0092] 데이터 링크 라인(DLL)은 데이터 라인(DL)에 접속되는 일단에서 데이터 라인(DL)과 나란하게 형성되다가 소정의 길이까지 데이터 라인(DL) 대비 비스듬하게 형성될 수 있고, 상기 소정의 길이부터 패드(PAD)에 접속되는 타단 까지 패드(PAD)와 나란하게 형성될 수 있다.
- [0093] 데이터 링크 라인(DLL)들은 제1 전극 라인으로서 제1 금속패턴으로 형성된다. 데이터 라인(DL)은 제2 전극 라인으로서 제2 금속패턴으로 형성된다. 패드(PAD)는 데이터 라인(DL)과 동일한 제2 금속패턴으로 형성된다. 본 발명의 실시예에서는 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.
- [0094] 제1 기판(111) 상에는 게이트 절연막(220)이 형성되고, 게이트 절연막(220) 상에는 데이터 링크 라인(DLL)이 제1 금속패턴으로 형성된다. 데이터 링크 라인(DLL) 상에는 충간 절연막(230)이 형성된다. 충간 절연막(230)을 판통하여 데이터 링크 라인(DLL)을 노출시키는 제1 콘택홀(CT1) 및 제2 콘택홀(CT2)이 형성된다. 충간 절연막(230) 상에는 제1 콘택홀(CT1)을 통해 데이터 링크 라인(DLL)과 접속하는 데이터 라인(DL)이 제2 금속패턴으로 형성되고, 제2 콘택홀(CT2)을 통해 데이터 링크 라인(DLL)과 접속하는 패드(PAD)가 제2 금속패턴으로 형성된다.
- [0095] 한편, 본 발명은 제1 댐(122)과 제2 댐(124)을 형성함으로써 유기막(282)의 흐름을 보다 효과적으로 차단할 수 있다. 그러나 제1 댐(122)과 제2 댐(124)을 형성하고 제1 댐(122)과 표시 영역(DA) 사이에 제1 콘택홀(CT1)을 배치하게 되면, 표시장치의 베젤이 증가하게 된다. 이중 댐을 형성함에 따른 베젤 증가를 최소화시키기 위하여, 본 발명의 실시예는 제1 콘택홀(CT1)을 제1 댐(122)과 제2 댐(124) 사이에 형성하는 것을 특징으로 한다.
- [0096] 제1 콘택홀(CT1) 상에 형성된 데이터 라인(DL)과 보호막(240)은 제1 콘택홀(CT1)에 의하여 오목한 홈이 발생하게 된다. 제1 콘택홀(CT1)을 제2 댐(124)과 패드 영역(PA) 사이에 형성하게 되면, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.
- [0097] 제1 무기막(281) 및 제2 무기막(283)은 CVD 기법 또는 ALD 기법을 이용하여 보호막(240) 상에 증착된다. 이때, 보호막(240)의 상면에는 제1 콘택홀(CT1)에 의하여 발생한 오목한 홈이 있다. 이런 이유로, 보호막(240) 상에는 제1 무기막(281) 및 제2 무기막(283)이 일정한 두께로 증착되기 어렵다는 문제가 있다. 더욱이, 제1 무기막

(281) 및 제2 무기막(283)은 흄의 경계에서 끊어진 형태를 가지는 심(seam)이 발생할 수 있다. 제1 무기막(281) 및 제2 무기막(283) 모두에 무기막 심(seam)이 발생하게 되면, 무기막 심(seam)을 통해 산소 또는 수분이 침투하여 유기발광소자(260)에 열화가 발생하는 다른 문제가 있다.

[0098] 이러한 문제점을 해결하기 위하여, 본 발명의 실시예는 제1 콘택홀(CT1)을 제1 댐(122)과 제2 댐(124) 사이에 배치하고, 유기막(282)이 제2 댐(124)의 내측면까지 형성되도록 한다. 이러한 경우, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성된다.

[0099] 본 발명의 실시예는 제1 무기막(281) 상에 유기막(282)이 형성되기 때문에 제1 무기막(281)에 끊어진 형태를 가지는 심(seam)이 발생하더라도 유기막(282)에 덮여져서 외부로 노출되지 않는다. 도 8에는 제1 무기막(281)이 제1 댐(122) 및 제2 댐(124)을 덮도록 도시하고 있으나, 제1 무기막(281)은 제1 댐(122)과 표시 영역(DA) 사이까지만 형성될 수 있다. 이와 같은 경우, 본 발명의 실시예는 제1 콘택홀(CT1) 상에 제1 무기막(281)이 형성되어 있지 않을 수도 있다. 또한, 본 발명의 실시예는 유기막(282) 상에 제2 무기막(283)이 형성되기 때문에 제2 무기막(283)이 단차가 없는 표면에 증착될 수 있다. 이로 인해, 제2 무기막(283)에는 무기막 심(seam)이 발생하지 않는다.

[0100] 한편, 제2 콘택홀(CT2)은 패드 영역(PA)에 형성되며, 제2 콘택홀(CT2) 상에는 제1 무기막(281) 및 제2 무기막(283)이 형성되지 않는다.

제3 실시예

[0103] 도 9는 본 발명의 제3 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이고, 도 10은 도 9의 C 영역을 보여주는 확대 평면도이며, 도 11은 도 10의 III-III' 선의 단면을 개략적으로 나타내는 단면도이다.

[0104] 도 9 내지 도 11에 도시된 표시장치는 전원 라인, 전원 보조 라인 및 연결 라인이 더 형성된다는 점에서 도 3 내지 도 5에 도시된 표시장치와 차이가 있다. 이하에서는 도3 내지 도 5에 도시된 표시장치와 실질적으로 동일한 박막 트랜지스터(210), 유기발광소자(260) 및 봉지막(280)에 대한 설명을 생략하도록 한다.

[0105] 도 6 내지 도 8을 참조하면, 제1 기판(111)은 표시 영역(DA)과 비표시 영역(NDA)으로 구분되며, 비표시 영역(NDA)에는 패드들이 형성되는 패드 영역(PA)을 포함한다.

[0106] 표시 영역(DA)에는 데이터 라인(DL)들, 데이터 라인(DL)들과 교차되는 게이트 라인(GL)들, 데이터 라인(DL)들과 나란한 전원 라인(VDL)들이 형성된다. 또한, 표시 영역(DA)에는 데이터 라인(DL)들과 게이트 라인(GL)들의 교차 영역에 매트릭스 형태로 화상을 표시하는 화소(P)들이 형성된다. 화소(P)들 각각은 게이트 라인(GL)의 게이트 신호가 입력되면 데이터 라인(DL)의 데이터 전압에 따라 유기발광소자(260)에 소정의 전류를 공급한다. 이로 인해, 화소(P)들 각각의 유기발광소자(260)는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다. 또한, 전원 라인(VDL)에는 전원 전압이 공급된다. 전원 라인(VDL)은 화소(P)들 각각에 전원 전압을 공급한다.

[0107] 비표시 영역(NDA)에는 댐(120), 데이터 라인(DL)들과 일대일로 접속되는 데이터 링크 라인(DLL)들, 전원 라인(VDL)들이 접속되는 전원 보조 라인(VAL), 및 데이터 링크 라인(DLL)들, 전원 보조 라인(VAL)과 일대일로 접속되는 패드(PAD)들이 형성된다.

[0108] 댐(120)은 표시 영역(DA)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단한다. 또한, 댐(120)은 표시 영역(DA)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 이를 통해, 댐(120)은 유기막(282)이 표시장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.

[0109] 이러한 댐(120)은 화소(P)의 평탄화막(250) 또는 뱅크(270)와 동시에 형성될 수 있으며, 평탄화막(250) 또는 뱅크(270)와 같은 물질로 이루어질 수 있다. 이와 같은 경우, 댐(120)은 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 물질로 형성될 수 있다.

[0110] 한편, 도 11에서는 댐(120)이 제1 무기막(281)에 의하여 덮여도록 도시하고 있으나, 이에 한정되지 않는다. 제1 무기막(281)은 표시 영역(DA)을 덮는다면 댐(120)까지 형성되지 않고 표시 영역(DA)과 댐(120) 사이까지만 형성될 수도 있다.

[0111] 데이터 링크 라인(DLL)들은 패드 영역(PA)에 배치된 패드(PAD)들과 일대일로 접속되고, 표시 영역(DA)에 배치된

데이터 라인(DL)들과 일대일로 접속된다. 구체적으로, 데이터 링크 라인(DLL)의 일단은 제1 콘택홀(CT1)을 통해 데이터 라인(DL)에 접속되고, 타단은 제2 콘택홀(CT2)을 통해 패드(PAD)에 접속된다. 패드(PAD)는 이방성 도전 필름(antisotropic conducting film)을 이용하여 제3 콘택홀(CT3)을 통해 연성 필름(150)의 배선들과 전기적으로 연결될 수 있다.

[0112] 데이터 링크 라인(DLL)은 데이터 라인(DL)에 접속되는 일단에서 데이터 라인(DL)과 나란하게 형성되다가 소정의 길이까지 데이터 라인(DL) 대비 비스듬하게 형성될 수 있고, 상기 소정의 길이부터 패드(PAD)에 접속되는 타단 까지 패드(PAD)와 나란하게 형성될 수 있다.

[0113] 데이터 링크 라인(DLL)들은 제1 전극 라인으로서 제1 금속패턴으로 형성된다. 데이터 라인(DL)은 제2 전극 라인으로서 제2 금속패턴으로 형성된다. 패드(PAD)는 데이터 라인(DL)과 동일한 제2 금속패턴으로 형성된다. 본 발명의 실시예에서는 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.

[0114] 전원 보조 라인(VAL)은 게이트 라인(GL)들과 나란하게 형성되어, 패드 영역(PA)에 배치된 패드(PAD)와 표시 영역(DA)에 배치된 전원 라인(VDL)들에 접속된다. 이때, 전원 보조 라인(VAL)은 전원 라인(VDL)들과 직접 연결되지 않고, 전원 라인(VDL)들과 일대일로 접속된 연결 라인(CL)들을 이용하여 전원 라인(VDL)들과 접속될 수 있다. 구체적으로, 전원 라인(VDL)은 제4 콘택홀(CT4)을 통해 연결 라인(CL)에 접속되고, 전원 보조 라인(VAL)은 제5 콘택홀(CT5)을 통해 연결 라인(CL)에 접속된다.

[0115] 연결 라인(CL)들은 제3 전극 라인으로서 제1 금속패턴으로 형성된다. 전원 보조 라인(VAL)은 제4 전극 라인으로서 제2 금속패턴으로 형성된다. 전원 라인(VDL)은 제5 전극 라인으로서 제2 금속패턴으로 형성된다. 패드(PAD)는 전원 보조 라인(VAL)과 동일한 제2 금속패턴으로 형성되어 전원 보조 라인(VAL)과 연결될 수 있다. 상술한 바와 같이, 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.

[0116] 제1 기판(111) 상에는 게이트 절연막(220)이 형성되고, 게이트 절연막(220) 상에는 데이터 링크 라인(DLL)과 연결 라인(CL)이 제1 금속패턴으로 형성된다. 데이터 링크 라인(DLL)과 연결 라인(CL) 상에는 충간 절연막(230)이 형성된다. 충간 절연막(230)을 관통하여 데이터 링크 라인(DLL)을 노출시키는 제1 콘택홀(CT1) 및 제2 콘택홀(CT2)이 형성된다. 또한, 충간 절연막(230)을 관통하여 연결 라인(CL)을 노출시키는 제4 콘택홀(CT4) 및 제5 콘택홀(CT5)이 형성된다. 충간 절연막(230) 상에는 제1 콘택홀(CT1)을 통해 데이터 링크 라인(DLL)과 접속하는 데이터 라인(DL)이 제2 금속패턴으로 형성되고, 제2 콘택홀(CT2)을 통해 데이터 링크 라인(DLL)과 접속하는 패드(PAD)가 제2 금속패턴으로 형성된다. 또한, 충간 절연막(230) 상에는 제4 콘택홀(CT4)을 통해 연결 라인(CL)과 접속하는 전원 라인(VDL)이 제2 금속패턴으로 형성되고, 제5 콘택홀(CT5)을 통해 연결 라인(CL)과 접속하는 전원 보조 라인(VAL)이 제2 금속패턴으로 형성된다.

[0117] 본 발명의 실시예는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5)을 표시 영역(DA)과 댐(120) 사이에 형성하는 것을 특징으로 한다. 제1 콘택홀(CT1) 상에 형성된 데이터 라인(DL)과 보호막(240)은 제1 콘택홀(CT1)에 의하여 오목한 홈이 발생하게 된다. 제1 콘택홀(CT1)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.

[0118] 또한, 제4 콘택홀(CT4) 상에 형성된 전원 라인(VDL)과 보호막(240)은 제4 콘택홀(CT4)에 의하여 오목한 홈이 발생하게 된다. 제4 콘택홀(CT4)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제4 콘택홀(CT4) 상에 전원 라인(VDL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.

[0119] 또한, 제5 콘택홀(CT5) 상에 형성된 전원 보조 라인(VAL)과 보호막(240)은 제5 콘택홀(CT5)에 의하여 오목한 홈이 발생하게 된다. 제5 콘택홀(CT5)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제5 콘택홀(CT5) 상에 전원 보조 라인(VAL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.

[0120] 제1 무기막(281) 및 제2 무기막(283)은 CVD 기법 또는 ALD 기법을 이용하여 보호막(240) 상에 증착된다. 이때, 보호막(240)의 상면에는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5)에 의하여 발생한 오목한 홈이 있다. 이런 이유로, 보호막(240) 상에는 제1 무기막(281) 및 제2 무기막(283)이 일정한 두께로 증착되기 어렵다는 문제가 있다. 더욱이, 제1 무기막(281) 및 제2 무기막(283)은 홈의 경계에서 끊어진 형태를 가지는 심(seam)이 발생할 수 있다. 제1 무기막(281) 및 제2 무기막(283) 모두에 무기막 심(seam)이 발생하게 되면, 무기막 심(seam)을 통해 산소 또는 수분이 침투하여 유기발광소자(260)에 열화가 발생하는 다른 문제가 있다.

[0121] 이러한 문제점을 해결하기 위하여, 본 발명의 실시예는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5)

을 표시 영역(DA)과 댐(120) 사이에 형성한다. 이와 같은 경우, 제1 콘택홀(CT1) 상에는 데이터 라인(DL), 보호막(240), 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성된다. 제4 콘택홀(CT4) 상에는 전원 라인(VDL), 보호막(240), 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성되고, 제5 콘택홀(CT5) 상에는 전원 보조 라인(VAL), 보호막(240), 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성된다.

[0122] 본 발명의 실시예는 제1 무기막(281) 상에 유기막(282)이 형성되기 때문에 제1 무기막(281)에 끊어진 형태를 가지는 심(seam)이 발생하더라도 유기막(282)에 덮어져서 외부로 노출되지 않는다. 또한, 본 발명의 실시예는 유기막(282) 상에 제2 무기막(283)이 형성되기 때문에 제2 무기막(283)이 단차가 없는 표면에 증착될 수 있다. 이로 인해, 제2 무기막(283)에는 무기막 심(seam)이 발생하지 않는다.

[0123] 한편, 제2 콘택홀(CT2)은 패드 영역(PA)에 형성되며, 제2 콘택홀(CT2) 상에는 제1 무기막(281) 및 제2 무기막(283)이 형성되지 않는다.

[0124] 도 11에서는 데이터 라인(DL)이 게이트 금속패턴으로 형성되고, 데이터 링크 라인(DLL)이 소스/드레인 금속패턴으로 형성된 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 다른 실시예에 있어서는 데이터 라인(DL)이 소스/드레인 금속패턴으로 형성되고, 데이터 링크 라인(DLL)이 게이트 금속패턴으로 형성될 수도 있다. 그 밖에 데이터 라인(DL)과 데이터 링크 라인(DLL)은 서로 다른 층에 배치된 금속패턴들로 형성될 수 있다.

[0125] 또한, 도 11에서는 연결 라인(CL)이 게이트 금속패턴으로 형성되고, 전원 라인(VDL)과 전원 보조 라인(VAL)이 소스/드레인 금속패턴으로 형성된 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 다른 실시예에 있어서는 연결 라인(CL)이 소스/드레인 금속패턴으로 형성되고, 전원 라인(VDL)과 전원 보조 라인(VAL)이 게이트 금속패턴으로 형성될 수도 있다. 그 밖에 연결 라인(CL)과 전원 라인(VDL)/전원 보조 라인(VAL)은 서로 다른 층에 배치된 금속패턴들로 형성될 수 있다.

[0126] 또한, 도 11에서는 연결 라인(CL)을 통하여 전원 라인(VDL)과 전원 보조 라인(VAL)이 연결되는 것을 도시하고 있으나, 이에 한정되지 않는다. 다른 실시예에 있어서는 전원 라인(VDL)이 전원 보조 라인(VAL)과 직접 접속될 수도 있다. 이와 같은 경우, 전원 라인(VDL)과 전원 보조 라인(VAL)은 서로 다른 층에 배치된 금속패턴들로 형성될 수 있다. 예컨대, 전원 라인(VDL)은 게이트 금속패턴으로 형성되고, 전원 보조 라인(VAL)은 소스/드레인 금속패턴으로 형성될 수 있다. 전원 라인(VDL)은 콘택홀을 통해 전원 보조 라인(VAL)과 접속될 수 있다.

제4 실시예

[0129] 도 12는 본 발명의 제4 실시예에 따른 제1 기판을 개략적으로 보여주는 평면도이고, 도 13은 도 12의 C 영역을 보여주는 확대 평면도이며, 도 14는 도 13의 II-II' 선의 단면을 개략적으로 나타내는 단면도이다.

[0130] 도 12 내지 도 14에 도시된 표시장치는 댐을 2개를 형성한다는 점에서 도 9 내지 도 11에 도시된 표시장치와 차이가 있다. 이하에서는 도 9 내지 도 11에 도시된 표시장치와 실질적으로 동일한 박막 트랜지스터(210), 유기발광소자(260) 및 봉지막(280)에 대한 설명을 생략하도록 한다.

[0131] 도 12 내지 도 14를 참조하면, 제1 기판(111)은 표시 영역(DA)과 비표시 영역(NDA)으로 구분되며, 비표시 영역(NDA)에는 패드들이 형성되는 패드 영역(PA)을 포함한다.

[0132] 표시 영역(DA)에는 데이터 라인(DL)들, 데이터 라인(DL)들과 교차되는 게이트 라인(GL)들, 데이터 라인(DL)들과 나란한 전원 라인(VDL)들이 형성된다. 또한, 표시 영역(DA)에는 데이터 라인(DL)들과 게이트 라인(GL)들의 교차 영역에 매트릭스 형태로 화상을 표시하는 화소(P)들이 형성된다. 화소(P)들 각각은 게이트 라인(GL)의 게이트 신호가 입력되면 데이터 라인(DL)의 데이터 전압에 따라 유기발광소자(260)에 소정의 전류를 공급한다. 이로 인해, 화소(P)들 각각의 유기발광소자(260)는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다. 또한, 전원 라인(VDL)에는 전원 전압이 공급된다. 전원 라인(VDL)은 화소(P)들 각각에 전원 전압을 공급한다.

[0133] 비표시 영역(NDA)에는 제1 댐(122), 제2 댐(124), 데이터 라인(DL)들과 일대일로 접속되는 데이터 링크 라인(DLL)들, 전원 라인(VDL)들이 접속되는 전원 보조 라인(VAL), 및 데이터 링크 라인(DLL)들, 전원 보조 라인(VAL)과 일대일로 접속되는 패드(PAD)들이 형성된다.

[0134] 제1 댐(122)은 표시 영역(DA)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 또한, 제1 댐(122)은 표시 영역(DA)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단한다. 이를 통해, 제1 댐(122)은 유기막(282)이 표

시장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.

[0135] 제2 땜(124)는 제1 땜(122)과 패드 영역(PA) 사이에 배치되어 봉지막(280)을 구성하는 유기막(282)이 패드 영역(PA)을 침범하지 못하도록 유기막(282)의 흐름을 차단한다. 또한, 제2 땜(124)은 제1 땜(122)을 둘러싸도록 형성되어 봉지막(280)을 구성하는 유기막(282)의 흐름을 차단한다. 이를 통해, 제2 땜(124)은 유기막(282)이 표시장치의 외부로 노출되거나 패드 영역(PA)을 침범하는 것을 방지할 수 있다.

[0136] 한편, 제2 땜(124)은 제1 땜(122) 보다 높이가 클 수 있다. 제1 땜(122)은 표시 영역(DA)으로부터 흘러나오는 유기막(282)을 1차적으로 차단하여 유기막(282)의 흐름 속도 늦출 수 있다. 그리고 제2 땜(124)은 제1 땜(122) 보다 높게 형성하여 제1 땜(122)을 타고 흘러넘친 유기막(282)을 2차적으로 차단한다. 결과적으로, 유기막(282)은 제2 땜(124)에 의하여 최종적으로 흐름이 차단된다.

[0137] 제1 땜(122) 및 제2 땜(124)은 화소(P)의 평탄화막(250) 또는 뱅크(270)와 동시에 형성될 수 있으며, 평탄화막(250) 또는 뱅크(270)와 같은 물질로 이루어질 수 있다. 이와 같은 경우, 제1 땜(122) 및 제2 땜(124)은 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 물질로 형성될 수 있다.

[0138] 한편, 도 14에서는 제1 땜(122) 및 제2 땜(124)이 제1 무기막(281)에 의하여 덮이도록 도시하고 있으나, 이에 한정되지 않는다. 제1 무기막(281)은 표시 영역(DA)을 덮는다면 제2 땜(124)까지 형성되지 않고 표시 영역(DA)과 제1 땜(122) 사이 또는 제1 땜(122)과 제2 땜(124) 사이까지만 형성될 수도 있다.

[0139] 데이터 링크 라인(DLL)들은 패드 영역(PA)에 배치된 패드(PAD)들과 일대일로 접속되고, 표시 영역(DA)에 배치된 데이터 라인(DL)들과 일대일로 접속된다. 구체적으로, 데이터 링크 라인(DLL)의 일단은 제1 콘택홀(CT1)을 통해 데이터 라인(DL)에 접속되고, 타단은 제2 콘택홀(CT2)을 통해 패드(PAD)에 접속된다. 패드(PAD)는 이방성 도전 필름(antisotropic conducting film)을 이용하여 제3 콘택홀(CT3)을 통해 연성 필름(150)의 배선들과 전기적으로 연결될 수 있다.

[0140] 데이터 링크 라인(DLL)은 데이터 라인(DL)에 접속되는 일단에서 데이터 라인(DL)과 나란하게 형성되다가 소정의 길이까지 데이터 라인(DL) 대비 비스듬하게 형성될 수 있고, 상기 소정의 길이부터 패드(PAD)에 접속되는 타단 까지 패드(PAD)와 나란하게 형성될 수 있다.

[0141] 데이터 링크 라인(DLL)들은 제1 전극 라인으로서 제1 금속패턴으로 형성된다. 데이터 라인(DL)은 제2 전극 라인으로서 제2 금속패턴으로 형성된다. 패드(PAD)는 데이터 라인(DL)과 동일한 제2 금속패턴으로 형성된다. 본 발명의 실시예에서는 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.

[0142] 전원 보조 라인(VAL)은 게이트 라인(GL)들과 나란하게 형성되어, 패드 영역(PA)에 배치된 패드(PAD)와 표시 영역(DA)에 배치된 전원 라인(VDL)들에 접속된다. 이때, 전원 보조 라인(VAL)은 전원 라인(VDL)들과 직접 연결되지 않고, 전원 라인(VDL)들과 일대일로 접속된 연결 라인(CL)들을 이용하여 전원 라인(VDL)들과 접속될 수 있다. 구체적으로, 전원 라인(VDL)은 제4 콘택홀(CT4)을 통해 연결 라인(CL)에 접속되고, 전원 보조 라인(VAL)은 제5 콘택홀(CT5)을 통해 연결 라인(CL)에 접속된다.

[0143] 연결 라인(CL)들은 제3 전극 라인으로서 제1 금속패턴으로 형성된다. 전원 보조 라인(VAL)은 제4 전극 라인으로서 제2 금속패턴으로 형성된다. 전원 라인(VDL)은 제5 전극 라인으로서 제2 금속패턴으로 형성된다. 상술한 바와 같이, 제1 금속패턴은 게이트 전극(212)과 동일한 물질로 이루어진 게이트 금속패턴에 해당하며, 제2 금속패턴은 소스/드레인 전극(213/214)과 동일한 물질로 이루어진 소스/드레인 금속패턴에 해당할 수 있다.

[0144] 제1 기판(111) 상에는 게이트 절연막(220)이 형성되고, 게이트 절연막(220) 상에는 데이터 링크 라인(DLL)과 연결 라인(CL)이 제1 금속패턴으로 형성된다. 데이터 링크 라인(DLL)과 연결 라인(CL) 상에는 충간 절연막(230)이 형성된다. 충간 절연막(230)을 관통하여 데이터 링크 라인(DLL)을 노출시키는 제1 콘택홀(CT1) 및 제2 콘택홀(CT2)이 형성된다. 또한, 충간 절연막(230)을 관통하여 연결 라인(CL)을 노출시키는 제4 콘택홀(CT4) 및 제5 콘택홀(CT5)이 형성된다. 충간 절연막(230) 상에는 제1 콘택홀(CT1)을 통해 데이터 링크 라인(DLL)과 접속하는 데이터 라인(DL)이 제2 금속패턴으로 형성되고, 제2 콘택홀(CT2)을 통해 데이터 링크 라인(DLL)과 접속하는 패드(PAD)가 제2 금속패턴으로 형성된다. 또한, 충간 절연막(230) 상에는 제4 콘택홀(CT4)을 통해 연결 라인(CL)과 접속하는 전원 라인(VDL)이 제2 금속패턴으로 형성되고, 제5 콘택홀(CT5)을 통해 연결 라인(CL)과 접속하는 전원 보조 라인(VAL)이 제2 금속패턴으로 형성된다.

- [0145] 본 발명의 실시예는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5) 중 적어도 하나를 제1 댐(122)과 제2 댐(124) 사이에 형성하는 것을 특징으로 한다. 제1 콘택홀(CT1) 상에 형성된 데이터 라인(DL)과 보호막(240)은 제1 콘택홀(CT1)에 의하여 오목한 홈이 발생하게 된다. 제1 콘택홀(CT1)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제1 콘택홀(CT1) 상에 데이터 라인(DL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.
- [0146] 또한, 제4 콘택홀(CT4) 상에 형성된 전원 라인(VDL)과 보호막(240)은 제4 콘택홀(CT4)에 의하여 오목한 홈이 발생하게 된다. 제4 콘택홀(CT4)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제4 콘택홀(CT1) 상에 전원 라인(VDL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.
- [0147] 또한, 제5 콘택홀(CT5) 상에 형성된 전원 보조 라인(VAL)과 보호막(240)은 제5 콘택홀(CT5)에 의하여 오목한 홈이 발생하게 된다. 제5 콘택홀(CT5)을 댐(120)과 패드 영역(PA) 사이에 형성하게 되면, 제5 콘택홀(CT5) 상에 전원 보조 라인(VAL), 보호막(240), 제1 무기막(281) 및 제2 무기막(283)이 형성된다.
- [0148] 제1 무기막(281) 및 제2 무기막(283)은 CVD 기법 또는 ALD 기법을 이용하여 보호막(240) 상에 증착된다. 이때, 보호막(240)의 상면에는 제1 콘택홀(CT1)에 의하여 발생한 오목한 홈이 있다. 이런 이유로, 보호막(240) 상에는 제1 무기막(281) 및 제2 무기막(283)이 일정한 두께로 증착되기 어렵다는 문제가 있다. 더욱이, 제1 무기막(281) 및 제2 무기막(283)은 홈의 경계에서 끊어진 형태를 가지는 심(seam)이 발생할 수 있다. 제1 무기막(281) 및 제2 무기막(283) 모두에 무기막 심(seam)이 발생하게 되면, 무기막 심(seam)을 통해 산소 또는 수분이 침투하여 유기발광소자(260)에 열화가 발생하는 다른 문제가 있다.
- [0149] 이러한 문제점을 해결하기 위하여, 본 발명의 실시예는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5) 중 적어도 하나를 제1 댐(122)과 제2 댐(124) 사이에 배치하고, 나머지를 제1 댐(122)과 표시 영역(DA)에 배치한다. 그리고 유기막(282)이 제2 댐(124)의 내측면까지 형성되도록 한다. 이에 따라, 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5) 상에는 제1 무기막(281), 유기막(282) 및 제2 무기막(283)이 형성된다.
- [0150] 본 발명의 실시예는 제1 무기막(281) 상에 유기막(282)이 형성되기 때문에 제1 무기막(281)에 끊어진 형태를 가지는 심(seam)이 발생하더라도 유기막(282)에 덮어져서 외부로 노출되지 않는다. 도 14에는 제1 무기막(281)이 제1 댐(122) 및 제2 댐(124)을 덮도록 도시하고 있으나, 제1 무기막(281)은 제1 댐(122)과 표시 영역(DA) 사이까지만 형성될 수 있다. 이와 같은 경우, 본 발명의 실시예는 제1 콘택홀(CT1), 제4 콘택홀(CT4) 및 제5 콘택홀(CT5) 중 적어도 하나 상에 제1 무기막(281)이 형성되어 있지 않을 수도 있다. 또한, 본 발명의 실시예는 유기막(282) 상에 제2 무기막(283)이 형성되기 때문에 제2 무기막(283)이 단차가 없는 표면에 증착될 수 있다. 이로 인해, 제2 무기막(283)에는 무기막 심(seam)이 발생하지 않는다.
- [0151] 한편, 제2 콘택홀(CT2)은 패드 영역(PA)에 형성되며, 제2 콘택홀(CT2) 상에는 제1 무기막(281) 및 제2 무기막(283)이 형성되지 않는다.
- [0152] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.
- ### 부호의 설명
- [0153] 100: 표시장치 110: 표시패널
 111: 하부 기판 112: 상부 기판
 120: 게이트 구동부 130: 소스 드라이브 IC
 140: 연성필름 150: 회로보드
 160: 타이밍 콘트롤러 210: 박막 트랜지스터
 211: 액티브층 212: 게이트전극

213: 소스전극 214: 드레인전극

220: 게이트 절연막 230: 중간 절연막

240: 보호막 250: 평탄화막

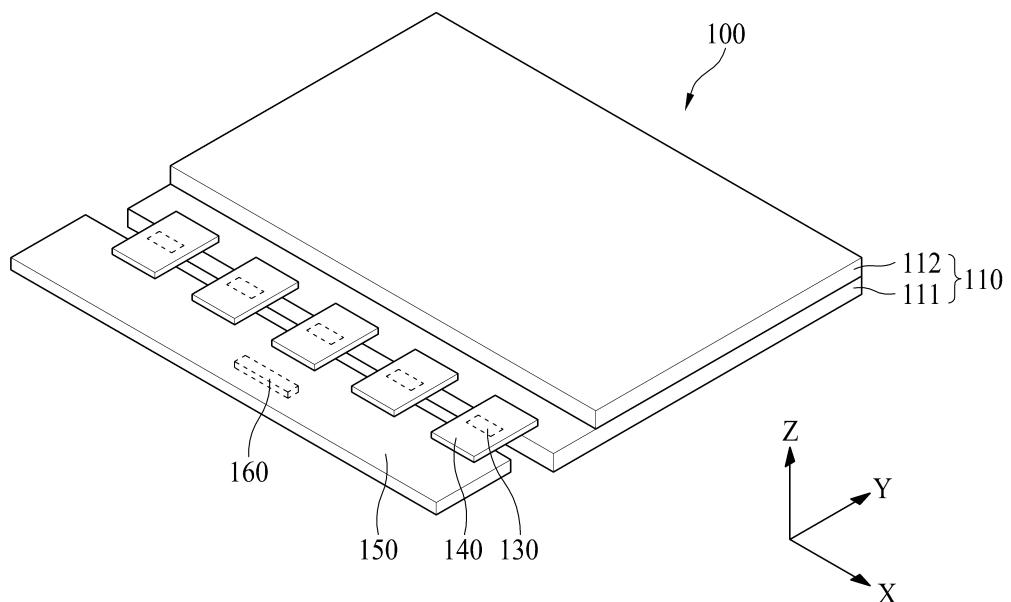
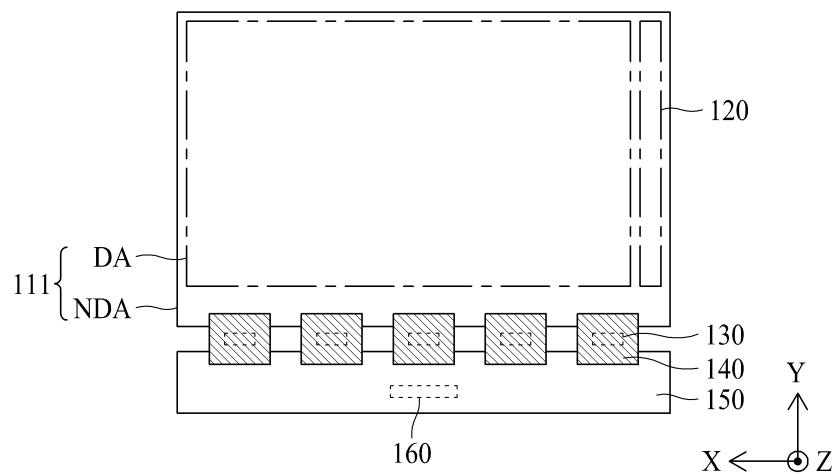
260: 유기발광소자 261: 제1 전극

262: 유기발광층 263: 제2 전극

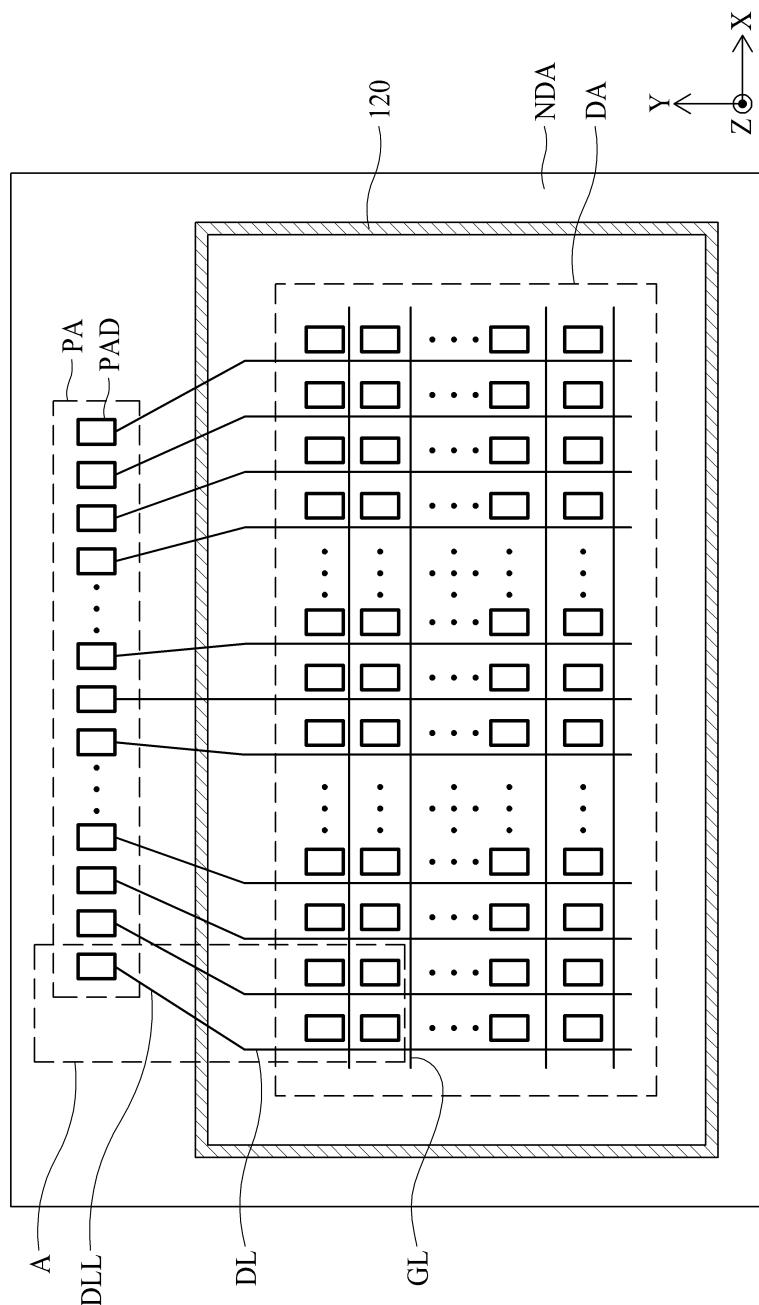
270: 뱅크 280: 봉지막

281: 제1 무기막 282: 유기막

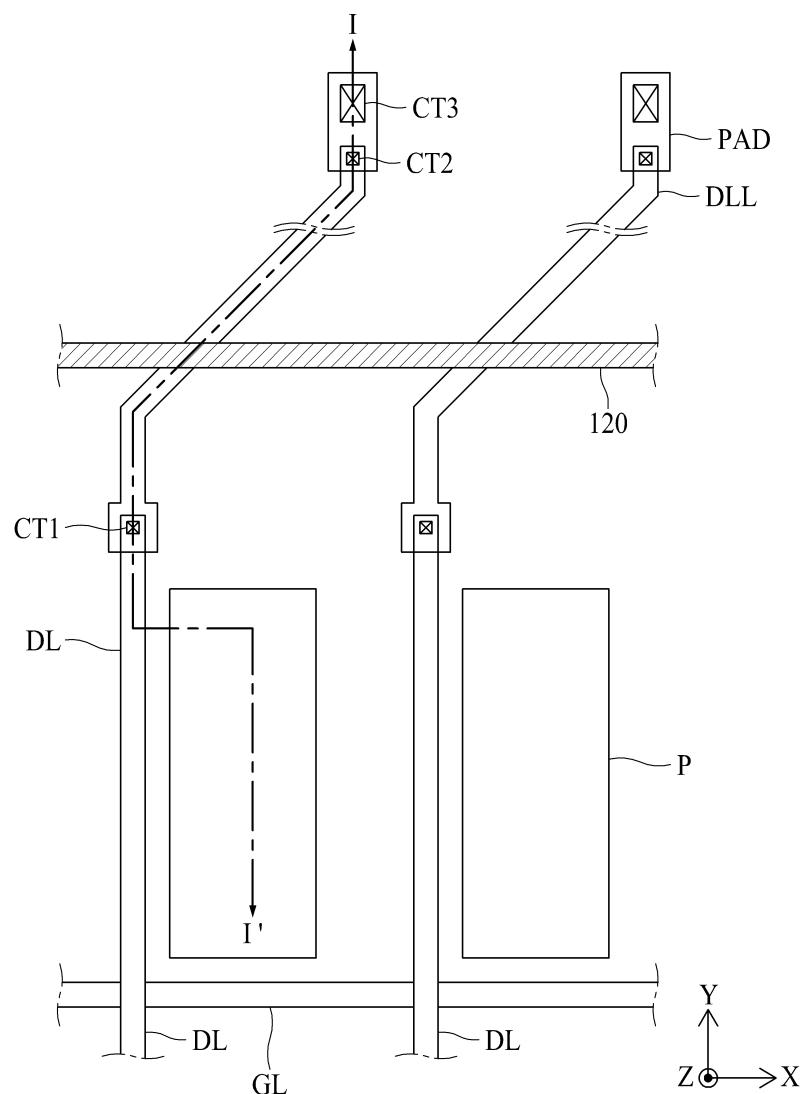
283: 제2 무기막

도면**도면1****도면2**

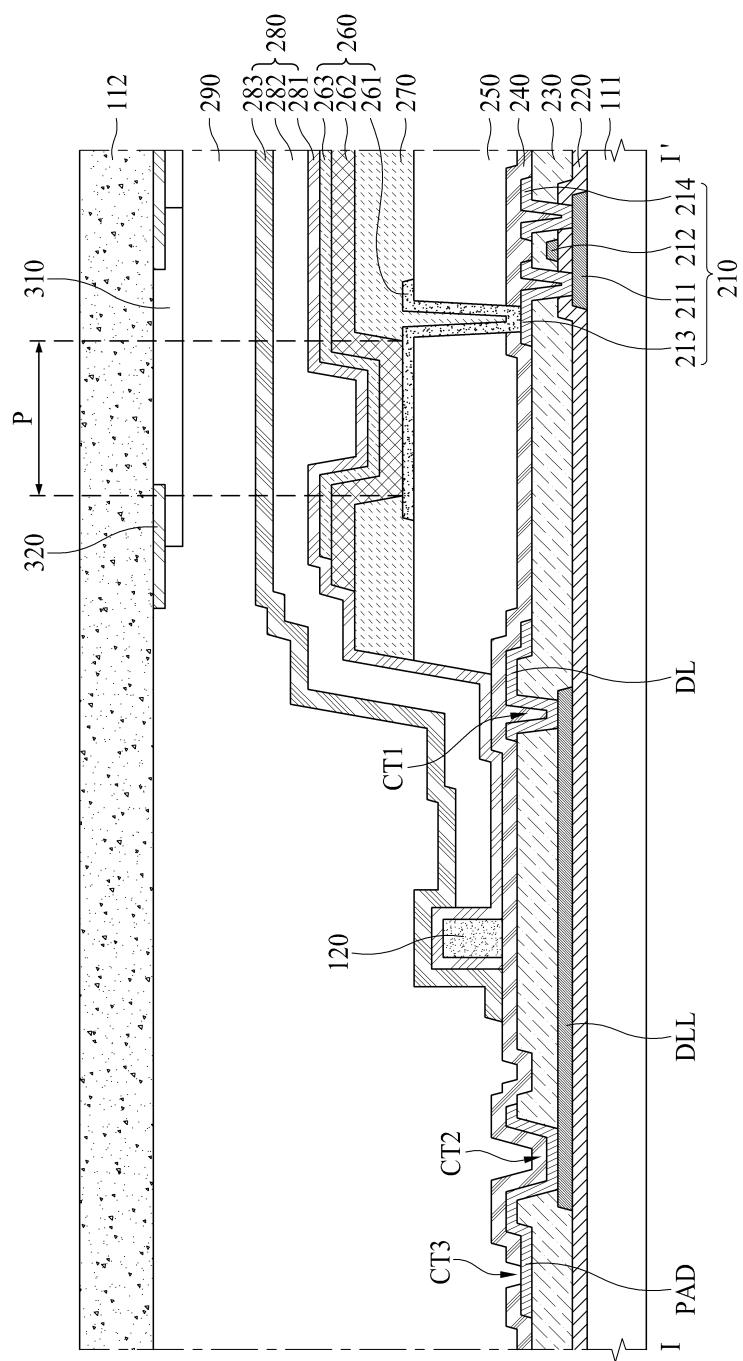
도면3



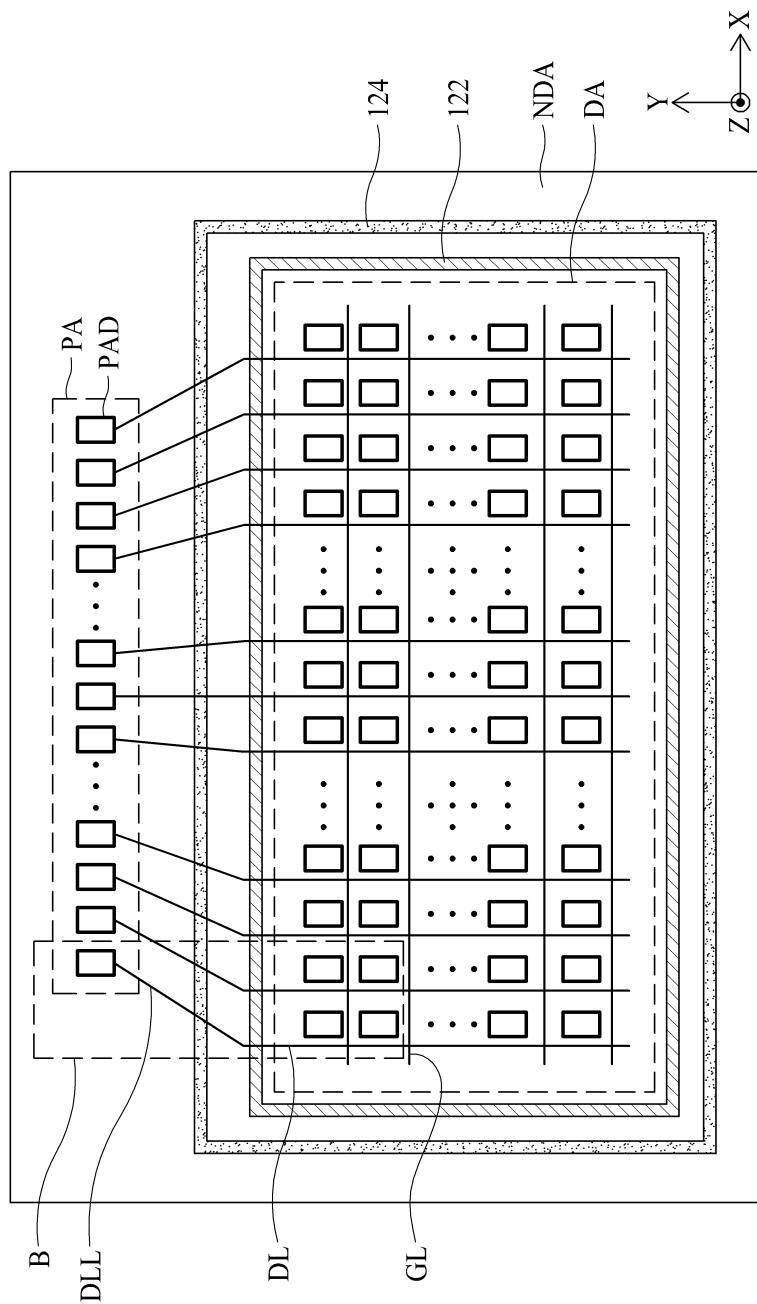
도면4



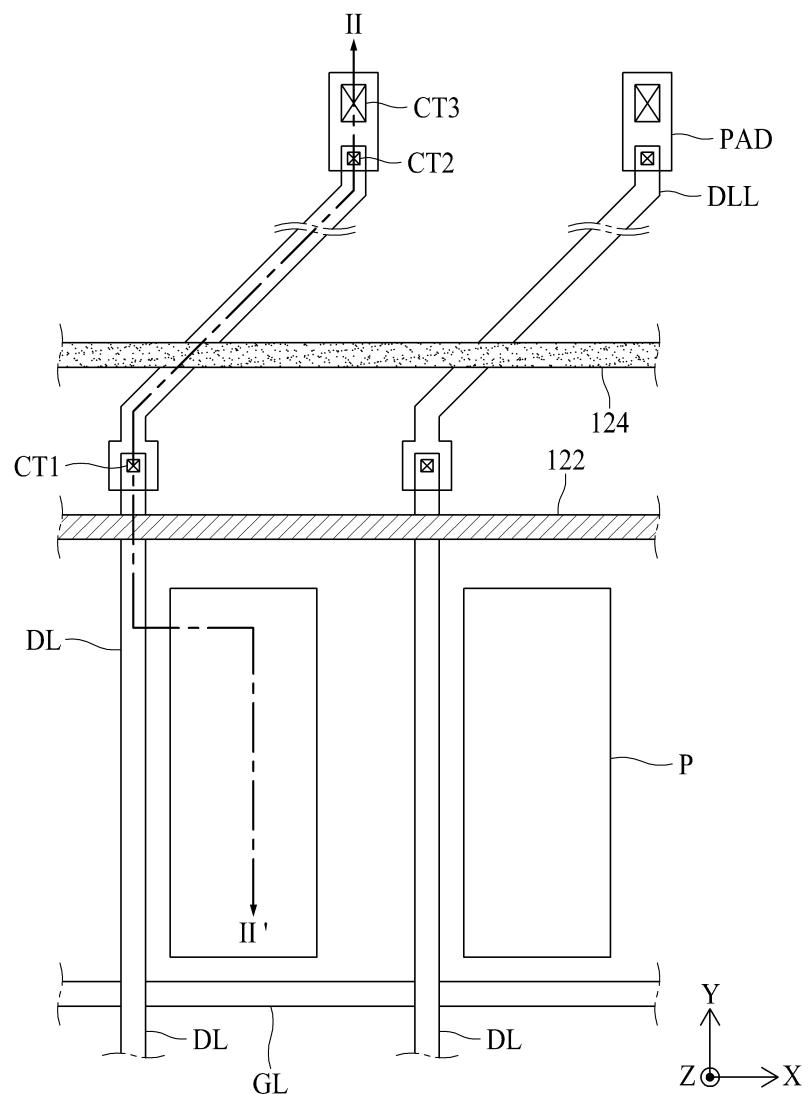
도면5



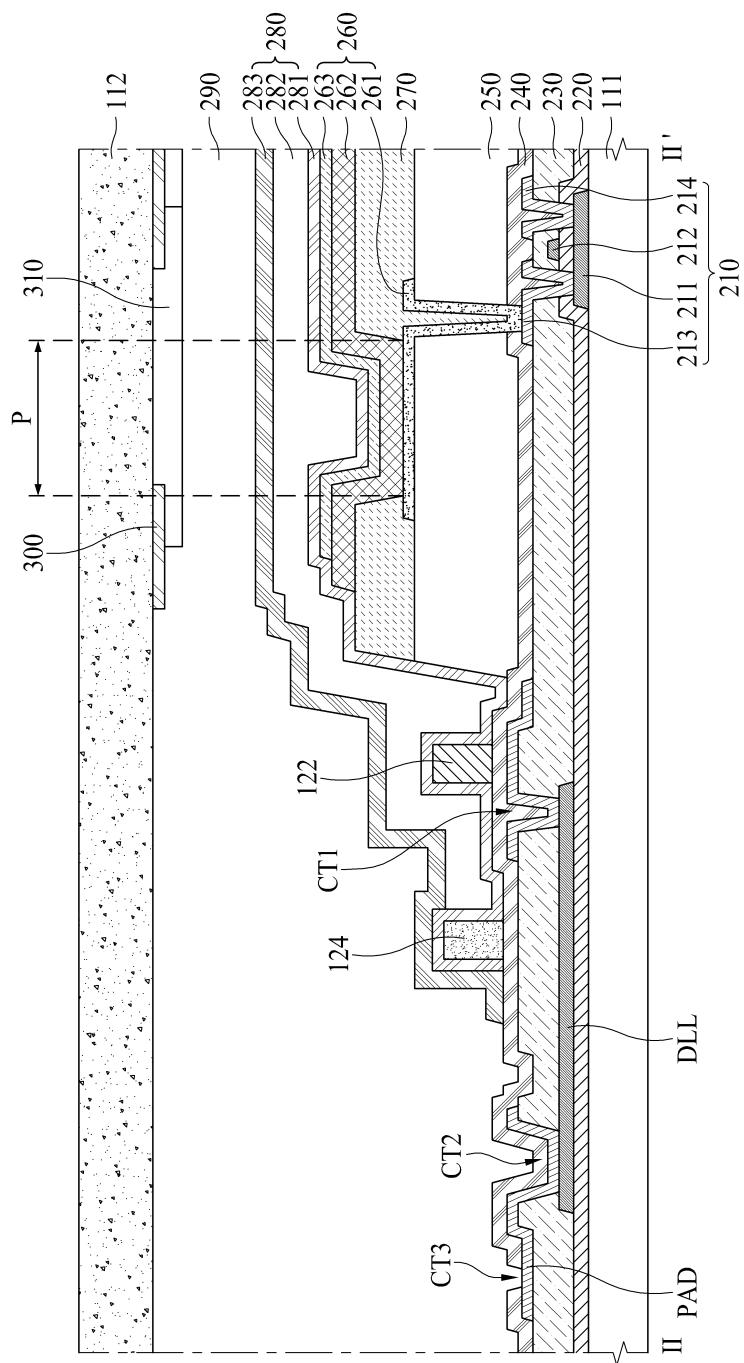
도면6



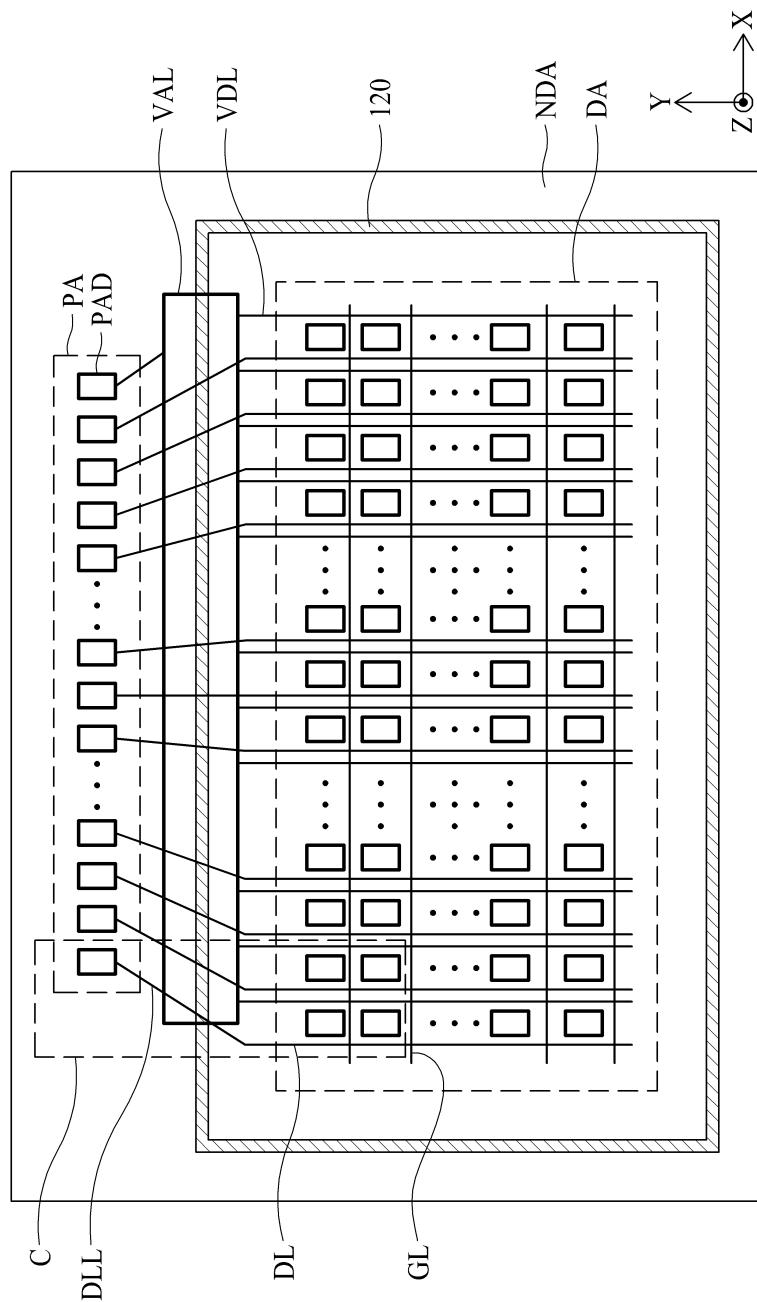
도면7



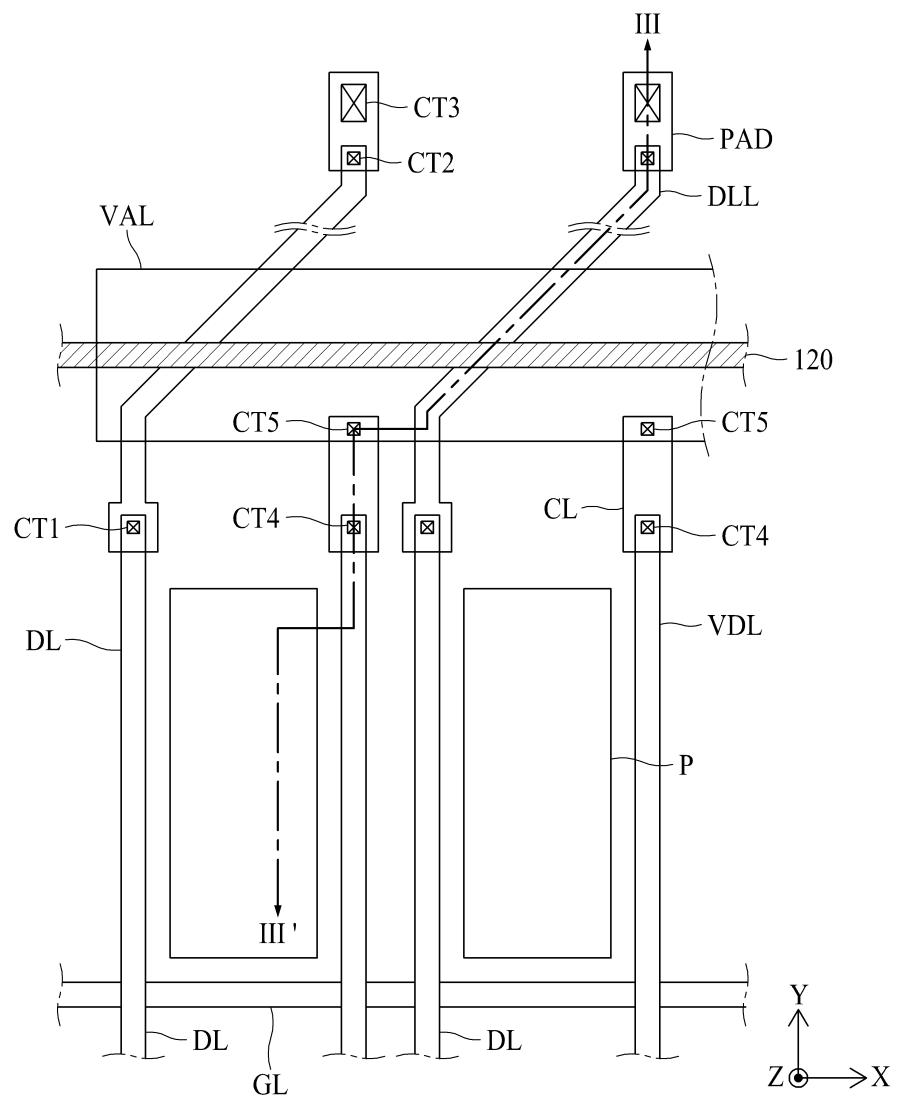
도면8



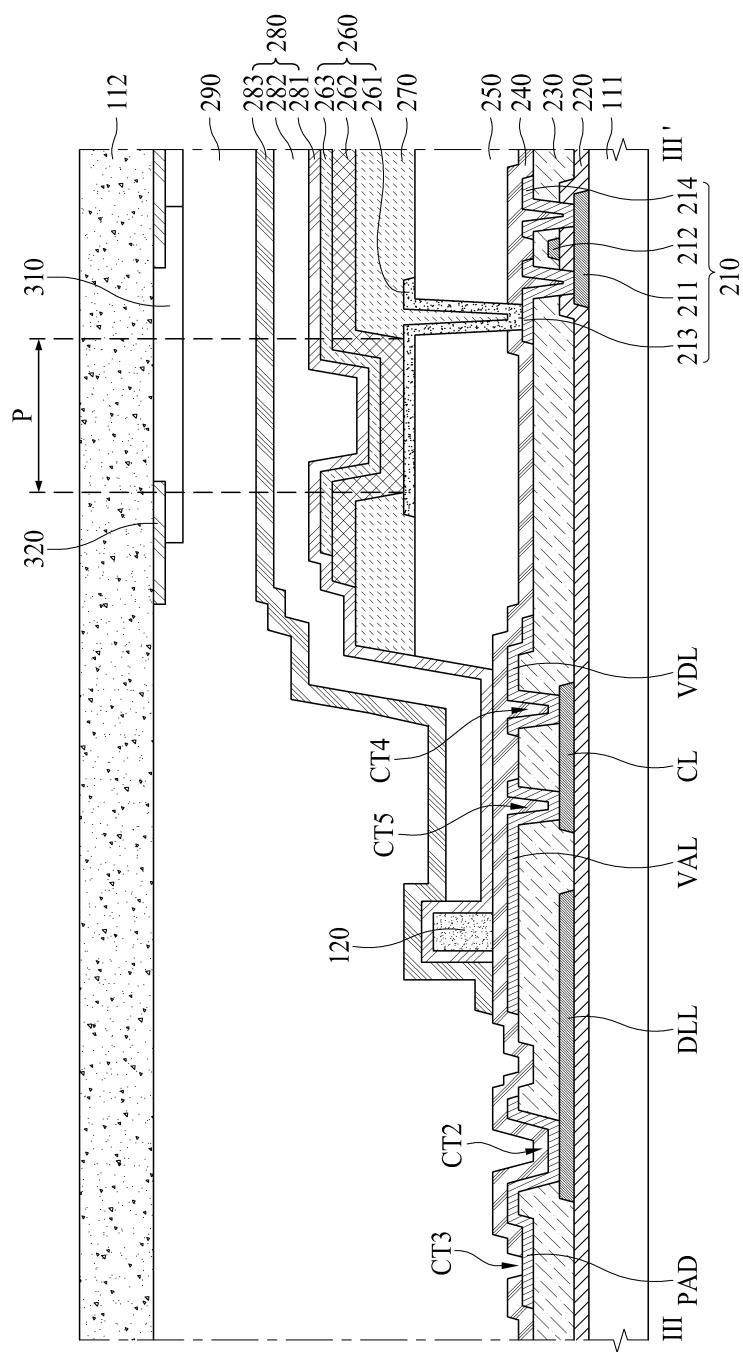
도면9



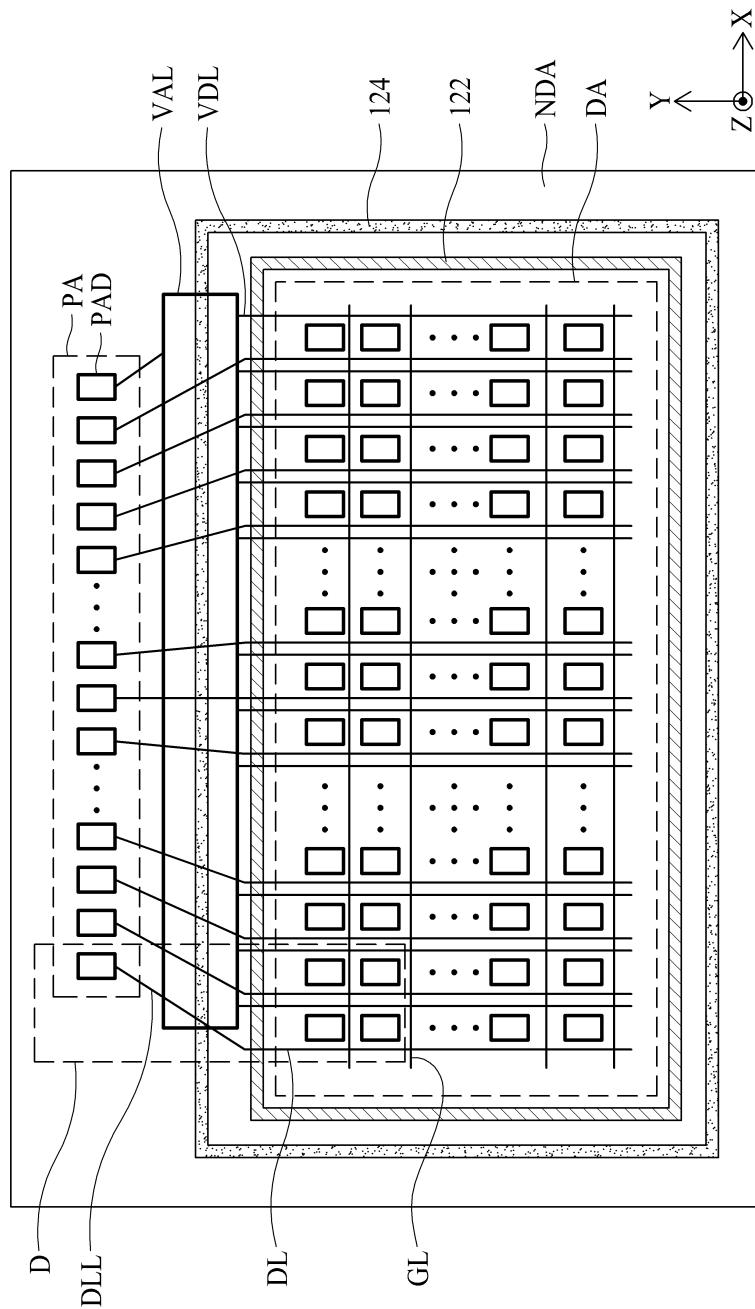
도면10



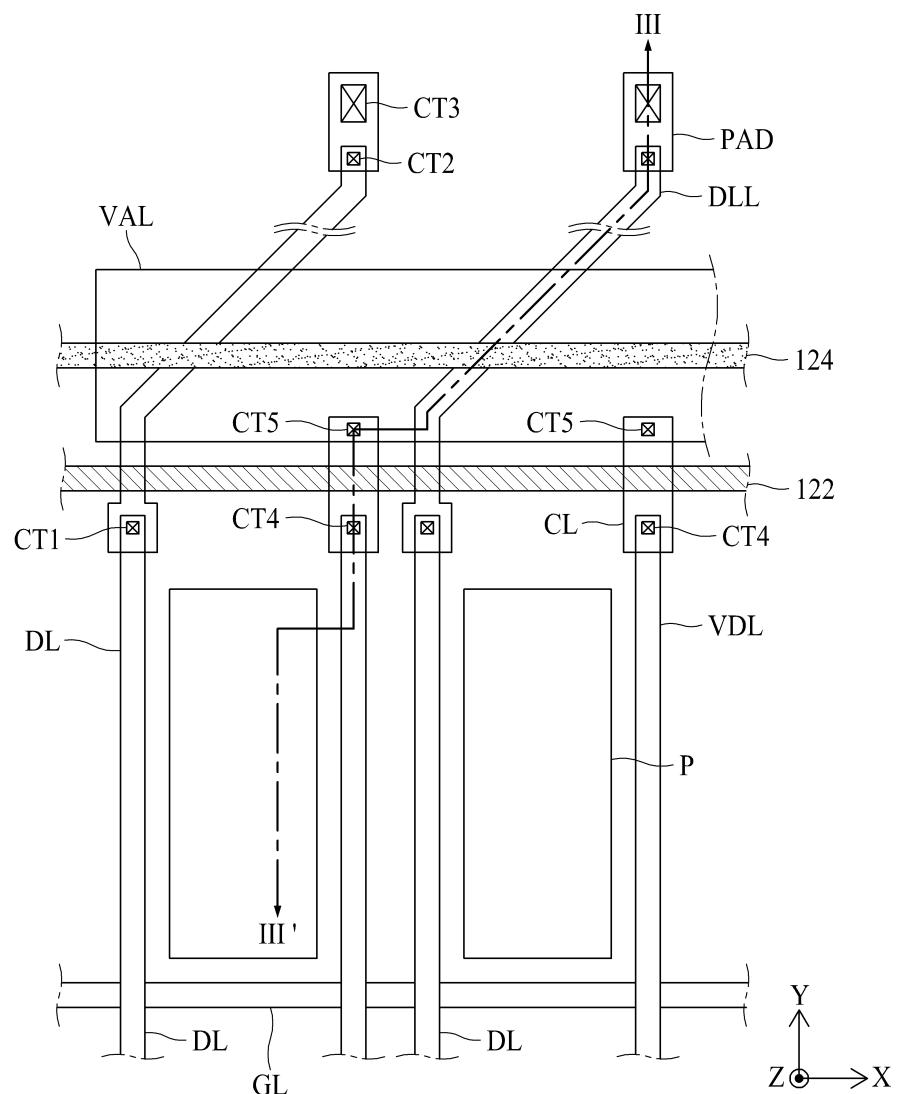
도면11



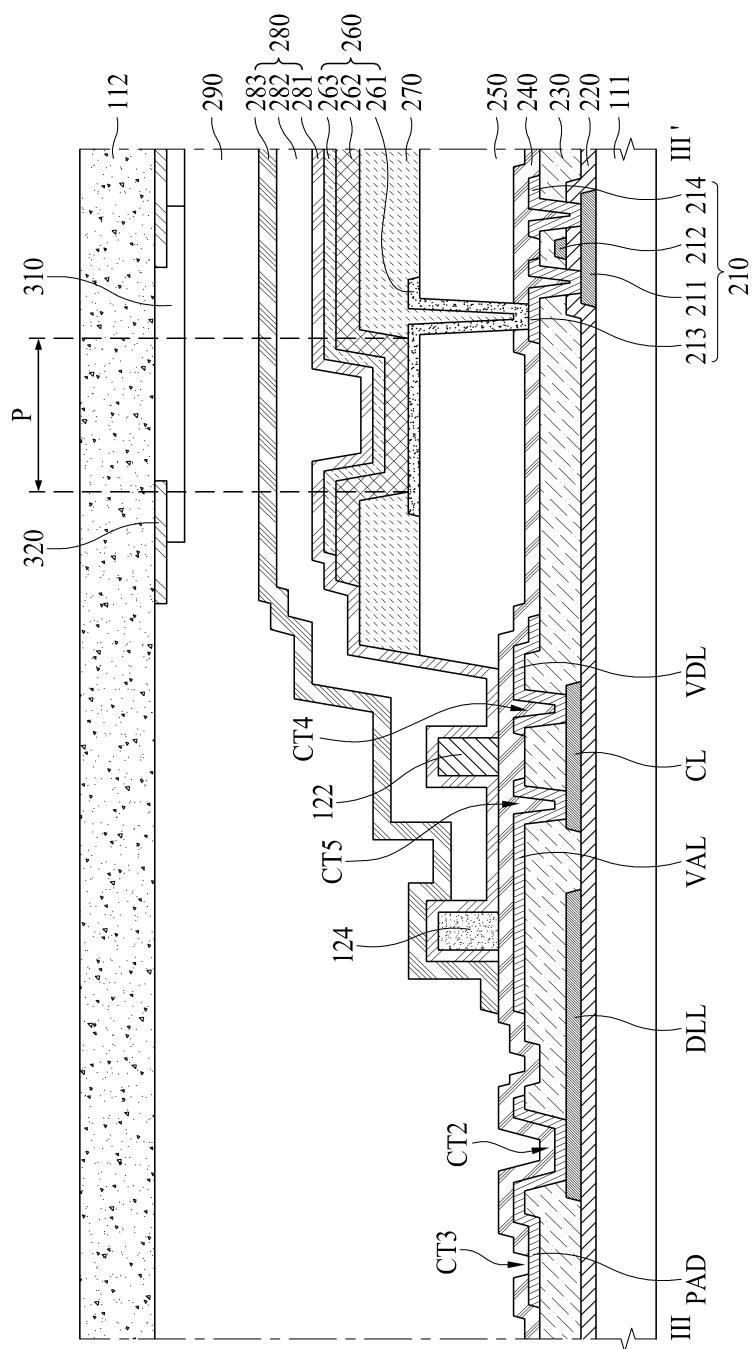
도면12



도면13



도면14



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020180078672A	公开(公告)日	2018-07-10
申请号	KR1020160183677	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TAE KYUNG KIM 김태경		
发明人	김태경		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/524 H01L27/3276 H01L51/5256 H01L27/3262 H01L27/3258		
外部链接	Espacenet		

摘要(译)

本发明提供一种显示装置及其制造方法，其能够防止水分渗透到有机发光装置中。根据本发明优选实施例的显示装置包括显示区域和第一电极线，显示区域包括像素，基板，包括焊盘区域，焊盘区域包括从焊盘输入信号的第一电极线的焊盘，第一电阻布置在第二电极线之间，第二电极线通过第一接触孔电连接，信号从第一电极线输入显示区域和焊盘区域。第一接触孔布置在第一坝和显示区域之间。

