

(52) CPC특허분류

H01L 27/1248 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 51/0096 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하는 액티브 패턴;

상기 액티브 패턴 상에 위치하며, 상기 액티브 패턴의 일부와 중첩하는 컨택홀을 포함하는 절연층;

상기 컨택홀과 이웃하여 상기 절연층 상에 위치하며, 상기 액티브 패턴의 테두리와 중첩하는 블록 패턴; 및

상기 블록 패턴 상에 위치하며, 상기 블록 패턴을 지나 상기 컨택홀을 통해 상기 액티브 패턴과 연결된 연결부를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 절연층은 상기 컨택홀을 둘러싸는 측면을 더 포함하며,

상기 블록 패턴은 상기 컨택홀의 상기 측면과 동일 평면인 단부면을 포함하는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 블록 패턴은 섬(island) 형태인 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 블록 패턴은 상기 컨택홀을 완전히 둘러싸는 폐루프(closed loop) 형태인 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 블록 패턴은 상기 컨택홀의 일부를 둘러싸는 개루프(open loop) 형태인 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 블록 패턴은 상기 컨택홀을 사이에 두고 서로 이격된 제1 서브 블록 패턴 및 제2 서브 블록 패턴을 포함하는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 연결부는 상기 블록 패턴과 접촉하는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 절연층은,

상기 액티브 패턴 상에 위치하는 제1 서브 절연층; 및

상기 제1 서브 절연층 상에 위치하는 제2 서브 절연층
을 더 포함하며,
상기 블록 패턴은,
상기 제1 서브 절연층과 상기 제2 서브 절연층 사이에 위치하는 제3 서브 블록 패턴; 및
상기 제2 서브 절연층 상에 위치하며 상기 제3 서브 블록 패턴과 중첩하는 제4 서브 블록 패턴
을 포함하는 유기 발광 표시 장치.

청구항 9

제1항에서,
상기 액티브 패턴은 서로 연결된 복수의 서브 액티브 패턴들을 포함하며,
상기 절연층 상에 위치하며, 상기 복수의 서브 액티브 패턴들 중 일부를 제1 방향으로 가로 지르는 제1 배선들;
상기 제1 배선들 상에 위치하여 상기 제1 방향과 교차하는 제2 방향으로 연장된 제2 배선들
을 포함하며,
상기 제2 배선들 중 적어도 일부는 상기 연결부와 연결된 유기 발광 표시 장치.

청구항 10

제9항에서,
상기 제1 배선들과 상기 제2 배선들 사이의 층에 위치하는 제3 배선을 더 포함하며,
상기 블록 패턴은 상기 제3 배선과 동일 층인 유기 발광 표시 장치.

청구항 11

제9항에서,
상기 블록 패턴은 상기 제1 배선들과 동일 층인 유기 발광 표시 장치.

청구항 12

제9항에서,
상기 연결부는 상기 제2 배선들과 동일 층인 유기 발광 표시 장치.

청구항 13

제1항에서,
상기 연결부와 연결된 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 상기 유기 발광층 상에 위치하는
제2 전극을 포함하는 유기 발광 소자를 더 포함하는 유기 발광 표시 장치.

청구항 14

제1항에서,
상기 기판은 유기 재료를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

본 기재는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0001]

- [0002] 표시 장치의 일례로서, 유기 발광 표시 장치(organic light emitting diode display) 및 액정 표시 장치(liquid crystal display) 등이 있다.
- [0003] 이 중, 유기 발광 표시 장치는 기판 상에 형성된 복수의 배선들, 복수의 박막 트랜지스터들, 및 복수의 유기 발광 소자들을 포함한다.
- [0004] 유기 발광 표시 장치에 포함된 복수의 배선들은 절연층에 포함된 콘택홀을 통해 박막 트랜지스터 또는 유기 발광 소자와 연결된다.

발명의 내용

해결하려는 과제

- [0005] 일 실시예는, 콘택홀과 이웃하는 절연층의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

- [0006] 일 측면은 기판, 상기 기판 상에 위치하는 액티브 패턴, 상기 액티브 패턴 상에 위치하며, 상기 액티브 패턴의 일부와 중첩하는 콘택홀을 포함하는 절연층, 상기 콘택홀과 이웃하여 상기 절연층 상에 위치하며, 상기 액티브 패턴의 테두리와 중첩하는 블록 패턴, 및 상기 블록 패턴 상에 위치하며, 상기 블록 패턴을 지나 상기 콘택홀을 통해 상기 액티브 패턴과 연결된 연결부를 포함하는 유기 발광 표시 장치를 제공한다.
- [0007] 상기 절연층은 상기 콘택홀을 둘러싸는 측면을 더 포함하며, 상기 블록 패턴은 상기 콘택홀의 상기 측면과 동일 평면인 단부면을 포함할 수 있다.
- [0008] 상기 블록 패턴은 섬(island) 형태일 수 있다.
- [0009] 상기 블록 패턴은 상기 콘택홀을 완전히 둘러싸는 폐루프(closed loop) 형태일 수 있다.
- [0010] 상기 블록 패턴은 상기 콘택홀의 일부를 둘러싸는 개루프(open loop) 형태일 수 있다.
- [0011] 상기 블록 패턴은 상기 콘택홀을 사이에 두고 서로 이격된 제1 서브 블록 패턴 및 제2 서브 블록 패턴을 포함할 수 있다.
- [0012] 상기 연결부는 상기 블록 패턴과 접촉할 수 있다.
- [0013] 상기 절연층은 상기 액티브 패턴 상에 위치하는 제1 서브 절연층, 및 상기 제1 서브 절연층 상에 위치하는 제2 서브 절연층을 더 포함하며, 상기 블록 패턴은 상기 제1 서브 절연층과 상기 제2 서브 절연층 사이에 위치하는 제3 서브 블록 패턴, 및 상기 제2 서브 절연층 상에 위치하며 상기 제3 서브 블록 패턴과 중첩하는 제4 서브 블록 패턴을 포함할 수 있다.
- [0014] 상기 액티브 패턴은 서로 연결된 복수의 서브 액티브 패턴들을 포함하며, 상기 유기 발광 표시 장치는 상기 절연층 상에 위치하며 상기 복수의 서브 액티브 패턴들 중 일부를 제1 방향으로 가로 지르는 제1 배선들, 상기 제1 배선들 상에 위치하여 상기 제1 방향과 교차하는 제2 방향으로 연장된 제2 배선들을 포함하며, 상기 제2 배선들 중 적어도 일부는 상기 연결부와 연결될 수 있다.
- [0015] 상기 제1 배선들과 상기 제2 배선들 사이의 층에 위치하는 제3 배선을 더 포함하며, 상기 블록 패턴은 상기 제3 배선과 동일 층일 수 있다.
- [0016] 상기 블록 패턴은 상기 제1 배선들과 동일 층일 수 있다.
- [0017] 상기 연결부는 상기 제2 배선들과 동일 층일 수 있다.
- [0018] 상기 유기 발광 표시 장치는 상기 연결부와 연결된 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 상기 유기 발광층 상에 위치하는 제2 전극을 포함하는 유기 발광 소자를 더 포함할 수 있다.
- [0019] 상기 기판은 유기 재료를 포함할 수 있다.

발명의 효과

- [0020] 일 실시예에 따르면, 콘택홀과 이웃하는 절연층의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치가 제공

된다.

도면의 간단한 설명

- [0021] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다.
- 도 2는 도 1의 유기 발광 표시 장치를 II-II를 따른 단면도이다.
- 도 3은 도 2의 A 부분을 확대한 단면도이다.
- 도 4는 블록 패턴을 포함하지 않는 유기 발광 표시 장치의 일 부분을 나타낸 단면도이다.
- 도 5는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다.
- 도 6은 도 5의 유기 발광 표시 장치를 VI-VI을 따른 단면도이다.
- 도 7은 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0024] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0025] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0026] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0027] 이하, 도 1 내지 도 3을 참조하여 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다. 도 2는 도 1의 유기 발광 표시 장치를 II-II를 따른 단면도이다. 도 1은 유기 발광 표시 장치의 일 화소를 나타낼 수 있으나, 이에 한정되지는 않는다.
- [0029] 도 1 및 도 2에 도시된 바와 같이, 일 실시예에 따른 유기 발광 표시 장치(1000)는 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 액티브 패턴(AP), 절연층(IL), 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5), 제1 연결부(CT1), 제2 연결부(CT2), 제3 연결부(CT3), 제4 연결부(CT4), 제5 연결부(CT5), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 제1 배선들(WI1), 커패시터(Cst), 제3 배선(WI3), 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB), 제2 배선들(WI2), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다.
- [0030] 기판(SUB)은 유기 재료, 무기 재료, 및 유리 중 적어도 하나를 포함할 수 있다. 기판(SUB)은 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 롤러블(rollable)하거나, 폴더블(foldable)할 수 있다.
- [0031] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 서브 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0032] 제1 서브 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널 영역(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극

(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결된다. 제1 게이트 전극(G1)과 중첩하는 제1 서브 액티브 패턴(A1)의 채널 영역인 제1 채널 영역(C1)은 적어도 한번 절곡 연장된 형태를 가지고 있다.

[0033] 한편, 다른 실시예에서 제1 채널 영역(C1)은 직선 연장된 형태를 가질 수 있다.

[0034] 제1 서브 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 제1 서브 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0035] 제1 서브 액티브 패턴(A1)의 제1 채널 영역(C1)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널 영역(C1)을 사이에 두고 이격되어 제1 채널 영역(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0036] 제1 게이트 전극(G1)은 제1 서브 액티브 패턴(A1)의 제1 채널 영역(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결된다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩한다. 제1 게이트 전극(G1)은 제1 박막 트랜지스터(T1)의 게이트 전극이며, 커패시터(Cst)의 일 전극이다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다.

[0037] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 서브 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 서브 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널 영역(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 절연층(IL)의 제1 콘택홀(CNT1)을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결된다. 제2 게이트 전극(G2)과 중첩하는 제2 서브 액티브 패턴(A2)의 채널 영역인 제2 채널 영역(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치한다. 제2 서브 액티브 패턴(A2)은 제1 서브 액티브 패턴(A1)과 연결된다.

[0038] 제2 게이트 전극(G2)은 제2 서브 액티브 패턴(A2)의 제2 채널 영역(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성된다.

[0039] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 서브 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.

[0040] 제3 서브 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널 영역(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 절연층(IL)의 제2 콘택홀(CNT2)을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결된다. 제3 게이트 전극(G3)과 중첩하는 제3 서브 액티브 패턴(A3)의 채널 영역인 제3 채널 영역(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치한다. 즉, 제3 서브 액티브 패턴(A3)은 제1 서브 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결한다.

[0041] 제3 게이트 전극(G3)은 제3 서브 액티브 패턴(A3)의 제3 채널 영역(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성된다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에 한정되지는 않는다.

[0042] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 서브 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.

[0043] 제4 서브 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널 영역(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 절연층(IL)의 제5 콘택홀(CNT5)을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제2 콘택홀(CNT2)을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결된다. 제4 게이트 전극(G4)과 중첩하는 제4 서브 액티브 패턴(A4)의 채널 영역인 제4 채널 영역(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치한다. 즉, 제4 서브 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 서브 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결된다.

[0044] 제4 게이트 전극(G4)은 제4 서브 액티브 패턴(A4)의 제4 채널 영역(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성된다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에

한정되지는 않는다.

- [0045] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 서브 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0046] 제5 서브 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널 영역(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 절연층(IL)의 제3 콘택홀(CNT3)을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결된다. 제5 게이트 전극(G5)과 중첩하는 제5 서브 액티브 패턴(A5)의 채널 영역인 제5 채널 영역(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치한다. 즉, 제5 서브 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 서브 액티브 패턴(A1) 사이를 연결한다.
- [0047] 제5 게이트 전극(G5)은 제5 서브 액티브 패턴(A5)의 제5 채널 영역(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성된다.
- [0048] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 서브 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.
- [0049] 제6 서브 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널 영역(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 절연층(IL)의 제4 콘택홀(CNT4)을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결된다. 제6 게이트 전극(G6)과 중첩하는 제6 서브 액티브 패턴(A6)의 채널 영역인 제6 채널 영역(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치한다. 즉, 제6 서브 액티브 패턴(A6)은 제1 서브 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결한다.
- [0050] 제6 게이트 전극(G6)은 제6 서브 액티브 패턴(A6)의 제6 채널 영역(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성된다.
- [0051] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 서브 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.
- [0052] 제7 서브 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널 영역(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 1에 도시되지 않은 다른 픽셀(도 2에 도시된 픽셀의 상측에 위치하는 픽셀일 수 있다)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결된다. 제7 게이트 전극(G7)과 중첩하는 제7 서브 액티브 패턴(A7)의 채널 영역인 제7 채널 영역(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치한다. 즉, 제7 서브 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 서브 액티브 패턴(A4) 사이를 연결한다.
- [0053] 제7 게이트 전극(G7)은 제7 서브 액티브 패턴(A7)의 제7 채널 영역(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성된다.
- [0054] 액티브 패턴(AP)은 상술한 제1 서브 액티브 패턴(A1), 제2 서브 액티브 패턴(A2), 제3 서브 액티브 패턴(A3), 제4 서브 액티브 패턴(A4), 제5 서브 액티브 패턴(A5), 제6 서브 액티브 패턴(A6), 제7 서브 액티브 패턴(A7)을 포함한다. 액티브 패턴(AP)의 제1 서브 액티브 패턴(A1), 제2 서브 액티브 패턴(A2), 제3 서브 액티브 패턴(A3), 제4 서브 액티브 패턴(A4), 제5 서브 액티브 패턴(A5), 제6 서브 액티브 패턴(A6), 제7 서브 액티브 패턴(A7)은 일체로 형성된다.
- [0055] 한편, 액티브 패턴(AP)에 포함된 제1 서브 액티브 패턴(A1), 제2 서브 액티브 패턴(A2), 제3 서브 액티브 패턴(A3), 제4 서브 액티브 패턴(A4), 제5 서브 액티브 패턴(A5), 제6 서브 액티브 패턴(A6), 제7 서브 액티브 패턴(A7)은 서로 이격되어 형성될 수 있다.
- [0056] 절연층(IL)은 액티브 패턴(AP) 상에 순차적으로 적층된 제1 서브 절연층(SIL1), 제2 서브 절연층(IL), 및 제3 서브 절연층(SIL3)과, 제1 콘택홀(CNT1), 제2 콘택홀(CNT2), 제3 콘택홀(CNT3), 제4 콘택홀(CNT4), 제5 콘택홀(CNT5)을 포함한다.
- [0057] 제1 서브 절연층(SIL1), 제2 서브 절연층(SIL2), 제3 서브 절연층(SIL3) 각각은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 제1 서브 절연층(SIL1), 제2 서브 절연층(SIL2), 제3 서브 절연층(SIL3) 각각은 단층 또는 복층으로 형성될 수 있다.

- [0058] 제1 서브 절연층(SIL1)은 액티브 패턴(AP) 상에 위치한다. 제1 서브 절연층(SIL1)은 액티브 패턴(AP)과 제1 게이트 전극(G1)을 포함하는 제1 배선들(WI1) 사이에 위치하고 있으며, 서로 다른 층에 위치하는 구성들 간의 단락을 방지한다.
- [0059] 제2 서브 절연층(SIL2)은 제1 서브 절연층(SIL1) 상에 위치한다. 제2 서브 절연층(SIL2)은 제1 배선들(WI1)과 커패시터 전극(CE)을 포함하는 제3 배선(WI3) 사이에 위치하고 있으며, 서로 다른 층에 위치하는 구성들 간의 단락을 방지한다.
- [0060] 제3 서브 절연층(SIL3)은 제2 서브 절연층(SIL2) 상에 위치한다. 제3 서브 절연층(SIL3)은 제3 배선(WI3)과 데이터 라인(DA)을 포함하는 제2 배선들(WI2) 사이에 위치하고 있으며, 서로 다른 구성들 간의 단락을 방지한다.
- [0061] 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각은 액티브 패턴(AP) 상에 위치하며, 제1 서브 절연층(SIL1), 제2 서브 절연층(SIL2), 제3 서브 절연층(SIL3)을 관통하여 액티브 패턴(AP)의 일부와 중첩한다.
- [0062] 제1 컨택홀(CNT1)은 액티브 패턴(AP)의 제2 서브 액티브 패턴(A2)의 제2 소스 전극(S2)과 중첩한다. 제1 컨택홀(CNT1)을 통해 데이터 라인(DA)이 제2 서브 액티브 패턴(A2)과 연결된다.
- [0063] 제2 컨택홀(CNT2)은 액티브 패턴(AP)의 제3 서브 액티브 패턴(A3)의 제3 드레인 전극(D3)과 중첩한다. 제2 컨택홀(CNT2)을 통해 게이트 브릿지(GB)가 제3 서브 액티브 패턴(A3)과 연결된다.
- [0064] 제3 컨택홀(CNT3)은 액티브 패턴(AP)의 제5 서브 액티브 패턴(A5)의 제5 소스 전극(S5)과 중첩한다. 제3 컨택홀(CNT3)을 통해 구동 전원 라인(ELVDD)이 제5 서브 액티브 패턴(A5)과 연결된다.
- [0065] 제4 컨택홀(CNT4)은 액티브 패턴(AP)의 제6 서브 액티브 패턴(A6)의 제6 드레인 전극(D6)과 중첩한다. 제4 컨택홀(CNT4)을 통해 유기 발광 소자(OLED)의 제1 전극(E1)이 제6 서브 액티브 패턴(A6)과 연결된다.
- [0066] 제5 컨택홀(CNT5)은 액티브 패턴(AP)의 제4 서브 액티브 패턴(A4)의 제4 소스 전극(S4)과 중첩한다. 제5 컨택홀(CNT5)을 통해 초기화 전원 라인(Vin)이 제4 서브 액티브 패턴(A4)과 연결된다.
- [0067] 제1 블록 패턴(BP1)은 제1 컨택홀(CNT1)과 이웃하여, 제2 서브 절연층(SIL2) 상에 위치한다. 제1 블록 패턴(BP1)은 제2 서브 절연층(SIL2)과 제3 서브 절연층(SIL3) 사이에 위치한다. 제1 블록 패턴(BP1)은 제3 배선(WI3)과 동일한 층에 위치한다. 제1 블록 패턴(BP1)은 액티브 패턴(AP)의 제2 서브 액티브 패턴(A2)의 테두리와 중첩한다. 제1 블록 패턴(BP1)은 섬(island) 형태를 가진다. 제1 블록 패턴(BP1)은 제1 컨택홀(CNT1)을 완전히 둘러싸는 폐루프(closed loop) 형태를 가진다.
- [0068] 도 3은 도 2의 A 부분을 확대한 단면도이다.
- [0069] 도 3에 도시된 바와 같이, 절연층(IL)은 제1 컨택홀(CNT1)을 둘러싸는 측면(SS)을 포함하며, 제1 블록 패턴(BP1)은 제1 컨택홀(CNT1)의 측면(SS)과 동일 평면인 단부면(ES)을 포함한다.
- [0070] 여기서 동일 평면이라 함은 동일 평면 상에 위치함을 의미할 수 있다.
- [0071] 또한, 동일 평면은 실질적으로 동일한 평면을 의미할 수 있다. 또한, 동일 평면은 공정 오차로 인해 발생된 굴곡이 있는 동일 면일 수 있다.
- [0072] 일례로, 절연층(IL)에 제1 컨택홀(CNT1)을 형성하는 건식 식각 공정 중 제1 블록 패턴(BP1)이 식각 수단을 블록(block)함으로써, 제1 블록 패턴(BP1)의 단부면(ES)이 제1 컨택홀(CNT1)의 측면(SS)과 동일 평면을 형성할 수 있다. 이와 같이, 제1 블록 패턴(BP1)은 제1 컨택홀(CNT1)이 형성되는 영역을 설정할 수 있다.
- [0073] 도 4는 블록 패턴을 포함하지 않는 유기 발광 표시 장치의 일 부분을 나타낸 단면도이다.
- [0074] 도 4에 도시된 바와 같이, 제1 블록 패턴(BP1)이 포함되지 않은 일 유기 발광 표시 장치(10)의 경우, 마스크를 이용해 절연층(IL)에 제1 컨택홀(CNT1)을 형성하는 건식 식각 공정 중 공정 오차가 발생되면, 제1 컨택홀(CNT1)의 일부 영역이 제2 서브 액티브 패턴(A2)을 벗어나게 된다. 이로 인해, 기판(SUB)과 제2 서브 액티브 패턴(A2) 사이에 위치하는 버퍼층(BU) 또는 절연층(IL)에 크랙(CR)이 발생될 수 있다.
- [0075] 버퍼층(BU) 또는 절연층(IL)에 크랙(CR)이 발생되면 외부로부터 습기가 기판(SUB)을 통해 유기 발광 소자(OLED)로 침투될 수 있으며, 이로 인해 유기 발광 소자(OLED)의 유기 발광층(OL)에 불량이 발생될 수 있다.
- [0076] 특히, 기판(SUB)이 유기 재료를 포함하는 플렉서블 기판인 경우, 무기 재료나 유리 대비 유기 재료의 치밀도가

떨어지기 때문에, 외부의 습기가 기관(SUB)을 통해 유기 발광 소자(OLED)로 쉽게 침투되어 유기 발광 소자(OLED)에 불량이 발생될 수 있다.

[0077] 이와는 다르게, 도 1 내지 도 3에 도시된 일 실시예에 따른 유기 발광 표시 장치(1000)는 제1 블록 패턴(BP1)이 제1 컨택홀(CNT1)이 형성되는 영역을 설정함으로써, 절연층(IL)에 제1 컨택홀(CNT1)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제1 컨택홀(CNT1)의 일부 영역이 제2 서브 액티브 패턴(A2)을 벗어나지 않는다.

[0078] 즉, 제1 컨택홀(CNT1)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이로 인해, 기관(SUB)이 유리 대비 치밀도가 떨어지는 유기 재료를 포함하더라도, 외부의 습기가 기관(SUB)을 통해 유기 발광 소자(OLED)로 침투되는 것이 억제됨으로써, 습기에 의해 유기 발광 소자(OLED)에 불량이 발생하는 것이 억제된다.

[0079] 이와 같이, 제1 블록 패턴(BP1)을 포함함으로써, 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.

[0080] 제2 블록 패턴(BP2)은 제2 컨택홀(CNT2)과 이웃하여, 제2 서브 절연층(SIL2) 상에 위치한다. 제2 블록 패턴(BP2)은 제2 서브 절연층(SIL2)과 제3 서브 절연층(SIL3) 사이에 위치한다. 제2 블록 패턴(BP2)은 제3 배선(WI3)과 동일한 층에 위치한다. 제2 블록 패턴(BP2)은 액티브 패턴(AP)의 제3 서브 액티브 패턴(A3)의 테두리와 중첩한다. 제2 블록 패턴(BP2)은 섬(island) 형태를 가진다. 제2 블록 패턴(BP2)은 제2 컨택홀(CNT2)을 완전히 둘러싸는 폐루프(closed loop) 형태를 가진다. 제2 블록 패턴(BP2)은 제2 컨택홀(CNT2)의 측면과 동일 평면인 단부면을 포함한다. 제2 블록 패턴(BP2)은 제2 컨택홀(CNT2)이 형성되는 영역을 설정할 수 있다.

[0081] 제2 블록 패턴(BP2)이 제2 컨택홀(CNT2)이 형성되는 영역을 설정함으로써, 절연층(IL)에 제2 컨택홀(CNT2)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제2 컨택홀(CNT2)의 일부 영역이 제3 서브 액티브 패턴(A3)을 벗어나지 않는다.

[0082] 즉, 제2 컨택홀(CNT2)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이와 같이, 제2 블록 패턴(BP2)을 포함함으로써, 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.

[0083] 제3 블록 패턴(BP3)은 제3 컨택홀(CNT3)과 이웃하여, 제2 서브 절연층(SIL2) 상에 위치한다. 제3 블록 패턴(BP3)은 제2 서브 절연층(SIL2)과 제3 서브 절연층(SIL3) 사이에 위치한다. 제3 블록 패턴(BP3)은 제3 배선(WI3)과 동일한 층에 위치한다. 제3 블록 패턴(BP3)은 액티브 패턴(AP)의 제5 서브 액티브 패턴(A5)의 테두리와 중첩한다. 제3 블록 패턴(BP3)은 섬(island) 형태를 가진다. 제3 블록 패턴(BP3)은 제3 컨택홀(CNT3)을 완전히 둘러싸는 폐루프(closed loop) 형태를 가진다. 제3 블록 패턴(BP3)은 제3 컨택홀(CNT3)의 측면과 동일 평면인 단부면을 포함한다. 제3 블록 패턴(BP3)은 제3 컨택홀(CNT3)이 형성되는 영역을 설정할 수 있다.

[0084] 제3 블록 패턴(BP3)이 제3 컨택홀(CNT3)이 형성되는 영역을 설정함으로써, 절연층(IL)에 제3 컨택홀(CNT3)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제3 컨택홀(CNT3)의 일부 영역이 제5 서브 액티브 패턴(A5)을 벗어나지 않는다.

[0085] 즉, 제3 컨택홀(CNT3)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이와 같이, 제3 블록 패턴(BP3)을 포함함으로써, 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.

[0086] 제4 블록 패턴(BP4)은 제4 컨택홀(CNT4)과 이웃하여, 제2 서브 절연층(SIL2) 상에 위치한다. 제4 블록 패턴(BP4)은 제2 서브 절연층(SIL2)과 제3 서브 절연층(SIL3) 사이에 위치한다. 제4 블록 패턴(BP4)은 제3 배선(WI3)과 동일한 층에 위치한다. 제4 블록 패턴(BP4)은 액티브 패턴(AP)의 제6 서브 액티브 패턴(A6)의 테두리와 중첩한다. 제4 블록 패턴(BP4)은 섬(island) 형태를 가진다. 제4 블록 패턴(BP4)은 제4 컨택홀(CNT4)을 완전히 둘러싸는 폐루프(closed loop) 형태를 가진다. 제4 블록 패턴(BP4)은 제4 컨택홀(CNT4)의 측면과 동일 평면인 일 단부면을 포함한다. 제4 블록 패턴(BP4)의 타 단부면은 제4 컨택홀(CNT4)의 측면과 이격된다. 제4 블록 패턴(BP4)은 제4 컨택홀(CNT4)이 형성되는 영역의 일부를 설정할 수 있다.

[0087] 제4 블록 패턴(BP4)이 제4 컨택홀(CNT4)이 형성되는 영역의 일부를 설정함으로써, 절연층(IL)에 제4 컨택홀(CNT4)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제4 컨택홀(CNT4)의 일부 영역이 제6 서브 액티브 패턴(A6)을 벗어나지 않는다.

- [0088] 즉, 제4 컨택홀(CNT4)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이와 같이, 제4 블록 패턴(BP4)을 포함함으로써, 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0089] 제5 블록 패턴(BP5)은 제5 컨택홀(CNT5)과 이웃하여, 제2 서브 절연층(SIL2) 상에 위치한다. 제5 블록 패턴(BP5)은 제2 서브 절연층(SIL2)과 제3 서브 절연층(SIL3) 사이에 위치한다. 제5 블록 패턴(BP5)은 제3 배선(WI3)과 동일한 층에 위치한다. 제5 블록 패턴(BP5)은 액티브 패턴(AP)의 제4 서브 액티브 패턴(A4)의 테두리와 중첩한다. 제5 블록 패턴(BP5)은 섬(island) 형태를 가진다. 제5 블록 패턴(BP5)은 제5 컨택홀(CNT5)을 완전히 둘러싸는 폐루프(closed loop) 형태를 가진다. 제5 블록 패턴(BP5)은 제5 컨택홀(CNT5)의 측면과 동일 평면인 단부면을 포함한다. 제5 블록 패턴(BP5)은 제5 컨택홀(CNT5)이 형성되는 영역을 설정할 수 있다.
- [0090] 제5 블록 패턴(BP5)이 제5 컨택홀(CNT5)이 형성되는 영역을 설정함으로써, 절연층(IL)에 제5 컨택홀(CNT5)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제5 컨택홀(CNT5)의 일부 영역이 제4 서브 액티브 패턴(A4)을 벗어나지 않는다.
- [0091] 즉, 제5 컨택홀(CNT5)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이와 같이, 제5 블록 패턴(BP5)을 포함함으로써, 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0092] 제1 연결부(CT1)는 제1 블록 패턴(BP1) 상에 위치한다. 제1 연결부(CT1)는 제1 블록 패턴(BP1)을 지나 제1 컨택홀(CNT1)을 통해 제2 서브 액티브 패턴(A2)과 연결된다. 제1 연결부(CT1)는 제1 블록 패턴(BP1)과 접촉한다. 제1 연결부(CT1)는 제2 배선들(WI2) 중 일부인 데이터 라인(DA)과 연결된다. 제1 연결부(CT1)는 데이터 라인(DA)과 일체이다. 제1 연결부(CT1)는 제2 배선들(WI2)과 동일한 층에 위치한다.
- [0093] 제2 연결부(CT2)는 제2 블록 패턴(BP2) 상에 위치한다. 제2 연결부(CT2)는 제2 블록 패턴(BP2)을 지나 제2 컨택홀(CNT2)을 통해 제3 서브 액티브 패턴(A3)과 연결된다. 제2 연결부(CT2)는 제2 블록 패턴(BP2)과 접촉한다. 제2 연결부(CT2)는 제2 배선들(WI2) 중 일부인 게이트 브릿지(GB)와 연결된다. 제2 연결부(CT2)는 게이트 브릿지(GB)와 일체이다. 제2 연결부(CT2)는 제2 배선들(WI2)과 동일한 층에 위치한다.
- [0094] 제3 연결부(CT3)는 제3 블록 패턴(BP3) 상에 위치한다. 제3 연결부(CT3)는 제3 블록 패턴(BP3)을 지나 제3 컨택홀(CNT3)을 통해 제5 서브 액티브 패턴(A5)과 연결된다. 제3 연결부(CT3)는 제3 블록 패턴(BP3)과 접촉한다. 제3 연결부(CT3)는 제3 배선(WI3) 중 일부인 구동 전원 라인(ELVDD)과 연결된다. 제3 연결부(CT3)는 구동 전원 라인(ELVDD)과 일체이다. 제3 연결부(CT3)는 제3 배선(WI3)과 동일한 층에 위치한다.
- [0095] 제4 연결부(CT4)는 제4 블록 패턴(BP4) 상에 위치한다. 제4 연결부(CT4)는 제4 블록 패턴(BP4)을 지나 제4 컨택홀(CNT4)을 통해 제6 서브 액티브 패턴(A6)과 연결된다. 제4 연결부(CT4)는 제4 블록 패턴(BP4)과 접촉한다. 제4 연결부(CT4)는 제6 서브 액티브 패턴(A6)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결한다. 제4 연결부(CT4)는 제2 배선들(WI2)과 동일한 층에 위치한다.
- [0096] 제5 연결부(CT5)는 제5 블록 패턴(BP5) 상에 위치한다. 제5 연결부(CT5)는 제5 블록 패턴(BP5)을 지나 제5 컨택홀(CNT5)을 통해 제4 서브 액티브 패턴(A4)과 연결된다. 제5 연결부(CT5)는 제5 블록 패턴(BP5)과 접촉한다. 제5 연결부(CT5)는 제4 서브 액티브 패턴(A4)과 초기화 전원 라인(Vin) 사이를 연결한다. 제5 연결부(CT5)는 제2 배선들(WI2)과 동일한 층에 위치한다.
- [0097] 제1 스캔 라인(Sn)은 제1 서브 절연층(SIL1)을 사이에 두고 제2 서브 액티브 패턴(A2) 및 제3 서브 액티브 패턴(A3) 상에 위치하여 제2 서브 액티브 패턴(A2) 및 제3 서브 액티브 패턴(A3)을 가로지르는 제1 방향(X)으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결된다.
- [0098] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제1 서브 절연층(SIL1)을 사이에 두고 제4 서브 액티브 패턴(A4) 상에 위치하며, 제4 서브 액티브 패턴(A4)을 가로지르는 제1 방향(X)으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결된다.
- [0099] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제1 서브 절연층(SIL1)을 사이에 두고 제7 서브 액티브 패턴(A7) 상에 위치하며, 제7 서브 액티브 패턴(A7)을 가로지르는 제1 방향(X)으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결된다.
- [0100] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제1 서브 절연층(SIL1)을 사이에 두고 제5 서브 액티브 패턴

턴(A5) 및 제6 서브 액티브 패턴(A6) 상에 위치하며, 제5 서브 액티브 패턴(A5) 및 제6 서브 액티브 패턴(A6)을 가로지르는 제1 방향(X)으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결된다.

- [0101] 제1 배선들(WI1)은 액티브 패턴(AP)을 가로지르는 제1 방향(X)으로 연장된다. 제1 배선들(WI1)은 상술한 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)을 포함한다.
- [0102] 제1 배선들(WI1)에 포함된 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성된다.
- [0103] 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0104] 커패시터(Cst)는 제2 서브 절연층(SIL2)을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)이다. 커패시터 전극(CE)은 제2 서브 절연층(SIL2)을 사이에 두고 제1 게이트 전극(G1) 상에 위치하며, 컨택홀을 통해 구동 전원 라인(ELVDD)과 연결된다.
- [0105] 커패시터 전극(CE)은 제2 서브 절연층(SIL2)을 사이에 두고 제1 게이트 전극(G1) 상에 위치하며, 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성한다. 커패시터 전극(CE)과 제1 게이트 전극(G1) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈(metal)로 형성된다.
- [0106] 제3 배선(WI3)은 상술한 커패시터 전극(CE)을 포함한다. 제3 배선(WI3)은 제1 배선들(WI1)과 제2 배선들(WI2) 사이의 층에 위치한다. 제3 배선(WI3)은 제1 서브 절연층(SIL1)과 제2 서브 절연층(SIL2) 사이에 위치한다. 제3 배선(WI3)은 제1 방향(X)으로 연장되나, 이에 한정되지 않는다.
- [0107] 데이터 라인(DA)은 제3 서브 절연층(SIL3)을 사이에 두고 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 제2 방향(Y)으로 연장된다. 제2 방향(Y)은 제1 방향(X)과 교차한다. 데이터 라인(DA)은 제1 연결부(CT1)와 연결되어 있으며, 제1 컨택홀(CNT1)을 통해 제2 서브 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결된다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장된다.
- [0108] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이격되어 제3 서브 절연층(SIL3)을 사이에 두고 제1 스캔 라인(Sn) 상에 위치한다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn)을 가로지르는 제2 방향(Y)으로 연장된다. 구동 전원 라인(ELVDD)은 컨택홀을 통해 커패시터 전극(CE)과 연결된다. 구동 전원 라인(ELVDD)은 제3 연결부(CT3)와 연결되어 있으며, 제3 컨택홀(CNT3)을 통해 제5 서브 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결된다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장된다.
- [0109] 게이트 브릿지(GB)는 제3 서브 절연층(SIL3)을 사이에 두고 제1 스캔 라인(Sn) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있다. 게이트 브릿지(GB)는 제2 연결부(CT2)와 연결되어 있으며, 제2 컨택홀(CNT2)을 통해 제3 서브 액티브 패턴(A3)의 제3 드레인 전극(D3)과 연결된다. 게이트 브릿지(GB)는 제3 서브 액티브 패턴(A3)과 제1 게이트 전극(G1) 사이를 연결한다.
- [0110] 제2 배선들(WI2)은 제1 배선들(WI1) 상에 위치하여 제1 방향(X)과 교차하는 제2 방향(Y)으로 연장된다. 제2 배선들(WI2)은 상술한 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB)를 포함한다.
- [0111] 제2 배선들(WI2)에 포함된 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB)는 동일한 층에 위치하며, 동일한 재료로 형성된다.
- [0112] 한편, 본 발명의 다른 실시예에서, 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0113] 초기화 전원 라인(Vin)은 제2 스캔 라인(Sn-1) 상에 위치하며, 제5 연결부(CT5)와 연결된다. 초기화 전원 라인

(Vin)은 제5 컨택홀(CNT5)을 통해 제4 서브 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결된다. 초기화 전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성된다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.

- [0114] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 제4 연결부(CT4)와 연결되어, 제4 컨택홀(CNT4)을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결된다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치한다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치한다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0115] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 밀봉층(thin film encapsulation layer)이 위치하거나, 또는 밀봉 기판이 위치할 수 있다.
- [0116] 이상과 같이, 일 실시예에 따른 유기 발광 표시 장치(1000)는 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각과 이웃하여 제2 서브 절연층(SIL2) 상에 위치함으로써, 건식 식각 공정 중 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각이 형성되는 영역을 설정할 수 있다.
- [0117] 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각이 형성되는 영역을 설정함으로써, 절연층(IL)에 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5)을 형성하는 건식 식각 공정 중 공정 오차가 발생되더라도, 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각의 일부 영역이 액티브 패턴(AP)을 벗어나지 않는다.
- [0118] 즉, 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다. 이로 인해 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0119] 이하, 도 5 및 도 6을 참조하여, 다른 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0120] 이하에서는 상술한 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.
- [0121] 도 5는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다. 도 6은 도 5의 VI-VI을 따른 단면도이다.
- [0122] 도 5 및 도 6에 도시된 바와 같이, 유기 발광 표시 장치(1000)의 제1 블록 패턴(BP1)은 제1 컨택홀(CNT1)과 이웃하여, 제1 서브 절연층(SIL1) 상에 위치한다. 제1 블록 패턴(BP1)은 제3 서브 블록 패턴(SP3) 및 제4 서브 블록 패턴(SP4)을 포함한다.
- [0123] 제3 서브 블록 패턴(SP3)은 제1 서브 절연층(SIL1)과 제2 서브 절연층(SIL2) 사이에 위치한다. 제3 서브 블록 패턴(SP3)은 제1 배선들(WI1)과 동일한 층에 위치한다.
- [0124] 제4 서브 블록 패턴(SP4)은 제2 서브 절연층(SIL2) 상에 위치하며, 제3 서브 블록 패턴(SP3)과 중첩한다. 제4 서브 블록 패턴(SP4)은 제3 배선(WI3)과 동일한 층에 위치한다.
- [0125] 즉, 제1 블록 패턴(BP1)은 다층 패턴 구조를 가지고 있다.
- [0126] 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각은 선택적으로 제1 블록 패턴(BP1)과 동일 또는 유사한 다층 패턴 구조를 가질 수 있다.
- [0127] 이상과 같이, 다른 실시예에 따른 유기 발광 표시 장치(1000)는 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 선택적으로 다층 패턴 구조를 가짐으로써, 건식 식각 공정 중 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀

(CNT5)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된다. 이로 인해 유기 발광 소자(OLED)의 수명이 향상된 유기 발광 표시 장치(1000)가 제공된다.

[0128] 이하, 도 7을 참조하여, 다른 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0129] 이하에서는 상술한 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.

[0130] 도 7은 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 배치도이다.

[0131] 도 7에 도시된 바와 같이, 유기 발광 표시 장치(1000)의 제1 블록 패턴(BP1)은 평면적으로 개루프(open loop) 형태를 가진다.

[0132] 여기서, 개루프 형태란, 적어도 일부가 개방된 루프 형태를 의미할 수 있다.

[0133] 제2 블록 패턴(BP2)은 제2 컨택홀(CNT2)을 사이에 두고 서로 이격된 제1 서브 블록 패턴(SP1) 및 제2 서브 블록 패턴(SP2)을 포함한다. 제1 서브 블록 패턴(SP1) 및 제2 서브 블록 패턴(SP2)은 서로 동일한 층 또는 서로 다른 층에 위치할 수 있다. 일례로, 제1 서브 블록 패턴(SP1) 및 제2 서브 블록 패턴(SP2) 중 적어도 하나는 제1 배선들(WI1) 및 제3 배선(WI3) 중 적어도 하나와 동일한 층에 위치할 수 있다.

[0134] 제3 블록 패턴(BP3) 및 제4 블록 패턴(BP4)은 평면적으로 폐루프(closed loop) 형태를 가진다.

[0135] 제5 블록 패턴(BP5)은 평면적으로 막대 형태를 가진다.

[0136] 이상과 같이, 다른 실시예에 따른 유기 발광 표시 장치(1000)는 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 선택적으로 서로 다른 형태를 가짐으로써, 유기 발광 소자(OLED)와 연결된 화소 회로의 형태에 유연하게 대응할 수 있다.

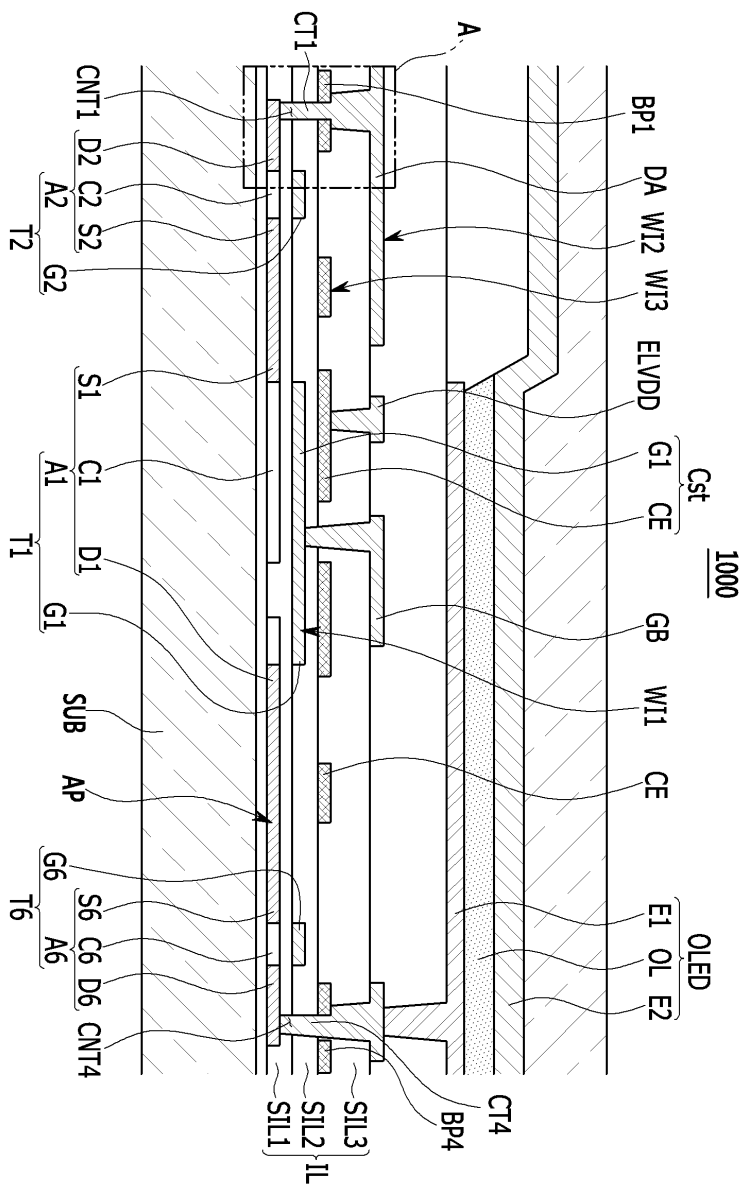
[0137] 즉, 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5) 각각이 유기 발광 소자(OLED)와 연결된 다양한 형태의 화소 회로에 대응하여 다양한 형태를 가지고 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5) 각각과 이웃함으로써, 건식 식각 공정 중 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5)과 이웃하는 절연층(IL)의 일 부분이 파손되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다.

[0138] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

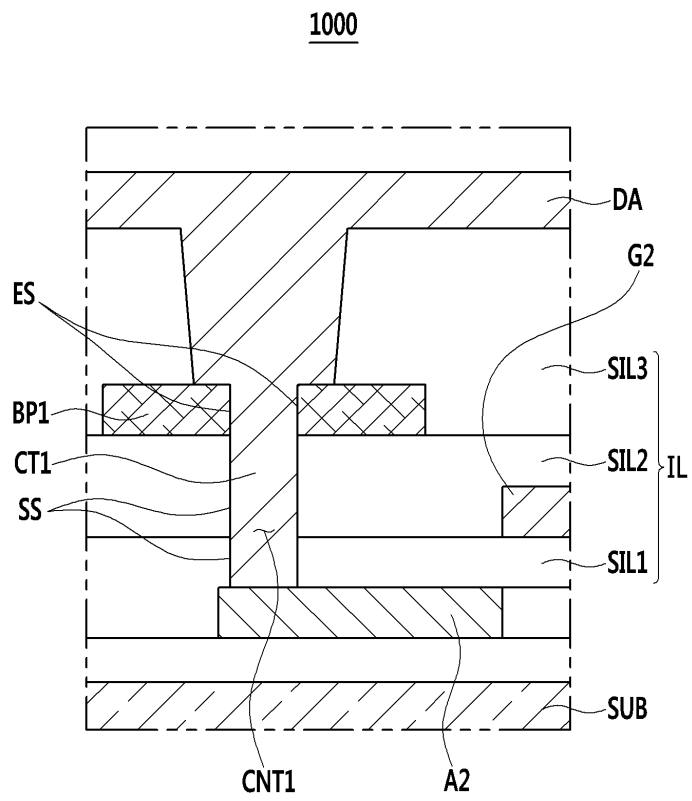
부호의 설명

[0139] 기관(SUB), 액티브 패턴(AP), 절연층(IL), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제5 컨택홀(CNT5), 제1 블록 패턴(BP1), 제2 블록 패턴(BP2), 제3 블록 패턴(BP3), 제4 블록 패턴(BP4), 제5 블록 패턴(BP5), 제1 연결부(CT1), 제2 연결부(CT2), 제3 연결부(CT3), 제4 연결부(CT4), 제5 연결부(CT5)

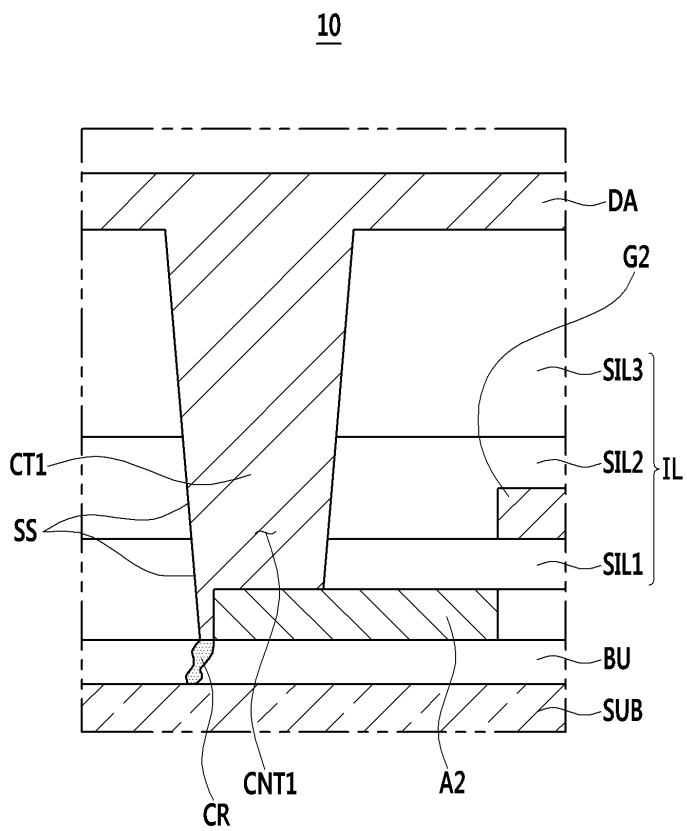
도면2



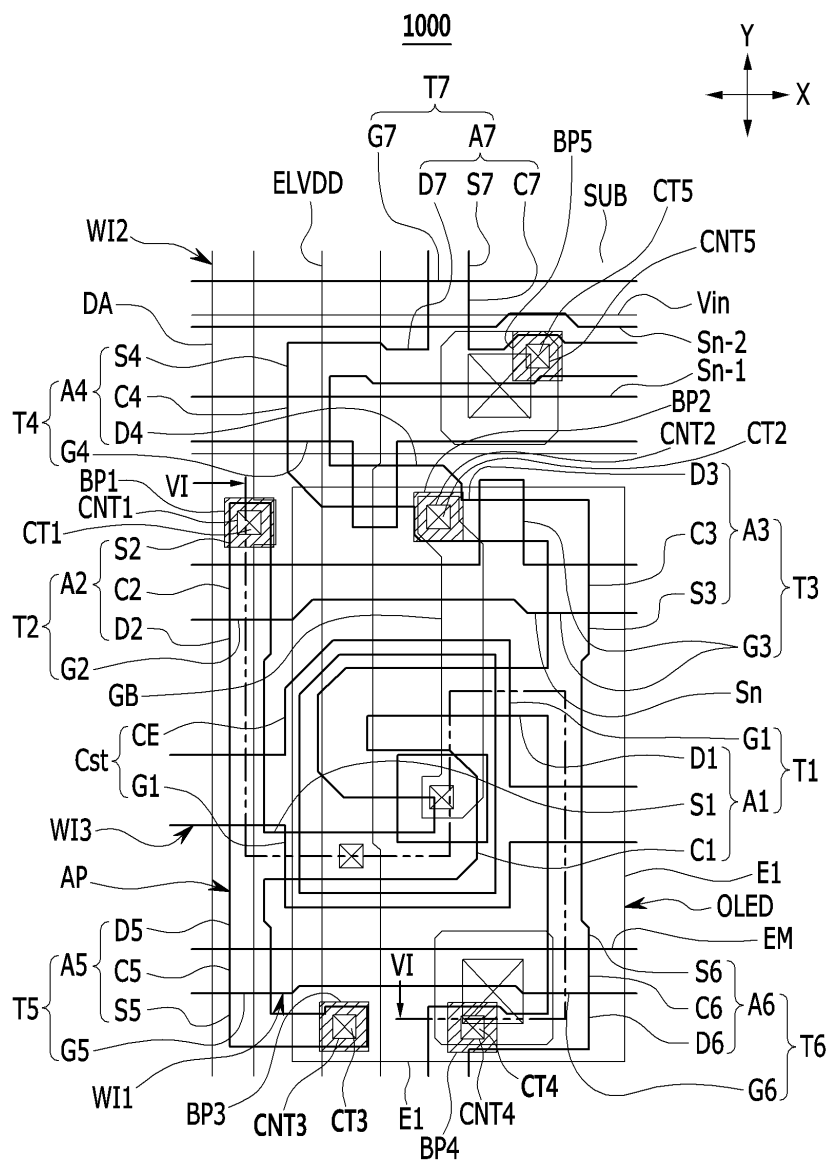
도면3



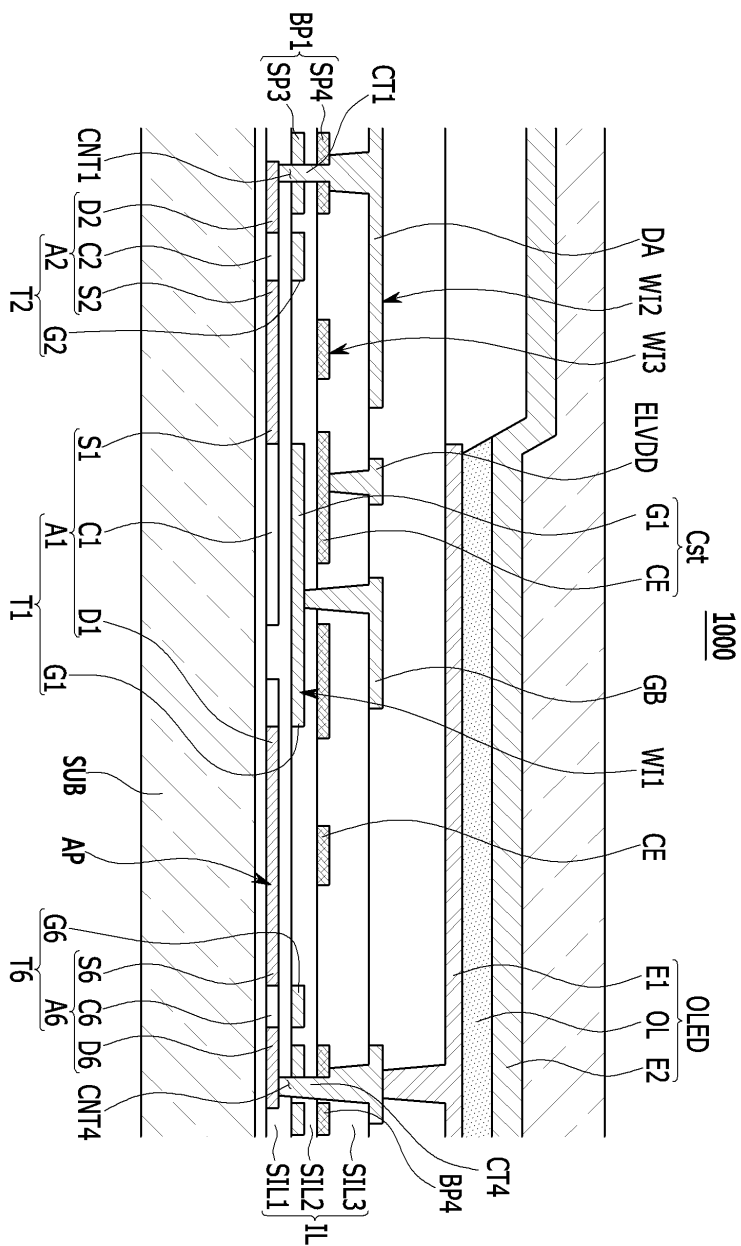
도면4



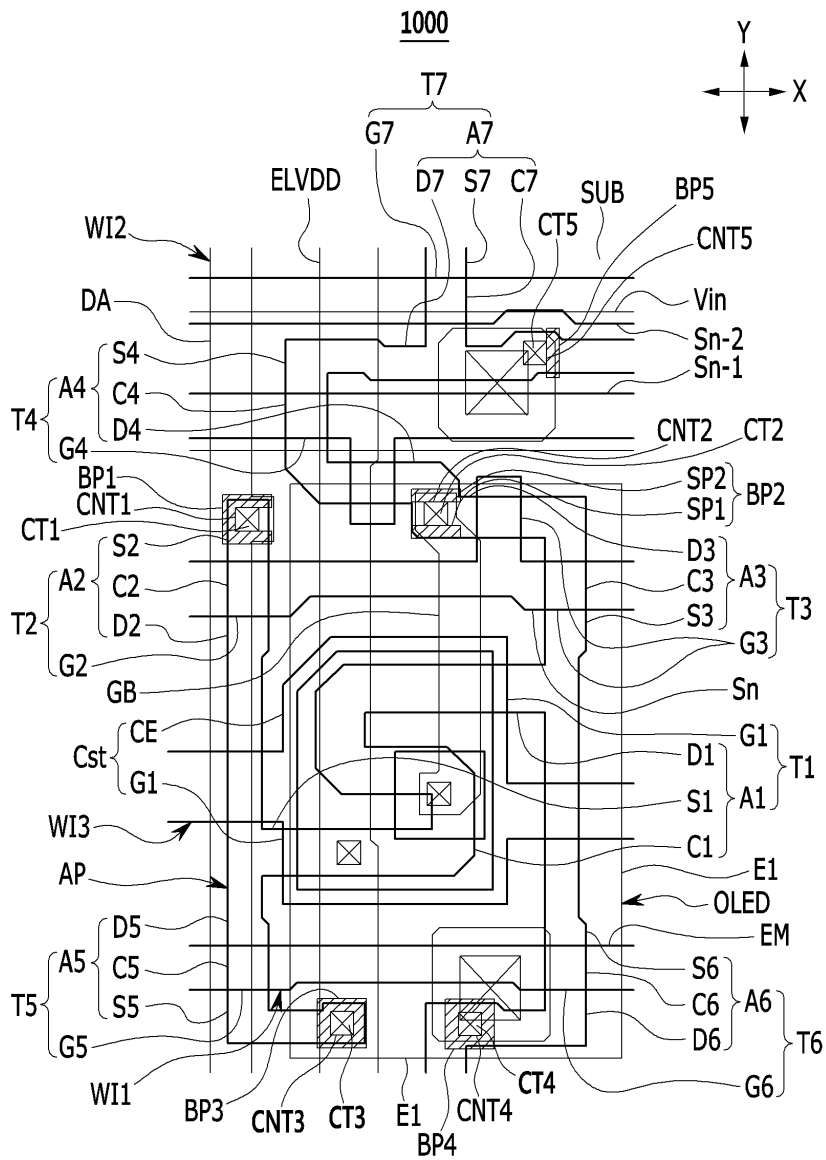
도면5



도면6



도면7



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180017302A	公开(公告)日	2018-02-21
申请号	KR1020160100892	申请日	2016-08-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUN HEE 이준희 BAE IN JUN 배인준		
发明人	이준희 배인준		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3276 H01L27/3258 H01L27/3248 H01L27/1244 H01L27/1248 H01L51/0096		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括与绝缘层相邻的连接部分和接触孔，并且位于绝缘层的表面上，并且位于有源图案的边缘上的块状图案和块状图案的表面上。通过块图案并通过接触孔连接到包括基板的有源图案，有源图案的一部分位于基板表面上的有源图案的表面上，并且有源图案和接触孔重叠。

