



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0064126
(43) 공개일자 2017년06월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G02F 1/133* (2006.01)

H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3211 (2013.01)
G02F 1/133 (2013.01)

(21) 출원번호 10-2015-0169242

(22) 출원일자 2015년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김봉준
서울특별시 강남구 개포로 310 96동 501호 (개포
동, 주공아파트)

(74) 대리인
특허법인로얄

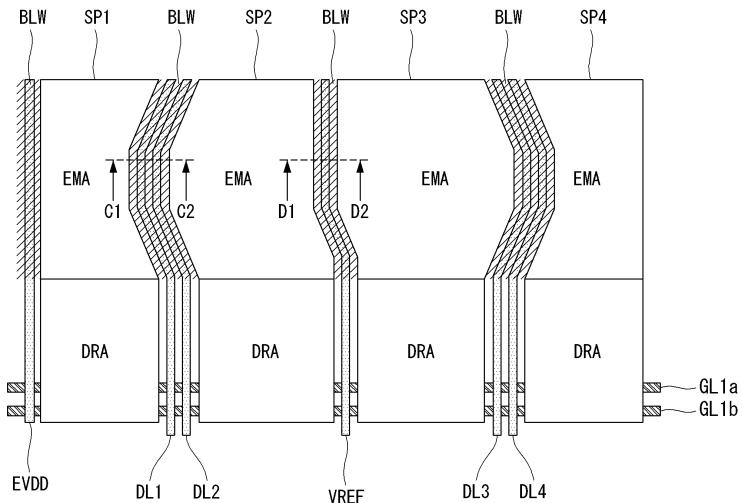
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시장치와 이의 제조방법

(57) 요 약

본 발명은 다른 서브 픽셀로 누설되는 빛샘 불량 문제를 방지(빛샘 차단)하여 정확한 색을 구현함과 더불어 표시 품질을 향상하는 것이다. 이를 위해, 본 발명은 서브 픽셀들 간의 경계 영역에 격벽층을 배치한다.

대 표 도 - 도9



(52) CPC특허분류

H01L 27/3225 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기판 상에 위치하는 서브 팩셀들;

상기 서브 팩셀들 간의 경계 영역 사이에 위치하는 적어도 하나의 신호라인; 및

상기 서브 팩셀들 간의 경계 영역에 배치되고 상기 적어도 하나의 신호라인 상에 위치하는 격벽층을 포함하는 표시장치.

청구항 2

제1항에 있어서,

상기 격벽층은

상기 서브 팩셀들 간의 경계 영역을 따라 세로방향으로 배치된 표시장치.

청구항 3

제1항에 있어서,

상기 격벽층은

상기 서브 팩셀들 간의 경계 영역을 따라 직선 구간을 갖는 영역과,

사선과 직선을 포함하는 비직선 구간을 갖는 영역을 포함하는 표시장치.

청구항 4

제1항에 있어서,

상기 격벽층은

상기 서브 팩셀들의 발광영역 간의 경계 영역을 따라 배치되고,

상기 발광영역은 유기 발광다이오드가 빛을 출사하는 영역인 표시장치.

청구항 5

제4항에 있어서,

상기 격벽층은

상기 서브 팩셀들의 회로영역까지 연장되고,

상기 회로영역은 상기 유기 발광다이오드를 구동하는 트랜지스터들이 위치하는 영역인 표시장치.

청구항 6

제1항에 있어서,

상기 서브 팩셀들 간의 경계 영역에는

상기 적어도 하나의 신호라인 상에 위치하는 절연층과,

상기 절연층 상에 위치하고 상기 신호라인 상에서 일측과 타측으로 분리되어 이격 공간을 갖는 평탄화층과,

상기 평탄화층의 이격 공간에 위치하는 상기 격벽층을 포함하는 표시장치.

청구항 7

제6항에 있어서,

상기 격벽층은

상기 평탄화층의 상부 일부 영역과 측벽에 위치하는 표시장치.

청구항 8

기판 상에 적어도 하나의 신호라인을 형성하는 단계;

상기 적어도 하나의 신호라인 상에 절연층을 형성하는 단계;

상기 절연층 상에 평탄화층을 형성하고, 상기 신호라인 상에서 일측과 타측으로 분리되어 이격 공간을 갖도록
상기 평탄화층을 패터닝하는 단계; 및

상기 평탄화층의 이격 공간에 격벽층을 형성하는 단계를 포함하는 표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 격벽층은

상기 기판 상에 위치하는 서브 픽셀들 간의 경계 영역에 배치된 표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 격벽층은

상기 평탄화층의 상부 일부 영역과 측벽에 위치하는 표시장치의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 표시장치와 이의 제조방법에 관한 것이다.

배경 기술

[0002]

정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기 전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 펌프라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003]

앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 케이트신호)를 공급하는 스캔 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004]

위와 같은 표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 표시패널은 서브 픽셀들을 통해 출사되는 빛을 이용하여 영상을 표시한다. 표시패널의 구현 및 제조 방식에 따라 서브 픽셀들의 구조나 형상 등을 다를 수 있다.

[0005]

하지만, 종래에 제안된 구조는 인접하는 서브 픽셀들 간에 빛의 반사, 간섭, 혼색 등이 발생할 경우 정확한 색을 구현하지 못하는 문제나 표시품질을 저하하는 문제 등을 유발하게 되는바 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006]

상술한 배경기술의 문제점을 해결하기 위한 본 발명은 다른 서브 픽셀로 누설되는 빛샘 불량 문제를 방지(빛샘 차단)하여 정확한 색을 구현함과 더불어 표시품질을 향상하는 것이다.

과제의 해결 수단

- [0007] 상술한 과제 해결 수단으로 본 발명은 서브 픽셀들, 적어도 하나의 신호라인 및 격벽층을 포함하는 표시장치를 제공한다. 서브 픽셀들은 기판 상에 위치한다. 적어도 하나의 신호라인은 서브 픽셀들 간의 경계 영역 사이에 위치한다. 격벽층은 서브 픽셀들 간의 경계 영역에 배치되고 적어도 하나의 신호라인 상에 위치한다.
- [0008] 격벽층은 서브 픽셀들 간의 경계 영역을 따라 세로방향으로 배치될 수 있다.
- [0009] 격벽층은 서브 픽셀들 간의 경계 영역을 따라 직선 구간을 갖는 영역과, 사선과 직선을 포함하는 비직선 구간을 갖는 영역을 포함할 수 있다.
- [0010] 격벽층은 서브 픽셀들의 발광영역 간의 경계 영역을 따라 배치되고, 발광영역은 유기 발광다이오드가 빛을 출사하는 영역일 수 있다.
- [0011] 격벽층은 서브 픽셀들의 회로영역까지 연장되고, 회로영역은 유기 발광다이오드를 구동하는 트랜지스터들이 위치하는 영역일 수 있다.
- [0012] 서브 픽셀들 간의 경계 영역에는 기판 상에 위치하는 적어도 하나의 신호라인과, 적어도 하나의 신호라인 상에 위치하는 절연층과, 절연층 상에 위치하고 신호라인 상에서 일측과 타측으로 분리되어 이격 공간을 갖는 평탄화층과, 평탄화층의 이격 공간에 위치하는 격벽층을 포함할 수 있다.
- [0013] 격벽층은 평탄화층의 상부 일부 영역과 측벽에 위치할 수 있다.
- [0014] 다른 측면에서 본 발명은 표시장치의 제조방법을 제공한다. 표시장치의 제조방법은 기판 상에 적어도 하나의 신호라인을 형성하는 단계, 적어도 하나의 신호라인 상에 절연층을 형성하는 단계, 절연층 상에 평탄화층을 형성하고, 신호라인 상에서 일측과 타측으로 분리되어 이격 공간을 갖도록 평탄화층을 패터닝하는 단계, 및 평탄화층의 이격 공간에 격벽층을 형성하는 단계를 포함한다.
- [0015] 격벽층은 기판 상에 위치하는 서브 픽셀들 간의 경계 영역에 배치될 수 있다.
- [0016] 격벽층은 평탄화층의 상부 일부 영역과 측벽에 위치할 수 있다.

발명의 효과

- [0017] 본 발명은 좌우 인접하는 서브 픽셀들 간에 빛의 반사, 간섭, 혼색(시야 색 얼룩) 등이 발생하는 문제를 방지하여 정확한 색을 구현함과 더불어 표시품질을 향상할 수 있는 효과가 있다. 또한, 본 발명은 서브 픽셀을 통해 발광된 빛이 다른 서브 픽셀로 누설되는 빛샘 불량 문제를 방지(빛샘 차단)하여 휘도를 향상할 수 있는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
 도 2는 서브 픽셀의 개략적인 회로 구성도.
 도 3은 서브 픽셀의 구체적인 회로 구성 예시도.
 도 4는 표시패널의 단면 예시도이고, 도 5는 서브 픽셀의 평면 예시도.
 도 6은 종래 구조의 문제를 설명하기 위한 서브 픽셀들의 평면 예시도.
 도 7은 도 6의 A1-A2 영역의 단면도.
 도 8은 도 6의 B1-B2 영역의 단면도.
 도 9는 본 발명의 제1실시예의 구조를 설명하기 위한 서브 픽셀들의 평면 예시도.
 도 10은 도 9의 C1-C2 영역의 단면도.
 도 11은 도 9의 D1-D2 영역의 단면도.
 도 12는 도 9의 발광영역 및 회로영역의 이해를 돋기 위한 단면도.
 도 13은 본 발명의 제2실시예의 구조를 설명하기 위한 서브 픽셀들의 평면 예시도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 본 발명에 따른 표시장치는 텔레비전, 셋톱박스, 네비게이션, 영상 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈시어터 및 모바일폰 등으로 구현된다. 표시장치의 표시패널은 액정표시패널, 유기발광표시패널, 양자점표시패널, 전기영동표시패널, 플라즈마표시패널 등이 선택될 수 있으나 이에 한정되지 않는다. 다만, 이하에서는 유기발광표시패널을 기반으로 하는 유기전계발광표시장치를 일례로 설명한다.
- [0021] <제1실시예>
- [0022] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 팩셀의 개략적인 회로 구성도이며, 도 3은 서브 팩셀의 구체적인 회로 구성 예시도이고, 도 4는 표시패널의 단면 예시도이고, 도 5는 서브 팩셀의 평면 예시도이다.
- [0023] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0024] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0025] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0026] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0027] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호(또는 게이트신호)를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0028] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 팩셀들(SP)을 포함한다. 표시 패널(150)은 서브 팩셀들(SP)의 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 팩셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0030] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커酡시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0031] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 팩셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0032] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공

급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0033] 보상회로(CC)와 더불어 서브 픽셀 내에 포함된 소자의 구성 및 접속 관계를 설명하면 다음과 같다.

[0034] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0035] 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제1전극 또는 제2전극은 트랜지스터의 소오스전극(트랜지스터의 타입에 따라 드레인전극이 될 수도 있음) 또는 드레인전극(트랜지스터의 타입에 따라 소오스전극이 될 수도 있음)을 의미한다.

[0036] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.

[0037] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱 결과값을 생성할 수 있다. 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0038] 이 밖에, 센싱 결과값에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱 결과값을 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0039] 구동 트랜지스터(DR)의 채널영역과 대응하는 하부층 또는 상부층에는 광차단층(LSd)이 형성된다. 광차단층(LSd)은 외광으로부터 구동 트랜지스터(DR)를 보호 및 안정화하기 위해 존재한다. 광차단층(LSd)은 외광을 차단하는 역할을 하는바, 스위칭 트랜지스터(SW)나 센싱 트랜지스터(ST)의 하부층 등에도 위치할 수 있다.

[0040] 한편, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수 있다.

[0041] 도 4에 도시된 바와 같이, 표시 패널(150)은 기판(150a)과 보호기판(또는 필름)(150b) 사이에 위치하는 픽셀(P)을 포함한다. 픽셀(P)이 배치된 영역은 표시영역(AA)으로 정의되고, 픽셀(P)이 배치되지 않은 표시영역(AA)의 외곽은 비표시영역(NA)으로 정의된다.

[0042] 픽셀(P)은 적색(R), 백색(W), 청색(B) 및 녹색(G) 이상 4개의 서브 픽셀로 이루어진 것을 일례로 하나 이는 적색(R), 청색(B) 및 녹색(G) 이상 3개의 서브 픽셀로 이루어질 수도 있다. 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀은 수평 또는 수직 방향으로 배치된다. 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 따라서, 이하에서는 제1서브 픽셀 내지 제3서브 픽셀 또는 제1서브 픽셀 내지 제4서브 픽셀로 명명한다.

[0043] 도 5(a) 및 도(b)에 도시된 바와 같이, 제1서브 픽셀 내지 제3서브 픽셀(SP1 ~ SP3) 및 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)에는 발광영역(EMA)과 회로영역(DRA)이 포함된다.

[0044] 발광영역(EMA)은 빛을 발광하는 영역에 해당하고 이 영역에 유기 발광다이오드가 위치한다. 회로영역(DRA)은 빛을 발광하지 않는 영역에 해당하고 이 영역에 유기 발광다이오드를 구동하는 구동 트랜지스터 등이 위치한다.

[0045] 발광영역(EMA)과 회로영역(DRA)을 나누는 비율 그리고 이의 형상은 발광재료, 발광면적, 트랜지스터의 특성, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.

[0046] 한편, 표시패널의 구현 및 제조 방식에 따라 서브 픽셀들의 구조나 형상 등은 다를 수 있지만, 인접하는 서브

픽셀들 간에 빛의 반사, 간섭, 혼색 등이 발생할 경우 정확한 색을 구현하지 못하는 문제나 표시품질을 저하하는 문제 등을 유발하게 된다.

[0047] 이하, 종래 구조의 문제를 고찰하고 이를 해결하기 위한 본 발명의 실시예에 대해 설명을 구체화한다.

-종래 구조-

[0049] 도 6은 종래 구조의 문제를 설명하기 위한 서브 픽셀들의 평면 예시도이고, 도 7은 도 6의 A1-A2 영역의 단면도이며, 도 8은 도 6의 B1-B2 영역의 단면도이다.

[0050] 도 6에 도시된 바와 같이, 표시패널에는 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)은 예컨대, 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀 순으로 배치될 수 있다. 그러나 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.

[0051] 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 가로방향에는 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 세로방향에는 제1전원라인(EVDD), 센싱라인(VREF) 및 데이터라인들(DL1 ~ DL4)이 배치된다.

[0052] 제1서브 픽셀(SP1)의 좌측에는 제1전원라인(EVDD)이 배치될 수 있고, 우측에는 제1데이터라인(DL1)이 배치될 수 있다. 제2서브 픽셀(SP2)의 좌측에는 제2데이터라인(DL2)이 배치될 수 있고, 우측에는 센싱라인(VREF)이 배치될 수 있다. 제3서브 픽셀(SP3)의 좌측에는 센싱라인(VREF)이 배치될 수 있고, 우측에는 제3데이터라인(DL3)이 배치될 수 있다. 제4서브 픽셀(SP4)의 좌측에는 제4데이터라인(DL4)이 배치될 수 있고, 우측에는 제1전원라인(미도시)이 배치될 수 있다. 이하, 단면도를 함께 참조하여 종래 구조에 대한 설명을 구체화한다.

[0053] 도 6 및 도 7에 도시된 바와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 제1데이터라인 및 제2데이터라인(DL1, DL2)이 배치된다. 즉, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 2개의 신호라인이 배치된다.

[0054] 이 영역의 단면도를 참조하면, 제1서브 픽셀(SP1)의 평탄화층(OC)의 하부에는 적색 컬러필터(CFR)가 존재하지만 제2서브 픽셀(SP2)의 평탄화층(OC)의 하부에는 컬러필터가 존재하지 않는다.

[0055] 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)의 평탄화층(OC)의 상부에는 뱅크층(BNK)이 존재한다. 뱅크층(BNK)은 제1서브 픽셀(SP1)의 상부에 존재하는 발광영역(EMA)과 제2서브 픽셀(SP2)의 평탄화층(OC)의 상부에 존재하는 발광영역(EMA)을 구조적으로 분리하는 역할을 한다.

[0056] 그러나 종래 구조는 적색에 해당하는 제1서브 픽셀(SP1)이 영상을 표시할 경우, 제1서브 픽셀(SP1)만 발광해야 하지만 인접하는 제2서브 픽셀(SP2) 측으로 빛이 출사된다.

[0057] 따라서, 종래 구조는 제1서브 픽셀(SP1)이 빛을 발광하고 제2서브 픽셀(SP2)이 빛을 발광 또는 비발광하는 상태가 되더라도 제1서브 픽셀(SP1)로부터 발광된 빛이 제2서브 픽셀(SP2)의 발광영역(EMA)으로 출사되어 혼색이 발생한다.

[0058] 도 6 및 도 8에 도시된 바와 같이, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 센싱라인(VREF)이 배치된다. 즉, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 1개의 신호라인이 배치된다.

[0059] 이 영역의 단면도를 참조하면, 제2서브 픽셀(SP2)의 평탄화층(OC)의 하부에는 컬러필터가 존재하지 않지만 제3서브 픽셀(SP3)의 하부에는 청색 컬러필터(CFB)가 존재한다.

[0060] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3)의 평탄화층(OC)의 상부에는 뱅크층(BNK)이 존재한다. 뱅크층(BNK)은 제2서브 픽셀(SP2)의 상부에 존재하는 발광영역(EMA)과 제3서브 픽셀(SP3)의 평탄화층(OC)의 상부에 존재하는 발광영역(EMA)을 구조적으로 분리하는 역할을 한다.

[0061] 그러나 종래 구조는 청색에 해당하는 제3서브 픽셀(SP3)이 영상을 표시할 경우, 제3서브 픽셀(SP3)만 발광해야 하지만 인접하는 제2서브 픽셀(SP2) 측으로 빛이 출사된다.

[0062] 따라서, 종래 구조는 제3서브 픽셀(SP3)이 빛을 발광하고 제2서브 픽셀(SP2)이 빛을 발광 또는 비발광하는 상태가 되더라도 제3서브 픽셀(SP3)로부터 발광된 빛이 제2서브 픽셀(SP2)의 발광영역(EMA)으로 출사되어 혼색이 발생한다.

[0063] 이상, 종래에 제안된 구조는 인접하는 서브 픽셀들 간에 빛의 반사, 간섭, 혼색 등이 발생할 경우 정확한 색을

구현하지 못하는 문제나 표시품질을 저하하는 문제 등을 유발하게 되는바 이의 개선이 요구된다.

[0064] -제1실시예의 구조-

도 9는 본 발명의 제1실시예의 구조를 설명하기 위한 서브 픽셀들의 평면 예시도이고, 도 10은 도 9의 C1-C2 영역의 단면도이며, 도 11은 도 9의 D1-D2 영역의 단면도이며, 도 12는 도 9의 발광영역 및 회로영역의 이해를 돋기 위한 단면도이다.

도 9에 도시된 바와 같이, 표시패널에는 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)은 예컨대, 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀 순으로 배치될 수 있다. 그러나 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.

제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 가로방향에는 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 세로방향에는 제1전원라인(EVDD), 센싱라인(VREF) 및 데이터라인들(DL1 ~ DL4)이 배치된다.

제1서브 픽셀(SP1)의 좌측에는 제1전원라인(EVDD)이 배치될 수 있고, 우측에는 제1데이터라인(DL1)이 배치될 수 있다. 제2서브 픽셀(SP2)의 좌측에는 제2데이터라인(DL2)이 배치될 수 있고, 우측에는 센싱라인(VREF)이 배치될 수 있다. 제3서브 픽셀(SP3)의 좌측에는 센싱라인(VREF)이 배치될 수 있고, 우측에는 제3데이터라인(DL3)이 배치될 수 있다. 제4서브 픽셀(SP4)의 좌측에는 제4데이터라인(DL4)이 배치될 수 있고, 우측에는 제1전원라인(미도시)이 배치될 수 있다.

제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 경계 영역에는 세로방향으로 격벽층(BLW)이 배치된다. 격벽층(BLW)은 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 발광영역(EMA)의 길이에 대응하여 배치된다. 즉, 격벽층(BLW)은 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 회로영역(DRA)에는 존재하지 않는다.

격벽층(BLW)은 모든 서브 픽셀들 간의 경계 영역을 따라 배치될 수 있으나 특정 서브 픽셀과 특정 서브 픽셀 사이에만 배치될 수도 있다. 예컨대, 백색 서브 픽셀과 인접하는 서브 픽셀 간의 경계 영역에만 선택적으로 배치될 수 있다.

서브 픽셀들에 포함된 발광층들은 재료마다 광학 특성 예컨대, 색표현력, 수명, 휘도 등이 다르다. 때문에, 서브 픽셀들의 광학 특성을 유사 또는 동일하게 구현하거나 특정 서브 픽셀의 단점을 보완하기 위한 설계가 필요하다. 따라서, 본 발명의 실시예에서는 이하 발광층들의 광학 특성을 고려하여 서브 픽셀들을 하기와 같이 설계한 것을 예로 설명하나 이는 하나의 예시일 뿐, 본 발명은 이에 한정되지 않는다.

서브 픽셀들의 경계 영역은 직선 구간을 갖는 영역(예: SP1의 좌측), 좌측으로 돌출되어 비직선 구간을 갖는 영역(예: SP2의 좌측), 우측으로 돌출되어 비직선 구간을 갖는 영역(예: SP3의 우측) 등이 존재할 수 있다. 따라서, 격벽층(BLW)은 서브 픽셀들의 경계 영역을 따라 직선 구간을 갖는 영역과 비직선 구간을 갖는 영역(사선과 직선을 포함하는 영역)을 가질 수 있다.

격벽층(BLW)은 빛을 차단할 수 있는 색의 안료 또는 금속 재료를 선택할 수 있다. 이하에서는 격벽층(BLW)이 빛을 차단할 수 있는 금속 재료로 선택된 것을 일례로 한다.

[0074] 이하, 단면도를 함께 참조하여 제1실시예의 구조에 대해 설명을 구체화한다.

도 9 및 도 10에 도시된 바와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 제1데이터라인 및 제2데이터라인(DL1, DL2)이 배치된다. 즉, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 2개의 신호라인이 배치된다.

[0076] 이 영역의 단면도를 참조하면, 제1서브 픽셀(SP1)의 평탄화층(OC)의 하부에는 적색 컬러필터(CFR)가 존재하지만 제2서브 픽셀(SP2)의 평탄화층(OC)의 하부에는 컬러필터가 존재하지 않는다.

[0077] 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)을 덮고 있는 평탄화층(OC)은 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)의 경계 영역에서 일축과 타축으로 분리된다. 즉, 평탄화층(OC)은 제1데이터라인 및 제2데이터라인(DL1, DL2) 사이에서 상호 이격하는 공간을 갖도록 분리된다. 평탄화층(OC)의 이격 공간은 식각 방법에 의해 패터닝됨에 따라 형성될 수 있으나 이에 한정되지 않는다.

[0078] 이 영역에서 평탄화층(OC) 간의 이격거리는 제1데이터라인 및 제2데이터라인(DL1, DL2)의 선폭 내에서 선택 가

능하다. 그러나 평탄화층(OC) 간의 이격거리가 제1데이터라인 및 제2데이터라인(DL1, DL2)을 합한 선폭의 최외곽 범위를 벗어날 경우 발광영역(EMA)은 좁아지게 된다. 즉, 평탄화층(OC) 간의 이격거리는 발광영역(EMA)을 정의하는 개구율과 관계하고 이 간격을 너무 넓게 설정할 경우 개구율 저하를 초래하게 되므로 주의해야 한다.

[0079] 평탄화층(OC) 간의 이격 공간 사이에는 격벽층(BLW)이 배치된다. 격벽층(BLW)은 분리된 평탄화층(OC)의 상부 일부 영역과 측벽을 덮도록 형성된다. 격벽층(BLW)은 인접하는 서브 픽셀들 간의 혼색 및 간섭(광간섭)을 방지하는 차단막(또는 격벽) 역할을 한다.

[0080] 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)의 평탄화층(OC)의 상부에는 뱅크층(BNK)이 존재한다. 뱅크층(BNK)은 제1서브 픽셀(SP1)의 상부에 존재하는 발광영역(EMA)과 제2서브 픽셀(SP2)의 평탄화층(OC)의 상부에 존재하는 발광영역(EMA)을 구조적으로 분리하는 역할을 한다.

[0081] 위와 같이, 제1실시예의 구조는 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에 마련된 공간에 빛을 차단하는 차단막 역할을 수행하는 격벽층(BLW)이 존재한다. 따라서, 제1서브 픽셀(SP1)이 빛을 발광하고 제2서브 픽셀(SP2)이 빛을 발광 또는 비발광하는 상태(또는 이와 반대되는 상태)가 되더라도 제1서브 픽셀(SP1)로부터 발광된 빛이 제2서브 픽셀(SP2)의 발광영역(EMA)으로 출사되는 혼색 문제 등을 발생하지 않는다.

[0082] 도 9 및 도 11에 도시된 바와 같이, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 센싱라인(VREF)이 배치된다. 즉, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 1개의 신호라인이 배치된다. 한편, 도 10 및 도 11을 함께 참조하면, 센싱라인(VREF)의 선폭은 제1데이터라인 및 제2데이터라인(DL1, DL2)을 합한 선폭에 대응되는 것으로 도시되어 있으나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

[0083] 이 영역의 단면도를 참조하면, 제2서브 픽셀(SP2)의 평탄화층(OC)의 하부에는 컬러필터가 존재하지 않지만 제3서브 픽셀(SP3)의 하부에는 청색 컬러필터(CFB)가 존재한다.

[0084] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3)을 덮고 있는 평탄화층(OC)은 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3)의 경계 영역에서 분리된다. 즉, 평탄화층(OC)은 제3데이터라인(DL3) 상에서 상호 이격하는 공간을 갖도록 분리된다.

[0085] 이 영역에서 평탄화층(OC) 간의 이격거리는 센싱라인(VREF)의 선폭 내에서 선택 가능하다. 그러나 평탄화층(OC) 간의 이격거리가 센싱라인(VREF)의 선폭의 최외곽 범위를 벗어날 경우 발광영역(EMA)은 좁아지게 된다. 즉, 평탄화층(OC) 간의 이격거리는 발광영역(EMA)을 정의하는 개구율과 관계하고 이 간격을 너무 넓게 설정할 경우 개구율 저하를 초래하게 되므로 주의해야 한다.

[0086] 평탄화층(OC) 간의 이격 공간 사이에는 격벽층(BLW)이 배치된다. 격벽층(BLW)은 분리된 평탄화층(OC)의 상부 일부 영역과 측벽을 덮도록 형성될 수 있다. 격벽층(BLW)은 인접하는 서브 픽셀들 간의 혼색 및 간섭(광간섭)을 방지하는 차단막(또는 격벽) 역할을 한다.

[0087] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3)의 평탄화층(OC)의 상부에는 뱅크층(BNK)이 존재한다. 뱅크층(BNK)은 제2서브 픽셀(SP2)의 상부에 존재하는 발광영역(EMA)과 제3서브 픽셀(SP3)의 평탄화층(OC)의 상부에 존재하는 발광영역(EMA)을 구조적으로 분리하는 역할을 한다.

[0088] 위와 같이, 제1실시예의 구조는 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에 마련된 공간에 빛을 차단하는 차단막 역할을 수행하는 격벽층(BLW)이 존재한다. 따라서, 제3서브 픽셀(SP3)이 빛을 발광하고 제2서브 픽셀(SP2)이 빛을 발광 또는 비발광하는 상태(또는 이와 반대되는 상태)가 되더라도 제3서브 픽셀(SP3)로부터 발광된 빛이 제2서브 픽셀(SP2)의 발광영역(EMA)으로 출사되는 혼색 문제 등을 발생하지 않는다.

[0089] 이상, 제1실시예의 구조는 좌우 인접하는 서브 픽셀들 간에 빛의 반사, 간섭, 혼색 등이 발생하는 문제를 방지하게 되므로 정확한 색을 구현할 수 있고 그 결과 표시품질을 더욱 향상할 수 있다. 또한, 제1실시예의 구조는 서브 픽셀을 통해 발광된 빛이 다른 서브 픽셀로 누설되는 빛샘 불량 문제를 방지(빛샘 차단)하여 휘도를 향상할 수 있다.

[0090] 한편, 격벽층(BLW)은 서브 픽셀들(SP1 ~ SP4)의 회로영역(DRA)에 포함된 금속층을 형성하는 공정과 함께 형성될 수 있는데 이에 대한 설명은 이하에서 구체화한다.

[0091] 도 10 내지 도 12에 도시된 바와 같이, 서브 픽셀들의 회로영역에는 유기 발광다이오드(OLED)와 전기적으로 연결된 구동 트랜지스터(DR)가 포함된다. 구동 트랜지스터(DR)의 제1전극 또는 제2전극은 유기 발광다이오드(OLED)의 애노드전극에 전기적으로 연결된다. 이하 구동 트랜지스터(DR)와 유기 발광다이오드(OLED)의 적층 구

조를 설명하면 다음과 같다.

- [0092] 기판(150a) 상에는 게이트금속층(151)이 형성된다. 게이트금속층(151)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 게이트금속층(151)은 구동 트랜지스터(DR)의 게이트전극이 됨과 동시에 스캔라인, 패드전극 등으로 분리되며 패턴될 수 있다.
- [0093] 게이트금속층(151) 상에는 제1절연층(152)이 형성된다. 제1절연층(152)은 게이트금속층(151)을 전기적으로 절연하는 역할을 한다. 제1절연층(152)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.
- [0094] 제1절연층(152) 상에는 반도체층(153)이 형성된다. 반도체층(153)은 트랜지스터의 소오스전극과 드레인전극에 접속된다. 반도체층(153)은 산화물(IGZO, TiO₂, ZnO, WO₃, SnO₂) 또는 실리콘(a-Si, p-Si) 등의 재료로 선택될 수 있다.
- [0095] 반도체층(153) 상에는 에치스토퍼층(ESL)이 형성된다. 에치스토퍼층(ESL)은 반도체층(153)의 소오스영역과 드레인영역이 될 활성층의 일부를 노출시키는 역할 및 패터닝시 과식각을 방지하는 역할 등을 한다. 에치스토퍼층(ESL)은 유기 절연막(감광성 및 비감광성 유기 절연막)으로 이루어질 수 있다.
- [0096] 에치스토퍼층(ESL) 상에는 제1소오스 드레인금속층(154a, 154b)(SD1)이 형성된다. 제1소오스 드레인금속층(154a, 154b)은 구동 트랜지스터(DR)의 소오스전극 및 드레인전극(154a, 154b)으로 패턴되어 분리된다. 소오스전극 및 드레인전극(154a, 154b)은 반도체층(153)의 소오스영역과 드레인영역에 접촉된다. 소오스전극 및 드레인전극(154a, 154b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0097] 소오스 드레인금속층(154a, 154b) 상에는 제2절연층(155)이 형성된다. 제2절연층(155)은 소오스전극 및 드레인전극(154a, 154b)을 보호하는 보호막 역할을 한다. 제2절연층(155)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다. 제2절연층(155)은 구동 트랜지스터(DR)의 소오스전극(154a)을 노출하는 콘택홀을 갖는다.
- [0098] 제2절연층(155) 상에는 제2소오스 드레인금속층(156a, 156b)(SD2)이 형성된다. 제2소오스 드레인금속층(156a, 156b)은 구동 트랜지스터(DR)의 소오스전극(154a)과 접촉하는 연결전극(156a) 부분과 구동 트랜지스터(DR)의 제2게이트전극(또는 상부게이트전극)(156b) 역할을 하는 부분으로 패턴되어 분리된다. 제2소오스 드레인금속층(156a, 156b)은 제1소오스 드레인금속층(154a, 154b)과 동일한 재료로 이루어질 수 있으나 이에 한정되지 않는다. 구동 트랜지스터(DR)의 제2게이트전극(또는 상부게이트전극)(156b) 부분은 상부 또는 측면으로부터 입사되어 들어오는 빛을 차단하는 역할을 겸한다.
- [0099] 제2게이트전극(또는 상부게이트전극)(156b) 상에는 컬러필터(CF)가 형성된다. 컬러필터(CF)는 적색, 녹색 또는 청색으로 선택될 수 있다.
- [0100] 제2절연층(155) 상에는 제2소오스 드레인금속층(156a, 156b) 및 컬러필터(CF)를 덮는 평탄화층(OC)이 형성된다. 평탄화층(OC)은 트랜지스터 어레이에 해당하는 하부 표면을 평탄화하는 역할을 한다. 평탄화층(OC)은 소오스전극(154a)에 접촉된 연결전극(156a)을 노출하는 콘택홀을 갖는다. 평탄화층(OC)은 포토아크릴 등과 같은 유기 절연막을 선택할 수 있으나 이에 한정되지 않는다.
- [0101] 평탄화층(OC) 상에는 애노드전극층(157)이 형성된다. 애노드전극층(157)은 연결전극(156a)과 전기적으로 연결된다. 애노드전극층(157)은 투명한 산화물(예: ITO)로 이루어질 수 있으나 이에 한정되지 않는다.
- [0102] 평탄화층(OC) 상에는 발광영역을 정의하는 뱅크층(BNK)이 형성된다. 뱅크층(BNK)은 서브 픽셀의 발광영역 등에 대응하여 개구를 형성한다. 뱅크층(BNK)은 유기 절연막 또는 무기 절연막으로 선택될 수 있다.
- [0103] 애노드전극층(157) 상에는 유기 발광층(158)이 형성된다. 유기 발광층(158)은 적색, 녹색, 청색 또는 백색을 발광하는 발광층 그리고 정공과 전자의 재결합 등을 돋는 기능층(정공주입층, 정공수송층, 전자수송층, 전자주입층 등)을 포함한다. 유기 발광층(158)은 뱅크층(BNK) 상에도 위치할 수 있으나 이에 한정되지 않는다.
- [0104] 유기 발광층(158) 상에는 캐소드전극층(159)이 형성된다. 캐소드전극층(159)은 불투명한 금속(예: Al)로 이루어질 수 있으나 이에 한정되지 않는다. 캐소드전극층(159)은 표시패널의 표시영역 전면에 공통으로 형성되고 이는 표시영역의 내부 또는 외부에서 제2전원라인과 전기적으로 연결된다.

- [0105] 도 12를 참조하여 설명한 바와 같은 적층 구조로 서브 픽셀이 형성되는 경우, 도 9 내지 도 11에 설명된 격벽층(BLW)은 제2소오스 드레인금속층(156a, 156b)을 형성하는 공정과 함께 형성될 수 있다. 즉, 격벽층(BLW)은 제2소오스 드레인금속층(156a, 156b)과 동일한 재료 및 동일한 공정에 의해 형성될 수 있다. 그러나 이는 하나의 예시일 뿐 제2소오스 드레인금속층(156a, 156b)이 존재하지 않는 경우 별도의 공정을 통해 형성된다.
- [0106] <제2실시예>
- [0107] 도 13은 본 발명의 제2실시예의 구조를 설명하기 위한 서브 픽셀들의 평면 예시도이다.
- [0108] 도 13에 도시된 바와 같이, 표시패널에는 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)은 예컨대, 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀 순으로 배치될 수 있다. 그러나 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0109] 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 가로방향에는 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 세로방향에는 제1전원라인(EVDD), 센싱라인(VREF) 및 데이터라인들(DL1 ~ DL4)이 배치된다.
- [0110] 제1서브 픽셀(SP1)의 좌측에는 제1전원라인(EVDD)이 배치될 수 있고, 우측에는 제1데이터라인(DL1)이 배치될 수 있다. 제2서브 픽셀(SP2)의 좌측에는 제2데이터라인(DL2)이 배치될 수 있고, 우측에는 센싱라인(VREF)이 배치될 수 있다. 제3서브 픽셀(SP3)의 좌측에는 센싱라인(VREF)이 배치될 수 있고, 우측에는 제3데이터라인(DL3)이 배치될 수 있다. 제4서브 픽셀(SP4)의 좌측에는 제4데이터라인(DL4)이 배치될 수 있고, 우측에는 제1전원라인(미도시)이 배치될 수 있다.
- [0111] 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 경계 영역에는 세로방향으로 격벽층(BLW)이 배치된다. 격벽층(BLW)은 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 발광영역(EMA)의 길이에 대응하여 배치된다. 또한, 격벽층(BLW)은 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 회로영역(DRA)까지 일부 연장되어 배치된다. 즉, 격벽층(BLW)은 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 발광영역(EMA) 및 회로영역(DRA)의 일부 구간 또는 전체 길이 대응하여 존재한다.
- [0112] 격벽층(BLW)은 모든 서브 픽셀들 간의 경계 영역을 따라 배치될 수 있으나 특정 서브 픽셀과 특정 서브 픽셀 사이에만 배치될 수도 있다. 예컨대, 백색 서브 픽셀과 인접하는 서브 픽셀 간의 경계 영역에만 배치될 수 있다.
- [0113] 서브 픽셀들에 포함된 발광층들은 재료마다 광학 특성 예컨대, 색표현력, 수명, 휘도 등이 다르다. 때문에, 서브 픽셀들의 광학 특성을 유사 또는 동일하게 구현하거나 특정 서브 픽셀의 단점을 보완하기 위한 설계가 필요하다. 따라서, 본 발명의 실시예에서는 이하 발광층들의 광학 특성을 고려하여 서브 픽셀들을 하기와 같이 설계한 것을 예로 설명하나 이는 하나의 예시일 뿐, 본 발명은 이에 한정되지 않는다.
- [0114] 서브 픽셀들의 경계 영역은 직선 구간을 갖는 영역(예: SP1의 좌측), 좌측으로 돌출되어 비직선 구간을 갖는 영역(예: SP2의 좌측), 우측으로 돌출되어 비직선 구간을 갖는 영역(예: SP3의 우측) 등이 존재할 수 있다. 따라서, 격벽층(BLW)은 서브 픽셀들의 경계 영역을 따라 직선 구간을 갖는 영역과 비직선 구간을 갖는 영역(사선과 직선을 포함하는 영역)을 가질 수 있다.
- [0115] 이하, 단면도는 제1실시예의 구조와 유사 동일하므로 설명의 중복을 피하고자 생략하므로, 제1실시예를 참조한다.
- [0116] 이상 본 발명은 좌우 인접하는 서브 픽셀들 간에 빛의 반사, 간섭, 혼색(시야 색 얼룩) 등이 발생하는 문제를 방지하여 정확한 색을 구현함과 더불어 표시품질을 향상할 수 있는 효과가 있다. 또한, 본 발명은 서브 픽셀을 통해 발광된 빛이 다른 서브 픽셀로 누설되는 빛샘 불량 문제를 방지(빛샘 차단)하여 휘도를 향상할 수 있는 효과가 있다.
- [0117] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

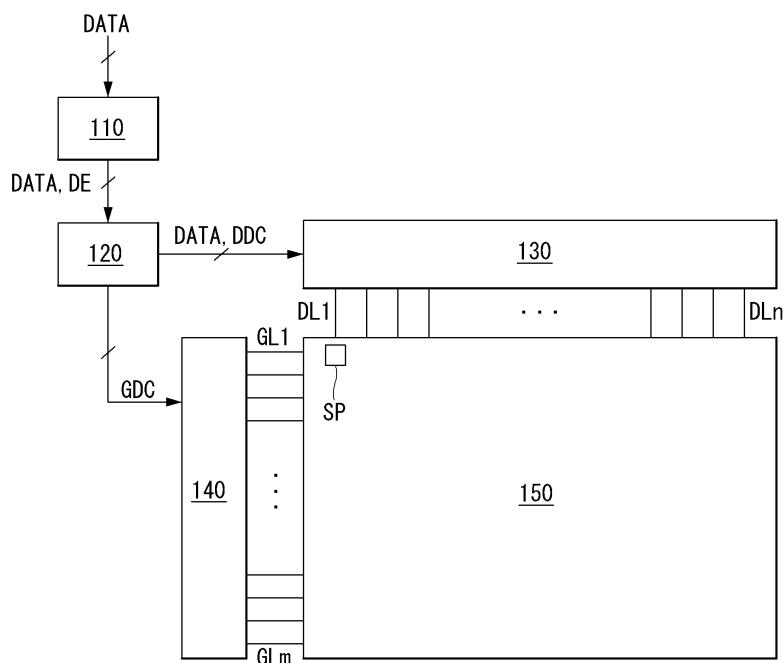
부호의 설명

[0118]

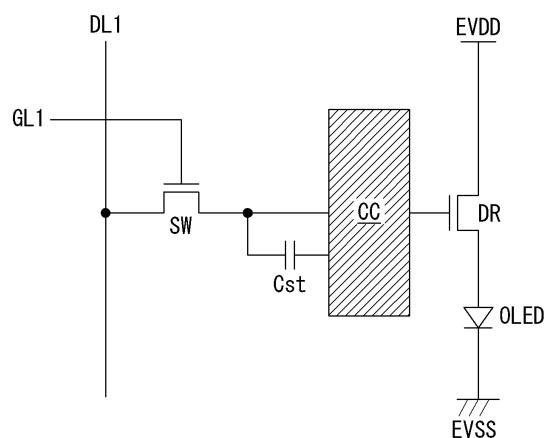
110: 영상 처리부 120: 타이밍 제어부
 130: 데이터 구동부 140: 스캔 구동부
 150: 표시 패널 SP1 ~ SP4: 제1서브 픽셀 내지 제4서브 픽셀
 EMA: 발광영역 DRA: 회로영역
 BLW: 격벽층 OC: 평탄화층

도면

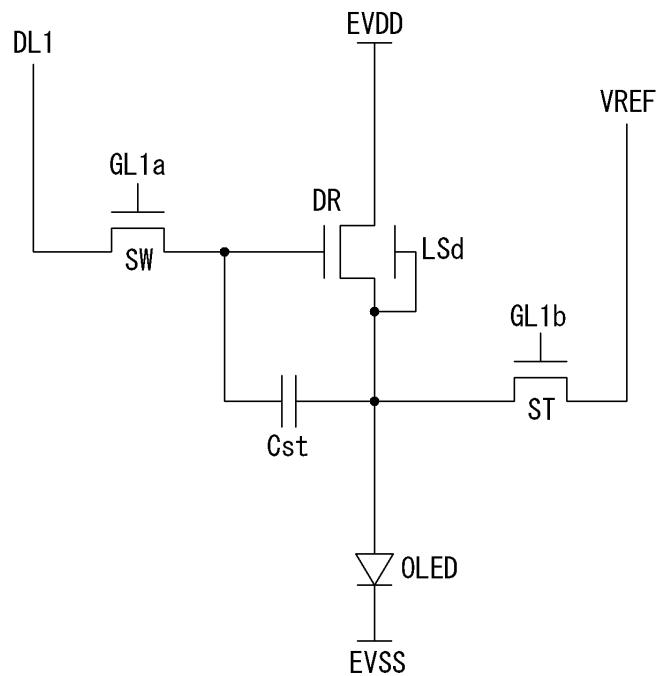
도면1



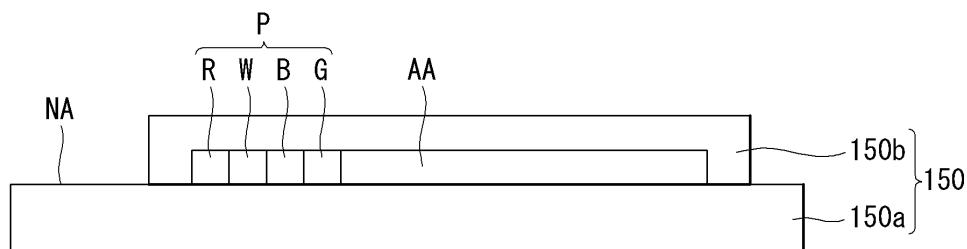
도면2



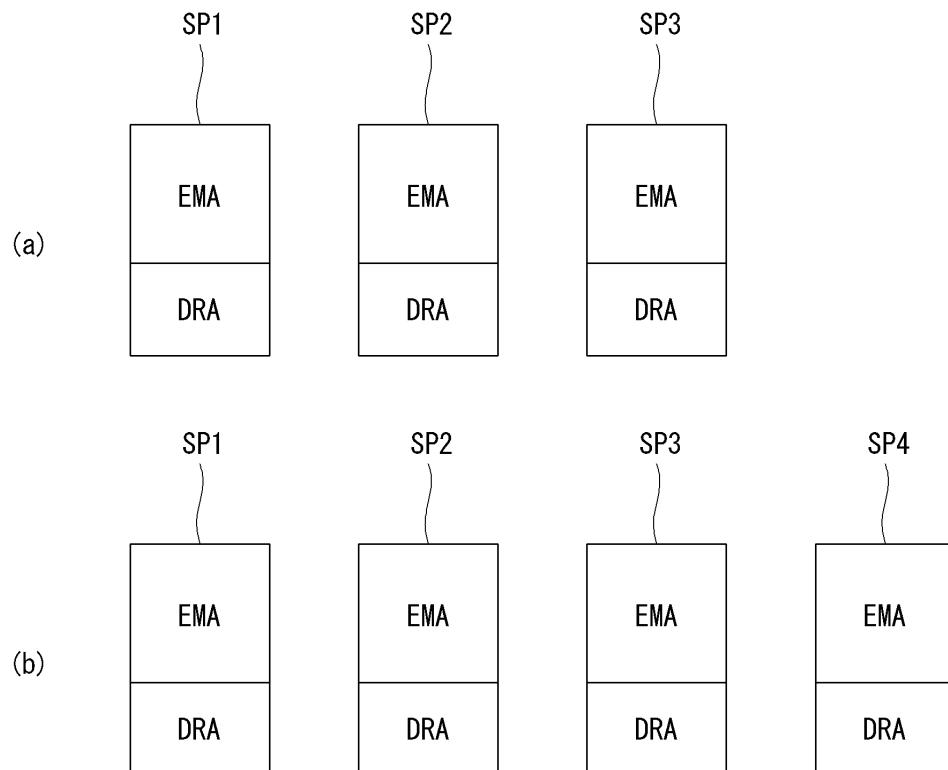
도면3



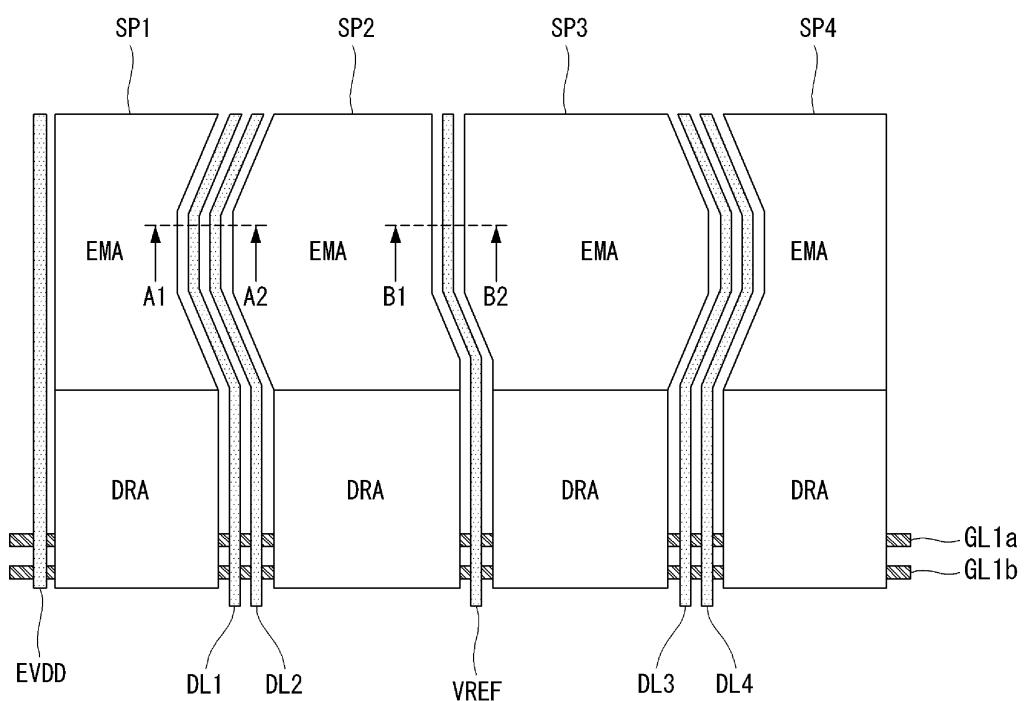
도면4



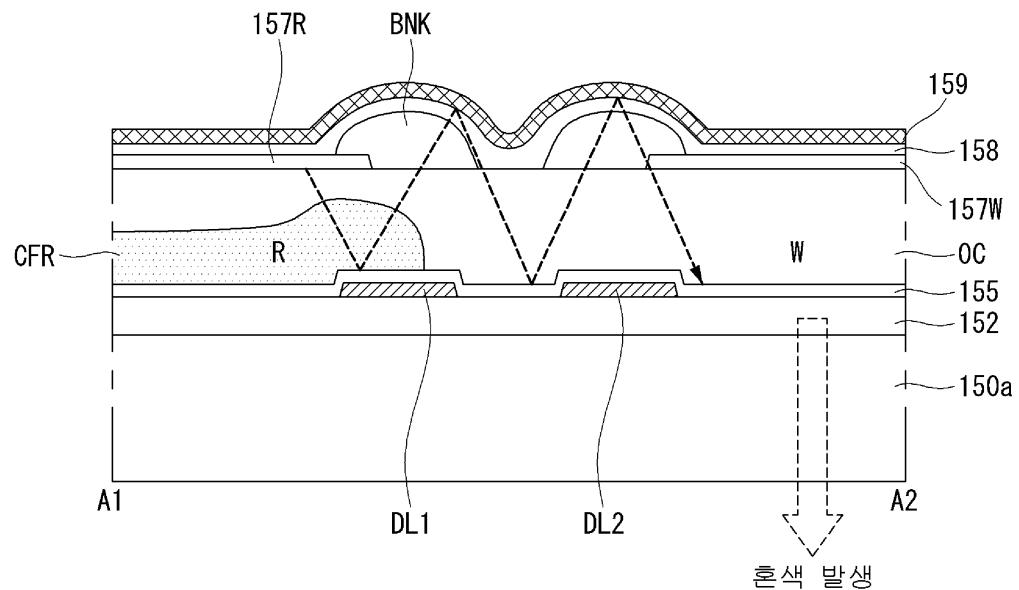
도면5



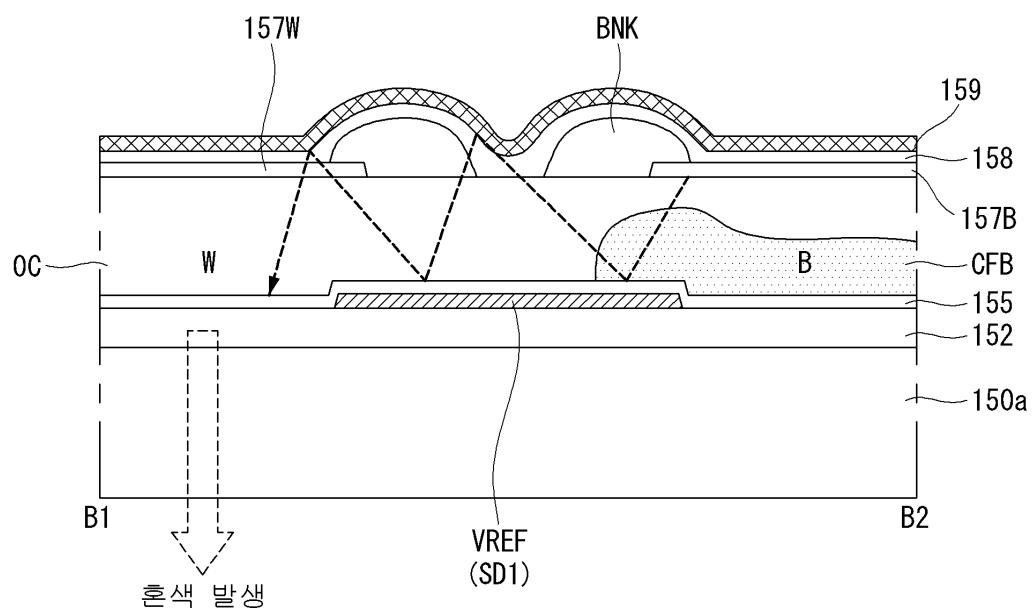
도면6



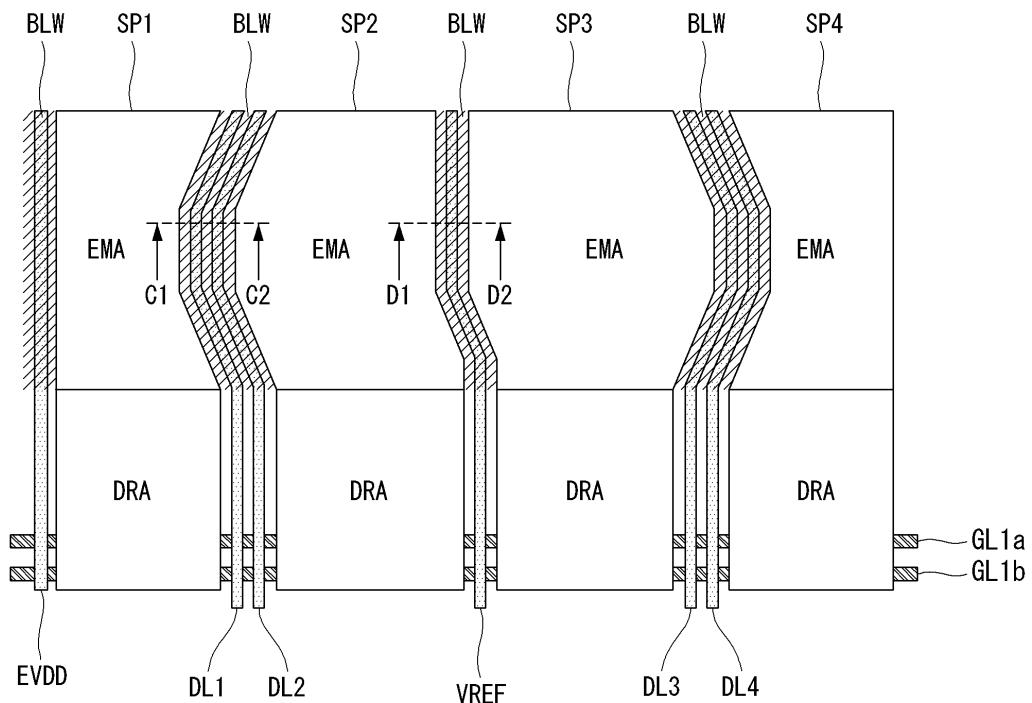
도면7



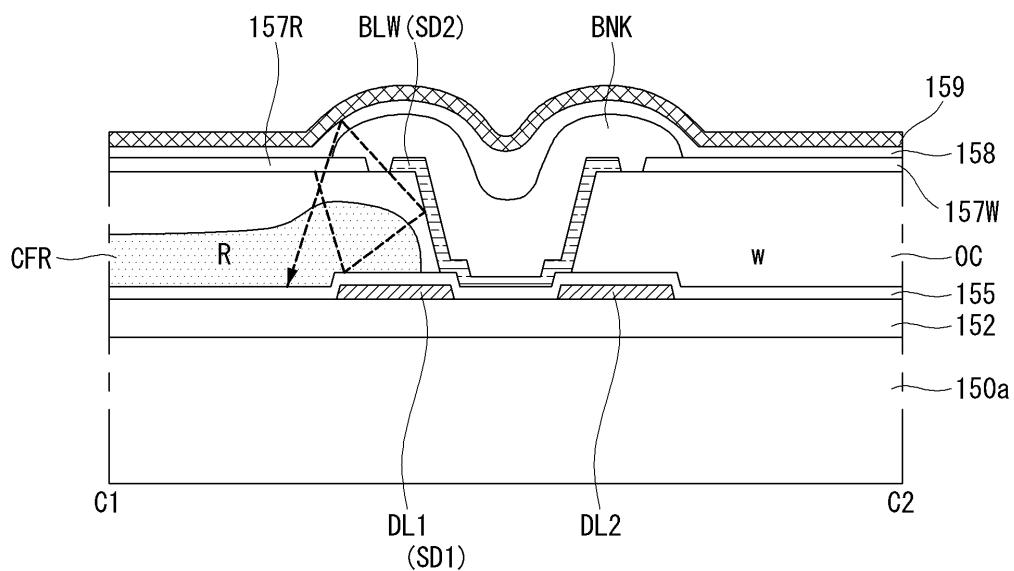
도면8



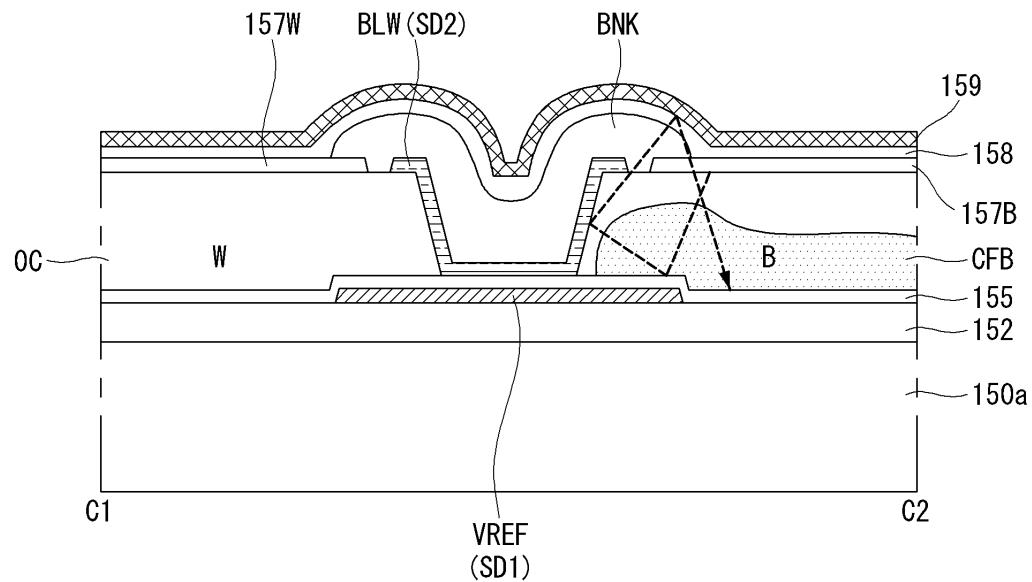
도면9



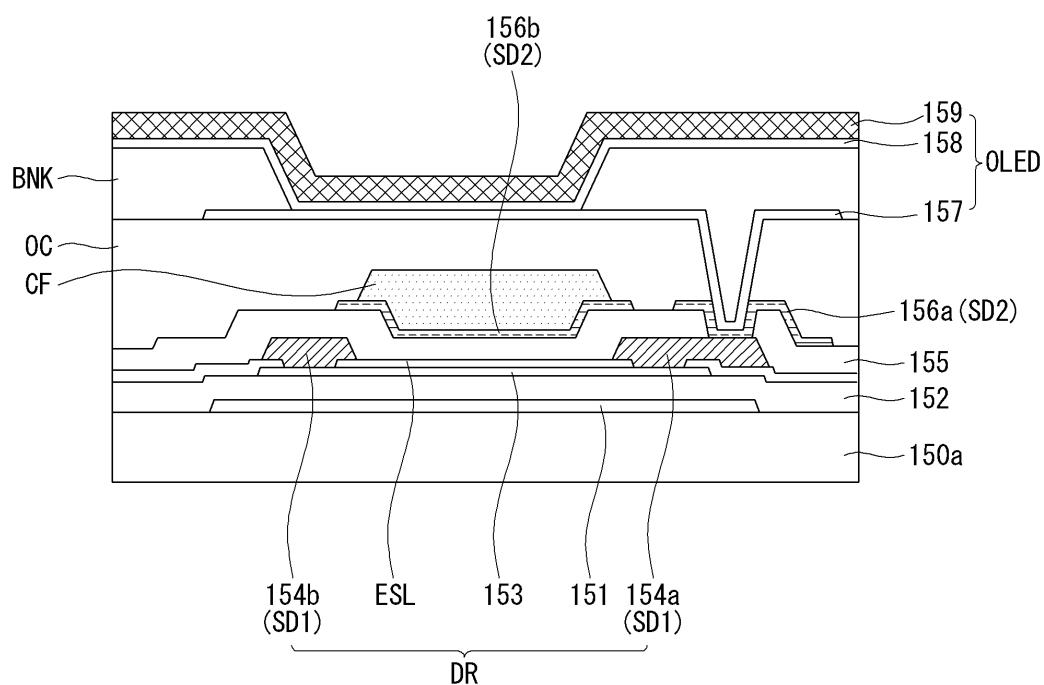
도면10



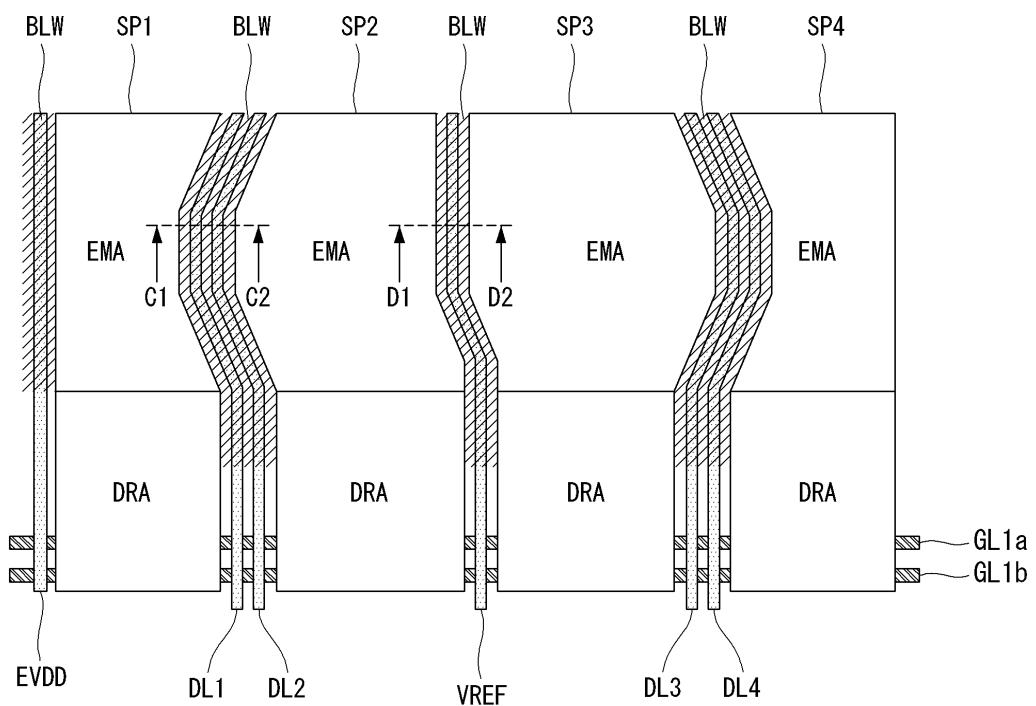
도면11



도면12



도면13



专利名称(译)	显示装置和制造该装置的方法		
公开(公告)号	KR1020170064126A	公开(公告)日	2017-06-09
申请号	KR1020150169242	申请日	2015-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BONG JUN 김봉준		
发明人	김봉준		
IPC分类号	H01L27/32 G02F1/133 H01L51/56		
CPC分类号	H01L27/3211 G02F1/133 H01L27/3225 H01L27/3276 H01L2227/32 H01L51/56 H01L27/3213 H01L27/322 H01L27/3272		
外部链接	Espacenet		

摘要(译)

本发明防止泄漏到其他子像素的漏光问题(漏光泄漏)，从而实现准确的颜色和提高显示质量。为此，本发明将阻挡层置于子像素之间的边界区域中。

