



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026964
(43) 공개일자 2017년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2015-0123218
(22) 출원일자 2015년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최재이
경상남도 창원시 마산회원구 내서읍 중리상곡로
134 205동 902호 (중리, 동신2차아파트)
(74) 대리인
김은구, 송해모

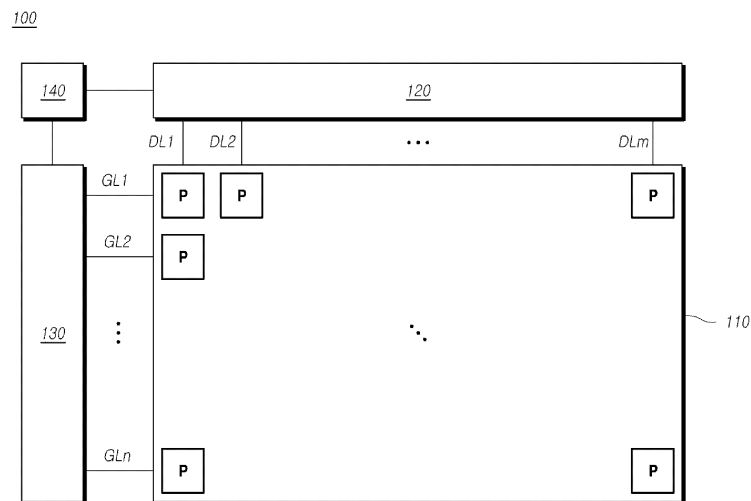
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 실시예들은, 홀 영역 내에 배치된 보호층 홀을 포함하는 보호층, 홀 영역 내에 기판 상에 위치하는 플로팅 패턴, 홀 영역 내에 플로팅 패턴 상에 위치하며 제1컨택홀을 포함하는 제1절연층, 보호층 홀에 화소전극으로부터 연장되어 제1절연층 상에 위치하는 제1패턴, 보호층 홀에 제1화소전극과 인접한 제2화소전극으로부터 연장되어 제1절연층 상에 플로팅 패턴과 중첩되어 위치하는 제2패턴 및 보호층 홀에 제1절연층 상에 제1패턴과 제2패턴 사이에 플로팅 패턴과 중첩되어 위치하는 분리패턴을 포함하는 유기발광표시장치에 관한 것이다.

대표도



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/5253 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

홀 영역 내에 배치된 보호층 홀을 포함하는 보호층;

상기 홀 영역 내에 기관 상에 위치하는 플로팅 패턴;

상기 홀 영역 내에 상기 플로팅 패턴 상에 위치하며 제1컨택홀을 포함하는 제1절연층;

상기 보호층 홀에 화소전극으로부터 연장되어 상기 제1절연층 상에 위치하는 제1패턴;

상기 보호층 홀에 상기 제1화소전극과 인접한 제2화소전극으로부터 연장되어 상기 제1절연층 상에 상기 플로팅 패턴과 중첩되어 위치하는 제2패턴; 및

상기 보호층 홀에 상기 제1절연층 상에 상기 제1패턴과 상기 제2패턴 사이에 상기 플로팅 패턴과 중첩되어 위치하는 분리패턴을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 기관 상에 위치하는 라이트 쉴드와, 상기 라이트 쉴드 상에 위치하며 상기 제2컨택홀을 포함하는 제2절연층을 추가로 포함하며,

상기 플로팅 패턴은 상기 제2컨택홀을 통해 상기 라이트 쉴드와 접촉하며,

상기 분리패턴은 상기 제2컨택홀 내에 위치하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 플로팅 패턴은,

일단이 스위칭 트랜지스터의 소스 또는 드레인 중 하나와 연결되어 있고,

타단이 구동 트랜지스터의 게이트와 연결되는 플레이트와 연결되어 있는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 플레이트의 일부는 상기 홀 영역 내에 위치하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 제1패턴과 상기 제2패턴은 동일 재료인 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 플로팅 패턴과 상기 제2패턴은 전기적으로 연결된 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 분리패턴은 상기 보호층과 동일 재료인 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 제1패턴과 상기 제2패턴은 패드부의 연결배선과 동일한 재료인 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 분리패턴의 두께는 상기 보호층의 두께보다 얇은 리페어 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 실시예들은 영상을 표시하는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 명암비(Contrast Ration), 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 유기발광표시장치는 다양한 원인으로 노광 불량 발생하고 이에 따라 생산 수율이 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 실시예들의 목적은, 패터닝하는 노광 에너지 마진을 확보하여 노광 불량 발생율을 제거하는 유기발광표시장치를 제공하는 데 있다.

[0005] 본 실시예들의 목적은, 생산 수율이 증가하는 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

[0006] 일 실시예는, 패터닝하는 노광 에너지 마진을 확보하여 노광 불량 발생율을 제거할 수 있는 유기발광표시장치를 제공할 수 있다.

[0007] 다른 실시예는, 생산 효율을 증가시킬 수 있는 유기발광표시장치를 제공할 수 있다.

발명의 효과

[0008] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 홀 영역 내에 배치된 보호층 홀을 포함하는 보호층, 홀 영역 내에 기판 상에 위치하는 플로팅 패턴, 홀 영역 내에 플로팅 패턴 상에 위치하며 제1컨택홀을 포함하는 제1절연층, 보호층 홀에 화소전극으로부터 연장되어 제1절연층 상에 위치하는 제1패턴, 보호층 홀에 제1화소전극과 인접한 제2화소전극으로부터 연장되어 제1절연층 상에 플로팅 패턴과 중첩되어 위치하는 제2패턴 및 보호층 홀에 제1절연층 상에 제1패턴과 제2패턴 사이에 플로팅 패턴과 중첩되어 위치하는 분리패턴을 포함하는 유기발광표시장치를 제공할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 실시예들에 따른 표시장치의 개략적인 시스템 구성도이다.

도 2a는 일 실시예에 따른 유기발광표시장치의 평면도이다.

도 2b는 다른 실시예에 따른 유기발광표시장치의 평면도이다.

도 3은 또다른 실시예에 따른 유기발광표시장치의 부분 상세 평면도이다.

도 3은 도 2에 도시한 유기발광표시장치(200)의 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)을 상

세하게 나타낸 평면도이다.

도 4는 도 3의 구동 트랜지스터를 절취한 A-A' 절취선 부분의 단면도이다.

도 5a는 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도이다.

도 5b는 도 3에서 리페어 공정을 통해 제2패턴과 플로팅 패턴이 전기적으로 연결된 B-B' 절취선 부분의 단면도이다.

도 6은 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 C-C' 절취선 부분의 단면도이다.

도 7a 및 도 7b는, 다른 예로, 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도들이다.

도 8a 및 도 8b는, 또 다른 예로, 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도들이다.

도 9a는 유기발광표시장치에 포함되는 패드부의 평면도이다. 도 9a는 패드부의 단면도이다.

도 10a 내지 도 10d는 제1패턴과 제2패턴 사이에 분리패턴이 존재하지 않는 비교예에 따른 유기발광발광표시장치의 제조공정을 도시하고 있다.

도 11a 및 도 11b는 도 3의 유기발광표시패널의 제조공정을 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0011] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0012] 도 1은 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템을 나타낸 도면이다.
- [0013] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 일방향으로 형성되는 다수의 데이터 라인(DL1~DLm)과 다수의 데이터 라인(DL1~DLm)과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL1~GLn)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 통해 데이터 전압을 공급하는 데이터 구동부(120)와, 다수의 게이트 라인(GL1~GLn)을 통해 스캔신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.
- [0014] 전술한 표시패널(110)에 배치되는 다수의 화소(P) 각각은, 유기발광다이오드(OLED: Organic Light-Emitting Diode)와 이를 구동하기 위한 구동회로(DRC: DRiving Circuit)가 배치된다.
- [0015] 각 화소에 배치된 구동회로는 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(Driving Transistor, DT)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터(Switching Transistor, T1)와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Storage Capacitor)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(Sensing Transistor, T2)) 등을 더 포함할 수도 있다.
- [0016] 전술한 데이터 구동부(120)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입의

로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.

- [0017] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다.
- [0018] 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.
- [0019] 전술한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하고 이를 위해 각종 제어 신호를 출력한다.
- [0020] 각 화소에 배치되는 구동회로(DRC)는, 여러 개의 트랜지스터(DT, T1, T2) 및 캐패시터(Cstg)가 형성되기 때문에, 제조 공정이 복잡해지고 이로 인해, 회로부 불량률이 발생할 수 있다. 한편, 각 화소에 배치되는 유기발광 다이오드(OLED)에서도 발광부 불량률이 발생할 수도 있다. 이러한 구동회로(DRC) 및 유기발광 다이오드(OLED) 내 불량은, 해당 화소를 휘점화 또는 암점화시켜 불량 화소가 되게 하는 주요인이 된다.
- [0021] 각 화소에 배치되는 구동회로(DRC)에서 회로부 불량이나 유기발광 다이오드(OLED)에서 발광부 불량을 리페어 라인 없이 리페어가 가능한 리페어 구조는, 화소 불량률이 발생한 화소(제2화소(P2))와 이 화소의 유기발광다이오드로 전류를 나누어 공급해줄 수 있는 구동회로가 있는 화소(제1화소(P1)) 간의 배치 관계(위치 관계)가 어떻게 되어 있느냐에 따라 달라질 수 있다. 따라서, 아래에서는, 화소 불량에 대한 리페어에 관여하는 두 화소(P1, P2) 간의 배치 관계의 유형별로 리페어 구조와 이를 활용한 리페어 방식 등에 대한 실시예를 설명한다.
- [0022] 도 2a는 일 실시예에 따른 유기발광표시장치의 평면도이다.
- [0023] 도 2a를 참조하면, 일 실시예에 따른 유기발광표시장치(200)는, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접한 화소 배치 유형을 갖는다.
- [0024] 제1화소(P1)에서, 유기발광다이오드(OLED 1)의 제1전극(110)은, 제1화소(P1)의 발광영역(EA 1)에 있는 부분과, 제1화소(P1)의 내부(Internal)에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제1화소(P1)의 외부(External)에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 1)으로 이루어진다.
- [0025] 이와 마찬가지로, 제2화소(P2)에서, 유기발광다이오드(OLED 2)의 제1전극(120)은, 제2화소(P2)의 발광영역(EA 2)에 있는 부분과, 제2화소(P2)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과, 제2화소(P2)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)으로 이루어진다.
- [0026] 제1전극(110)과 제1전극(120)에서 각 화소의 발광영역에 있는 부분은 화소전극이라고 할 수 있고, 각 화소의 내부에 있는 회로영역까지 연장된 부분과, 각 화소의 외부에 있는 다른 화소의 회로영역까지 연장된 부분을 특정한 용도의 패턴이라고 할 수 있다.
- [0027] 리페어 처리(웰딩 처리, 커팅 처리)를 위한 2가지의 지점(웰딩 포인트, 커팅 포인트) 중 커팅 포인트(CP)와 관련하여, 제1화소(P1)에서 회로부 불량률이 발생할 경우를 대비하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(110)에서 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)이 커팅되는 지점에 커팅 포인트(CP1)가 존재한다.
- [0028] 이와 마찬가지로, 제2화소(P2)에서 회로부 불량률이 발생할 경우를 대비하여, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(120)에서 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(IEP 2)이 커팅되는 지점에 커팅 포인트(CP2)가 존재한다.
- [0029] 다음으로, 웰딩 포인트(WP)와 관련하여, 제2화소(P2)에서 회로부 불량률이 발생할 경우를 대비하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 서로 인접한 지점에 웰딩 포인트(WP1)가 존재한다.
- [0030] 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)은 제1화소(P1)의 회로영역(CA 1) 내에서 인접하기 때문에, 제2화소(P2)에서 회로부 불량률이 발생할 경우 웰딩 처리될 웰딩 포인트(WP1)는 제1화소(P1)의 회로영역(CA 1) 내에 존재한다.
- [0031] 따라서, 제1화소(P1)의 회로영역(CA 1) 내에서, 제1화소(P1)의 제1전극(110)의 내부(Internal)에 있는 회로영역

(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 제1전극(220)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)이 인접한 웰딩 포인트(WP1)에, 제1화소(P1)의 제1전극(210)의 내부(Internal)에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 제1전극(220)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(211)이 형성된다.

[0032] 일 실시예에 따른 유기발광표시장치(200)은 제1화소(P1)의 제1전극(210)의 내부에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 제1전극(220)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2) 사이에 플로팅 패턴(211)과 중첩되어 위치하는 분리패턴(212)을 포함한다. 분리패턴(212)은 후술하는 바와 같이 공정 중에 발생하는 제1화소(P1)의 제1전극(210)의 내부(Internal)에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 제1전극(220)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)의 쇼트 발생을 방지하고 패드부에 제1전극(210) 또는 제2전극(222)과 동일한 재료로 이루어진 연결배선이 유실되는 것을 방지하기 위해 추가된 패턴이다.

[0033] 이와 마찬가지로, 제2화소(P2)의 회로영역(CA 2) 내에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과 제3화소(P3)의 제1전극의 외부에 있는 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 3)이 인접한 웰딩 포인트(WP2)에, 제2화소(P2)의 회로영역(CA 2) 내에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과 제3화소(P3)의 제1전극의 외부에 있는 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 3) 중 적어도 하나와 절연된 플로팅 패턴(221)이 형성된다. 전술한 바와 동일한 이유로, 제2화소(P2)의 회로영역(CA 2) 내에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과 제3화소(P3)의 제1전극의 외부에 있는 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 3) 사이에 플로팅 패턴(211)과 중첩되어 위치하는 분리패턴(222)을 포함한다.

[0034] 도 2b는 다른 실시예에 따른 유기발광표시장치의 평면도이다.

[0035] 도 2b를 참조하면, 다른 실시예에 따른 유기발광표시장치(200)는 제1화소(P1)의 화소영역(PA 1) 내 회로영역(CA 1)과 제2화소(P2)의 화소영역(PA 2) 내 회로영역(CA 2)이 서로 인접한 화소 배치 유형을 갖는다.

[0036] 도 2b에 도시된 바와 같이, 다른 실시예에 따른 유기발광표시장치(200)에서, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)은, 제1화소(P1)의 회로영역(CA 1)까지 연장된다. 또한, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)은, 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장되어 형성된다.

[0037] 즉, 다른 실시예에 따른 유기발광표시장치(200)는, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 구동회로(DRC 2)가 인접하여 배치됨으로써, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 제2화소(P2)의 구동회로(DRC 2)가 배치된 회로영역(CA 2)을 지나쳐 제1화소(P1)의 화소영역(PA 1) 내 회로영역(CA 1)까지 연장되어 형성될 수 있다.

[0038] 이 경우, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(211)이 형성되어 있을 수 있다.

[0039] 플로팅 패턴(211)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과는 접촉홀을 통해 연결되고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)과는 절연층에 의해 절연되어 있는 상태이다.

[0040] 전술한 바에 따르면, 플로팅 패턴(211)은 제1화소(P1)의 회로영역(CA 1)에 형성되었으나, 이와는 다르게, 플로팅 패턴(211)이 제2화소(P2)의 회로영역(CA 2)에서 형성될 수도 있다. 이를 위해, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)이 제1화소(P1)의 회로영역(CA 1)을 지나쳐 제2화소(P2)의 회로영역(CA 2)까지 연장되어 형성될 수 있다.

[0041] 다른 실시예에 따른 유기발광표시장치(200)은 제1화소(P1)의 제1전극(210)의 내부에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 제1전극(220)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2) 사이에 플로팅 패턴(211)과 중첩되어 위치하는 분리패턴(212)을 포함한다.

- [0042] 이상 도 2a 및 도 2b를 참조하여, 유기발광표시장치(200)에서 각 화소에 배치되는 구동회로(DRC)에서 회로부 불량이나 유기발광 다이오드(OLED)에서 발광부 불량을 리페어 라인 없이 리페어가 가능한 리페어 구조를 설명하였으나, 이에 제한되지 않고 리페어 구조는 다양할 수 있다. 이하에서 도 2a에 도시한 유기발광표시장치(200)에 포함되는 리페어 구조를 예시적으로 설명하나, 후술하는 리페어 구조를 도 2b에 도시한 유기발광표시장치(200) 및 다른 다양한 유기발광표시장치에 동일하게 적용할 수 있다.
- [0043] 도 3은 또다른 실시예에 따른 유기발광표시장치의 부분 상세 평면도이다. 도 3은 도 2에 도시한 유기발광표시장치(200)의 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)을 상세하게 나타낸 평면도이다.
- [0044] 도 3을 참조하면, 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에는, 구동 트랜지스터(DT), 제1트랜지스터(T1) 및 제2트랜지스터(T2)를 포함하는 3개의 트랜지스터와, 1개의 스토리지 캐패시터(Cstg)가 형성된다.
- [0045] 제1트랜지스터(T1)는, 게이트라인(300)에서 공급된 스캔신호에 의해 제어되며 기준전압 라인과 연결된 패턴(320)으로부터 기준전압(Vref)을 공급받는다.
- [0046] 또한, 제2트랜지스터(T2)는, 게이트라인(300)에서 공급된 스캔신호에 의해 제어되며 데이터라인(314)으로부터 데이터전압을 공급받는다.
- [0047] 제2트랜지스터(T2)는 플레이트(350)와 연결되고, 이 플레이트(350)는 구동 트랜지스터(DT)의 게이트 전극(360)과 콘택홀로 연결된다.
- [0048] 구동 트랜지스터(DT)는 게이트 전극(360)에 인가된 전압에 의해 제어되며, 구동전압 라인(330)으로부터 구동전압(EVDD)을 드레인 노드로 인가받아 소스 노드로 전류를 출력한다.
- [0049] 도 3은 산화물 트랜지스터(Oxide Transistor) 구조로 설계된 것을 가정한 것으로, 구동 트랜지스터(DT)의 소스 노드 및 제1트랜지스터(T1)의 소스 노드를 형성하기 위하여 액티브 층(Active Layer, 340)이 형성되고, 이 액티브 층(340)은 제2트랜지스터(T2)와 연결된 플레이트(350)와 함께 스토리지 캐패시터(Cstg)를 형성한다. 도 3에서 액티브층(340)이 제2트랜지스터(T2)와 연결된 플레이트(350)와 함께 스토리지 캐패시터(Cstg)를 형성하는 것으로 도시하였으나 별도의 재료, 예를 들어 게이트 라인(330) 및 게이트 금속(360)과 동일한 재료를 사용하여 동일한 공정으로 플레이트(350)와 대향하는 다른 플레이트(미도시)를 형성하여 스토리지 캐패시터(Cstg)를 구성할 수도 있다.
- [0050] 제1화소(P1)의 화소영역(CA 1)에는, 트랜지스터 등의 회로를 보호하기 위한 용도로 라이트 쉴드(LS: Light Shield, 370)가 형성되어 있다.
- [0051] 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)이 연장된 부분(IEP 1)이 회로영역(CA 1)에 형성된다. 그리고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 연장된 부분(EEP 2)이 제1화소(P1)의 회로영역(CA 1)에도 형성된다. 이하에서 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(210)이 연장된 부분(IEP 1)을 제1패턴(310)이라고 하고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(220)이 연장된 부분(EEP 2)을 제2패턴(320)이라고 한다.
- [0052] 제1패턴(310)과 제2패턴(320)이 인접한 지점에 플로팅 패턴(311)이 형성된다. 플로팅 패턴(311)은 도 2a에 도시한 플로팅 패턴(211)과 실질적으로 동일할 수 있다.
- [0053] 플로팅 패턴(311)은, 일단이 스위칭 트랜지스터인 제1트랜지스터(T1)의 소스 또는 드레인 중 하나와 연결되어 있고, 타단이 구동 트랜지스터(DT)의 게이트 전극과 연결되는 액티브 층(340)과 연결되어 있다.
- [0054] 전술한 바와 같이 액티브층(340) 대신 별도의 재료, 예를 들어 게이트 라인(330) 및 게이트 전극(360)과 동일한 재료를 사용하여 동일한 공정으로 플레이트(350)와 대향하는 다른 플레이트를 형성하여 스토리지 캐패시터(Cstg)를 구성할 수도 있다. 이 경우 플로팅 패턴(311)의 타단이 구동 트랜지스터(DT)의 게이트 전극과 연결되는 다른 플레이트(미도시)와 연결되어 있다.
- [0055] 유기발광표시장치(100)의 화소 구동에 필요한 충분한 양의 스토리지 캐패시터(Cstg)를 확보하기 위해 전면배치되는 보호층(도 5a 및 도 6의 380)은 도 3에 도시한 홀 영역(OCHA)로 정의되는 보호층 보호층 홀(381)을 포함한다. 이때 보호층 보호층 홀(381)에 의해 이루는 영역을 평면 측면에서 홀 영역(OCHA)이라 한다. 즉 홀 영역(OCHA)은 보호층(380)에 포함되는 보호층 보호층 홀(381)에 의해 이루는 평면상의 영역을 의미한다.
- [0056] 보호층(380)이 제거된 보호층 보호층 홀(381)에서, 제2패턴(320)과 플로팅 패턴(311)이 절연되어 있다. 보호층(380)이 제거된 보호층 보호층 홀(381)에서, 제2패턴(320)과 플로팅 패턴(311)이 절연된 지점이 웰딩 포인트

(WP1)이다.

- [0057] 플로팅 패턴(311)은, 제1화소(P1)의 구동회로(DRC 1) 내 스토리지 캐패시터(Cstg)가 있는 부분(액티브 층(340)이 형성된 부분)이 보호층 보호층 홀(381)의 홀 영역(OCHA) 내에 배치된다.
- [0058] 홀 영역(OCHA) 내에 제1패턴(310)과 제2패턴(320)의 사이에 플로팅 패턴(311)과 중첩되어 위치하는 분리패턴(312)을 포함한다. 분리패턴(312)은 제1패턴(310)과 제2패턴(320)의 쇼트 발생을 방지하고 패드부에 제1패턴(310) 또는 제2패턴(320)과 동일한 재료로 이루어진 연결배선이 유실되는 것을 방지하기 위해 추가된 패턴이다.
- [0059] 이하 보호층(380)에 포함되는 보호층 보호층 홀(381)에 의해 정의되는 홀 영역 내에 배치되는 플로팅 패턴(311), 제1패턴(310), 제2패턴(320), 분리패턴(312) 등의 단면 배치를 도 4 내지 도 7을 참조하여 설명한다.
- [0060] 도 4는 도 3의 구동 트랜지스터를 절취한 A-A' 절취선 부분의 단면도이다.
- [0061] 도 4를 참조하면, 구동 트랜지스터(DT)와 관련하여, 기판(400) 상에, 라이트 쉘드(370), 버퍼(430)가 배치되고, 그 위에, 액티브 층(340)이 형성된다.
- [0062] 액티브 층(340) 상에 게이트 절연층(341)과 게이트 전극(342)이 배치된다.
- [0063] 액티브 층(340)과 게이트 전극(342) 상에 제2절연층(450)이 배치되고, 그 위에 구동 트랜지스터(DT)의 소스/드레인(451)이 배치된다. 구동 트랜지스터(DT)의 소스/드레인(451)은 제2절연층(450)에 포함되는 제1컨택홀(452)을 통해 액티브 층(340)과 컨택한다.
- [0064] 제2절연층(450) 상에 보호층(380)이 배치된다. 유기발광표시패널(11)의 제작 방법에 있어서 보호층(380)의 사용은 구동 트랜지스터(DT) 및 제1, 2트랜지스터(T1, T2)를 보호하고, 적층구조를 평탄화 시키기 위해 사용된다.
- [0065] 또한 유기발광표시장치(100)의 화소 구동에 필요한 충분한 양의 스토리지 캐패시터(Cstg)를 확보하기 위해 보호층(380)은 도 3에 도시한 홀 영역(OCHA)로 정의되는 보호층 홀(381)을 포함한다.
- [0066] 이하, 제1패턴(310)과 제2패턴(320)이 인접한 지점에 플로팅 패턴(311)이 형성된 도 3의 B-B' 절취선 및 C-C' 절취선 부분을 각각 도 5a 및 도 6을 참조하여 더욱 상세하게 설명한다.
- [0067] 도 5a는 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도이다. 도 5b는 도 3에서 리페어 공정을 통해 제2패턴과 플로팅 패턴이 전기적으로 연결된 B-B' 절취선 부분의 단면도이다. 도 6은 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 C-C' 절취선 부분의 단면도이다.
- [0068] 도 5a 및 도 5b를 참조하면, 기판(400) 상에, 라이트 쉘드(370), 버퍼(430)가 배치된다. 라이트 쉘드(370)과 버퍼(430) 상에 액티브 층(340)이 배치된다.
- [0069] 액티브 층(340) 위에 제2절연층(450)이 배치되고, 홀 영역(OCHA) 내에 제2절연층(450) 상에 플로팅 패턴(311)이 배치된다. 플로팅 패턴(311)은 도 5a에 도시한 바와 같이 제2컨택홀(453)을 통해 라이트 쉘드(370)와 연결된다. 이때, 플로팅 패턴(311)은 도 6에 도시한 바와 같이 제3컨택홀(454)을 통해 액티브 층(340)과 연결된다.
- [0070] 여기서, 액티브 층(340)은 스토리지 캐패시터(Cstg)의 한 전극을 형성하면서 구동 트랜지스터(DT)의 소스 노드(N1)의 역할도 하는 곳이다. 따라서, 플로팅 패턴(311)은 제1화소(P1)의 구동회로(DRC 1) 내 구동 트랜지스터(DT)의 소스 노드(N1) 및 스토리지 캐패시터(Cstg)의 한 전극과도 회로적으로 연결되는 것이다.
- [0071] 플로팅 패턴(311) 상에 제1절연층(460)이 형성된다.
- [0072] 홀 영역(OCHA) 내에 제1절연층(460) 상에, 제1패턴(310)과, 제2패턴(320)이 떨어져 배치된다.
- [0073] 이때, 제1패턴(311)은, 제1절연층(460)을 뚫어서 형성한 제1절연층 컨택홀(미도시)을 통해, 플로팅 패턴(311)과 연결된다. 이에 따라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1패턴(310)과 플로팅 패턴(311)은 전기적으로 연결된다. 하지만, 제2패턴(320)은, 제1절연층(460)에 의해, 플로팅 패턴(311)과 연결되지 않는다.
- [0074] 다시 말해, 플로팅 패턴(311)은, 제1패턴(310)과는 제1절연층 컨택홀(미도시)에 의해 연결되지만, 제2패턴(320)과는 제1절연층(460)에 의해 분리되어 절연된 상태로 형성되어 있다.
- [0075] 이러한 플로팅 패턴(311)은 소스-드레인 물질로 되어 있어, 각 트랜지스터의 소스 또는 드레인과 신호 라인(310, 330)이 형성될 때 함께 형성될 수 있으나 이에 제한되지 않고 어떠한 물질로 다른 공정을 통해 형성될 수도 있다.

- [0076] 또한, 플로팅 패턴(311)은 액티브 층(340)과 연결됨으로써, 제1화소(P1)의 구동회로(DRC 1) 내 스토리지 캐패시터(Cstg)가 있는 부분에 형성된다.
- [0077] 제1절연층(460) 상에 보호층(380; 오버 코팅층(OC: Over Coating layer) 또는 평탄화층이라고도 함)이 형성되고, 이 보호층(380)에 포함되는 보호층 홀(381) 내에 제2패턴(320)이 배치된다.
- [0078] 보호층(380)이 제거된 보호층 홀(381)의 홀 영역(OCHA) 내에, 제2패턴(320)과 플로팅 패턴(311)이 절연되어 있다. 보호층(380)이 제거된 보호층 홀(381)에서, 제2패턴(320)과 플로팅 패턴(311)이 절연된 지점이 웰딩 포인트(WP1)이다. 화소 불량에 따라 리페어를 위해 웰딩 포인트(WP1)에 레이저 처리시 제2패턴(320)과 플로팅 패턴(311)은 도 5b에 도시한 바와 같이 전기적으로 연결될 수 있다. 따라서, 유기발광표시장치(200)에서 제2패턴(320)과 플로팅 패턴(311)은 도 5a에 도시한 바와 같이 제1절연층(460)에 의해 분리되어 절연된 상태로 존재하거나, 도 5b에 도시한 바와 같이 전기적으로 연결된 상태로 존재할 수 있다.
- [0079] 홀 영역(OCHA) 내에 제1패턴(310)과 제2패턴(320)의 사이에 플로팅 패턴(311)과 중첩되어 분리패턴(312)이 위치한다. 분리패턴(312)은 보호층(380)과 동일 재료로 보호층(380)과 동시에 형성될 수 있다. 보호층(380)의 보호층 홀(381)을 형성하는 데 사용하는 마스크를 보호층 홀(381)과 분리패턴(312)을 형성하기에 적합한 패터닝하드로 분리패턴(312)과 보호층 홀(381)을 동일한 공정에 의해 형성할 수 있다. 따라서 보호층(380)의 두께와 분리패턴(312)의 두께는 동일할 수 있으나 이에 제한되지 않고 서로 상이할 수도 있다.
- [0080] 아울러 분리패턴(312)은 제2절연층(450)에 포함된 제2컨택홀(453) 내에 위치할 수 있다. 다시 말해 분리패턴(312)은 플로팅 패턴(311)과 중첩되어 플로팅 패턴(311)이 라이트 쉴드(370)와 연결되는 제2컨택홀(450) 내에 위치할 수 있다. 아울러 제2컨택홀(453)과 인접하여 제2컨택홀(450) 내에 제1패턴(310)의 일부와 제2패턴(320)의 일부가 제2컨택홀(453) 내에 위치한다.
- [0081] 플로팅 패턴(311)은, 제1화소(P1)의 구동회로(DRC 1) 내 스토리지 캐패시터(Cstg)가 있는 부분(액티브 층(340)이 형성된 부분)에서 보호층(380)에 포함되는 보호층 홀(381)에 배치된다.
- [0082] 도 7a 및 도 7b는, 다른 예로, 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도들이다.
- [0083] 도 5a 내지 도 6을 참조하여 전술한 바와 같이 기관(400) 상에 라이트 쉴드(370)가 배치되고 제2절연층(370)에 포함되는 제2컨택홀(453)을 통해 플로팅 패턴(311)과 라이트 쉴드(370)가 연결될 수 있으나, 도 7a에 도시한 바와 같이 기관(400) 상에 라이트 쉴드(370)가 배치되지 않을 수 있다. 도 7a에 도시한 적층 구조에서 화소 불량에 따라 리페어를 위해 웰딩 포인트(WP1)에 레이저 처리시 제2패턴(320)과 플로팅 패턴(311)은 도 7b에 도시한 바와 같이 전기적으로 연결될 수 있다.
- [0084] 도 8a 및 도 8b는, 또 다른 예로, 도 3에서 제1패턴과 제2패턴이 인접한 지점에 플로팅 패턴이 형성된 B-B' 절취선 부분의 단면도들이다.
- [0085] 도 5a 내지 도 6을 참조하여 전술한 바와 같이 분리패턴(312)은 보호층(380)과 동일 재료로 보호층(380)과 동시에 형성되고, 보호층(380)의 두께와 분리패턴(312)의 두께는 동일한 것으로 설명하였다.
- [0086] 도 8a에 도시한 바와 같이 분리패턴(312)은 보호층(380)과 동일 재료로 보호층(380)과 동시에 형성되더라도 분리패턴(312)의 두께가 보호층(380)의 두께보다 얇을 수 있다. 보호층 홀(381)을 형성하는 데 사용하는 마스크를 보호층 홀(381)과 분리패턴(312)을 형성하기에 적합한 패터닝할 때 분리패턴(312)에 대응하는 위치를 하프톤 처리하므로 분리패턴(312)과 보호층 홀(381)을 동일한 공정에 의해 형성하되, 분리패턴(312)의 두께가 보호층(380)의 두께보다 얇게 형성할 수 있다.
- [0087] 도 8a에 도시한 적층 구조에서 화소 불량에 따라 리페어를 위해 웰딩 포인트(WP1)에 레이저 처리시 제2패턴(320)과 플로팅 패턴(311)은 도 8b에 도시한 바와 같이 전기적으로 연결될 수 있다.
- [0088] 도 9a는 유기발광표시장치에 포함되는 패드부의 평면도이다. 도 9a는 패드부의 단면도이다.
- [0089] 도 3 및 도 9a, 도 9b를 참조하면, 유기발광표시장치(300)는 각 화소에 라인들을 통해 데이터전압이나 스캔신호를 공급하는 구동부와 접촉하는 패드부(PAD)를 포함한다.
- [0090] 예를 들어 패드부(PAD)는 예를 들어 게이트라인(300)에 연결된 게이트 패드부 및 데이터라인(330)에 연결되는 데이터 패드부 등을 포함할 수 있다.

- [0091] 패드부(PAD)는 기판(900) 상에 위치하는 제3절연층(910), 절연층 상에 위치하는 제1연결배선(920), 제1배선(920) 상에 위치하는 제4절연층(930), 제4절연층(930) 상에 위치하는 제2연결배선(940)을 포함할 수 있다.
- [0092] 이때 제2연결배선(940)은 제1패턴(310) 및 제2패턴(320)과 동일 재료일 수 있으나 이에 제한되지 않는다. 이하에서 제1패턴(310) 및 제2패턴(320)이 제2연결배선(940)과 동일 재료이며 동일 공정에 의해 형성되는 것으로 설명한다.
- [0093] 이하에서 제1패턴(310) 및 제2패턴(320)이 제2연결배선(940)과 동일 재료이며 동일 공정에 의해 형성되는 제조 공정을 도 11a 및 도 11b를 참조하여 설명한다. 다만, 제1패턴(310)과 제2패턴(320) 사이에 분리패턴(311)이 존재하지 않는 비교예로 설명하여 분리패턴(311)의 기능과 역할을 설명한다.
- [0094] 도 10a 내지 도 10d는 제1패턴과 제2패턴 사이에 분리패턴이 존재하지 않는 비교예에 따른 유기발광발광표시장치의 제조공정을 도시하고 있다.
- [0095] 도 10a에 도시한 바와 같이 도 9b에 도시한 패드부(PAD)에서 제4절연층(930) 상에 제2연결패턴(940)과 도 5에 도시한 홀 영역(OCHA) 내에 배치된 보호층 홀(381)을 포함하는 보호층(380) 상에 제1패턴(310)과 제2패턴(320)을 동시에 형성하기 위해 제2연결패턴(940)과 제1패턴(310), 제2패턴(320)을 구성하는 물질을 전면에서 형성한 상태에서 제2연결패턴(940)과 제1패턴(310), 제2패턴(320) 등에 대응하는 마스크를 위치시키고 도 10b에 도시한 바와 같이 노광을 진행한다.
- [0096] 도 10b에 도시한 바와 같이 노광량이 작은 경우 마스크에서 마스크 차단영역을 통과한 광이 회절이 일어나더라도 회절이 상대적으로 작게 일어나므로 마스크 차단영역과 거의 대응하게 패터닝 영역이 결정된다. 그러나, 노광량이 큰 경우 마스크에서 마스크 차단영역을 통과한 광의 회절이 상대적으로 크게 일어나 마스크 차단영역보다 안쪽으로까지 패터닝 영역이 확장될 수 밖에 없다.
- [0097] 제2연결패턴(940)과 제1패턴(310), 제2패턴(320)을 구성하는 물질을 전면에서 형성한 상태에서 제2연결패턴(940)과 제1패턴(310), 제2패턴(320) 등에 대응하는 마스크를 위치시키고 노광을 진행할 때 보호층 홀(381)이 깊어 보호층 홀(381) 내에 패터닝되어야 할 제1패턴(310)과 제2패턴(320)에 맞추어 노광량을 증가시키면, 도 10c에 도시한 바와 같이 패드부(PAD)의 제2연결패턴(940)에 유실이 발생할 가능성이 높다. 패드부(PAD)의 제2연결패턴(940)에 유실이 발생하면 패드부 오픈이 발생할 수 있다.
- [0098] 한편 제2연결패턴(940)의 유실을 방지하기 위해 제2연결패턴(940)에 맞추어 노광량을 감소시킬 경우 도 10d에 도시한 바와 같이 보호층 홀(381) 내에서 제1패턴(310)과 제2패턴(320)이 분리되지 않고 양자가 연결되는 쇼트 현상이 발생할 가능성이 높다.
- [0099] 결과적으로 보호층 홀(381)의 단차 때문에, 적정 노광량 또는 노광 에너지를 맞추어 제2연결패턴(940)과 제1패턴(310), 제2패턴(320) 등을 동시에 형성할 수 없는 어려움이 존재할 수 있다.
- [0100] 도 11a 및 도 11b는 도 3의 유기발광표시패널의 제조공정을 도시하고 있다.
- [0101] 도 11a에 도시한 바와 같이 도 9b에 도시한 패드부(PAD)에서 제4절연층(930) 상에 제2연결패턴(940)과 도 5에 도시한 홀 영역(OCHA) 내에 배치된 보호층 홀(381)을 포함하는 보호층(380) 상에 제1패턴(310)과 제2패턴(320)을 동시에 형성하기 위해 제2연결패턴(940)과 제1패턴(310), 제2패턴(320)을 구성하는 물질을 전면에서 형성한 상태에서 제2연결패턴(940)과 제1패턴(310), 제2패턴(320) 등에 대응하는 마스크를 위치시키고 노광을 진행한다.
- [0102] 이때 보호층 홀(381) 내에 제1패턴(310)과 제2패턴(320)을 구성하는 물질의 하부에 이미 보호층(380)을 형성하는 공정에서 분리패턴(311)을 보호층 홀(381)과 동시에 패터닝한 상태이다.
- [0103] 따라서 제2연결패턴(940)의 유실을 방지하기 위해 제2연결패턴(940)에 맞추어 노광량을 감소시키더라도 도 11b에 도시한 바와 같이 보호층 홀(381) 내에서 제1패턴(310)과 제2패턴(320)이 분리되어 양자가 연결되는 쇼트 현상이 발생하지 않는다.
- [0104] 결과적으로 보호층 홀(381)의 단차에도 불구하고 낮은 노광량 또는 적은 노광 에너지를 사용하여 제2연결패턴(940)과 제1패턴(310), 제2패턴(320) 등을 동시에 형성할 수 있다.
- [0105] 전술한 실시예들은 화소내 리페어 처리에 사용되는 제1패턴과 제2패턴을 패터닝하는 경우에 제1패턴과 제2패턴 사이에 보호층 홀의 단차를 상쇄할 수 있는 분리패턴을 삽입하여 노광 에너지를 조절하여 적은 노광 에너지만으로 충분히 패터닝할 수 있다.

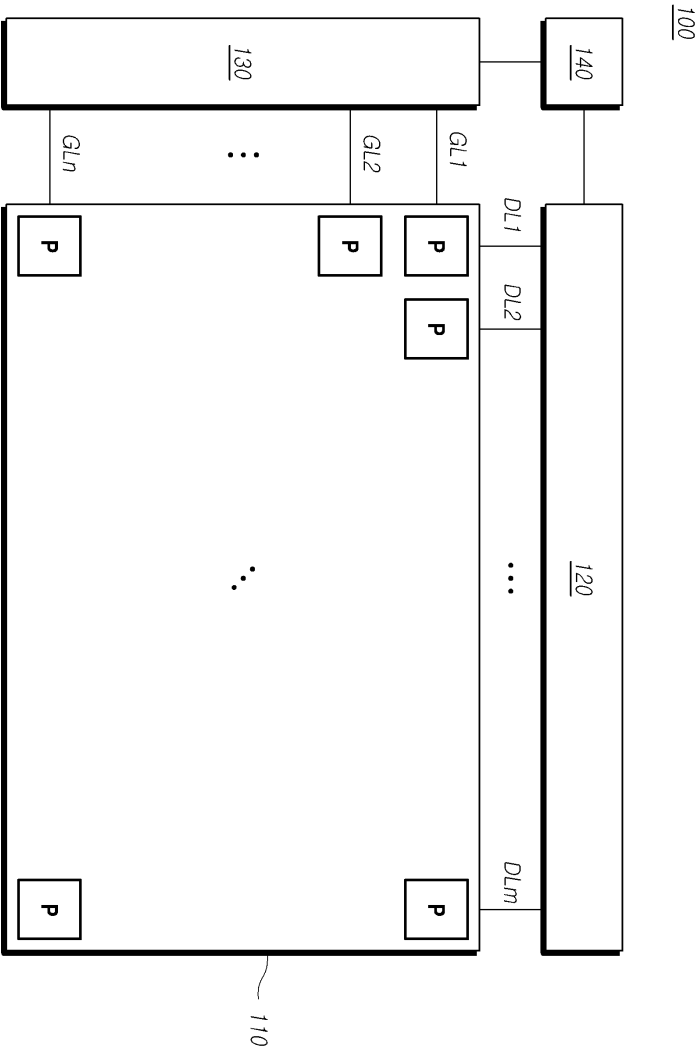
- [0106] 따라서 전술한 실시예들에 따르면, 제1패턴과 제2패턴 사이에 보호층 홀의 단차를 상쇄할 수 있는 분리패턴을 삽입하여 제1패턴과 제2패턴과 동시에 형성하는 패드부의 연결패턴의 유실을 방지하고 제1패턴과 제2패턴의 쇼트 발생을 방지할 수 있는 효과가 있다.
- [0107] 전술한 실시예에 따르면, 유기발광표시장치를 패터닝하는 노광 에너지 마진을 확보하여 노광 불량 발생율을 제거하는 효과가 있다.
- [0108] 전술한 실시예에 따르면, 유기발광표시장치의 생산 수율이 증가하는 효과가 있다.
- [0109] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

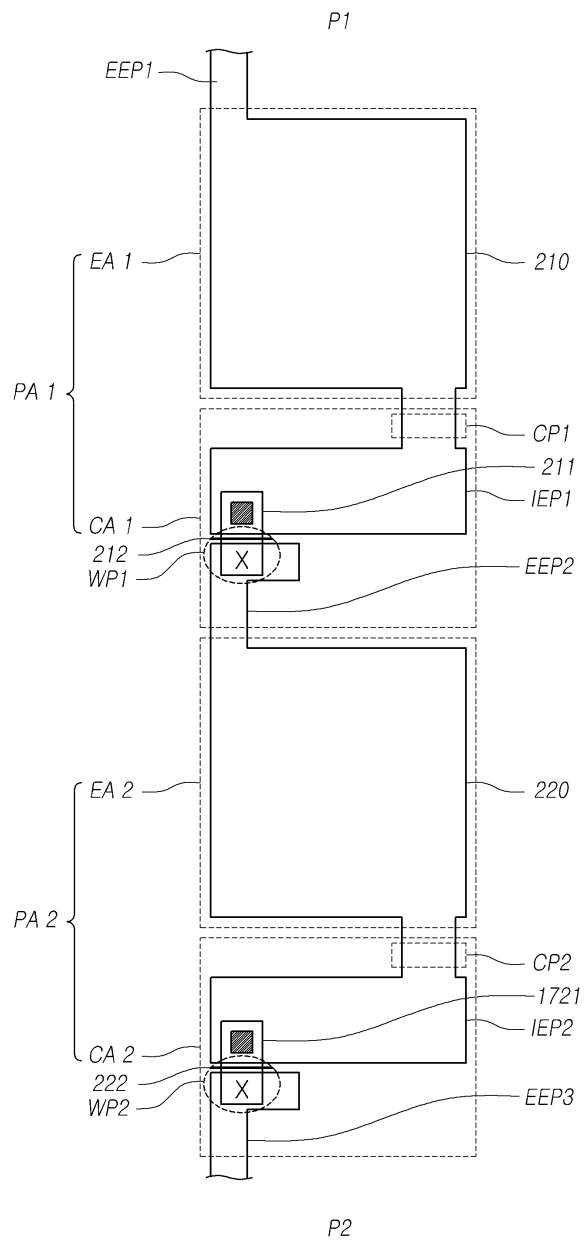
- [0110] 310: 제1패턴
- 311: 플로팅 패턴
- 312: 분리패턴
- 320: 제2패턴
- 380: 보호층
- 381: 보호층 홀

도면

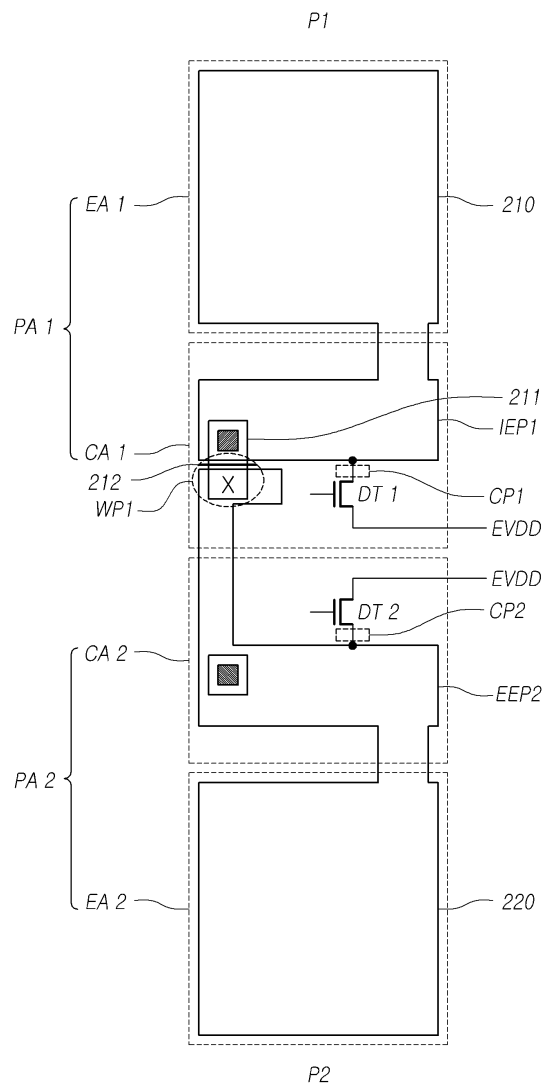
도면1



도면2a

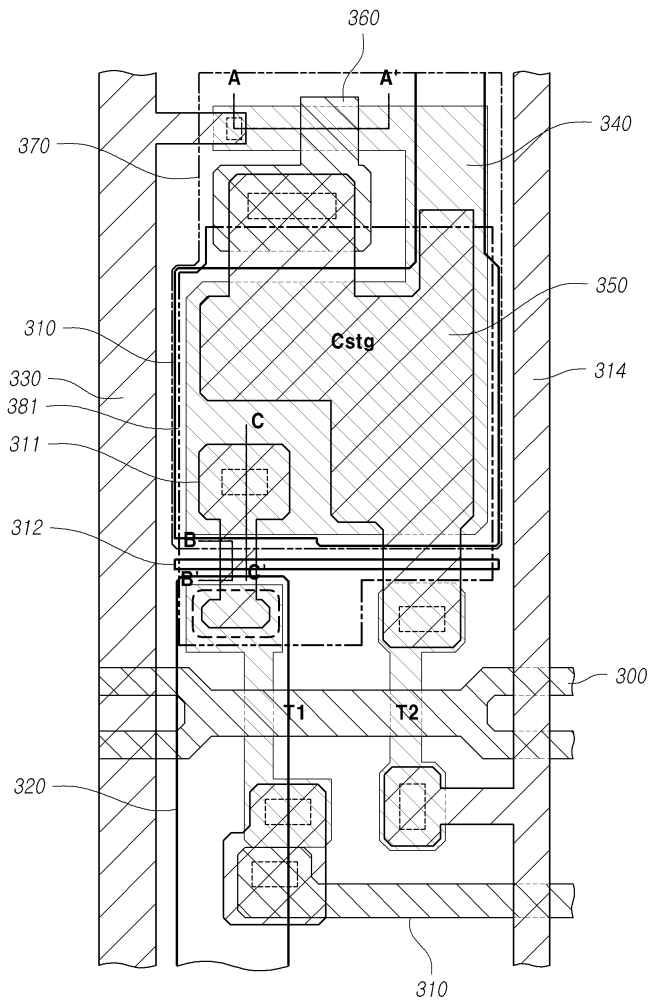


도면2b

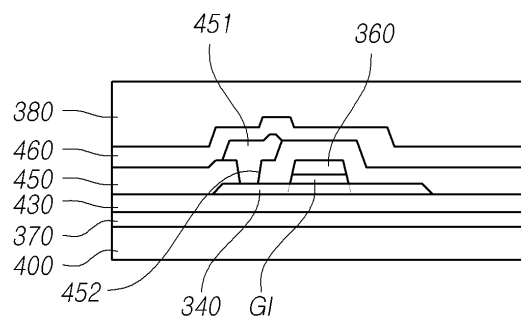


도면3

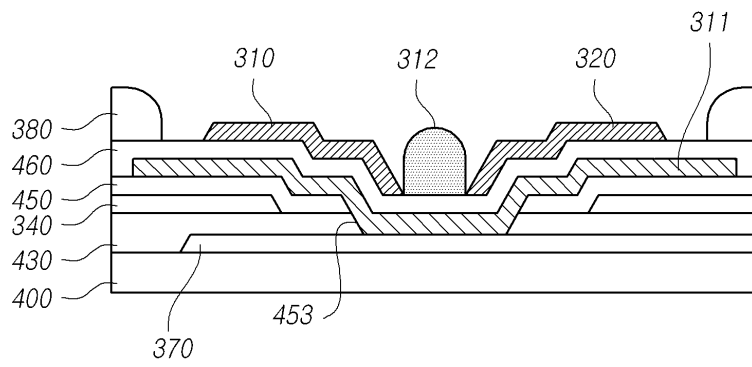
CA 1



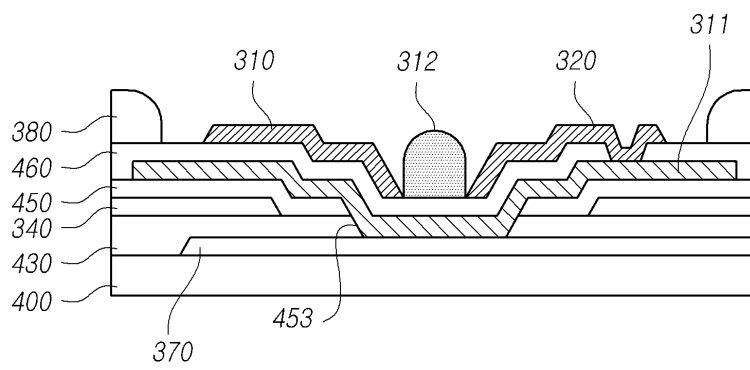
도면4



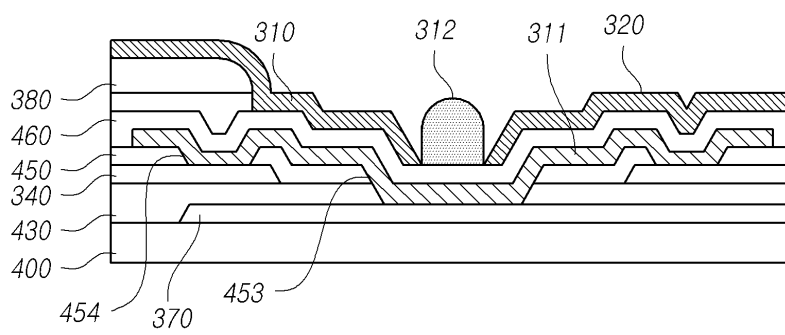
도면5a



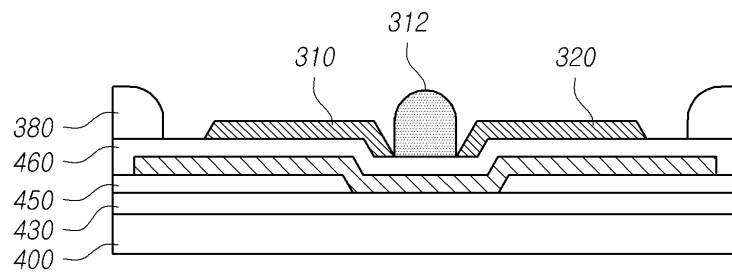
도면5b



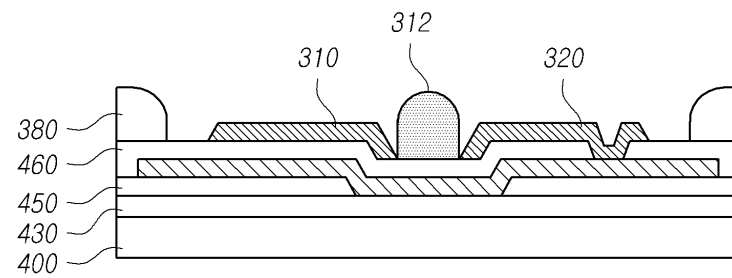
도면6



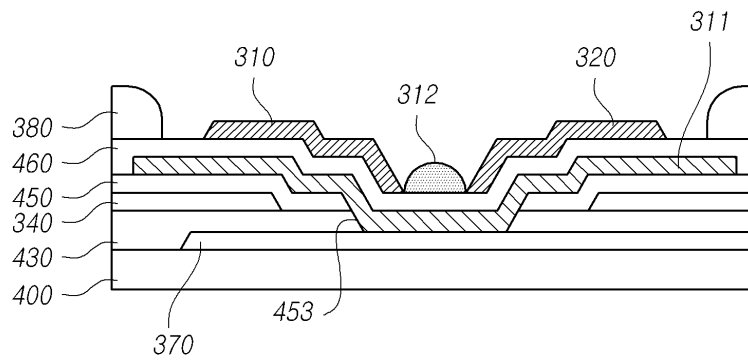
도면7a



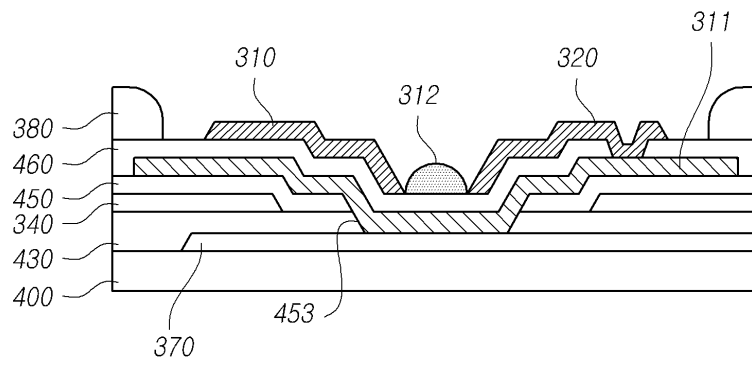
도면7b



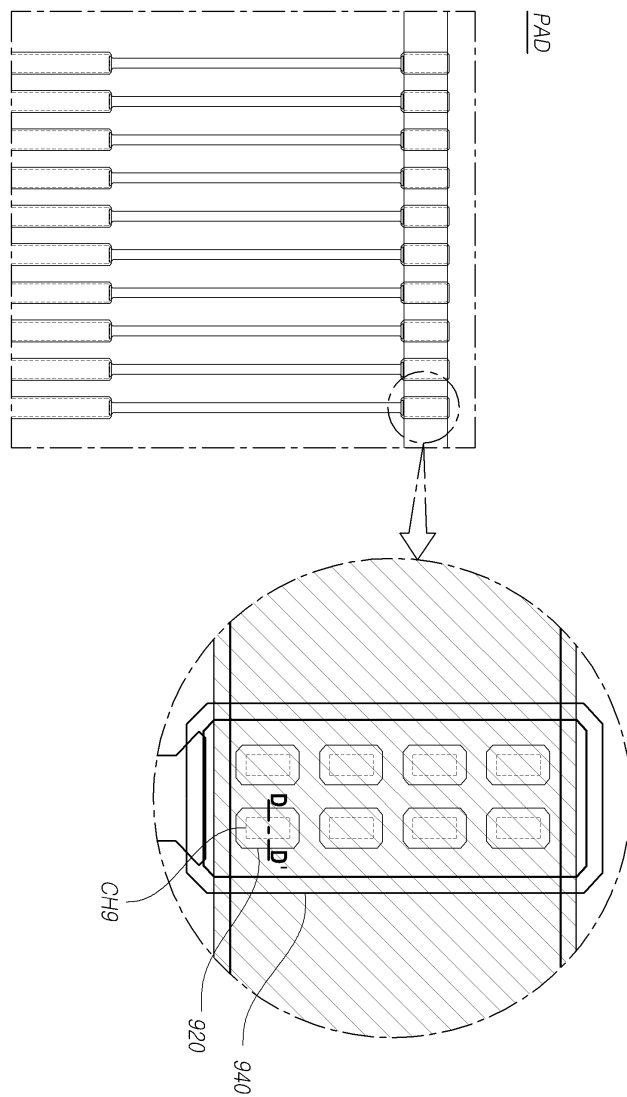
도면8a



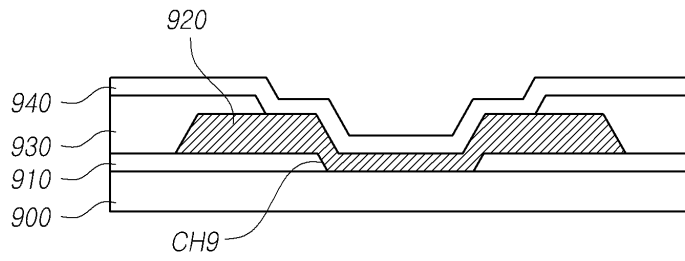
도면8b



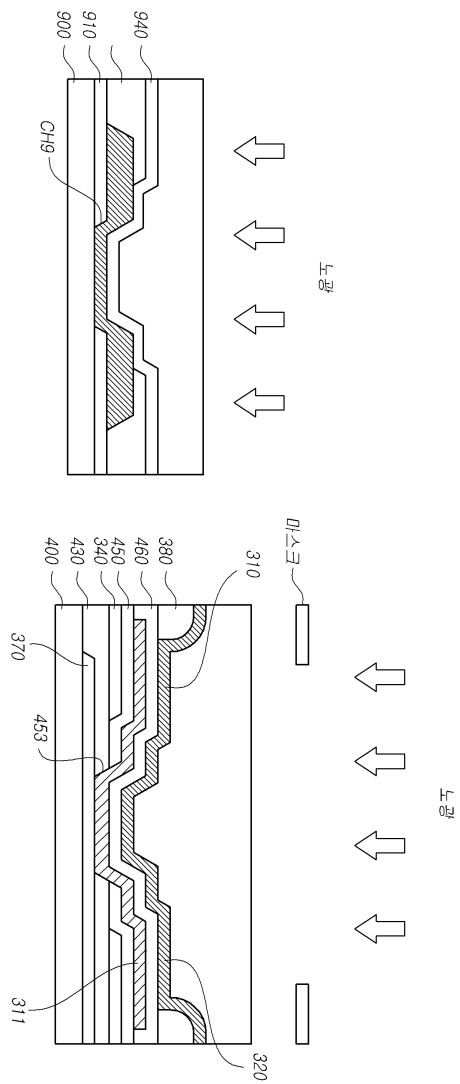
도면9a



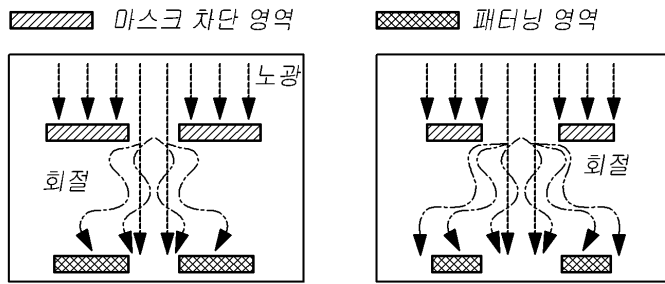
도면9b



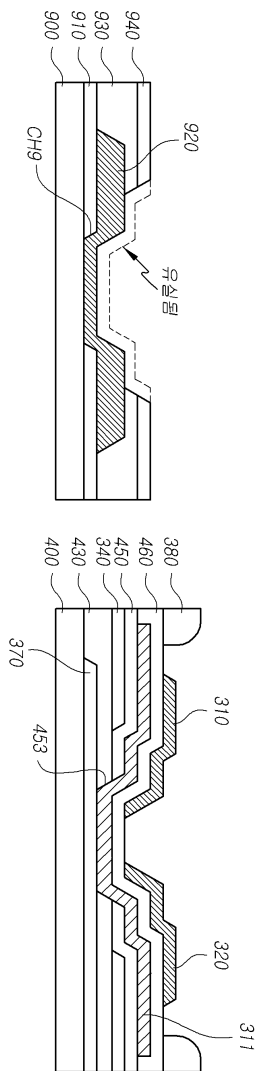
도면10a



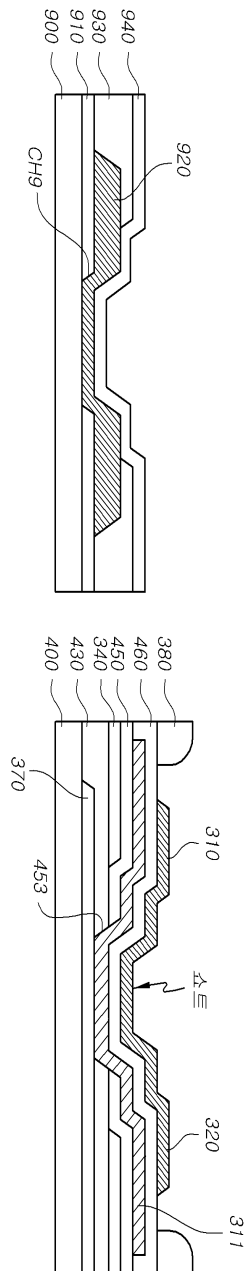
도면10b



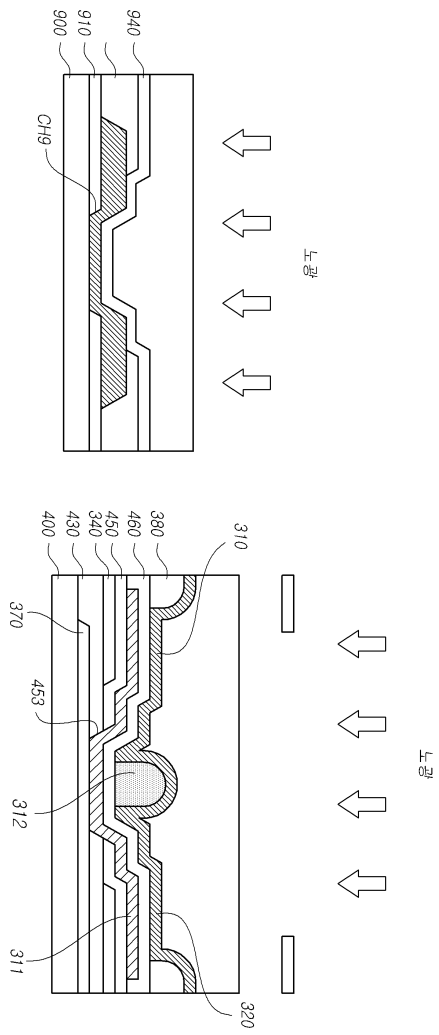
도면10c



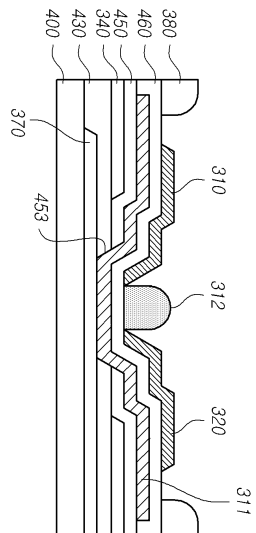
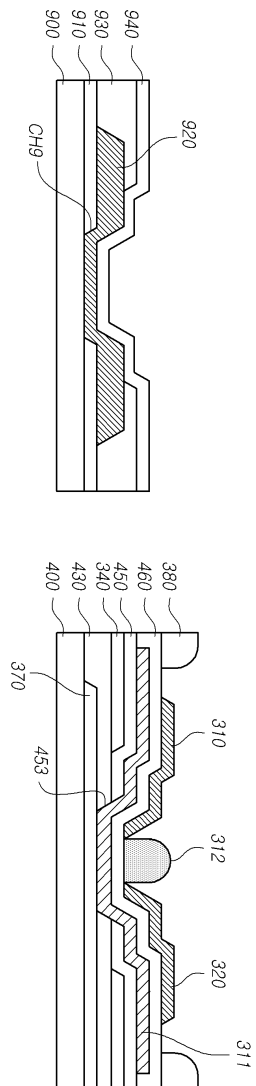
도면10d



도면11a



도면11b



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170026964A	公开(公告)日	2017-03-09
申请号	KR1020150123218	申请日	2015-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JAE YI		
发明人	최재이		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3258 H01L27/3248 H01L51/5253 H01L27/3272 H01L27/3262 H01L2227/32		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本实施例公开了一种半导体器件，包括：保护层，包括设置在孔区域中的保护层孔；浮置图案，位于孔区域中的基板上；第一绝缘层，位于孔区域中的浮置图案上，第一图案，从保护层孔中的像素电极延伸并位于第一绝缘层上，第二图案从第二像素电极延伸，与保护层孔中的第一像素电极相邻，并且，分离图案与保护层孔中的第一绝缘层上的第一图案和第二图案之间的浮置图案重叠。

