



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월18일
(11) 등록번호 10-1970406
(24) 등록일자 2019년04월12일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0131582

(22) 출원일자 2017년10월11일

심사청구일자 2017년10월11일

(65) 공개번호 10-2018-0041068

(43) 공개일자 2018년04월23일

(30) 우선권주장

JP-P-2016-201585 2016년10월13일 일본(JP)

(56) 선행기술조사문헌

KR1020090086319 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 재팬 디스플레이

일본국 도쿄도 미나토구 니시신바시 3쵸메 7반 1
고

(72) 발명자

나카무라 노리오

일본 도쿄도 미나토구 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내

(74) 대리인

장수길, 이중희

전체 청구항 수 : 총 8 항

심사관 : 이승민

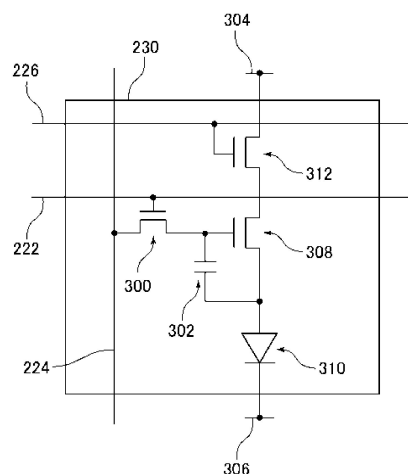
(54) 발명의 명칭 유기 EL 표시 장치 및 유기 EL 표시 장치의 구동 방법

(57) 요약

저주파수로 구동됨으로써 소비 전력이 낮고, 또한, 플리커가 저감된 표시 품질이 높은 유기 EL 표시 장치를 제공한다.

유기 EL 소자를 갖는 복수의 화소와, 유기 EL 소자에 대한 전류의 공급을 차단할 지 여부를 제어하는 트랜지스터를 갖는 표시 패널과, 트랜지스터에 입력하는 펄스 신호를 생성하는 펄스 신호 생성 회로와, 펄스 신호의 타이밍 및 펄스폭의 설정에 관한 정보를 기억하는 기억부를 갖는 유기 EL 표시 장치이며, 기억부는, 1프레임 기간 중에, 순서대로, 펄스보다 전의 기간인 제1 발광 기간과, 펄스의 폭에 해당하는 기간인 흑색 표시 기간과, 제1 발광 기간보다 긴 제2 발광 기간을 포함하고, 또한, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적이, 제1 발광 기간보다도 제2 발광 기간쪽이 커지도록 정보를 기억하는 것을 특징으로 한다.

대표도 - 도3



(52) CPC특허분류

G09G 2320/0247 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

유기 EL 소자를 갖는 복수의 화소와, 상기 유기 EL 소자에 대한 전류의 공급을 차단할 지 여부를 제어하는 트랜지스터를 갖는 표시 패널과,

상기 트랜지스터에 입력하는 펄스 신호를 생성하는 펄스 신호 생성 회로와,

상기 펄스 신호의 타이밍 및 펄스폭의 설정에 관한 정보를 기억하는 기억부

를 갖는 유기 EL 표시 장치로서,

상기 기억부는, 1프레임 기간 중에, 순서대로, 상기 펄스보다 전의 기간인 제1 발광 기간과, 상기 펄스의 폭에 상당하는 기간인 흑색 표시 기간과, 상기 제1 발광 기간보다 긴 제2 발광 기간을 포함하고, 또한, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적이, 상기 제1 발광 기간보다도 상기 제2 발광 기간쪽이 커지도록 상기 정보를 기억하고,

상기 제1 발광 기간의 단위 시간당 휘도는, 상기 제2 발광 기간의 단위 시간당 휘도보다도 높은 것을 특징으로 하는 유기 EL 표시 장치.

청구항 2

제1항에 있어서, 상기 기억부는, 상기 흑색 표시 기간과 상기 제2 발광 기간 사이에, 상기 제1 발광 기간과 동일한 길이의 제3 발광 기간을 갖도록 상기 정보를 기억하는 수단을 더 포함하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 3

제1항에 있어서, 상기 기억부는, 상기 흑색 표시 기간과 상기 제2 발광 기간 사이에, 상기 제1 발광 기간보다도 길고, 상기 제2 발광 기간보다도 짧은 제3 발광 기간을 갖도록 상기 정보를 기억하는 수단을 더 포함하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 4

제3항에 있어서, 상기 기억부는, 복수의 상기 제3 발광 기간을 갖고, 그 복수의 제3 발광 기간은, 상기 제1 발광 기간으로부터 상기 제2 발광 기간에 근접함에 따라서 서서히 길어지도록 상기 정보를 기억하는 수단을 더 포함하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 5

제1항에 있어서, 상기 기억부는, 상기 1프레임 기간 중에 삽입되는 상기 흑색 표시 기간의 수에 관한 상기 정보를 기억하는 수단을 더 포함하는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 6

제1항에 있어서, 상기 복수의 화소의 각각은, 상기 1프레임 기간 중에 휘도가 점차 저하되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 7

유기 EL 소자를 갖는 복수의 화소를 포함하는 유기 EL 표시 장치의 구동 방법으로서,

상기 구동 방법은, 1프레임 기간에, 순서대로 제1 발광 기간과, 흑색 표시 기간과, 제2 발광 기간을 포함하고,

상기 각 화소는, 상기 제1 발광 기간에 입력된 영상 신호에 따른 휘도로 발광하고, 상기 흑색 표시 기간에 흑색 화상을 표시하고, 상기 제2 발광 기간에 상기 제1 발광 기간보다도 낮은 휘도를 발광하고,

상기 제1 발광 기간은 상기 제2 발광 기간보다 짧고, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적은, 상기 제1 발광 기간보다도 상기 제2 발광 기간쪽이 큰, 것을 특징으로 하는 유기 EL 표시 장치의 구동 방법.

청구항 8

제7항에 있어서, 상기 복수의 화소의 각각은, 상기 1프레임 기간 중에 휘도가 점차 저하되는 것을 특징으로 하는 유기 EL 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 EL 표시 장치 및 유기 EL 표시 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 최근 들어, 유기 EL(Electro-luminescent) 소자를 사용한 유기 EL 표시 장치에 있어서, 표시 품질을 향상시키기 위해서, 플리커를 저감하기 위한 기술 개발이 행해지고 있다.

[0003] 예를 들어, 특허문헌 1은, 1프레임의 발광 기간에 있어서, 화소의 발광 소자를 단속적으로 발광시키고, 또한, 각 발광 기간의 휘도를 서서히 저하시킴으로써, 플리커를 저감하는 구동 방법을 개시하고 있다.

[0004] 특허문헌 2는, 화면 전체의 평균 휘도 레벨에 기초하여 발광 모드를 판별하고, 판별한 발광 모드마다 미리 규정된 설정 조건에 따라서, 1프레임 기간 내에 배치되는 점등 기간의 수, 배치 위치 및 기간 길이를 설정함으로써 플리커를 저감하는 점을 개시하고 있다.

[0005] 특허문헌 3은, 액정 패널에 있어서 1프레임의 화상 데이터가 표시되고 있는 기간 내에, 고휘도로 백라이트를 발광시키는 기간과, 당해 기간보다 길고 또한 저휘도로 백라이트를 발광시키는 기간을 설정하는 점을 개시하고 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 특허 공개 제2012-53447호 공보
- (특허문헌 0002) 일본 특허 공개 제2009-192753호 공보
- (특허문헌 0003) 일본 특허 공개 제2013-186255호 공보

발명의 내용

해결하려는 과제

[0007] 프레임 주파수가 높은 유기 EL 표시 장치에 있어서는, 상기 특허문헌에 기재된 방법에 의해 플리커는 저감된다. 그러나, 소비 전력을 저감하기 위해서, 프레임 주파수를 낮춘 경우, 당해 방법을 사용한 유기 EL 표시 장치에 있어서도 플리커가 발생한다. 예를 들어, 60Hz의 영상 신호가 입력되어서 동작하는 유기 EL 표시 장치가 보급되어 있는데, 당해 유기 EL 표시 장치가 30Hz로 구동되면, 인간의 눈은 플리커를 인식한다.

[0008] 도 8의 (a) 및 (b)를 사용하여, 휘도의 시간에 따른 변화에 대하여 설명한다. 도 8의 (a)는 통상의 상태에 있어서 60Hz로 구동하는 유기 EL 표시 장치를, 종래의 플리커를 저감하는 구동 방법에 의해 30Hz로 구동을 한 경우에 있어서의, 휘도의 시간에 따른 변화를 도시하는 도면이다.

[0009] 또한, 표시 장치가 60Hz로 구동한 경우, 1프레임 기간의 길이는 16.7ms이다. 또한, 표시 장치가 30Hz로 구동한 경우, 1프레임 기간의 길이는 33.3ms이다.

[0010] 도 8의 (a)에 도시한 바와 같이, 유기 EL 표시 장치의 휘도는, 1프레임 기간의 개시 시점에서 가장 높고, 1프레임 기간 종료 시점을 향하여 서서히 낮아진다. 따라서, 60Hz로 구동하는 표시 장치를 30Hz로 구동하면, 프레임

의 전환 시에 휘도가 크게 변화하기 때문에, 플리커가 발생한다.

- [0011] 그래서, 종래에는, 플리커를 저감하기 위해서, 1프레임 기간의 전반에 흑색 표시 기간이 설정되어 있었다. 또한, 1프레임 기간의 전반과 후반의 휘도와 발광 기간의 곱으로 표현되는 면적이 동일해지도록, 흑색 표시 기간이 설정되어 있었다. 여기서, 1프레임 기간의 전반에 있어서의 휘도와 발광 기간의 곱 S1은, 1프레임 기간의 후반에 있어서의 휘도와 발광 기간의 곱 S2와 동일해지도록, 흑색 표시 기간의 길이가 설정되어 있었다.
- [0012] 마찬가지로, 도 8의 (b)는 통상의 상태에 있어서 60Hz로 구동하는 유기 EL 표시 장치를, 종래의 플리커를 저감하는 구동 방법에 의해 30Hz로 구동을 한 경우에 있어서의, 휘도의 시간에 따른 변화를 도시하는 도면이다. 도 8의 (b)에 도시하는 구동 방법은, 1프레임 기간의 전반 및 후반 각각에 있어서 5개의 발광 기간을 설정하는 점이 도 8의 (a)에 도시하는 구동 방법과 상이하다.
- [0013] 도 8의 (b)에 도시하는 구동 방법에 있어서도, 1프레임 기간의 전반에 있어서의 발광 기간과 휘도의 곱으로 표현되는 면적 S1a 내지 S1e의 합계와, 1프레임 기간의 후반에 있어서의 발광 기간과 휘도의 곱으로 표현되는 면적 S2a 내지 S2e의 합계가 동등해지도록, 각 발광 기간 동안에 설치되는 흑색 표시 기간의 길이가 설정되어 있었다.
- [0014] 도 8의 (a) 및 (b)에 도시한 바와 같은 구동 방법에 의하면, 1프레임 기간의 전반에 있어서의 발광 기간과 휘도의 곱으로 표현되는 면적은, 후반에 있어서의 발광 기간과 휘도의 곱으로 표현되는 면적과 동등해진다. 그러나, 발명자들은, 유기 EL 표시 장치에 있어서, 당해 면적을 동등하게 한 경우에도, 플리커를 전부 억제할 수는 없음을 발견하였다.
- [0015] 본 발명은 상기 과제를 감안하여 이루어진 것이며, 그 목적은, 저주파수로 구동됨으로써 소비 전력이 낮고, 또한, 플리커가 저감된 표시 품질이 높은 유기 EL 표시 장치를 제공하는 데 있다.

과제의 해결 수단

- [0016] 본 발명의 일 형태는, 유기 EL 소자를 갖는 복수의 화소와, 상기 유기 EL 소자에 대한 전류의 공급을 차단할 지 여부를 제어하는 트랜지스터를 갖는 표시 패널과, 상기 트랜지스터에 입력하는 펄스 신호를 생성하는 펄스 신호 생성 회로와, 상기 펄스 신호의 타이밍 및 펄스폭의 설정에 관한 정보를 기억하는 기억부를 갖는 유기 EL 표시 장치이며, 상기 기억부는, 1프레임 기간 중에, 순서대로, 상기 펄스보다 전의 기간인 제1 발광 기간과, 상기 펄스의 폭에 상당하는 기간인 흑색 표시 기간과, 상기 제1 발광 기간보다 긴 제2 발광 기간을 포함하고, 또한, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적이, 상기 제1 발광 기간보다도 상기 제2 발광 기간쪽이 커지도록 상기 정보를 기억하는 것을 특징으로 한 것이다.
- [0017] 또한, 본 발명의 다른 일 형태는, 유기 EL 소자를 갖는 복수의 화소를 포함하는 유기 EL 표시 장치의 구동 방법이며, 상기 구동 방법은, 1프레임 기간에, 순서대로 제1 발광 기간과, 흑색 표시 기간과, 제2 발광 기간을 포함하고, 상기 각 화소는, 상기 제1 발광 기간에 입력된 영상 신호에 따른 휘도로 발광하고, 상기 흑색 표시 기간에 흑색 화상을 표시하고, 상기 제2 발광 기간에 상기 제1 발광 기간보다도 낮은 휘도를 발광하고, 상기 제1 발광 기간은 상기 제2 발광 기간보다 짧고, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적은, 상기 제1 발광 기간보다도 상기 제2 발광 기간쪽이 큰, 것을 특징으로 한 것이다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시 형태에 따른 표시 장치를 개략적으로 도시하는 도면이다.
- 도 2는 표시 모듈의 기능적 구성에 대하여 설명하기 위한 도면이다.
- 도 3은 서브 픽셀의 회로를 개략적으로 도시하는 일례이다.
- 도 4는 60Hz 구동을 행하는 경우에 있어서의 타이밍 차트이다.
- 도 5는 30Hz 구동을 행하는 경우에 있어서의 타이밍 차트이다.
- 도 6은 흑색 표시에 대하여 설명하기 위한 도면이다.
- 도 7은 본 발명의 실시 형태에 있어서의 휘도의 시간 변화를 설명하기 위한 도면이다.
- 도 8은 종래 기술에 있어서의 휘도의 시간 변화를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에, 본 발명의 각 실시 형태에 대해서, 도면을 참조하면서 설명한다. 도면은, 설명을 보다 명확하게 하기 위해서, 실제의 형태에 비해, 각 부의 폭, 두께, 형상 등에 대하여 모식적으로 표현되는 경우가 있지만, 어디까지나 일례이며, 본 발명의 해석을 한정하는 것은 아니다. 또한, 본 명세서와 각 도면에 있어서, 기출된 도면에 대하여 전술한 것과 동일한 요소에는, 동일한 부호를 부여하여 상세한 설명을 적절히 생략하는 경우가 있다.
- [0020] 도 1은, 본 발명의 실시 형태에 따른 표시 장치(100)의 개략을 도시하는 도면이다. 도면에 도시한 바와 같이, 표시 장치(100)는 상 프레임(110) 및 하 프레임(120)에 끼워지도록 고정된 표시 모듈(130)을 포함하고 있다.
- [0021] 도 2는, 도 1의 표시 모듈(130)의 기능적 구성에 대하여 설명하기 위한 도면이다. 도 2에 도시한 바와 같이, 표시 모듈(130)은 타이밍 컨트롤 회로(200)와, 신호계 게이트 회로(202)와, 소스 회로(204)와, 펄스 신호 생성 회로(206)와, 기억부(208)와, EL계 게이트 회로(210)와, 표시 패널(212)을 갖는다.
- [0022] 타이밍 컨트롤 회로(200)는 영상 신호를 표시 모듈(130)에 공급하는 장치로부터, 클럭 신호(CLK), 수직 동기 신호(VSYNC) 및 수평 동기 신호(HSYNC)를 취득한다. 또한, 타이밍 컨트롤 회로(200)는 취득한 신호에 기초하여, 게이트 클럭 신호(CKVS) 및 게이트 스타트 신호(STVS)를 생성하고, 신호계 게이트 회로(202)로 출력한다. 또한, 타이밍 컨트롤 회로(200)는 취득한 신호에 기초하여, 소스 클럭 신호(HCLK) 및 소스 회로(204)용의 수평 동기 신호(내부 HSYNC)를 생성하고, 소스 회로(204)로 출력한다. 또한, 타이밍 컨트롤 회로(200)는 취득한 신호에 기초하여, 흑색 삽입 클럭 신호(CKVB) 및 흑색 삽입 스타트 신호(STVB)를 생성하고, 펄스 신호 생성 회로(206)로 출력한다. 흑색 삽입 클럭 신호 및 흑색 삽입 스타트 신호에 대해서는 후술한다.
- [0023] 신호계 게이트 회로(202)는 후술하는 각 유기 EL 소자(310)에 대하여 전류를 흘리는 타이밍을 제어한다. 구체적으로는, 신호계 게이트 회로(202)는 게이트 클럭 신호 및 게이트 스타트 신호에 기초하여, 유기 EL 소자(310)에 전류를 흘리는 타이밍을 제어하는 게이트 신호를 생성하고, 후술하는 게이트 신호선(222)에 공급한다.
- [0024] 소스 회로(204)는 각 유기 EL 소자(310)에 대하여 흘리는 전류의 크기를 제어한다. 구체적으로는, 소스 회로(204)는 영상 신호를 표시 모듈(130)에 공급하는 장치로부터 영상 신호를 취득한다. 또한, 소스 회로(204)는 타이밍 컨트롤 회로(200)로부터 취득한 소스 클럭 신호, 소스 회로(204)용의 수평 동기 신호 및 영상 신호에 기초하여, 각 화소(228)에 영상 신호에 따른 전압을 후술하는 영상 신호선(224)에 공급한다.
- [0025] 펄스 신호 생성 회로(206)는 후술하는 흑색 삽입 트랜지스터(312)에 입력하는 펄스 신호를 생성한다. 구체적으로는, 예를 들어, 펄스 신호 생성 회로(206)는 흑색 삽입 보정 회로(214)와, 흑색 삽입 생성 회로(216)를 포함하여 구성된다.
- [0026] 흑색 삽입 보정 회로(214)는 타이밍 컨트롤 회로(200)로부터 취득한 흑색 삽입 클럭 신호 및 흑색 삽입 스타트 신호와, 기억부(208)에 기억된 정보에 기초하여, 제1 흑색 삽입 스타트 신호(STVB_BL1)를 생성한다. 또한, 흑색 삽입 보정 회로(214)는 타이밍 컨트롤 회로(200)로부터 취득한 흑색 삽입 클럭 신호를, 그대로 흑색 삽입 생성 회로(216)에 공급한다.
- [0027] 흑색 삽입 생성 회로(216)는 제1 흑색 삽입 스타트 신호와 기억부(208)에 기억된 정보에 기초하여, 제2 흑색 삽입 스타트 신호(STVB_BL2)를 생성한다. 또한, 흑색 삽입 생성 회로(216)는 흑색 삽입 보정 회로(214)로부터 취득한 흑색 삽입 클럭 신호를, 그대로 EL계 게이트 회로(210)에 공급한다. 제1 흑색 삽입 스타트 신호 및 제2 흑색 삽입 스타트 신호에 대해서는 후술한다.
- [0028] 기억부(208)는 펄스 신호의 타이밍 및 펄스폭의 설정에 관한 정보를 기억한다. 구체적으로는, 예를 들어, 기억부(208)는 1프레임 기간 중에, 순서대로, 흑색 삽입 신호의 펄스보다 전의 기간인 제1 발광 기간과, 펄스의 폭에 상당하는 기간인 흑색 표시 기간과, 제1 발광 기간보다 긴 제2 발광 기간을 포함하고, 또한, 발광 기간의 길이와 휘도의 곱으로 표현되는 면적이, 제1 발광 기간보다도 제2 발광 기간쪽이 커지도록 정보를 기억한다. 제1 발광 기간, 제2 발광 기간 및 흑색 표시 기간에 대해서는 후술한다.
- [0029] 또한, 기억부(208)는 예를 들어, 불휘발성 메모리 등에 의해 형성된 메모리이다. 구체적으로는, 기억부(208)는 주기 폭 메모리(218)와, 보정 메모리(220)를 포함하여 구성된다.
- [0030] 주기 폭 메모리(218)는 펄스 신호 생성 회로(206)가 펄스 신호를 생성할 때에 사용하는 타이밍 및 펄스폭의 설정에 관한 정보를 기억한다. 구체적으로는, 예를 들어, 주기 폭 메모리(218)는 1프레임 기간의 개시 시점부터 흑색 삽입 기간까지의 기간이나, 펄스폭을 t1 기간으로 하는 취지의 정보를 기억한다.

- [0031] 또한, 주기 폭 메모리(218)는 1프레임 기간 중에 삽입되는 흑색 표시 기간의 수에 관한 정보를 기억해도 된다. 예를 들어, 주기 폭 메모리(218)는 1프레임 기간에 10회의 흑색 삽입 기간을 설정하는 취지의 정보를 기억한다.
- [0032] 보정 메모리(220)는 1프레임 기간에 포함되는 흑색 삽입 기간의 길이 설정에 관한 정보를 기억한다. 구체적으로는, 예를 들어, 1프레임 기간에 흑색 삽입 기간이 복수 설치되는 경우, 보정 메모리(220)는 각 흑색 삽입 기간을 서서히 짧게 할 지 여부를 나타내는 정보를 기억한다.
- [0033] EL계 게이트 회로(210)는 각 유기 EL 소자(310)에 대하여 흘리는 전류를 차단하는 타이밍을 제어한다. 구체적으로는, EL계 게이트 회로(210)는 흑색 삽입 클럭 신호 및 제2 흑색 삽입 스타트 신호에 기초하여, 유기 EL 소자(310)에 흘리는 전류를 차단하는 타이밍을 제어하는 흑색 삽입 신호를 생성하고, 후술하는 흑색 삽입 게이트 신호선(226)에 공급한다.
- [0034] 표시 패널(212)은 복수의 화소(228)와, 게이트 신호선(222)과, 영상 신호선(224)과, 흑색 삽입 게이트 신호선(226)을 포함하여 구성된다. 복수의 화소(228)는 각각, 상이한 색의 광을 발하는 복수의 서브 픽셀(230)을 포함하여 구성된다. 게이트 신호선(222), 영상 신호선(224) 및 흑색 삽입 게이트 신호선(226)에 대해서는, 도 3을 사용하여 설명한다.
- [0035] 도 3은, 1개의 서브 픽셀(230)에 형성된 회로를 개략적으로 도시하는 일례이다. 도 3에 도시한 바와 같이, 서브 픽셀(230)에 형성된 회로는, 게이트 신호선(222)과, 영상 신호선(224)과, 흑색 삽입 게이트 신호선(226)과, 화소 선택 트랜지스터(300)와, 콘덴서(302)와, 전원(304)과, 캐소드 전극(306)과, 구동 트랜지스터(308)와, 유기 EL 소자(310)와, 흑색 삽입 트랜지스터(312)를 포함하여 구성된다.
- [0036] 게이트 신호선(222)은 화소 선택 트랜지스터(300)의 게이트 단자와 접속된다. 구체적으로는, 게이트 신호선(222)은 신호계 게이트 회로(202)와 화소 선택 트랜지스터(300)의 게이트 단자를 전기적으로 접속하고, 신호계 게이트 회로(202)로부터 취득한 게이트 신호를 화소 선택 트랜지스터(300)의 게이트 단자에 공급한다.
- [0037] 영상 신호선(224)은 화소 선택 트랜지스터(300)의 소스 단자 또는 드레인 단자 중 한쪽과 접속된다. 구체적으로는, 영상 신호선(224)은 소스 회로(204)와 화소 선택 트랜지스터(300)의 소스 단자 또는 드레인 단자 중 한쪽을 전기적으로 접속하고, 소스 회로(204)로부터 취득한 영상 신호에 따른 전압을 화소 선택 트랜지스터(300)의 소스 단자 또는 드레인 단자 중 한쪽에 공급한다.
- [0038] 흑색 삽입 게이트 신호선(226)은 흑색 삽입 트랜지스터(312)의 게이트 단자와 접속된다. 구체적으로는, 흑색 삽입 게이트 신호선(226)은 EL계 게이트 회로(210)와 흑색 삽입 트랜지스터(312)의 게이트 단자와 전기적으로 접속하고, EL계 게이트 회로(210)로부터 취득한 흑색 삽입 신호를 흑색 삽입 트랜지스터(312)의 게이트 단자에 공급한다.
- [0039] 화소 선택 트랜지스터(300)는 구동 트랜지스터(308)에 영상 신호 전압을 공급하는 타이밍을 제어한다. 구체적으로는, 화소 선택 트랜지스터(300)는 게이트 단자에 인가되는 전압이 하이 상태 또는 로우 상태 중 어느 한쪽의 상태에서, 화소 선택 트랜지스터(300)의 소스 단자와 드레인 단자를 도통한다(이하, 온 상태로 한다). 화소 선택 트랜지스터(300)는 게이트 단자에 공급되는 게이트 신호의 상태에 따라, 영상 신호선(224)의 전압을 콘덴서(302)에 공급함으로써, 구동 트랜지스터(308)에 영상 신호 전압을 공급하는 타이밍을 제어한다.
- [0040] 콘덴서(302)는 영상 신호선(224)으로부터 공급된 전압을 유지한다. 구체적으로는, 콘덴서(302)는 화소 선택 트랜지스터(300)가 온 상태인 타이밍에서, 영상 신호선(224)의 전압과 동일 전위로 된다. 그 후, 게이트 신호에 의해, 화소 선택 트랜지스터(300)는 소스 단자와 드레인 단자가 전기적으로 차단된 상태(이하, 오프 상태로 한다)로 된다. 콘덴서(302)는 다음으로 화소 선택 트랜지스터(300)가 온 상태로 될 때까지, 플로팅 상태로 되기 위해서, 영상 신호선(224)으로부터 공급된 전압을 유지한다.
- [0041] 여기서, 화소 선택 트랜지스터(300)가 오프 상태인 경우에, 공급된 전압은, 서서히 저하된다. 구체적으로는, 화소 선택 트랜지스터(300)가 오프 상태인 경우에 있어서도, 누설 전류 등이 있기 때문에, 콘덴서(302)에 유지된 전압은, 서서히 저하된다.
- [0042] 구체적으로는, 화소 선택 트랜지스터(300)는 1프레임 기간에 한번 온 상태로 된다. 그 때문에, 콘덴서(302)는 화소 선택 트랜지스터(300)가 온 상태인 때에 공급된 전압을, 1프레임 기간 유지하는 것이 이상적이지만, 누설 전류 등에 의해, 콘덴서(302)의 전압은 서서히 저하된다. 따라서, 콘덴서(302)의 전압에 의해 유기 EL 소자(310)의 발광량이 정해지기 때문에, 각 서브 픽셀(230)의 휘도는, 1프레임 기간에 서서히 저하된다.
- [0043] 전원(304)은 흑색 삽입 트랜지스터(312)와 접속되어, 유기 EL 소자(310)에 전류를 공급한다. 구체적으로는, 전

원(304)은 흑색 삽입 트랜지스터(312)의 소스 단자 또는 드레인 단자와 전기적으로 접속된다. 전원(304)은 일정한 전압이 인가되기 때문에, 구동 트랜지스터(308) 및 흑색 삽입 트랜지스터(312)가 온 상태일 때에, 유기 EL 소자(310)에 전류를 공급한다.

[0044] 캐소드 전극(306)은 유기 EL 소자(310)와 전기적으로 접속된다. 구체적으로는, 캐소드 전극(306)은 유기 EL 소자(310)의 캐소드 단자와 전기적으로 접속되고, 전원(304)과의 사이에서 전압이 인가됨으로써, 유기 EL 소자(310)에 전류를 공급한다.

[0045] 구동 트랜지스터(308)는 화소 선택 트랜지스터(300), 콘덴서(302), 흑색 삽입 트랜지스터(312), 및 유기 EL 소자(310)와 접속된다. 구체적으로는, 구동 트랜지스터(308)의 게이트 단자는, 화소 선택 트랜지스터(300)의 소스 단자 또는 드레인 단자, 및 콘덴서(302)와 전기적으로 접속된다. 구동 트랜지스터(308)의 소스 단자 또는 드레인 단자 중 한쪽은, 흑색 삽입 트랜지스터(312)의 소스 단자 또는 드레인 단자와 전기적으로 접속된다. 또한, 구동 트랜지스터(308)의 소스 단자 또는 드레인 단자 중 다른 한쪽은, 콘덴서(302) 및 유기 EL 소자(310)의 애노드 단자와 전기적으로 접속된다.

[0046] 또한, 구동 트랜지스터(308)는 유기 EL 소자(310)에 전류를 공급한다. 구체적으로는, 구동 트랜지스터(308)는 콘덴서(302)에 인가된 전압에 따라, 전원(304)으로부터 공급되는 전류를 유기 EL 소자(310)에 공급한다.

[0047] 유기 EL 소자(310)는 1프레임 기간 동안, 서서히 휘도 저하하면서 발광한다. 즉, 복수의 화소(228)의 각각은, 1프레임 기간 중에 휘도가 점차 저하된다. 구체적으로는, 유기 EL 소자(310)는 콘덴서(302)에 유지된 전압에 따른 전류가, 구동 트랜지스터(308)에 의해 공급된다. 상기한 바와 같이 콘덴서(302)에 유지된 전압은, 1프레임 기간 동안 서서히 저하된다. 따라서, 유기 EL 소자(310)는 1프레임 기간 동안, 서서히 휘도 저하하면서 발광한다.

[0048] 흑색 삽입 트랜지스터(312)는 유기 EL 소자(310)에 대한 전류의 공급, 또는 전원의 공급을 차단할 지 여부를 제어한다. 구체적으로는, 흑색 삽입 트랜지스터(312)의 소스 단자 또는 드레인 단자 중 한쪽은, 전원(304)에 접속되고, 다른 한쪽은, 구동 트랜지스터(308)의 소스 또는 드레인 단자와 전기적으로 접속된다. 또한, 구동 트랜지스터(308)의 게이트 단자는, 흑색 삽입 게이트 신호선(226)과 전기적으로 접속된다.

[0049] 흑색 삽입 트랜지스터(312)는 흑색 삽입 게이트 신호선(226)으로부터 공급되는 흑색 삽입 신호에 의해, 온 상태 또는 오프 상태로 되도록 제어된다. 흑색 삽입 트랜지스터(312)가 온 상태인 경우, 흑색 삽입 트랜지스터(312)는 전원(304)으로부터 공급되는 전류를, 구동 트랜지스터(308)를 통하여 유기 EL 소자(310)에 공급한다. 한편, 흑색 삽입 트랜지스터(312)가 오프 상태인 경우, 흑색 삽입 트랜지스터(312)는 유기 EL 소자(310)에 대한 전류의 공급을 차단한다.

[0050] 계속해서, 본 발명에 있어서의 표시 장치(100)의 구동 방법에 대하여 설명한다. 본 발명에 있어서의 구동 방법은, 상기와 같은 1프레임 기간 동안, 서서히 휘도 저하하면서 발광하는 유기 EL 소자(310)를 갖는 복수의 화소(228)를 포함하는 유기 EL 표시 장치의 구동 방법이며, 1프레임 기간에, 순서대로 제1 발광 기간과, 흑색 표시 기간과, 제2 발광 기간을 포함한다.

[0051] 구체적인 구동 방법에 대해서, 도 4 및 도 5를 사용하여 설명한다. 본 실시 형태에 있어서, 표시 장치(100)의 구동 방법은, 60Hz의 프레임 주파수로 구동하는 통상 모드와, 30Hz의 프레임 주파수로 구동하는 전력 절약 모드를 갖는다.

[0052] 도 4는, 통상 모드에서의, 게이트 스타트 신호, 제1 흑색 삽입 스타트 신호, 제2 흑색 삽입 스타트 신호, 및 흑색 삽입 신호의 타이밍 차트를 도시하는 도면이다.

[0053] 게이트 스타트 신호는, 1프레임 기간의 처음에 일정 기간 로우 상태로 되고, 1프레임 기간(16.7ms)의 나머지 기간 하이 상태로 된다.

[0054] 제1 흑색 삽입 스타트 신호는, 1프레임 기간의 처음에 t1의 기간 로우 상태로 되고, 도 4에 도시하는 tcycle의 나머지 기간 하이 상태로 된다. 또한, 제1 흑색 삽입 스타트 신호는, 1프레임 기간에, tcycle를 4주기 포함한다.

[0055] 또한, 제1 흑색 삽입 스타트 신호에 포함되는 t1의 기간 및 tcycle의 주기의 수는, 주기 폭 메모리(218)에 기억된 정보에 의해 설정된다.

[0056] 제2 흑색 삽입 스타트 신호는, 통상 모드에서, 제1 흑색 삽입 스타트 신호와 동일한 신호이다. 통상 모드에서

는, 보정 메모리(220)는 제1 흑색 삽입 스타트 신호와 동일한 제2 흑색 삽입 스타트 신호가 생성되는 정보를 기억한다.

- [0057] 흑색 삽입 신호는, 표시 패널(212)에 형성된 화소(228)의 행마다, 제2 흑색 삽입 스타트 신호를 1수평 기간씩 시프트한 신호이다. 구체적으로는, 도 4에 도시하는 BGn은, 표시 패널(212)의 n행째에 배치된 흑색 삽입 게이트 신호선(226)에 공급되는 흑색 삽입 신호이다. 도 4에 도시한 바와 같이, 1행째에 배치된 흑색 삽입 게이트 신호선(226)에 공급되는 BG1은, 제2 흑색 삽입 스타트 신호를 시프트한 신호이다.
- [0058] 또한, 도 4에 도시한 바와 같이, 2행째에 배치된 흑색 삽입 게이트 신호선(226)에 공급되는 흑색 삽입 신호인 BG2는, BG1을 1수평 기간 시프트한 신호이다. 마찬가지로 BG3 이후의 신호는, 1행 상측의 흑색 삽입 게이트 신호선(226)에 공급된 흑색 삽입 신호를 1수평 기간 시프트한 신호이다.
- [0059] 상기한 바와 같이 흑색 삽입 신호가 1수평 기간에 4회 로우 신호로 되는 것에 의해, 표시 장치(100)는 1수평 기간에 4회의 흑색 표시를 행한다.
- [0060] 계속해서, 전력 절약 모드에서의 각 신호에 대하여 설명한다. 도 5는, 전력 절약 모드에서의, 게이트 스타트 신호, 제1 흑색 삽입 스타트 신호, 제2 흑색 삽입 스타트 신호, 및 흑색 삽입 신호의 타이밍 차트를 도시하는 도면이다.
- [0061] 게이트 스타트 신호는, 1프레임 기간의 처음에 로우 상태로 되고, 1프레임 기간(33.3ms)의 나머지 기간 하이 상태로 된다.
- [0062] 제1 흑색 삽입 스타트 신호는, 1프레임 기간의 처음에 t1의 기간 로우 상태로 되고, 도 4에 도시하는 tcycle의 나머지 기간 하이 상태로 된다. 또한, 제1 흑색 삽입 스타트 신호는, 1프레임 기간에, tcycle를 8주기 포함한다.
- [0063] 제2 흑색 삽입 스타트 신호는, 전력 절약 모드에서, 제1 흑색 삽입 스타트 신호에 포함되는 펄스폭이, 1프레임 기간 내에 서서히 짧아진 신호이다. 구체적으로는, 제1 흑색 삽입 스타트 신호는, 1프레임 기간에 폭이 t1인 펄스를 8개 포함한다. 이에 비해, 제2 흑색 삽입 스타트 신호는, 1프레임 기간에 폭이 t1 내지 t8인 펄스를 순서대로 포함한다. 또한, t1 내지 t8의 길이는, 순서대로 짧게 되어 있다.
- [0064] 당해 제2 흑색 삽입 스타트 신호는, 기억부(208)가 흑색 표시 기간과 제2 발광 기간 동안에, 복수의 발광 기간을 갖고, 그 복수의 발광 기간은, 제1 발광 기간으로부터 제2 발광 기간에 근접함에 따라서 서서히 길어지도록 정보를 기억하고 있는 것에 의해 생성된다.
- [0065] 흑색 삽입 신호는, 통상 모드의 경우와 마찬가지로, 매트릭스 형상으로 형성된 화소(228)의 행마다, 제2 흑색 삽입 스타트 신호를 1수평 기간씩 시프트한 신호이다. 구체적으로는, 도 4에 도시하는 BG1은, 제2 흑색 삽입 스타트 신호를 시프트한 신호이다. 또한, BG2 이후의 신호는, 1행 상측의 흑색 삽입 게이트 신호선(226)에 공급된 흑색 삽입 신호를 1수평 기간 시프트한 신호이다.
- [0066] 또한, 제2 흑색 삽입 스타트 신호에 포함되는 펄스폭이, 1프레임 기간 내에 서서히 짧게 되어 있지만, 1프레임 기간에 포함되는 펄스폭은, 모두 동일한 폭 이어도 되고, 1프레임 기간의 최후의 펄스폭만 짧게 하도록 해도 된다.
- [0067] 상기한 바와 같이 흑색 삽입 신호가 1수평 기간에 8회 로우 신호로 되는 것에 의해, 표시 장치(100)는 1수평 기간에 8회의 흑색 표시를 행한다. 구체적으로는, 예를 들어, 도 6을 사용하여 흑색 표시에 대하여 설명한다. 도 6 좌측부에 도시한 바와 같이, 1프레임 기간의 개시 시점부터 n수평 기간이 경과한 상태에 있어서, 표시 장치(100)는 8개의 떠상의 영역에서, 흑색 표시가 되어 있다. 또한, 도 6 우측부에 도시한 바와 같이, 1프레임 기간의 개시 시점부터 n+1수평 기간이 경과한 상태에서는, 표시 장치(100)는 1라인씩 하측으로 어긋난 8개의 떠상의 영역에서, 흑색 표시가 되어 있다.
- [0068] 또한, 흑색 표시의 폭은, 흑색 삽입 신호의 펄스폭에 대응한다. 도 6에 있어서는, 흑색 표시의 폭이 모두 4라인이지만, 흑색 표시의 폭은, 도 5에 도시하는 t1 내지 t8의 길이와 대응하는 길이로 해도 된다.
- [0069] 계속해서, 전력 절약 모드에서의, 휘도의 시간에 따른 변화에 대해서, 도 7을 사용하여 설명한다. 도 7에 도시한 바와 같이, 1프레임 기간에, 10개의 발광 기간이 설정된다. 여기서, 1프레임 기간에 포함되는 각 발광 기간의 길이와 당해 발광 기간의 휘도의 곱으로 표현되는 면적을, 순서대로 S1a 내지 S1e 및 S2a 내지 S2e로 한다. 또한, 면적이 S1a인 발광 기간을 제1 발광 기간으로 하고, 면적이 S2e인 발광 기간을 제2 발광 기간으로 하고,

그 이외의 발광 기간을 제3 발광 기간으로 한다.

- [0070] 도 7에 도시한 바와 같이, 유기 EL 소자(310)는 1프레임 기간 동안, 서서히 휘도 저하하면서 발광하는 점에서, 각 발광 기간의 휘도는, 제1 발광 기간으로부터 제2 발광 기간에 걸쳐서 서서히 저하된다.
- [0071] 본 발명에 있어서는, 각 화소(228)는 제1 발광 기간에 입력된 영상 신호에 따른 휘도로 발광하고, 흑색 표시 기간에 흑색 화상을 표시하고, 제2 발광 기간에 제1 발광 기간보다도 낮은 휘도를 발광한다. 여기서, 기억부(208)는 발광 기간의 길이와 휘도의 곱으로 표현되는 면적이, 제1 발광 기간보다도 제2 발광 기간쪽이 커지도록 정보를 기억한다. 따라서, 도 7에 있어서의 S1a보다도 S2e의 면적이 커진다.
- [0072] 또한, 기억부(208)는 또한, 흑색 표시 기간과 제2 발광 기간 동안에, 제1 발광 기간과 동일한 길이의 제3 발광 기간을 갖도록 정보를 기억하는 수단을 포함해도 되고, 제3 발광 기간을 갖지 않도록 정보를 기억하는 수단을 포함해도 된다.
- [0073] 구체적으로는, S1b 내지 S2d의 면적은, S1a의 면적과 동일하게 해도 된다. 이 경우, 기억부(208)는 흑색 표시 기간과 제2 발광 기간 동안에, 제1 발광 기간과 동일한 길이의 제3 발광 기간을 갖도록 정보를 기억한다. 또한, 도 7에 있어서는 8개의 제3 발광 기간이 설정되어 있지만, 적어도 제1 발광 기간 및 제2 발광 기간을 설정할 수 있으면 되고, 제3 발광 기간을 설정하지 않는 구성으로 해도 된다.
- [0074] 또한, 기억부(208)는 또한, 흑색 표시 기간과 제2 발광 기간 동안에, 제1 발광 기간보다도 길고, 제2 발광 기간보다도 짧은 제3 발광 기간을 갖도록 정보를 기억하는 수단을 포함해도 된다. 구체적으로는, 기억부(208)는 흑색 표시 기간과 제2 발광 기간 동안에, 복수의 제3 발광 기간을 갖고, 그 복수의 제3 발광 기간은, 제1 발광 기간으로부터 제2 발광 기간에 근접함에 따라서 서서히 길어지도록 정보를 기억하는 수단을 포함해도 된다.
- [0075] 예를 들어, 도 7에 도시한 바와 같이, S1b 내지 S2d의 면적은, S1a의 면적보다 작고, S2e의 면적보다 크게 해도 된다. 또한, 이 경우, S1b 내지 S2d의 면적이, 제2 발광 기간에 근접함에 따라서 서서히 작아지도록 해도 된다.
- [0076] 상기한 바와 같이 제2 발광 기간의 면적을 제1 발광 기간의 면적보다도 커지도록 하는 구동 방법에 의해, 인간의 눈에 인식되는 플리커가 저감된다.
- [0077] 본 발명의 사상 범주에 있어서, 당업자라면 각종 변경예 및 수정예에 상도할 수 있는 것이며, 그들 변경예 및 수정예에 대해서도 본 발명의 범위에 속하는 것이라고 이해된다. 예를 들어, 전술한 각 실시 형태에 대하여 당업자가 적절히, 구성 요소의 추가, 삭제 또는 설계 변경을 행한 것, 또는, 공정의 추가, 생략 또는 조건 변경을 행한 것도, 본 발명의 요지를 구비하고 있는 한, 본 발명의 범위에 포함된다.

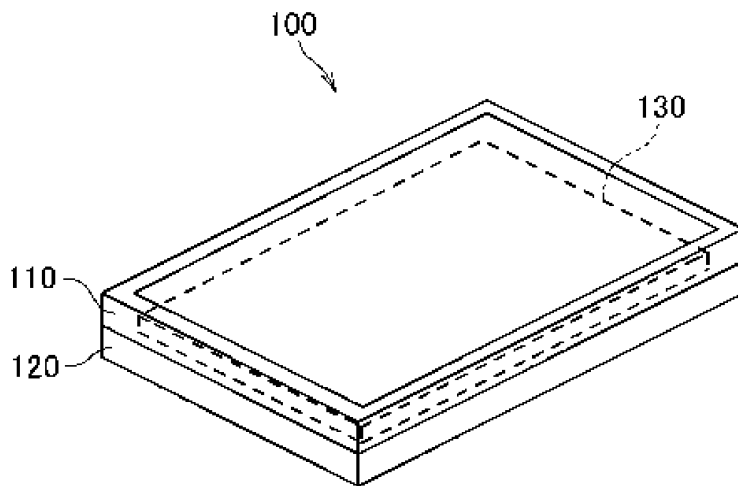
부호의 설명

- [0078] 100: 표시 장치
- 110: 상 프레임
- 120: 하 프레임
- 130: 표시 모듈
- 200: 타이밍 컨트롤 회로
- 202: 신호계 게이트 회로
- 204: 소스 회로
- 206: 펄스 신호 생성 회로
- 208: 기억부
- 210: EL계 게이트 회로
- 212: 표시 패널
- 214: 흑색 삽입 보정 회로
- 216: 흑색 삽입 생성 회로

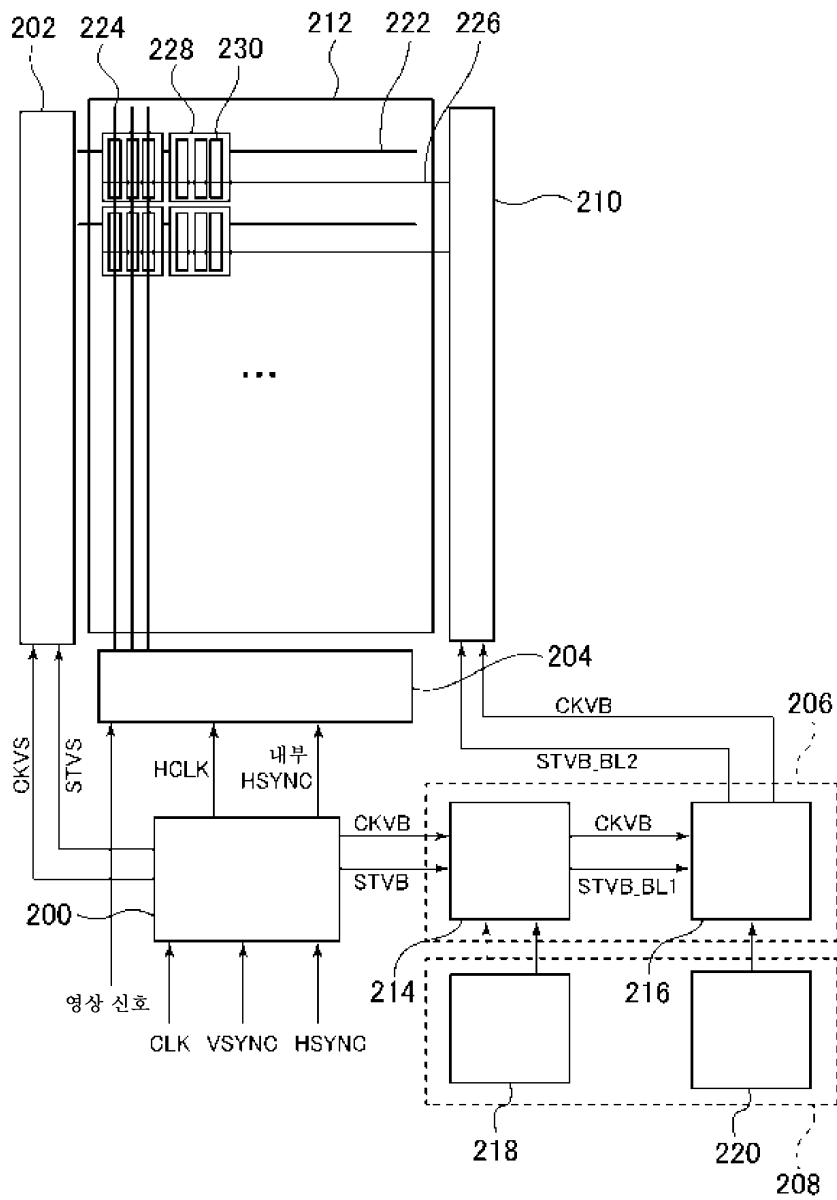
- 218: 주기 폭 메모리
- 220: 보정 메모리
- 222: 게이트 신호선
- 224: 영상 신호선
- 226: 흑색 삽입 게이트 신호선
- 228: 화소
- 230: 서브 픽셀
- 300: 화소 선택 트랜지스터
- 302: 콘덴서
- 304: 전원
- 306: 캐소드 전극
- 308: 구동 트랜지스터
- 310: 유기 EL 소자
- 312: 흑색 삽입 트랜지스터

도면

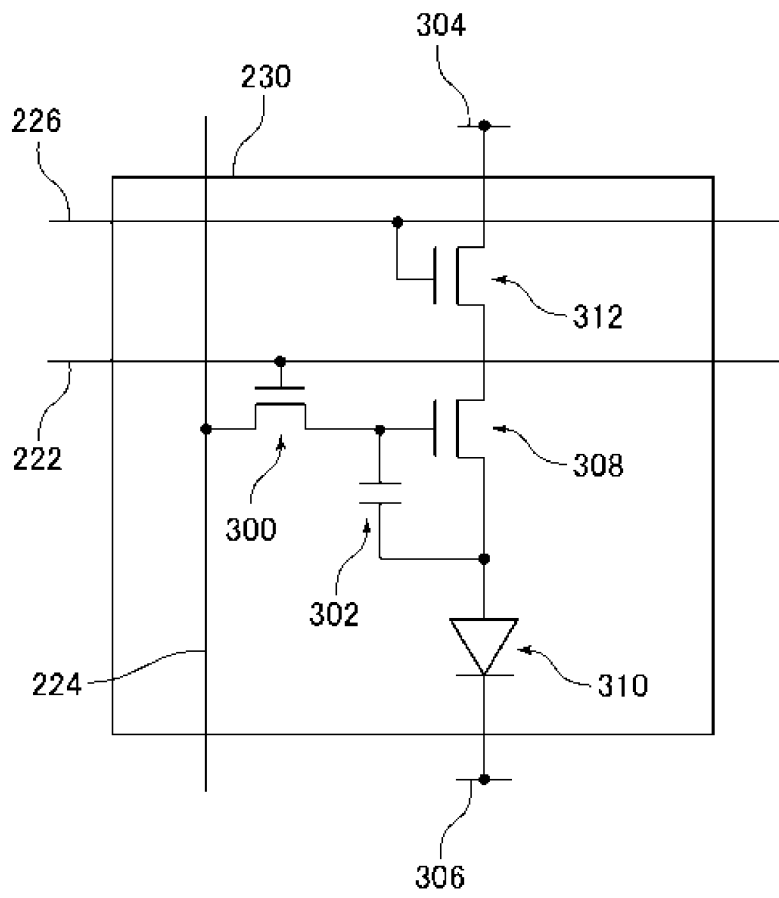
도면1



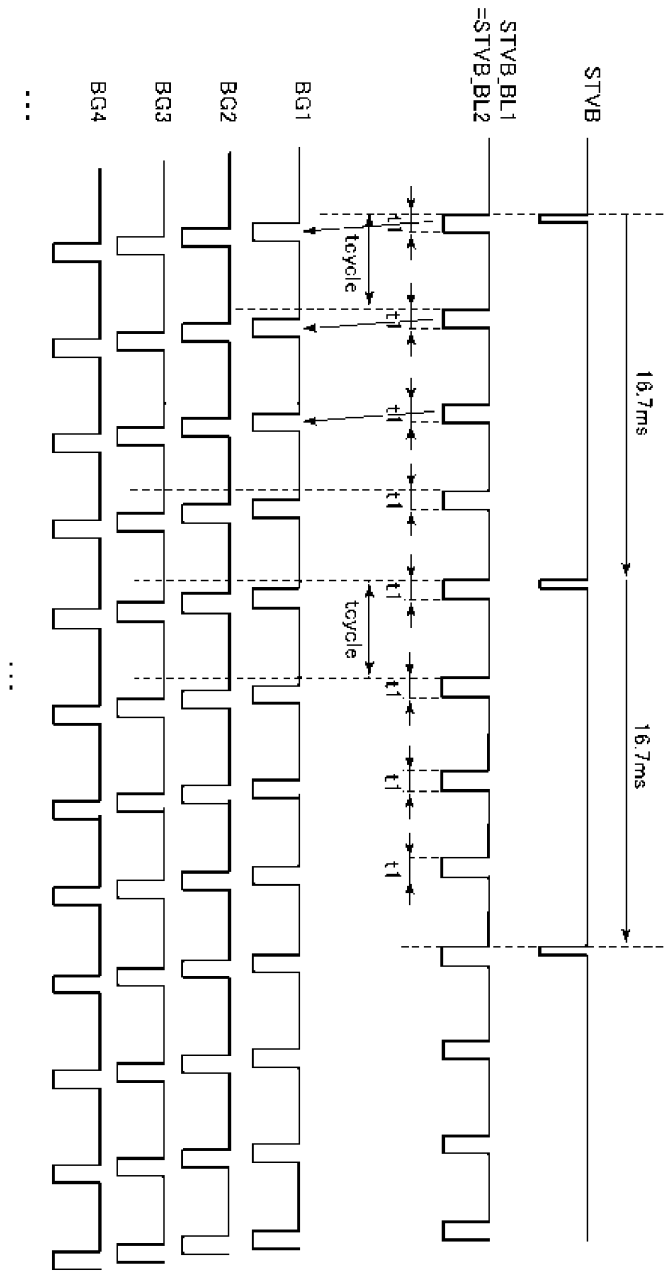
도면2



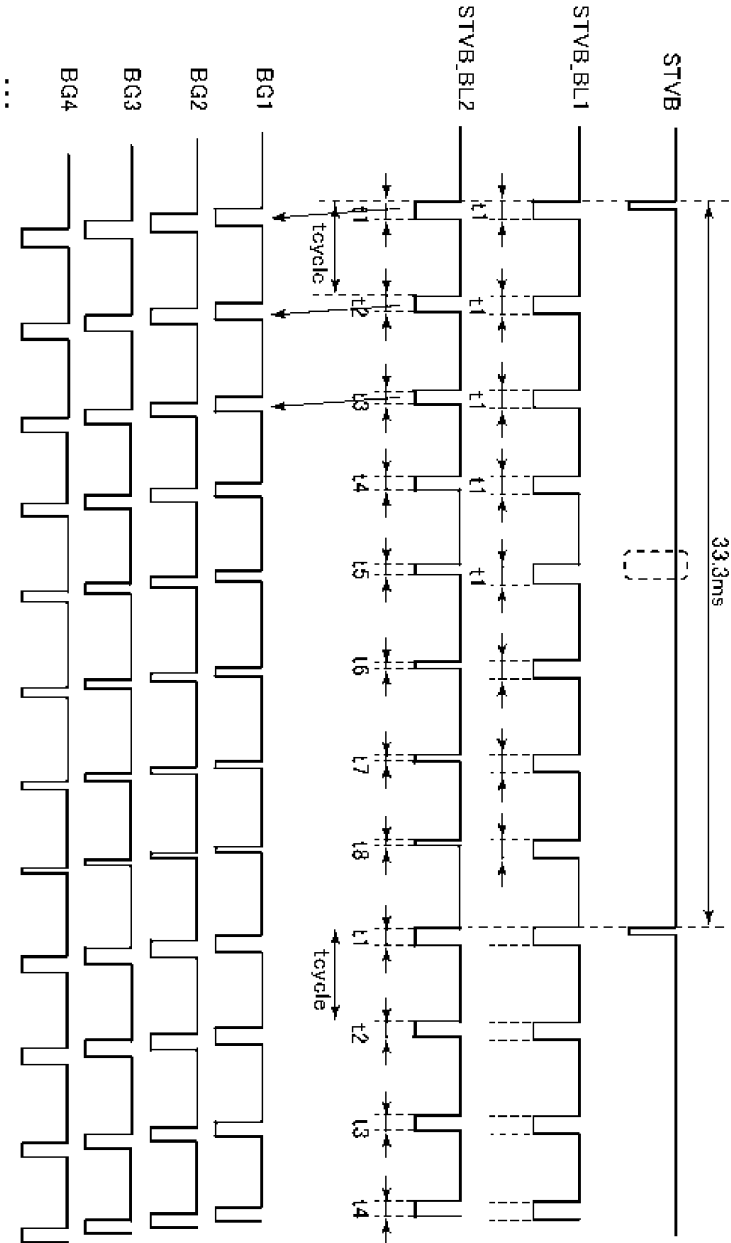
도면3



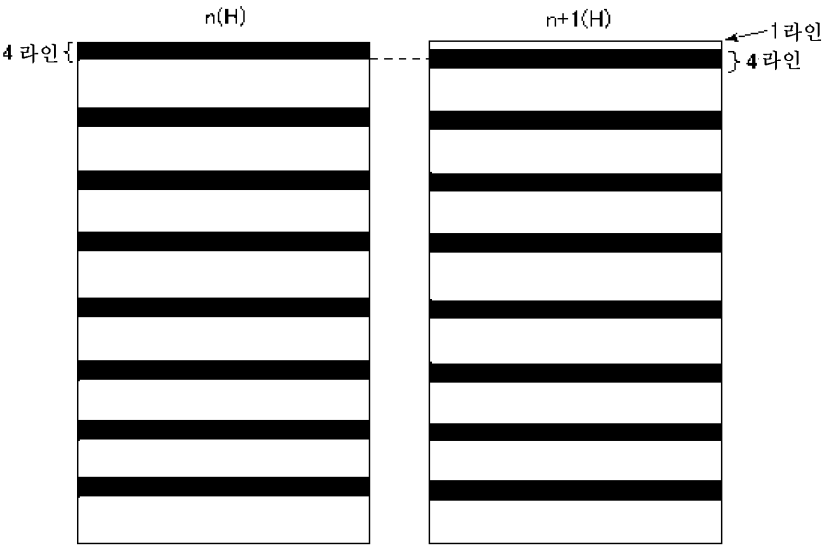
도면4



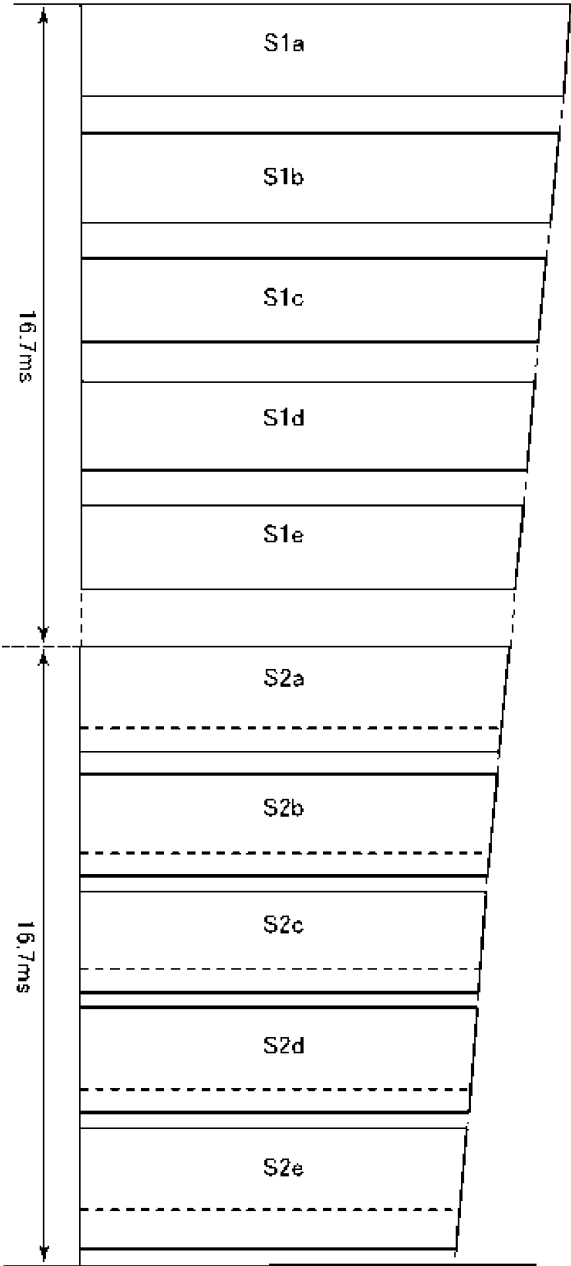
도면5



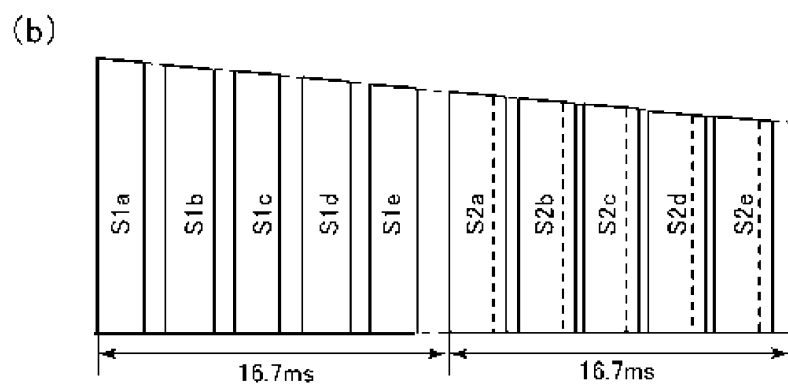
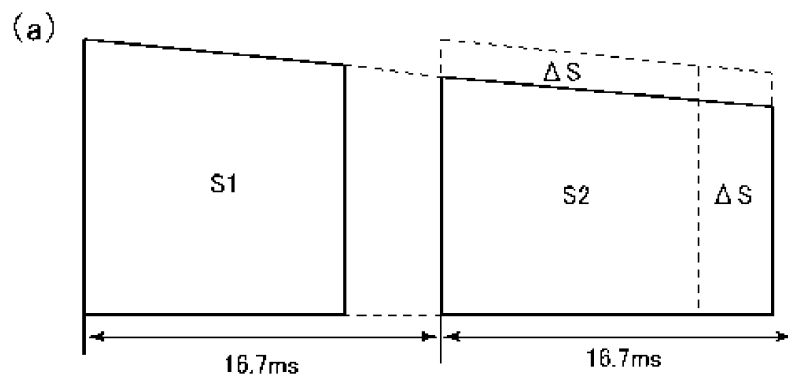
도면6



도면7



도면8



专利名称(译)	有机EL显示装置和有机EL显示装置的驱动方法		
公开(公告)号	KR101970406B1	公开(公告)日	2019-04-18
申请号	KR1020170131582	申请日	2017-10-11
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
当前申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	나까무라노리오		
发明人	나까무라 노리오		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2320/0247 G09G2330/021 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2310/066 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G2320/064 G09G3/3258		
代理人(译)	Jangsugil Yijunghui		
审查员(译)	李升 - 最小		
优先权	2016201585 2016-10-13 JP		
其他公开文献	KR1020180041068A		
外部链接	Espacenet		

摘要(译)

有机EL显示装置包括：用于控制是否切断向有机EL元件的电流供给的晶体管；产生要输入到该晶体管的脉冲信号的脉冲信号生成电路；以及存储单元。存储单元以如下方式存储信息：一个帧周期依次包括：第一发光周期，其是脉冲之前的周期；黑显示周期，其是等于脉冲宽度的周期；以及第二发光周期比第一发光周期长，并且在第二发光周期中由发光周期的长度和亮度的乘积表示的面积在第二发光周期中大于在第一发光周期中。

