



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월17일
 (11) 등록번호 10-1420479
 (24) 등록일자 2014년07월10일

(51) 국제특허분류(Int. Cl.)
 H01L 51/52 (2006.01) H05B 33/06 (2006.01)
 (21) 출원번호 10-2011-0112538
 (22) 출원일자 2011년10월31일
 심사청구일자 2013년04월02일
 (65) 공개번호 10-2013-0047482
 (43) 공개일자 2013년05월08일
 (56) 선행기술조사문헌
 US20060123293 A1

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
강병욱
 경기도 파주시 월롱면 덕은리 정다운마을 102-208
김승태
 경기도 고양시 일산서구 일현로 140, 118동 1504호 (탄현동, 큰마을대림 현대아파트)
 (뒷면에 계속)
 (74) 대리인
서교준

전체 청구항 수 : 총 14 항

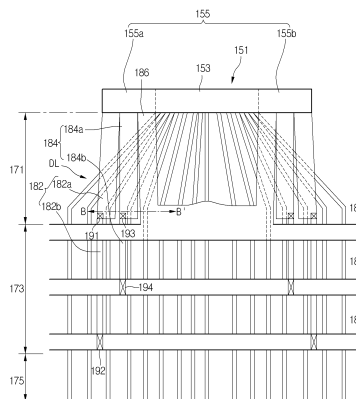
심사관 : 박성웅

(54) 발명의 명칭 **유기발광 표시장치**

(57) 요약

실시 예에 따른 유기발광 표시장치는 다수의 드라이버 IC로 구성된 데이터 드라이버; 상기 드라이버 IC와 전기적으로 연결되는 다수의 데이터 라인; 상기 데이터 라인과 교차하는 방향으로 형성되는 전원 라인; 상기 전원 라인과 상기 드라이버 IC를 연결하는 링크 라인; 및 상기 전원 라인과 상기 드라이버 IC 사이에서 상기 데이터 라인과 오버랩되는 오버랩 패턴을 포함한다.

대표도 - 도5



(72) 발명자

이지은

서울특별시 종로구 동망산길 47, 센트레빌아파트
106동 307호 (송인동)

김홍석

부산광역시 해운대구 해운대로191번길 42, B동 10
1호 (재송동, 지정파크빌라)

특허청구의 범위

청구항 1

다수의 드라이버 IC로 구성된 데이터 드라이버;

상기 드라이버 IC와 전기적으로 연결되는 다수의 데이터 라인;

상기 데이터 라인과 교차하는 방향으로 형성되는 다수의 전원 라인; 및

상기 드라이버 IC와 상기 다수의 전원 라인 사이 영역인 링크 영역에 형성되고, 상기 전원 라인과 상기 드라이버 IC를 연결하며 상기 데이터 라인과 중첩되는 링크 라인; 을 포함하고,

상기 드라이버 IC와 인접한 전원 라인은,

상기 링크 영역에 형성되고 상기 데이터 라인과 오버랩되는 오버랩 패턴을 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 오버랩 패턴은 상기 전원 라인으로부터 연장형성되는 유기발광 표시장치.

청구항 3

제1항에 있어서,

상기 오버랩 패턴은 상기 전원 라인으로부터 이격되어 형성되는 유기발광 표시장치.

청구항 4

제1항에 있어서,

상기 오버랩패턴은 상기 데이터 라인간의 커패시턴스 편차를 최소화할 수 있는 면적으로 형성되는 유기발광 표시장치.

청구항 5

제1항에 있어서,

상기 오버랩 패턴은 상기 데이터 라인간의 RC지연값의 편차를 최소화할 수 있는 면적으로 형성되는 유기발광 표시장치.

청구항 6

제1항에 있어서,

상기 오버랩 패턴은 중앙영역이 돌출되어 형성되는 유기발광 표시장치.

청구항 7

제2항에 있어서,

상기 전원 라인은 다수의 전원 라인으로 구성되고,

상기 오버랩 패턴은 상기 다수의 전원 라인들 중 드라이버 IC에 가장 가까운 전원라인으로부터 연장형성되는 유기발광 표시장치.

청구항 8

제1항에 있어서,

상기 오버랩 패턴은 상기 링크 라인과 전기적으로 연결되는 유기발광 표시장치.

청구항 9

제3항에 있어서,
 상기 전원 라인 및 상기 링크 라인은 복수로 구성되고,
 상기 오버랩 패턴은 복수의 링크 라인 중 드라이버 IC와 가까운 링크라인과 전기적으로 연결되는 유기발광 표시장치.

청구항 10

제1항에 있어서,
 상기 드라이버 IC는 중앙의 신호영역, 상기 신호영역 양측의 전원영역을 포함하고,
 상기 데이터 라인은 신호영역과 전기적으로 연결되고,
 상기 링크 라인은 상기 전원영역과 전기적으로 연결되는 유기발광 표시장치.

청구항 11

제10항에 있어서,
 상기 오버랩 패턴의 양측은 양측의 링크라인과 전기적으로 연결되는 유기발광 표시장치.

청구항 12

제1항에 있어서,
 상기 오버랩패턴은 상기 전원라인과 동일층에 형성되는 유기발광 표시장치.

청구항 13

제1항에 있어서,
 상기 다수의 데이터 라인은 저항편차를 고려하여 지그재그형상을 가지는 유기발광 표시장치.

청구항 14

제1항에 있어서,
 상기 전원라인은 VDD, GND, Vref의 전압이 인가되는 유기발광 표시장치.

명세서

기술분야

[0001] 실시 예는 유기발광 표시장치에 관한 것이다.

배경기술

[0002] 정보를 표시하기 위한 표시장치가 널리 개발되고 있다.

[0003] 표시장치는 액정표시장치, 유기발광 표시장치, 전기영동 표시장치, 전계방출 표시장치, 플라즈마 표시장치를 포함한다.

[0004] 이 중에서, 유기발광 표시장치는 액정표시장치에 비해, 소비 전력이 낮고, 시야각이 넓으며, 더욱 가볍고, 휘도가 높아, 차세대 표시장치로서 각광받고 있다.

[0005] 상기 유기발광 표시장치는 상기 액정표시장치의 기관상에 형성되는 게이트 라인 및 데이터 라인뿐만 아니라 각 픽셀에 전원을 공급하기 위한 다수의 전원라인들을 더 포함한다.

[0006] 상기 게이트 라인, 데이터 라인 및 전원 라인은 각각 다른 층에 형성되며 다수의 영역에서 교차한다. 상기 게이

트 라인, 데이터 라인 및 전원 라인들의 교차에 의해 커패시터가 생긴다.

[0007] 최근의 경량화 추세에 의해 상기 라인들의 교차가 자주 발생하고, 이로 인한 커패시터에 의해 RC지연이 생겨 신호의 왜곡으로 인한 표시품질 저하가 문제되고 있다.

발명의 내용

해결하려는 과제

[0008] 실시 예는 표시품질을 향상시킬 수 있는 유기발광 표시장치를 제공한다.

과제의 해결 수단

[0009] 실시 예에 따른 유기발광 표시장치는 다수의 드라이버 IC로 구성된 데이터 드라이버; 상기 드라이버 IC와 전기적으로 연결되는 다수의 데이터 라인; 상기 데이터 라인과 교차하는 방향으로 형성되는 전원 라인; 상기 전원 라인과 상기 드라이버 IC를 연결하는 링크 라인; 및 상기 전원 라인과 상기 드라이버 IC 사이에서 상기 데이터 라인과 오버랩되는 오버랩 패턴을 포함한다.

발명의 효과

[0010] 실시 예는 데이터 라인의 오버랩 패턴을 형성하여 커패시턴스 및 RC 지연값을 매칭하여 표시품질을 향상시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 제1 실시 예에 따른 유기발광 표시장치를 도시한 블록도이다.

도 2은 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.

도 3은 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 A-A' 라인을 따라서 절단한 단면도이다.

도 4는 제1 실시 예에 따른 유기발광 표시장치의 데이터 라인의 커패시턴스를 측정한 그래프이다.

도 5는 제2 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.

도 6은 제2 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 B-B' 라인을 따라서 절단한 단면도이다.

도 7은 제2 실시 예에 따른 유기발광 표시장치의 데이터 라인의 커패시턴스를 측정한 그래프이다.

도 8은 제2 실시 예에 따른 유기발광 표시장치의 화소 영역과 데이터 드라이버의 일부구성을 나타낸 도면이다.

도 9는 제3 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 발명에 따른 실시 예의 설명에 있어서, 각 구성 요소의 " 상(위) 또는 하(아래)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되거나 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 배치되어 형성되는 것을 모두 포함한다. 또한, "상(위) 또는 하(아래)"으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0013] 도 1은 제1 실시 예에 따른 유기발광 표시장치를 도시한 블록도이다.

[0014] 도 1을 참조하면 제1 실시 예에 따른 유기발광 표시장치는 유기발광패널(10), 제어부(30), 스캔 드라이버(40), 데이터 드라이버(50) 및 전원부(60)를 포함할 수 있다.

[0015] 상기 스캔 드라이버(40)는 제1 및 제1 스캔 신호(S1, S2)를 상기 유기발광 패널(10)로 공급할 수 있다.

[0016] 상기 데이터 드라이버(50)는 데이터 전압(Vdata)을 상기 유기발광 패널(10)로 공급할 수 있다.

[0017] 상기 전원부(60)는 상기 제어부(30), 스캔 드라이버(40), 데이터 드라이버(50)로 다수의 구동전압을 공급할 수 있다.

[0018] 도시하지 않았지만, 상기 유기발광 패널(10)은 다수의 스캔 라인, 다수의 데이터 라인, 다수의 전원전압 라인을

포함할 수 있다.

- [0019] 상기 스캔 라인과 상기 데이터 라인의 교차에 의해 다수의 화소 영역이 정의될 수 있다.
- [0020] 상기 각 화소 영역은 스캔 라인, 데이터 라인 및 전원 전압 라인에 전기적으로 연결될 수 있다.
- [0021] 예컨대, 상기 스캔 라인은 수평 방향으로 배열된 다수의 화소 영역들에 전기적으로 연결되고, 상기 데이터 라인은 수직 방향으로 배열된 다수의 화소 영역들에 전기적으로 연결될 수 있다.
- [0022] 상기 화소 영역에는 제1 및 제2 스캔 신호(S1, S2), 프라 차지 데이터 전압(Vpre), 데이터 전압, 제1 및 제2 전원 전압(VDD, VSS) 등이 공급될 수 있다. 즉, 상기 제1 및 제2 스캔 신호(S1, S2)는 다수의 스캔 라인을 통해 상기 화소 영역에 공급되고, 상기 프리차지 데이터 전압(Vpre)과 상기 데이터 전압은 상기 데이터 라인을 통해 상기 화소 영역에 공급되며, 상기 제1 및 제2 전원 전압(VDD, VSS)은 상기 다수의 전원 전압 라인을 통해 상기 화소 영역에 공급될 수 있다.
- [0023] 상기 화소 영역으로부터 상기 화소 영역의 특정 노드에 대한 센싱전압(Vs)이 상기 데이터 라인을 통해 도 1의 데이터 드라이버(50)로 제공될 수 있다.
- [0024] 도 2은 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.
- [0025] 도 2를 참조하면 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부는 다수의 드라이버 IC(51)를 포함할 수 있다.
- [0026] 도 2에서는 상기 데이터 링크부의 다수의 드라이버 IC중 편의상 하나의 드라이버 IC(51)를 예를 들어 설명하였다.
- [0027] 상기 드라이버 IC(51)는 중앙의 신호영역(53)과 상기 신호영역(55)의 양측에 배치된 전원영역(55)을 포함할 수 있다.
- [0028] 상기 전원영역(55)은 상기 드라이버 IC(51)의 일 측에 배치된 제1 전원영역(55a) 및 상기 드라이버 IC(51)의 타 측에 배치된 제2 전원영역(55b)을 포함할 수 있다.
- [0029] 상기 신호영역(53)은 도 1의 제어부(30)로부터 영상신호를 공급받아 유기발광 패널(10)로 공급하는 역할을 한다.
- [0030] 상기 전원영역(55)은 도 1의 전원부(60)로부터 전원전압을 공급받아 유기발광 패널(10)로 공급하는 역할을 한다.
- [0031] 상기 드라이버 IC(51)의 하부에는 화상을 표시하는 표시영역(75)이 형성된다. 상기 드라이버 IC(51)와 상기 표시영역(75) 사이에 제1 링크 영역(71) 및 제2 링크 영역(73)이 형성될 수 있다. 상기 제1 링크 영역(71)은 상기 드라이버 IC(51)와 상기 제2 링크 영역(73) 사이 영역으로 정의될 수 있고, 상기 제2 링크 영역(73)은 상기 제1 링크 영역(71)과 상기 표시영역(75) 사이 영역으로 정의될 수 있다.
- [0032] 상기 제2 링크 영역(73)에는 상기 드라이버 IC(51)의 장측과 동일한 제1 방향을 따라 제1 전원 라인(81), 제2 전원 라인(83) 및 제3 전원 라인(85)이 형성될 수 있다.
- [0033] 상기 제1 링크 영역(71) 및 제2 링크 영역(73)에 걸쳐서 상기 제1 방향과 수직하는 제2 방향을 따라 다수의 데이터 라인(DL)이 형성될 수 있다. 상기 데이터 라인(DL)의 일 측은 상기 드라이버 IC(51)의 신호 영역(53)과 전기적으로 연결될 수 있다. 상기 데이터 라인(DL)의 타 측은 유기발광 패널으로 연장될 수 있다.
- [0034] 상기 제1 링크 영역(71)에는 제2 방향을 따라 제1 링크 라인(82)의 일부, 제2 링크 라인(84)의 일부 및 제3 링크 라인(86)이 형성될 수 있다. 상기 제1 링크 라인(82)은 제1 상부 링크 라인(82a) 및 제1 하부 링크 라인(82b)을 포함할 수 있다. 상기 제2 링크 라인(84)은 제2 상부 링크 라인(84a) 및 제2 하부 링크 라인(84b)을 포함할 수 있다. 상기 제1 링크 영역(71)에는 제2 방향을 따라 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)이 형성될 수 있다.
- [0035] 상기 제1 링크 라인(82)은 상기 드라이버 IC(51)의 전원영역(55)과 상기 제1 전원 라인(81)을 전기적으로 연결할 수 있다. 상기 제2 링크 라인(84)은 상기 드라이버 IC(51)의 전원영역(55)과 상기 제2 전원 라인(83)을 전기적으로 연결할 수 있다. 상기 제3 링크 라인(86)은 상기 드라이버 IC(51)의 전원영역(55)과 상기 제3 전원 라인(85)을 전기적으로 연결할 수 있다.

- [0036] 상기 제1 상부 링크 라인(82a)의 일 측은 상기 드라이버 IC(51)의 전원영역(55)과 전기적으로 연결되고 상기 제1 상부 링크 라인(82a)의 타 측은 제1 콘택홀(91)을 통해 제1 하부 링크 라인(82b)과 전기적으로 연결될 수 있다. 상기 제1 하부 링크 라인(82b)의 일 측은 상기 제1 상부 링크 라인(82a)과 전기적으로 연결되고 상기 제1 하부 링크 라인(82b)의 타 측은 제2 콘택홀(92)을 통해 상기 제1 전원 라인(81)과 전기적으로 연결될 수 있다.
- [0037] 상기 제2 상부 링크 라인(84a)의 일 측은 상기 드라이버 IC(51)의 전원영역(55)과 전기적으로 연결되고 상기 제2 상부 링크 라인(84a)의 타 측은 제3 콘택홀(93)을 통해 제2 하부 링크 라인(84b)과 전기적으로 연결될 수 있다. 상기 제2 하부 링크 라인(84b)의 일 측은 상기 제2 상부 링크 라인(84a)과 전기적으로 연결되고 상기 제2 하부 링크 라인(84b)의 타 측은 제4 콘택홀(94)을 통해 상기 제2 전원 라인(83)과 전기적으로 연결될 수 있다.
- [0038] 상기 제1 링크 라인(82), 제2 링크 라인(84) 및 제3 링크 라인(86)은 상기 드라이버 IC(51)의 양측 영역에 대칭되어 연결될 수 있다. 상기 제1 링크 라인(82), 제2 링크 라인(84) 및 제3 링크 라인(86)은 상기 드라이버 IC(51)의 양측에 형성된 제1 전원영역(55a) 및 제2 전원영역(55b)에 각각 대칭되어 연결될 수 있다.
- [0039] 도 1의 전원부에서 인가된 전원전압은 전원영역(55), 제1 내지 제3 링크라인(82,84,86)을 거쳐 제1 내지 제3 전원 라인(81,83,85)으로 인가된다. 상기 제1 내지 제3 전원 라인(81,83,85)으로 인가된 각각의 전원전압은 도시하지 않은 라인을 통해 발광표시 패널의 화소 영역으로 인가될 수 있다.
- [0040] 상기 제1 전원라인(81)에 인가되는 제1 전원전압은 Vref일 수 있다. 상기 제2 전원 라인(83)에 인가되는 제2 전원전압은 GND일 수 있다. 상기 제3 전원 라인(85)에 인가되는 제3 전원전압은 VDD일 수 있다.
- [0041] 상기 제1 전원 라인(81), 제2 전원 라인(83), 제3 전원 라인(85), 제1 상부 링크라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)은 동일층으로 형성될 수 있다. 상기 제1 전원 라인(81), 제2 전원 라인(83), 제3 전원 라인(85), 제1 상부 링크라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)은 데이터 메탈로 형성될 수 있다.
- [0042] 상기 데이터 라인(DL), 제1 하부 링크 라인(82b) 및 제2 하부 링크 라인(84b)은 동일층에 형성될 수 있다. 상기 데이터 라인(DL), 제1 하부 링크 라인(82b) 및 제2 하부 링크 라인(84b)은 상기 제1 전원 라인(81), 제2 전원 라인(83), 제3 전원 라인(85), 제1 상부 링크라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)과 다른 층에 형성될 수 있다. 상기 데이터 라인(DL), 제1 하부 링크 라인(82b) 및 제2 하부 링크 라인(84b)은 게이트 메탈로 형성될 수 있다.
- [0043] 상기 게이트 메탈 및 데이터 메탈은 Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo 그룹으로부터 선택된 적어도 하나를 포함하는 금속물질로 형성될 수 있다.
- [0044] 상기 드라이버 IC(51)는 상기 드라이버 IC(51)보다 넓은 영역에 데이터 전압을 인가해야 하기 때문에 상기 데이터 라인(DL)이 상기 제1 링크 영역(71)의 상부에서 하부로 갈수록 점점 양측으로 퍼져나간다. 다시 말해 상기 데이터 라인(DL)의 상측은 신호영역(53)과 전기적으로 연결되므로 상기 신호영역(53)보다 좁은 영역으로 제한되나 상기 데이터 라인(DL)의 하측은 넓은 영역에 데이터 전압을 인가해야하므로 동일한 두께의 데이터 라인(DL)이 넓게 퍼져서 형성된다.
- [0045] 상기 데이터 라인(DL)은 상기 제1 내지 제3 링크 라인(82,84,86)과 오버랩될 수 있다. 상기 데이터 라인(DL)은 상기 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)과 오버랩될 수 있다. 상기 데이터 라인(DL)과 링크라인의 오버랩은 커패시터를 형성할 수 있다.
- [0046] 도 3은 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 A-A' 라인을 따라서 절단한 단면도이다.
- [0047] 도 3을 참조하면 제1 실시 예에 따른 유기발광 표시장치의 데이터 링크부는 기관(1) 상의 버퍼층(3)과 상기 버퍼층(3) 상의 게이트 절연막(5)을 포함한다.
- [0048] 상기 게이트 절연막(5)은 데이터 라인(DL)을 다른 층으로부터 전기적으로 분리시키기 위한 층으로 절연 특성이 요구되며 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.
- [0049] 상기 게이트 절연막(5)상에 다수의 데이터 라인(DL)이 형성될 수 있다. 상기 다수의 데이터 라인(DL)은 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3) 및 제4 데이터 라인(DL4)을 포함할 수 있다. 상기 데이터 라인(DL)은 데이터 메탈로 형성될 수 있다.
- [0050] 상기 데이터 라인(DL)을 포함하는 게이트 절연막(5) 상에 절연층(7)이 형성될 수 있다. 상기 절연층(7)은 상기

데이터 라인(DL)을 다른 금속층과 분리시키기 위한 층으로 절연 특성이 요구되며 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.

- [0051] 상기 절연층(7)상에 제1 링크 라인(82), 제2 링크 라인(84) 및 제3 링크 라인(86)이 형성될 수 있다. 다시 말해 상기 절연층(7) 상에 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)이 형성될 수 있다.
- [0052] 상기 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)은 데이터 메탈로 형성될 수 있다.
- [0053] 상기 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)을 포함하는 절연층(7) 상에 보호층(9)이 형성될 수 있다. 상기 보호층은 상기 제1 상부 링크 라인(82a), 제2 상부 링크 라인(84a) 및 제3 링크 라인(86)을 외부로부터 보호하고 외부물질과의 전기적 접촉을 방지하는 층으로 절연특성이 요구되며 실리콘 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.
- [0054] 상기 제1 데이터 라인(DL1)은 제1 상부 링크 라인(82a)과 오버랩될 수 있고, 상기 제2 데이터 라인(DL2)은 제2 상부 링크 라인(84a)과 오버랩될 수 있고, 상기 제3 데이터 라인(DL3)은 제3 링크 라인(86)과 오버랩될 수 있다.
- [0055] 상기 데이터 라인들과 링크라인들의 오버랩은 커패시턴스를 발생시키고, 제4 데이터 라인(DL4)은 링크라인과의 오버랩이 없어 커패시턴스가 존재하지 않고 따라서 데이터 라인의 커패시턴스의 불균형을 유발한다.
- [0056] 도 4는 제1 실시 예에 따른 유기발광 표시장치의 데이터 라인의 커패시턴스를 측정할 그래프이다.
- [0057] 도 4를 참조하면 제1 실시 예에 따른 유기발광 표시장치의 데이터 라인 커패시턴스는 주기적으로 상승과 하강을 반복한다.
- [0058] 도 4의 커패시턴스가 최저인 영역은 도 2의 드라이버 IC(51)의 신호영역(53)에 대응하는 영역이다. 상기 신호 영역(53)에 대응하는 영역은 데이터 라인과 링크 라인간의 오버랩이 없어 작은 커패시턴스 값을 가진다.
- [0059] 도 4의 커패시턴스가 상승하는 영역은 드라이버 IC(51)의 전원영역(55) 및 전원영역(55)의 외곽영역으로 데이터 라인과 링크 라인간의 오버랩으로 발생한 커패시턴스에 의해 데이터 라인의 커패시턴스가 상승하게 된다.
- [0060] 상기의 불균일한 커패시턴스는 데이터 라인의 RC지연을 변화시켜 유기발광 패널에 인가되는 신호에 왜곡을 야기 하여 화상품질을 저하시킬 수 있다.
- [0061] 도 5는 제2 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.
- [0062] 제2 실시 예는 제1 실시 예와 비교하여 제3 전원 라인이 드라이버 IC 방향으로 연장되는 것 이외에는 동일하다. 따라서 제2 실시 예를 설명함에 있어서 제1 실시 예와 동일한 부분에 있어서는 상세한 설명을 생략한다.
- [0063] 도 5를 참조하면 제2 실시 예에 따른 유기발광 표시장치의 드라이버 IC(151)는 중앙의 신호 영역(153)과 상기 신호 영역(153)의 양측에 배치된 전원영역(155)을 포함할 수 있다.
- [0064] 상기 드라이버 IC(151)의 하부에는 화상을 표시하는 표시영역(175)이 형성된다. 상기 드라이버 IC(151)와 상기 표시영역(175) 사이에 제1 링크 영역(171) 및 제2 링크 영역(173)이 형성될 수 있다.
- [0065] 상기 제2 링크 영역(173)에는 상기 드라이버 IC(151)의 장축과 동일한 제1 방향을 따라 제1 전원 라인(181), 제2 전원 라인(183) 및 제3 전원 라인(185)이 형성될 수 있다.
- [0066] 상기 제1 링크 영역(171) 및 제2 링크 영역(173)에 걸쳐서 상기 제1 방향과 수직하는 제2 방향을 따라 다수의 데이터 라인(DL)이 형성될 수 있다. 상기 데이터 라인(DL)의 일 측은 상기 드라이버 IC(151)의 신호 영역(153)과 전기적으로 연결될 수 있다. 상기 데이터 라인(DL)의 타 측은 유기발광 패널으로 연장될 수 있다.
- [0067] 상기 제1 링크 영역(171)에는 제2 방향을 따라 제1 링크 라인(182)의 일부, 제2 링크 라인(184)의 일부 및 제3 링크 라인(186)이 형성될 수 있다. 상기 제1 링크 라인(182)은 제1 상부 링크 라인(182a) 및 제1 하부 링크 라인(182b)을 포함할 수 있다. 상기 제2 링크 라인(184)은 제2 상부 링크 라인(184a) 및 제2 하부 링크 라인(184b)을 포함할 수 있다. 상기 제1 링크 영역(171)에는 제2 방향을 따라 제1 상부 링크 라인(182a), 제2 상부 링크 라인(184a) 및 제3 링크 라인(186)이 형성될 수 있다.

- [0068] 상기 제1 링크 라인(182)은 상기 드라이버 IC(151)의 전원영역(155)과 상기 제1 전원 라인(181)을 전기적으로 연결할 수 있다. 상기 제2 링크 라인(184)은 상기 드라이버 IC(151)의 전원영역(155)과 상기 제2 전원 라인(183)을 전기적으로 연결할 수 있다. 상기 제3 링크 라인(186)은 상기 드라이버 IC(151)의 전원영역(155)과 상기 제3 전원 라인(185)을 전기적으로 연결할 수 있다.
- [0069] 상기 제1 상부 링크 라인(182a)의 일 측은 상기 드라이버 IC(151)의 전원영역(155)과 전기적으로 연결되고 상기 제1 상부 링크 라인(182a)의 타 측은 제1 콘택홀(191)을 통해 제1 하부 링크 라인(182b)과 전기적으로 연결될 수 있다. 상기 제1 하부 링크 라인(182b)의 일 측은 상기 제1 상부 링크 라인(182a)과 전기적으로 연결되고 상기 제1 하부 링크 라인(182b)의 타 측은 제2 콘택홀(192)을 통해 상기 제1 전원 라인(181)과 전기적으로 연결될 수 있다.
- [0070] 상기 제2 상부 링크 라인(184a)의 일 측은 상기 드라이버 IC(151)의 전원영역(155)과 전기적으로 연결되고 상기 제2 상부 링크 라인(184a)의 타 측은 제3 콘택홀(193)을 통해 제2 하부 링크 라인(184b)과 전기적으로 연결될 수 있다. 상기 제2 하부 링크 라인(184b)의 일 측은 상기 제2 상부 링크 라인(184a)과 전기적으로 연결되고 상기 제2 하부 링크 라인(184b)의 타 측은 제4 콘택홀(194)을 통해 상기 제2 전원 라인(183)과 전기적으로 연결될 수 있다.
- [0071] 상기 데이터 라인(DL)은 상기 제1 내지 제3 링크 라인(182,184,186)과 오버랩될 수 있다. 상기 데이터 라인(DL)은 상기 제1 상부 링크 라인(182a), 제2 상부 링크 라인(184a) 및 제3 링크 라인(186)과 오버랩될 수 있다. 상기 데이터 라인(DL)과 링크라인의 오버랩은 커패시터를 형성할 수 있다.
- [0072] 상기 제3 전원 라인(185)은 상기 드라이버 IC(151)의 신호영역(153)에 대응되는 영역에서 제1 링크 영역(171) 방향으로 연장될 수 있다. 상기 제3 전원 라인(185)의 연장부는 중앙영역이 돌출되어 형성될 수 있다. 상기 제3 전원 라인(185)이 상기 제1 링크 영역(171) 방향으로 연장되어 상기 데이터 라인(DL)과 오버랩될 수 있다. 상기 제3 전원 라인(185)의 연장부는 상기 전원 영역(155) 및 상기 전원영역(155)의 외곽영역의 데이터 라인(DL)들의 커패시턴스와 작은 편차를 가질 수 있는 면적으로 형성할 수 있다. 또한, 각각의 데이터 라인(DL) 길이에 따른 저항 편차를 고려하여 RC지연이 작은 편차를 가질 수 있도록 상기 제3 전원 라인(185)의 연장부를 형성할 수 있다. 즉, 상기 드라이버 IC(151)의 신호영역(153) 중앙에 연결된 데이터 라인의 길이는 상기 신호 영역(153)의 외곽에 연결된 데이터 라인의 길이보다 짧아 라인 저항값이 작아지므로 상기 제3 전원 라인(185)의 연장부의 중앙영역이 돌출되게 형성하여 RC지연의 편차를 줄일 수 있다.
- [0073] 상기 제3 전원라인(185)의 연장부는 제1 링크영역(171)의 전 영역에 형성될 수도 있고, 일부 영역에 형성될 수도 있다.
- [0074] 또한, 도시하지 않았지만 상대적으로 길이가 짧은 데이터 라인의 저항값의 편차를 줄이기 위해 길이가 짧은 데이터 라인을 지그재그형으로 형성할 수 있다. 데이터 라인을 지그재그형으로 형성함으로써 데이터 라인의 길이의 편차를 줄여 저항값의 편차를 줄일 수 있다.
- [0075] 도 6은 제2 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 B-B' 라인을 따라서 절단한 단면도이다.
- [0076] 도 6을 참조하면 제2 실시 예에 따른 유기발광 표시장치의 데이터 링크부는 기관(1) 상의 버퍼층(3)과 상기 버퍼층(3) 상의 게이트 절연막(5)을 포함한다.
- [0077] 상기 게이트 절연막(5)상에 다수의 데이터 라인(DL)이 형성될 수 있다. 상기 다수의 데이터 라인(DL)은 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3) 및 제4 데이터 라인(DL4)을 포함할 수 있다.
- [0078] 상기 절연층(7)상에 제1 링크 라인(182), 제2 링크 라인(184) 및 제3 링크 라인(186)이 형성될 수 있다. 다시 말해 상기 절연층(7) 상에 제1 상부 링크 라인(182a), 제2 상부 링크 라인(184a) 및 제3 링크 라인(186)이 형성될 수 있다.
- [0079] 상기 제1 상부 링크 라인(182a), 제2 상부 링크 라인(184a) 및 제3 링크 라인(186)을 포함하는 절연층(7) 상에 보호층(9)이 형성될 수 있다.
- [0080] 상기 제1 데이터 라인(DL1)은 제1 상부 링크 라인(182a)과 오버랩될 수 있고, 상기 제2 데이터 라인(DL2)은 제2 상부 링크 라인(184a)과 오버랩될 수 있고, 상기 제3 데이터 라인(DL3)은 제3 링크 라인(186)과 오버랩될 수 있고, 상기 제4 데이터 라인(DL4)은 제3 링크 라인(186)과 오버랩될 수 있다. 다시 말해 상기 제3 링크 라인(186)과 연결된 제3 전원라인(185)으로부터 연장된 연장부가 상기 제4 데이터 라인(DL4)과 오버랩될 수 있다.

- [0081] 상기 데이터 라인들과 링크 라인들의 오버랩은 커패시턴스를 발생시키고, 제4 데이터 라인(DL4)은 제3 전원라인 (185)으로부터 연장된 연장부와 오버랩되므로 커패시턴스의 편차가 줄어 RC지연 값이 매칭되어 화상품질을 향상시킬 수 있다.
- [0082] 도 7은 제2 실시 예에 따른 유기발광 표시장치의 데이터 라인의 커패시턴스를 측정한 그래프이다.
- [0083] 도 7을 참조하면 제2 실시 예에 따른 유기발광 표시장치의 데이터 라인 커패시턴스는 일정하게 유지된다.
- [0084] 제1 실시 예와 비교하여 제2 실시 예의 데이터 라인 커패시턴스는 신호영역에 대응되는 데이터 라인들에 제3 전원 라인의 연장을 통해 커패시턴스의 편차를 줄여 위치에 관계없이 데이터 라인 커패시턴스를 일정하게 유지할 수 있다.
- [0085] 상기 데이터 라인 커패시턴스의 일정화로 데이터 라인이 일정한 RC지연 값을 가지게 되어 신호 왜곡을 방지하여 화상품질을 향상시킬 수 있다.
- [0086] 도 8은 제2 실시 예에 따른 유기발광 표시장치의 화소 영역과 데이터 드라이버의 일부구성을 나타낸 도면이다.
- [0087] 도 8을 참조하면 제2 실시 예에 따른 유기발광 표시장치의 화소 영역은 제1 내지 제3 트랜지스터(T1 내지 T3), 스토리지 커패시터(Cst), 부하 커패시터(Cload) 및 유기발광 소자(OLED)가 형성될 수 있지만, 이에 대해서는 한정하지 않는다. 즉, 각 화소 영역(P)에 형성된 트랜지스터의 개수와 이들 간의 연결 구조는 설계자에 의해 다양하게 변형 가능할 수 있으며, 실시 예는 설계자에 의해 변형 가능한 모든 화소 영역(P)의 회로 구조에 적용될 수 있다.
- [0088] 상기 제1 및 제2 트랜지스터(T1 및 T2)는 신호의 전달을 위한 스위칭 트랜지스터일 수 있고, 상기 제3 트랜지스터(T3)는 상기 유기발광 소자(OLED)를 구동하기 위한 구동 전류를 생성하여 주는 구동 트랜지스터일 수 있다.
- [0089] 상기 스토리지 커패시터(Cst)는 데이터 전압(Vdata)을 한 프레임 동안 유지시켜주는 역할을 할 수 있다.
- [0090] 상기 부하 커패시터(Cload)는 외부에서 제공된 프리차지 데이터 전압(Vpre)을 충전하였다가, 상기 프리차지 데이터 전압(Vpre)을 유기발광 소자(OLED)로 제공하여 줄 수 있다.
- [0091] 상기 유기발광 소자(OLED)는 광을 생성하는 부채로서, 구동 전류의 세기에 따라 서로 상이한 휘도를 갖는 광이 생성될 수 있다.
- [0092] 상기 유기발광 소자(OLED)는 적색 광을 생성하는 적색 유기발광 소자(OLED), 녹색 광을 생성하는 녹색 유기발광 소자(OLED) 및 청색 광을 생성하는 청색 유기발광 소자(OLED)를 포함할 수 있다.
- [0093] 상기 제1 내지 제3 트랜지스터(T1 내지 T3)는 PMOS형 박막 트랜지스터일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 제1 내지 제3 트랜지스터(T1 내지 T3)는 로우 레벨의 신호에 의해 턴 온되고, 하이 레벨의 신호에 의해 턴 오프될 수 있다.
- [0094] 여기서, 하이 레벨은 그라운드 전압이나 이에 근접한 전압일 수 있고, 로우 레벨은 그라운드 전압보다 낮은 전압일 수 있다.
- [0095] 제1 전원 전압(VDD)은 하이 레벨의 신호이고 상기 제2 전원 전압(VSS)은 로우 레벨의 신호일 수 있다.
- [0096] 상기 제1 및 제2 전원전압(VDD, VSS)은 항상 일정한 레벨을 갖는 DC 전압일 수 있다.
- [0097] 상기 부하 커패시터(Cload)는 데이터 라인(DL)에 연결될 수 있다. 따라서, 상기 부하 커패시터(Cload)에는 상기 데이터 라인(DL)으로 제공된 프리차지 데이터 전압(Vpre)이나 데이터 전압이 충전될 수 있다.
- [0098] 상기 제1 트랜지스터(T1)에서 게이트 전극은 제1 스캔 신호(S1)가 공급되는 제1 스캔 라인에 연결되고, 소오스 전극은 상기 데이터 라인(DL)에 연결되며, 드레인 전극은 제3 트랜지스터(T3)의 소오스 전압을 형성하는 제1 노드에 연결될 수 있다.
- [0099] 상기 제1 트랜지스터(T1)는 제1 스캔 라인으로 공급된 로우 레벨의 제1 스캔 신호(S1)에 의해 턴 온되어 데이터 라인(DL)으로 공급된 프리차지 데이터 전압(Vpre)이나 영상 표시를 위한 데이터 전압이 상기 제1 노드에 충전될 수 있다.
- [0100] 상기 제1 노드는 제1 트랜지스터(T1)의 드레인 전극, 상기 스토리지 커패시터(Cst), 상기 제3 트랜지스터(T3)의 소오스 전극 및 상기 제1 전원 전압 라인에 공통으로 연결될 수 있다.

- [0101] 상기 제2 트랜지스터(T2)에서 게이트 전극은 제2 스캔 신호(S2)가 공급되는 제2 스캔 라인에 연결되고, 소오스 전극은 기준 전압(Vref)이 공급되는 기준 전압 라인에 연결되며, 드레인 전극은 제2 노드에 연결될 수 있다.
- [0102] 상기 제2 트랜지스터(T2)는 제2 스캔 라인으로 공급된 로우 레벨의 제2 스캔 신호(S2)에 의해 턴 온되어 상기 제2 노드가 기준 전압(Vref)으로 방전될 수 있다
- [0103] 상기 제2 노드는 제2 트랜지스터(T2)의 드레인 전극과 제3 트랜지스터(T3)의 게이트 전극에 공통으로 연결될 수 있다.
- [0104] 상기 스토리지 커패시터(Cst)는 제1 및 제2 노드 사이에 연결되어, 제1 노드의 전압(Vs)의 가변에 따라 제2 노드의 전압을 가변시키도록 할 수 있다.
- [0105] 상기 제3 트랜지스터(T3)에서 게이트 전극은 제2 노드에 연결되고, 소오스 전극은 제2 노드 및 제1 전원 전압 라인에 연결될 수 있다.
- [0106] 상기 제3 트랜지스터(T3)는 제2 노드의 전압에 따라 구동 전류를 생성하여 상기 유기발광 소자(OLED)로 공급하여 줄 수 있다.
- [0107] 상기 유기발광 소자(OLED)는 제3 트랜지스터(T3)의 구동 전류에 의해 발광 될 수 있다.
- [0108] 도 8에 도시하지 않았지만, 제1 전원 전압 라인과 제3 트랜지스터(T3) 사이에는 발광 신호에 의해 스위칭 제어되는 트랜지스터가 배치될 수 있다.
- [0109] 상기 데이터 라인(DL)은 데이터 드라이버와 연결되고 상기 데이터 드라이버는 DAC, ADC 및 선택수단(51)을 포함할 수 있다.
- [0110] 상기 DAC는 프리차지 데이터 전압(Vre) 및 데이터 전압을 생성할 수 있다. 상기 DAC는 디지털신호인 프리차지 데이터 신호(Dpre)에 응답하여 아날로그 신호인 프리차지 데이터 전압(Vpre) 및 데이터 전압으로 변환할 수 있다.
- [0111] 상기 ADC는 화소 영역에서 센싱된 아날로그 전압인 센싱 전압(Vs)을 디지털 신호인 센싱 신호(Sensing)로 변환할 수 있다.
- [0112] 상기 선택 수단(51)은 화소 영역의 데이터 라인(DL)을 DAC 또는 ADC에 전기적으로 연결시켜 주는 역할을 할 수 있다.
- [0113] 상기 선택수단(51)은 선택 신호(Se1)에 의해 스위칭 제어될 수 있다. 예컨대 상기 선택 수단(51)은 로우 레벨 선택신호(Se1)에 응답하여 데이터 라인(DL)이 DAC에 전기적으로 연결되도록 스위칭 제어하고, 하이 레벨의 선택 신호(Se1)에 응답하여 데이터 라인(DL)이 ADC에 전기적으로 연결되도록 스위칭 제어할 수 있다.
- [0114] 상기 화소 영역 및 데이터 드라이버의 일부구성에 의해 인가되는 기준전압(Vpre) 및 측정되는 센싱 전압(Vs)은 상기 제2 실시 예의 커패시턴스 매칭에 의해 오차가 작은 값을 인가 및 측정할 수 있다. 이를 통해 문턱전압(Vth)과 같은 소자특성을 정확하게 측정할 수 있고, 측정된 소자특성을 이용해 적절한 보상을 할 수 있어 화상 품질 향상의 효과가 있다.
- [0115] 도 9는 제3 실시 예에 따른 유기발광 표시장치의 데이터 링크부를 나타낸 도면이다.
- [0116] 제3 실시 예는 제1 실시 예와 비교하여 양측에 형성된 제3 링크 라인 사이에 오버랩패턴(287)을 형성하는 것이 외에는 동일하다. 따라서 제3 실시 예를 설명함에 있어서 제1 실시 예와 동일한 부분에 있어서는 상세한 설명을 생략한다.
- [0117] 도 9를 참조하면 제3 실시 예에 따른 유기발광 표시장치의 드라이버 IC(251)는 중앙의 신호영역(253)과 상기 신호 영역(253)의 양측에 배치된 전원영역(255)을 포함할 수 있다.
- [0118] 상기 드라이버 IC(251)의 하부에는 화상을 표시하는 표시영역(275)이 형성된다. 상기 드라이버 IC(251)와 상기 표시영역(275) 사이에 제1 링크 영역(271) 및 제2 링크 영역(273)이 형성될 수 있다.
- [0119] 상기 제1 링크 영역(271) 및 제2 링크 영역(273)에 걸쳐 제1 링크 라인(282), 제2 링크 라인(284) 및 제3 링크 라인(286)이 형성될 수 있다.
- [0120] 상기 제1 링크 라인(282), 제2 링크 라인(284) 및 제3 링크 라인(286)은 상기 드라이버 IC(251)의 전원 영역(255)과 전기적으로 연결될 수 있다. 상기 제1 링크 라인(282), 제2 링크 라인(284) 및 제3 링크 라인(286)은

상기 드라이버 IC(251)의 양측의 전원영역(255)에 대응하는 영역에 형성될 수 있다.

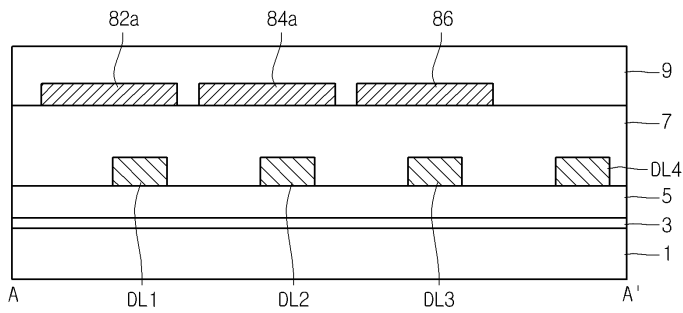
[0121] 상기 제1 링크 영역(271)에서 양측의 제3 링크 라인(286) 사이에 오버랩 패턴(287)이 형성될 수 있다. 상기 오버랩 패턴(287)은 제3 전원 라인(285)과 이격되어 형성될 수 있다. 상기 오버랩 패턴(287)은 상기 제3 전원 라인(285)과 평행하는 방향을 따라 형성될 수 있다. 상기 오버랩 패턴(287)은 상기 제3 링크 라인(286)으로부터 연장형성될 수 있다. 상기 오버랩 패턴(287)은 중앙영역이 돌출되어 형성될 수 있다. 상기 오버랩 패턴(287)은 신호영역(253)에 대응되는 데이터 라인들과 오버랩될 수 있다. 상기 오버랩 패턴(287)은 상기 전원영역(255) 및 상기 전원 영역(255)의 외곽영역의 데이터 라인(DL)들의 커패시턴스와 작은 편차를 가질 수 있는 면적으로 형성할 수 있다. 또한, 각각의 데이터 라인(DL) 길이에 따른 저항 편차를 고려하여 RC지연 값이 작은 편차를 가질 수 있도록 상기 오버랩 패턴(287)을 형성할 수 있다. 즉, 상기 드라이버 IC(251)의 신호영역(253) 중앙에 연결된 데이터 라인의 길이는 상기 신호 영역(253)의 외곽에 연결된 데이터 라인의 길이보다 짧아 라인 저항값이 작아지므로 상기 오버랩 패턴(287)은 중앙영역이 돌출되게 형성하여 RC지연 값의 편차를 줄일 수 있다.

[0122] 상기 오버랩 패턴(287)에 의해 커패시턴스 및 RC지연 값이 작은 편차를 가지도록 설계할 수 있어 신호왜곡을 방지하여 결과적으로 화상 품질 향상에 기여할 수 있다.

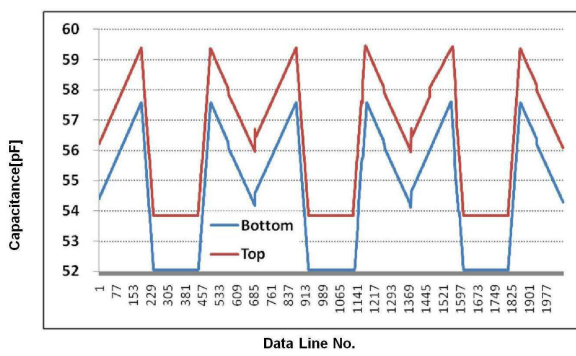
부호의 설명

[0123]	1,101: 기관	3,103: 버퍼층
	5,105: 게이트 절연막	7,107: 절연층
	9,109: 보호층	10: 유기발광 패널
	30: 제어부	40: 스캔 드라이버
	50: 데이터 드라이버	51,151,251: 드라이버 IC
	53,153,253: 신호영역	55,155,255: 전원영역
	60: 전원부	71,171,271: 제1 링크영역
	73,173,273: 제2 링크영역	75,175,275: 표시영역
	81,181,281: 제1 전원 라인	82,182,282: 제1 링크 라인
	83,183,283: 제2 전원 라인	84,184,284: 제2 링크 라인
	85,185,285: 제3 전원 라인	86,186,286: 제3 링크 라인
	91,191,291: 제1 컨택홀	92,192,292: 제2 컨택홀
	93,193,293: 제3 컨택홀	94,194,294: 제4 컨택홀
	287: 오버랩 패턴	

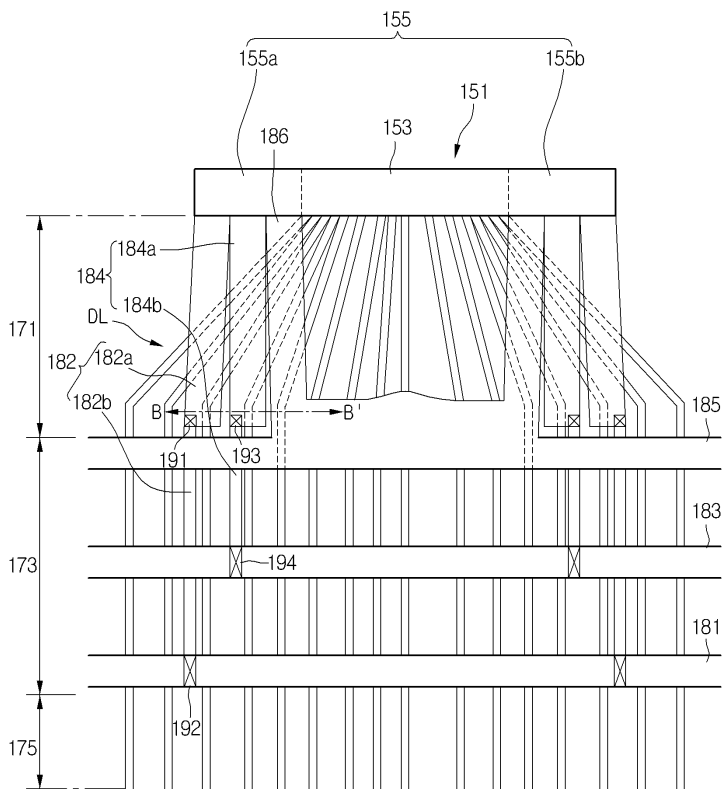
도면3



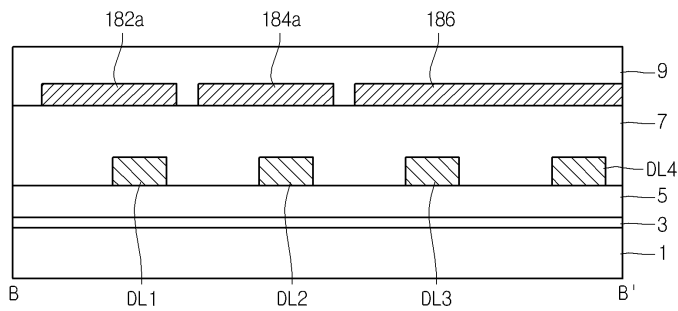
도면4



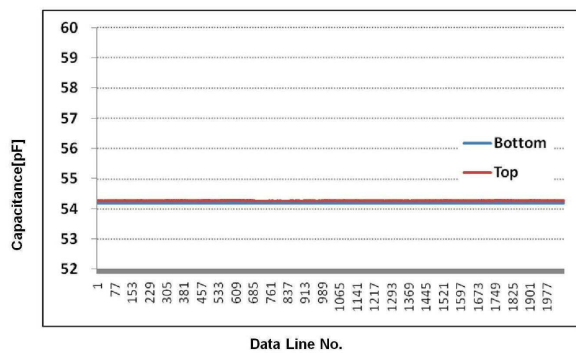
도면5



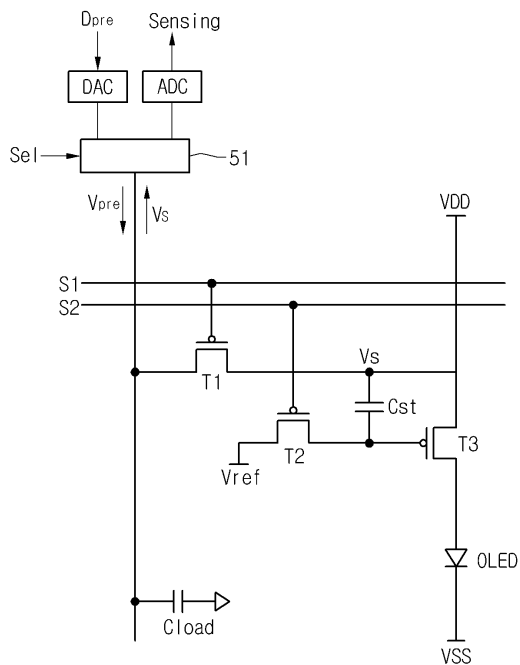
도면6



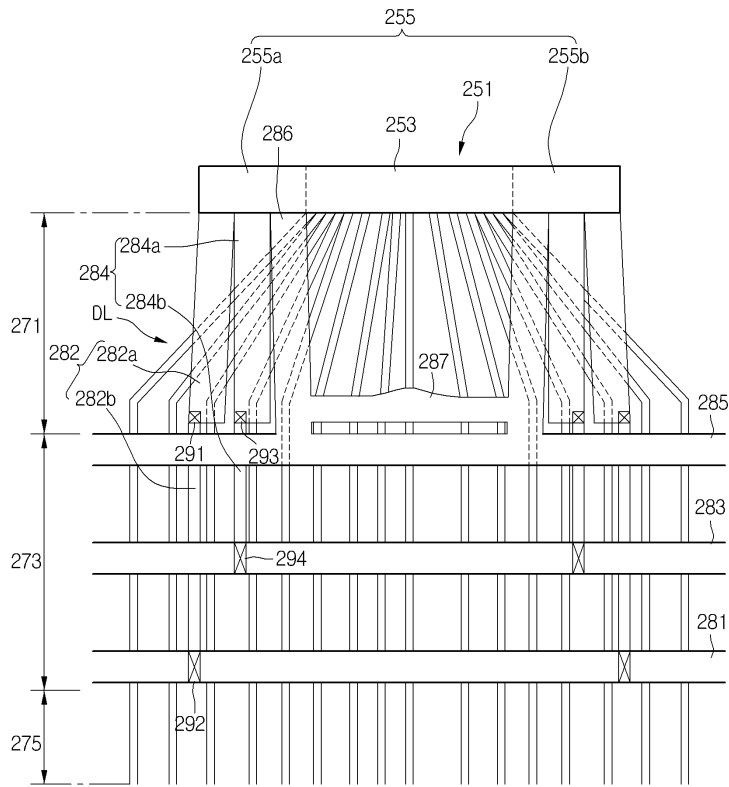
도면7



도면8



도면9



专利名称(译)	相关技术的描述		
公开(公告)号	KR101420479B1	公开(公告)日	2014-07-17
申请号	KR1020110112538	申请日	2011-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	GANG BYEONG UK 강병욱 KIM SEUNG TAE 김승태 LEE JI EUN 이지은 KIM HONG SUK 김홍석		
发明人	강병욱 김승태 이지은 김홍석		
IPC分类号	H01L51/52 H05B33/06		
CPC分类号	H01L27/3276 G09G3/32 G02F1/061		
其他公开文献	KR1020130047482A		
外部链接	Espacenet		

摘要(译)

根据实施例的OLED显示器包括数据驱动器，该数据驱动器包括多个驱动器IC。多条数据线电连接到驱动器IC；在与数据线交叉的方向上形成的电源线；连接电源线和驱动器IC的连接线；并且重叠图案与电源线和驱动器IC之间的数据线重叠。

