



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0076278
(43) 공개일자 2020년06월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3246 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0165223
(22) 출원일자 2018년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
남경진
경기도 파주시 월롱면 엘지로 245
(74) 대리인
이승찬

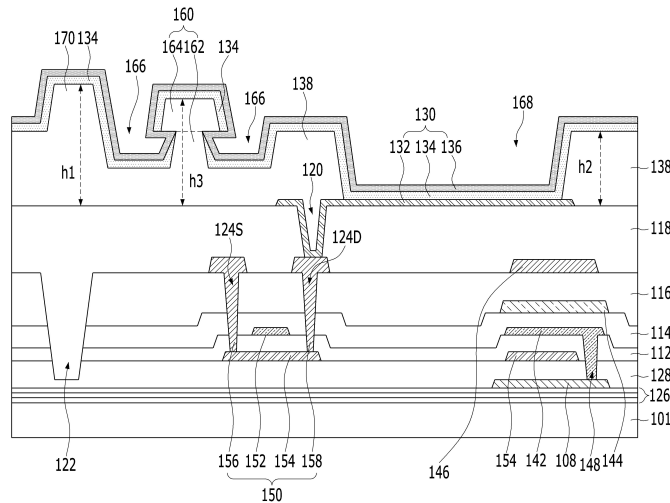
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 신뢰성을 향상시킬 수 있는 유기 발광 표시 장치에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치에서는 बैं크에 형성된 बैं크홈에 의해 언더컷을 가지는 제2 스페이서가 बैं크와 일체화되므로 제2 스페이서의 박리 현상을 방지할 수 있어 신뢰성이 향상되며, बैं크와, बैं크보다 높이가 높은 제1 및 제2 스페이서가 함께 형성되므로 구조를 단순화할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 51/525 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

기관 상에 배치되는 발광 소자와;
상기 발광 소자의 애노드 전극을 노출시키는 발광홀을 가지는 बैं크와;
상기 बैं크보다 높은 높이를 가지는 제1 스페이서와;
상기 बैं크와 일체화되며, 상기 제1 스페이서와 다른 형상을 가지는 제2 스페이서와;
상기 제2 스페이서의 적어도 일측을 따라 배치되는 बैं크홈을 구비하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,
상기 제1 스페이서는 상부에서 하부로 갈수록 폭이 증가하는 정테이퍼 형상을 가지며,
상기 제2 스페이서는 상기 बैं크홈에 의해 언더컷을 가지는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,
상기 제2 스페이서는 상부 영역과 하부 영역을 가지며, 상기 하부 영역의 최소폭은 상기 상부 영역의 최대폭보다 작은 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,
상기 बैं크홈은 상기 발광홀보다 깊이가 낮은 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,
상기 제2 스페이서는 상기 제1 스페이서보다 낮거나 같은 높이를 가지는 유기 발광 표시 장치.

발명의 설명

기술분야

[0001] 본 명세서는 표시 장치에 관한 것으로, 특히 신뢰성을 향상시킬 수 있는 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이러한 유기 발광 표시 장치는 별도의 광원이 필요하지 않으므로 상대적으로 얇은 두께로 구현이 가능하므로, 플렉서블 표시 장치로 구현할 수 있다. 플렉서블 유기 발광 표시 장치가 폴딩(folding)되는 경우, 폴딩에 의해 플렉서블 유기 발광 표시 장치에 인장 응력(Tensile Stress)과 압축 응력(Compressive Stress)이 가해질 수 있다. 반복적인 폴딩에 따른 지속적인 인장 응력 및 압축 응력이 발생하는 경우, 유기 발광 표시 장치를

구성하는 다수의 박막층들이 서로 분리되는 박리 현상으로 인해 신뢰성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 상기 문제점을 해결하기 위한 것으로서, 본 발명은 신뢰성을 향상시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치에서는 बैं크에 형성된 बैं크홈에 의해 언더컷을 가지는 제2 스페이서가 बैं크와 일체화되므로 제2 스페이서의 박리 현상을 방지할 수 있어 신뢰성이 향상되며, बैं크와, बैं크보다 높이가 높은 제1 및 제2 스페이서가 함께 형성되므로 구조를 단순화할 수 있다.

발명의 효과

[0006] 본 발명에서는 제1 및 제2 스페이서가 बैं크와 일체화되어 형성되므로 반복적인 폴딩에 의해 제2 스페이서 및 발광 스택이 박리되는 불량을 방지할 수 있어 신뢰성이 향상된다.

[0007] 또한, 본 발명에서는 बैं크, 제1 및 제2 스페이서를 개별 마스크 공정을 통해 형성하는 종래에 비해 적어도 1회의 마스크 공정을 줄일 수 있어 구조 및 제조 공정의 단순화로 생산성을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.

도 3은 도 2에 도시된 제1 스페이서의 다른 실시예를 나타내는 단면도이다.

도 4a 내지 도 4c는 도 2에 도시된 बैं크홈의 실시예들을 나타내는 단면도이다.

도 5는 봉지 유닛을 가지는 본 발명에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 6a 내지 도 6h는 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

[0010] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

[0011] 도 1에 도시된 표시 장치는 액티브 영역(AA)과 비액티브 영역(NA)을 구비한다.

[0012] 비액티브 영역(NA)은 발광 소자(130)가 배치되는 액티브 영역(AA)을 제외한 나머지 영역이다. 이 비액티브 영역(NA)에는 액티브 영역(AA)에 배치되는 다수의 신호 라인 각각에 구동 신호를 공급하는 다수의 패드들이 형성된다. 여기서, 신호 라인은 스캔 라인(SL), 데이터 라인(DL), 고전위 전압(VDD) 공급 라인 및 저전위 전압(VSS) 공급 라인 중 적어도 어느 하나를 포함한다.

[0013] 액티브 영역(AA)은 발광 소자(130)를 포함하는 단위 화소를 통해 영상을 표시한다. 단위 화소는 서로 다른 색을 구현하는 다수의 서브 화소로 구성된다.

[0014] 단위 화소는 적색(R), 녹색(G) 및 청색(B) 서브 화소로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소로 구성된다. 각 서브 화소는 다각형, 원형 또는 타원 형태로 형성되며, 본 발명에서는 팔각형 형상의 서브 화소를 예로 들어 설명하기로 한다. 이러한 다수의 서브 화소는 서로 동일하거나 서로 다른 면적을 가진다. 예를 들어, 적색(R) 및 녹색(G)을 구현하는 제1 및 제2 서브 화소(SP1, SP2)에 비해 수명이 짧은 청색(B)을 구현하는 제3 서브 화소(SP3)는 제1 및 제2 서브 화소(SP1, SP2)에 비해 큰 면적을 가질 수 있다. 또한, 녹색(G)을 구현하는 제2 서브 화소(SP2)는 색온도를 맞추기 위해 적색(R) 및 청색(B)을 구현하는 제1 및 제3 서브 화소(SP1, SP3)에 비해 작은 면적을 가질 수 있다.

- [0015] 이러한 각 서브 화소는 발광 소자(130)와, 발광 소자(130)를 독립적으로 구동하는 화소 구동 회로를 구비한다.
- [0016] 화소 구동 회로는 스위칭 트랜지스터(TS), 구동 트랜지스터(TD) 및 스토리지 커패시터(Cst)를 구비한다.
- [0017] 스위칭 트랜지스터(TS)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 커패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극으로 공급한다.
- [0018] 스토리지 커패시터(Cst)는 구동 트랜지스터(TD)의 게이트 전극과 소스 전극 사이의 차전압을 충전하여 구동 트랜지스터(TD)의 구동 전압으로 공급한다. 이를 위해, 스토리지 커패시터(Cst)는 도 2에 도시된 바와 같이 제1 내지 제3 스토리지 전극(142, 144, 146)을 구비한다. 제1 스토리지 전극(142)은 게이트 전극(152)과 동일 재질로 동일 평면(게이트 절연막(112)) 상에 배치된다. 이 제1 스토리지 전극(142)은 액티브 버퍼층 및 게이트 절연막을 관통하는 스토리지 콘택홀을 통해 차광층(108)과 전기적으로 접속된다. 이러한 제1 스토리지 전극(142)과 차광층(108) 사이에는 제4 스토리지 전극을 역할을 하도록 소스 및 드레인 영역과 동일 재질로 이루어진 액티브층(154)이 배치된다. 제2 스토리지 전극(144)은 제1 층간 절연막(114) 상에 도전성 재질로 이루어진다. 제3 스토리지 전극(146)은 소스 및 드레인 전극(156, 158)과 동일 재질로 동일 평면(제2 층간 절연막(116)) 상에 배치된다.
- [0019] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전위 전압(VDD) 공급 라인으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(TS)가 턴-오프되더라도 스토리지 커패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0020] 이러한 구동 트랜지스터(TD, 150)은 도 2에 도시된 바와 같이 액티브 버퍼층(128) 상에 배치되는 액티브층(154)과, 게이트 절연막(112)을 사이에 두고 액티브층(154)과 중첩되는 게이트 전극(152)과, 제2 층간 절연막(116) 상에 형성되어 액티브층(154)과 접촉하는 소스 및 드레인 전극(156, 158)을 구비한다.
- [0021] 액티브층(154)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성된다. 이 액티브층(154)은 채널 영역, 소스 영역 및 드레인 영역을 구비한다. 채널 영역은 게이트 절연막(112)을 사이에 두고 게이트 전극(152)과 중첩되어 소스 및 드레인 전극(156, 158) 사이의 채널영역을 형성한다. 소스 영역은 게이트 절연막(112)과 제1 및 제2 층간 절연막(114, 116)을 관통하는 소스 콘택홀(124S)을 통해 소스 전극(156)과 전기적으로 접속된다. 드레인 영역은 게이트 절연막(112)과 제1 및 제2 층간 절연막(114, 116)을 관통하는 드레인 콘택홀(124D)을 통해 드레인 전극(158)과 전기적으로 접속된다.
- [0022] 한편, 소스 콘택홀(124S) 및 드레인 콘택홀(124D)과 동일 마스크 공정 또는 다른 마스크 공정을 통해 차단홈(122)이 형성된다. 차단홈(122)은 소스 콘택홀(124S) 및 드레인 콘택홀(124D)보다 깊이가 깊도록 비액티브 영역(NA)에 형성된다. 즉, 차단홈(122)은 기관(101)과 평탄화층(104) 사이에 배치되는 멀티 버퍼층(126), 액티브 버퍼층(128), 게이트 절연막(112), 층간 절연막(114, 116) 및 보호막 중 적어도 어느 하나를 무기 절연층을 관통하도록 형성된다. 차단홈(122)은 유기 절연 재질에 비해 경도가 높아 폴딩 스트레스에 쉽게 크랙이 발생하는 무기 절연 재질로 이루어진 무기 절연층들을 제거하므로, 발광 소자(130)가 배치된 액티브 영역(AA)으로 크랙이 전파되는 것을 차단할 수 있다.
- [0023] 이러한 액티브층(154)과 기관(101) 사이에는 멀티 버퍼층(126)과, 액티브 버퍼층(128)을 구비한다. 멀티 버퍼층(126)은 기관(101)에 침투한 수분 및/또는 산소가 확산되는 것을 지연시킨다. 이 멀티 버퍼층(126)은 기관(101) 전체에 형성될 수 있으며, 본격적인 표시패널의 제조 공정 전에, 다양한 공정이 보다 수월하게 진행될 수 있도록 해주면서, 박막 형성을 보다 안정적으로 구현할 수 있는 환경을 제공할 수 있다. 액티브 버퍼층(128)은 액티브층(154)을 보호하며, 기관(101)으로부터 유입되는 다양한 종류의 결함을 차단하는 기능을 수행한다. 이러한 멀티 버퍼층(126), 액티브 버퍼층(128) 및 기관(101) 중 적어도 어느 하나는 다층 구조로 이루어진다.
- [0024] 이 때, 액티브 버퍼층(128)과 접촉하는 멀티 버퍼층(126)의 최상층은 멀티 버퍼층(126)의 나머지 층들, 액티브 버퍼층(128) 및 게이트 절연막(112)과 식각 특성이 다른 재질로 형성된다. 액티브 버퍼층(128)과 접촉하는 멀티 버퍼층(126)의 최상층은 SiNx 및 SiOx 중 어느 하나로 형성되고, 멀티 버퍼층(126)의 나머지 층들, 액티브 버퍼층(128) 및 게이트 절연막(112)은 SiNx 및 SiOx 중 나머지 하나로 형성된다. 예를 들어, 액티브 버퍼층(128)과 접촉하는 멀티 버퍼층(126)의 최상층은 SiNx로 형성되고, 멀티 버퍼층(126)의 나머지 층들, 액티브 버퍼층(128) 및 게이트 절연막(112)은 SiOx로 형성된다.

- [0025] 발광 소자(130)는 구동 트랜지스터(150)의 드레인 전극(158)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 발광 스택(134)과, 저전압(VSS) 공급 라인에 접속되도록 발광 스택(134) 위에 형성된 캐소드 전극(136)을 구비한다. 여기서, 저전압(VSS) 공급 라인은 고전압(VDD)보다 낮은 저전압(VSS)을 공급한다.
- [0026] 애노드 전극(132)은 구동 트랜지스터(150) 상에 배치되는 평탄화층(118)을 관통하는 화소 콘택홀(120)을 통해 노출된 구동 트랜지스터(150)의 드레인 전극(158)과 전기적으로 접속된다. 각 서브 화소의 애노드 전극(132)은 बैं크(138)의 발광홀(168)에 의해 노출되도록 평탄화층(118) 상에 배치된다.
- [0027] 이러한 애노드 전극(132)이 배면 발광형 유기 발광 표시 장치에 적용되는 경우, 애노드 전극(132)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다. 또한, 애노드 전극(132)이 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 애노드 전극(132)은 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 이루어진다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수값이 비교적 큰 재질로 이루어지고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 애노드 전극(132)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성된다.
- [0028] 발광 스택(134)은 애노드 전극(132) 상에 정공 수송층, 발광층, 전자 수송층 순으로 또는 역순으로 적층되어 형성된다.
- [0029] 캐소드 전극(136)은 발광 스택(134)을 사이에 두고 애노드 전극(132)과 대향하도록 발광 스택(134) 및 बैं크(138)의 상부면 및 측면 상에 형성된다.
- [0030] 이와 같은 본 발명에 따른 유기 발광 표시 장치는 बैं크(138)와 일체화된 제1 및 제2 스페이서(170,160)를 구비한다.
- [0031] 제1 스페이서(170)는 상부에서 하부로 갈수록 폭이 증가하는 정방향의 테이퍼(taper)를 가지도록 형성된다. 이러한 제1 스페이서(170)는 발광 스택(134) 형성시 사용되는 미세 금속 마스크(Fine Metal Mask; FMM)를 지지하는 역할을 한다. 발광 스택(134) 형성시, बैं크(138) 및 제2 스페이서(160) 각각과, 미세 금속 마스크 간의 간섭을 방지하도록 제1 스페이서(170)는 बैं크(138) 및 제2 스페이서(160)보다 높은 높이를 가지도록 형성된다. 즉, 제1 스페이서(170)는 제2 높이(h2)를 가지는 बैं크(138) 및 제3 높이(h3)를 가지는 제2 스페이서(160)보다 높은 제1 높이(h1)를 가진다.
- [0032] 이러한 제1 스페이서(170)는 발광홀(168)보다 깊이가 낮은 बैं크홈(166)을 사이에 두고 제2 스페이서(160)와 이격된다. 제2 스페이서(160)와 마주보는 제1 스페이서(170)의 측면은 정테이퍼 형상을 가지도록 형성되거나, 도 3에 도시된 바와 같이 언더컷을 가지도록 형성된다.
- [0033] 제2 스페이서(160)는 도 4a 내지 도 4c에 도시된 바와 같이 각 발광 소자(130)의 발광홀들(168) 사이에 배치되므로 발광 소자(130)의 애노드 전극(132)과 비접촉된다. 제2 스페이서(160)는 다수의 서브 화소들 각각의 일측에 배치된다.
- [0034] 제2 스페이서(160)는 제1 스페이서(160)와 다른 형상을 가진다. 즉, 제2 스페이서(160)는 하부 영역(162) 및 상부 영역(164)을 구비한다. 하부 영역(162) 및 상부 영역(164)은 상부에서 하부로 갈수록 폭이 증가하는 정방향의 테이퍼를 가지도록 형성되지만, 하부 영역(162)의 최소폭은 상부 영역(164)의 최대폭보다 작게 형성된다. 이를 위해, 제2 스페이서(160)의 적어도 일측에는 발광홀(168)보다 깊이가 낮은 बैं크홈(166)이 제2 스페이서(160)의 적어도 일측을 따라 배치된다. बैं크홈(166)은 도 4a에 도시된 바와 같이 제2 스페이서(160)를 둘러싸도록 제2 스페이서(160)를 따라 배치되거나, 도 4b에 도시된 바와 같이 제2 스페이서(160)의 장변 및 단변 중 어느 하나의 양측에 배치되거나, 도 4c에 도시된 바와 같이 제2 스페이서(160)의 장변 및 단변 중 어느 하나의 일측에 배치된다. 이러한 बैं크홈(166)에 의해 제2 스페이서(160)는 상부 영역(164)이 하부 영역(162)보다 돌출되는 언더컷(Undercut)을 가지게 된다. 이러한 제2 스페이서(160)의 언더컷에 의해, 발광 스택(134) 형성시 발광 스택(134)은 연속성을 가지지 않고 단선된다. 즉, 발광 스택(134) 형성시, 제2 스페이서(160)의 하부 영역과 비접촉하는 제2 스페이서(160)의 상부 영역(164)의 하부면에는 발광 스택(134)이 형성되지 않는다. 따라서, 폴더블(Foldable) 표시 장치를 구현할 때 폴딩 영역에서 발광 스택(134)의 박리 현상이 발생하더라도 박리 현상이 인접한 서브 화소로 확산되는 것을 방지할 수 있다.
- [0035] 또한, 제2 스페이서(160)는 बैं크(138)와 일체화되도록 형성되므로, 제2 스페이서(160)와 बैं크(138) 사이에 경계

면이 존재하지 않는다. 이 경우, 본 발명은 제2 스페이서와 बैं크 사이에 경계면이 존재하는 비교예와 대비하여 제2 스페이서(160)와 बैं크(138) 간의 접촉력(접착력)이 향상된다. 이에 따라, 폴더블(Foldable) 표시 장치를 구현할 때, 폴딩 영역에서 제2 스페이서(160)가 박리되는 불량을 방지할 수 있다.

[0036] 제2 스페이서(160)는 제1 스페이서(170)보다 높이가 낮은 제3 높이(h3)를 가지므로, 발광 스택(134) 형성시 사용되는 미세 금속 마스크(FMM)와 접촉되는 것을 방지할 수 있다. 이에 따라, 본 발명은 미세 금속 마스크(FMM)와 제2 스페이서(160) 간의 비접촉으로 인해 파티클이 발생하는 것을 방지할 수 있다. 이외에도 제2 스페이서(160)는 제1 스페이서(170)와 동일 높이로 형성될 수도 있다. 이 경우, 제2 스페이서(160)는 제1 스페이서(170)와 함께, 발광 스택(134) 형성시 사용되는 미세 금속 마스크(FMM)를 지지하는 역할을 한다.

[0037] 이와 같은 제1 및 제2 스페이서(170, 160)가 배치된 기판(101) 상에는 도 5에 도시된 바와 같이 봉지 유닛(100)이 배치된다. 봉지 유닛(100)은 외부의 수분이나 산소에 취약한 발광 소자(130)로 외부의 수분이나 산소가 침투되는 것을 차단한다. 이를 위해, 봉지 유닛(100)은 다수의 무기 봉지층들(102, 106)과, 다수의 무기 봉지층들(102, 106) 사이에 배치되는 유기 봉지층(104)을 구비하며, 무기 봉지층(106)이 최상층에 배치되도록 한다. 다수의 무기 봉지층(102, 106)은 질화실리콘(SiNx), 산화 실리콘(SiOx), 산화질화실리콘(SiON) 또는 산화 알루미늄(Al2O3)과 같은 무기 절연 재질로 형성된다. 유기 봉지층(104)은 아크릴 수지, 에폭시 수지, 폴리이미드, 폴리에틸렌 또는 실리콘옥시카본(SiOC)과 같은 유기 절연 재질로 형성된다.

[0038] 도 6a 내지 도 6h는 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0039] 먼저, 도 6a에 도시된 바와 같이 다수번의 마스크 공정을 통해 구동 트랜지스터(150), 스토리지 전극 및 차단층(122)이 형성된 기판(101)이 마련된다. 그런 다음, 기판(101) 상에 포토아크릴 등과 같은 유기 절연 물질이 전면 도포된 후, 포토리소그래피 공정을 통해 패터닝함으로써 화소 컨택홀(120)을 가지는 평탄화층(118)이 형성된다. 그런 다음, 화소 컨택홀(120)을 가지는 평탄화층(118) 상에 애노드용 도전층이 전면 증착된 다음, 애노드용 도전층을 포토리소그래피 공정 및 식각 공정에 의해 패터닝함으로써 애노드 전극(132)이 형성된다. 그런 다음, 애노드 전극(132)이 형성된 기판(101) 상에 बैं크용 감광막을 전면 도포한 다음, 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 패터닝함으로써 도 6b에 도시된 바와 같이 발광홀(168)을 가지는 बैं크(138)와, 제1 및 제2 스페이서(170, 160)가 형성된다. 이 때, 제1 및 제2 스페이서(170, 160)는 동일한 제1 높이(h1)를 가지며, बैं크(138)는 제1 높이(h1)보다 낮은 제2 높이(h2)로 형성된다. 그런 다음, बैं크(138)와, 제1 및 제2 스페이서(170, 160)가 형성된 기판(101) 상에 도 6c에 도시된 바와 같이 희생층(172)이 증착 공정을 통해 전면 형성된다. 희생층(172)은 बैं크(138) 및 애노드 전극(132)의 표면에 영향을 주지 않는 재질로 형성된다. 예를 들어, 희생층(172)은 ITO, MoTi 및 Al 중 적어도 어느 하나를 이용하여 단층 또는 다층 구조로 형성된다. 이 희생층(172) 상에 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 다단 구조의 포토레지스트 패턴(174)이 형성된다. 다단 구조의 포토레지스트 패턴(174)은 제1 및 제2 스페이서(170, 160) 사이와, 제2 스페이서(160)와 बैं크(138) 사이에 형성되지 않으며, 제2 스페이서(160)의 상부면 상에서 제1 두께로 형성되고, 나머지 영역에서 제1 두께보다 두꺼운 제2 두께로 형성된다.

[0040] 이러한 다단 구조의 포토레지스트 패턴(174)을 마스크로 이용한 식각 공정을 통해 도 6d에 도시된 바와 같이 희생층(172)이 1차 식각됨으로써 제1 및 제2 스페이서(170, 160) 사이와, 제2 스페이서(160)와 बैं크(138) 사이의 बैं크(138)의 상부면이 노출된다.

[0041] 그런 다음, 다단 구조의 포토레지스트 패턴(174)이 도 6e에 도시된 바와 같이 에싱됨으로써 포토레지스트 패턴(174)의 전체 두께가 얇아져 제1 두께의 감광막은 제거되므로, 제2 스페이서(160) 상에 배치되는 희생층(172)이 노출된다. 이 때, 포토레지스트 패턴(174)과 유사한 유기 절연 재질인 बैं크(138)도 에싱됨으로써 제1 및 제2 스페이서(170, 160) 사이와, 제2 스페이서(160)와 बैं크(138) 사이에 बैं크홈(166)이 형성된다.

[0042] 그런 다음, 에싱된 포토레지스트 패턴(174)을 마스크로 이용한 식각공정을 통해 희생층(172)이 2차 식각됨으로써 도 6f에 도시된 바와 같이 제2 스페이서(160) 상의 희생층(172)이 제거된다. 그런 다음, बैं크(138)를 2차 에싱함으로써 बैं크홈(166)의 깊이는 깊어지고 제2 스페이서(160)는 제1 스페이서(170)보다 낮고 बैं크(138)보다 높은 제3 높이(h2)를 가지도록 형성된다.

[0043] 그런 다음, 스트립 공정을 통해 기판(101) 상에 잔존하는 포토레지스트 패턴(174)은 도 6g에 도시된 바와 같이 제거되며, 희생층(172)은 3차 식각 공정을 통해 제거된다. 한편, 포토레지스트 패턴(174)은 बैं크(138)의 에싱 공정시 이용되는 공정 챔버 내에서 스트립공정을 통해 제거되거나, बैं크(138)의 에싱 공정시 이용되는 공정 챔버와 다른 별도의 챔버 내에서 스트립 공정을 통해 제거될 수도 있다.

[0044] 그런 다음, 제1 스페이서(170) 상에 미세 금속 마스크이 정렬된 후, 그 미세 금속 마스크를 이용한 증착 공정을 통해 비액티브 영역(NA)을 제외한 액티브 영역(AA)에 도 6h에 도시된 바와 같이 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.

[0045] 이와 같이, 본 발명에서는 बैं크(138)와 일체화된 제1 및 제2 스페이서(170,160)가 2번의 마스크 공정으로 함께 형성된다. 이에 따라, 본 발명은 बैं크(138), 제1 및 제2 스페이서(170,160) 각각을 개별 마스크 공정을 통해 형성하는 종래에 비해 적어도 1회의 마스크 공정을 줄일 수 있어 구조 및 제조 공정의 단순화로 생산성을 향상시킬 수 있다.

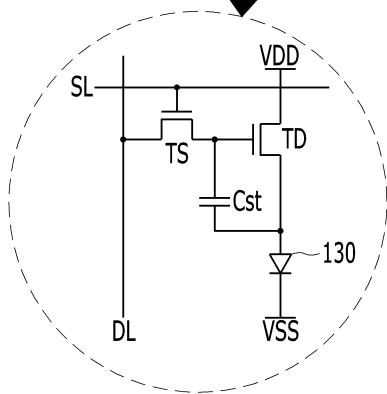
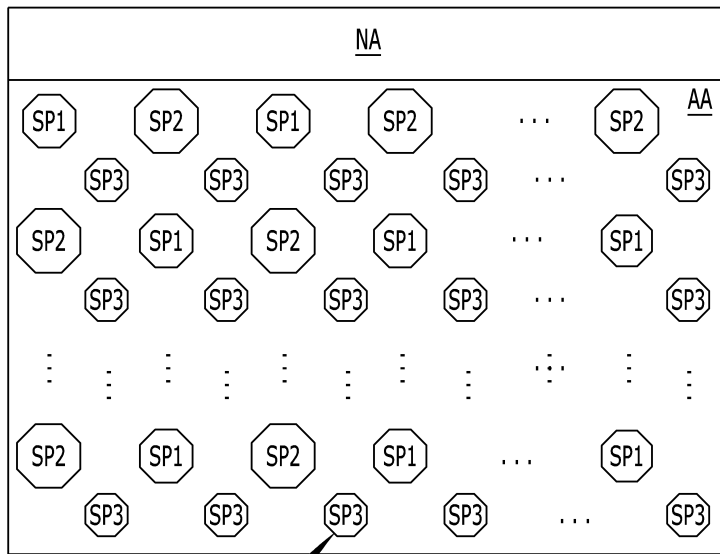
[0046] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

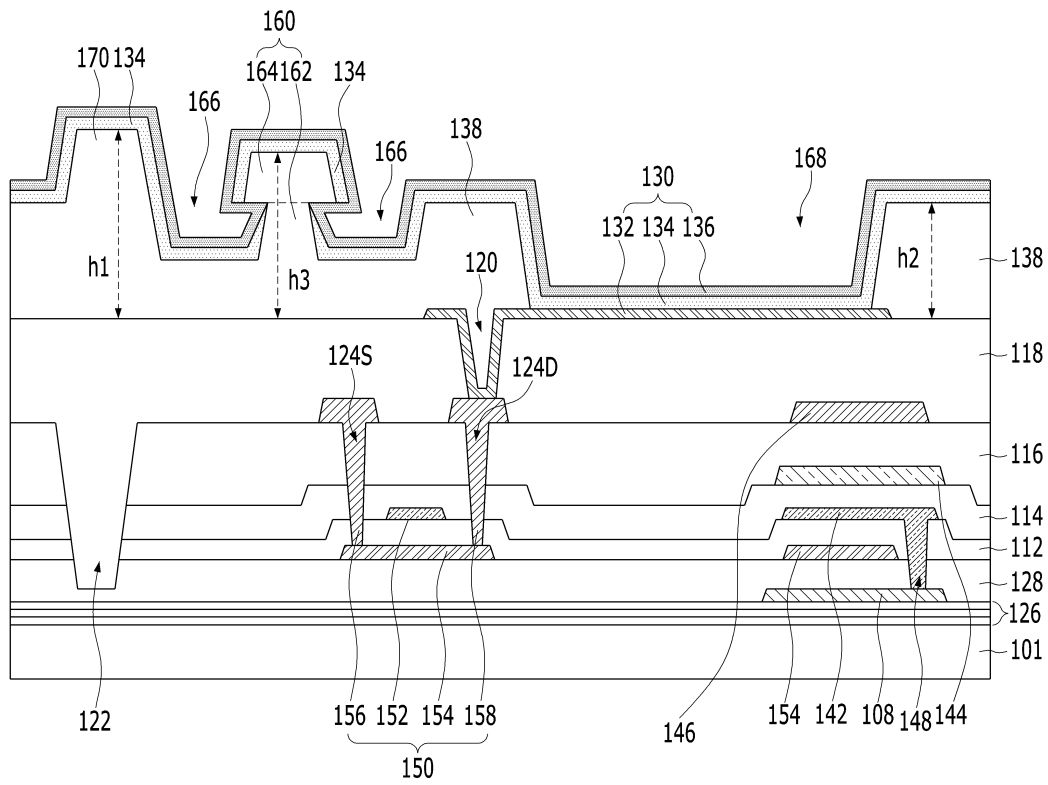
[0047] 101: 기판 130 : 발광 소자
 132 : 애노드 전극 134 : 발광 스택
 136 : 캐소드 전극 138 : बैं크
 150 : 구동 트랜지스터 160,170 : 스페이서
 166 : बैं크홀 168 : 발광홀

도면

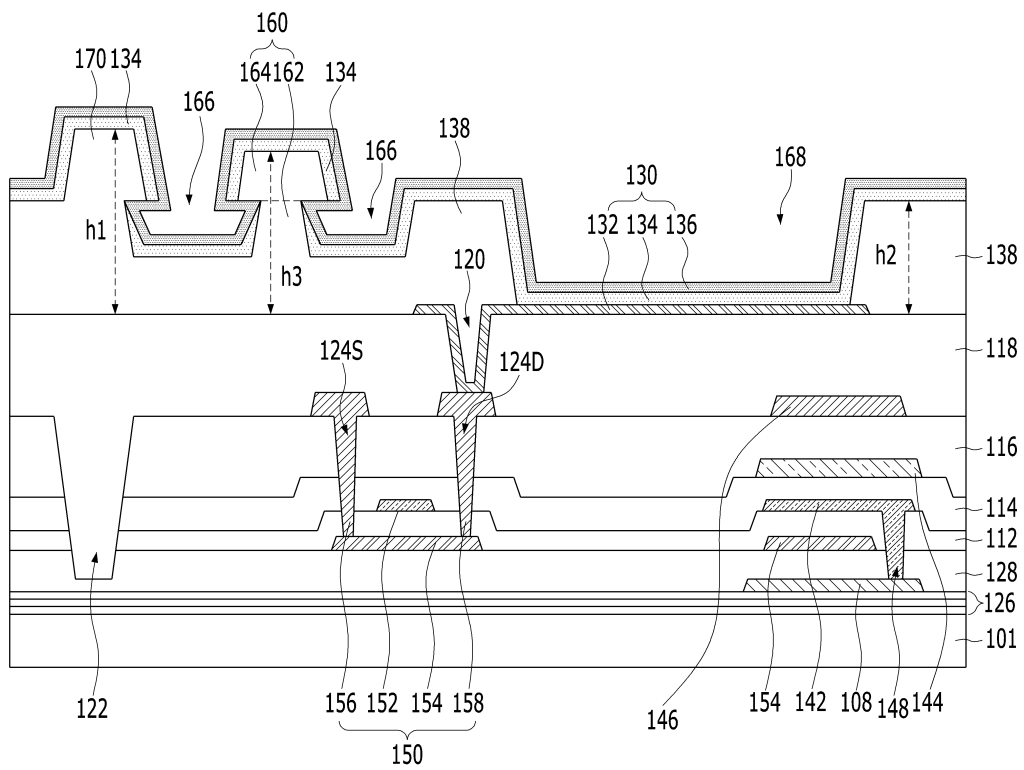
도면1



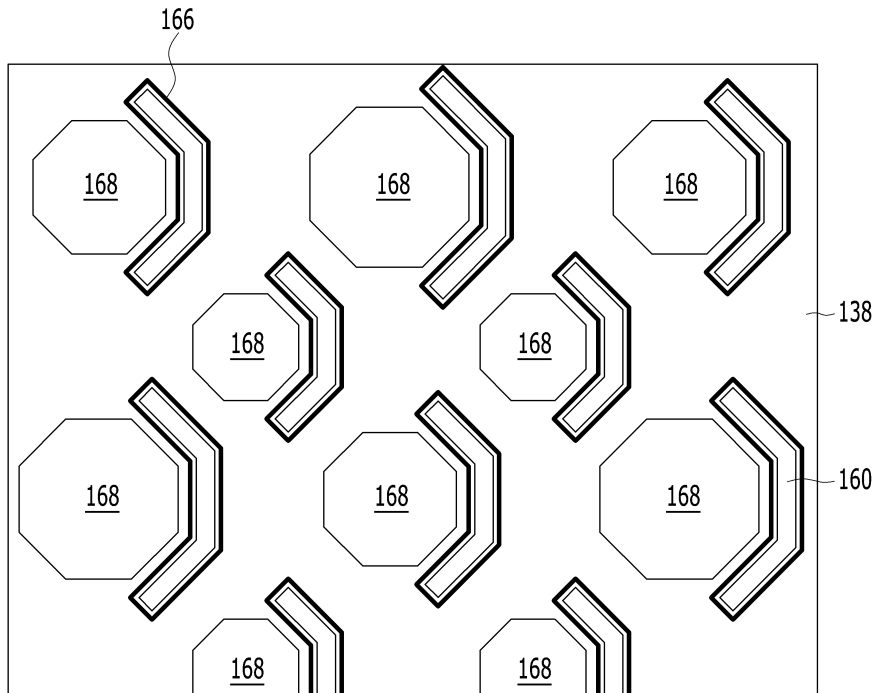
도면2



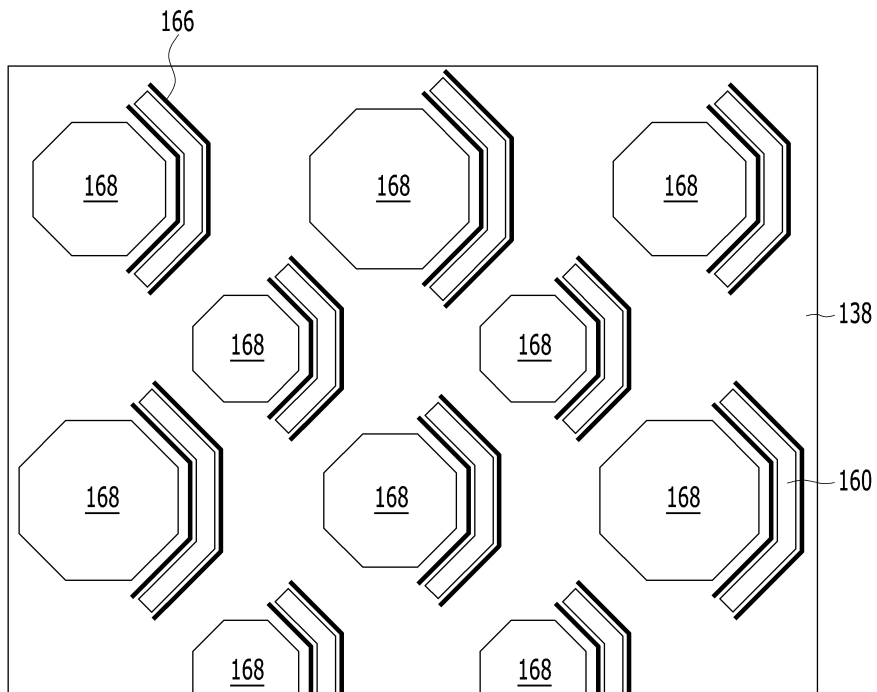
도면3



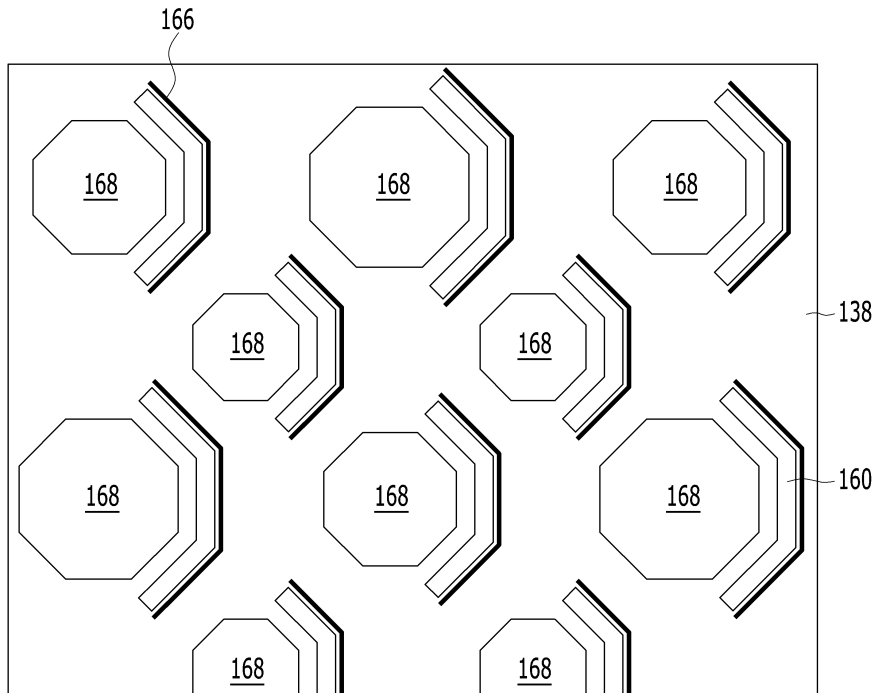
도면4a



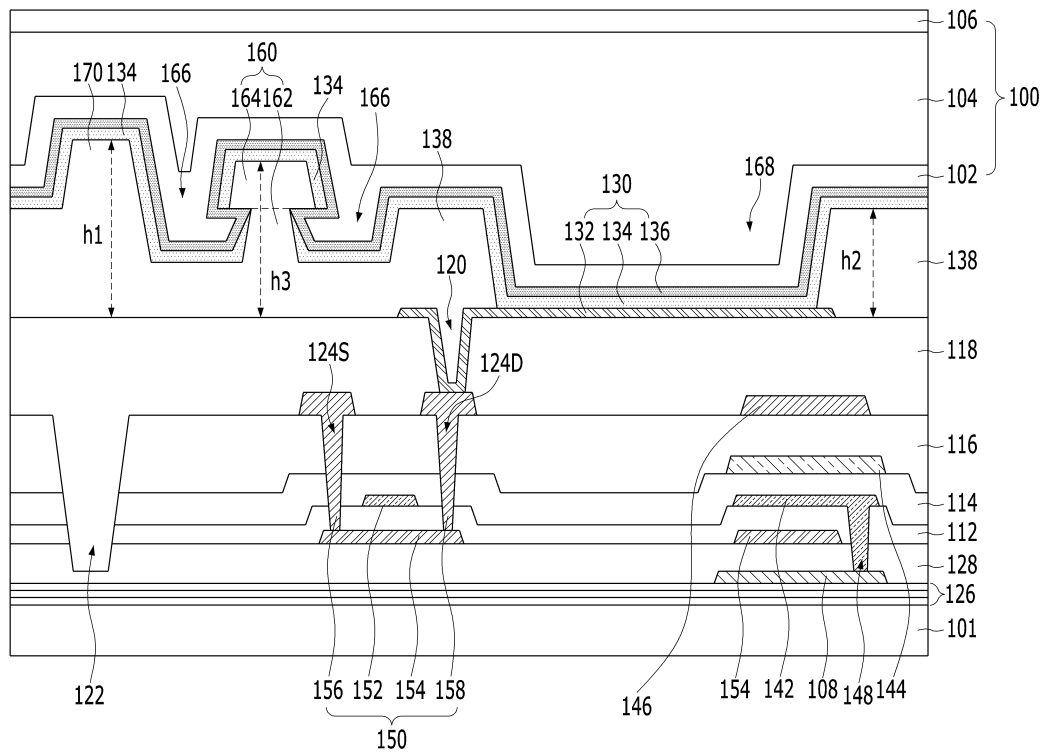
도면4b



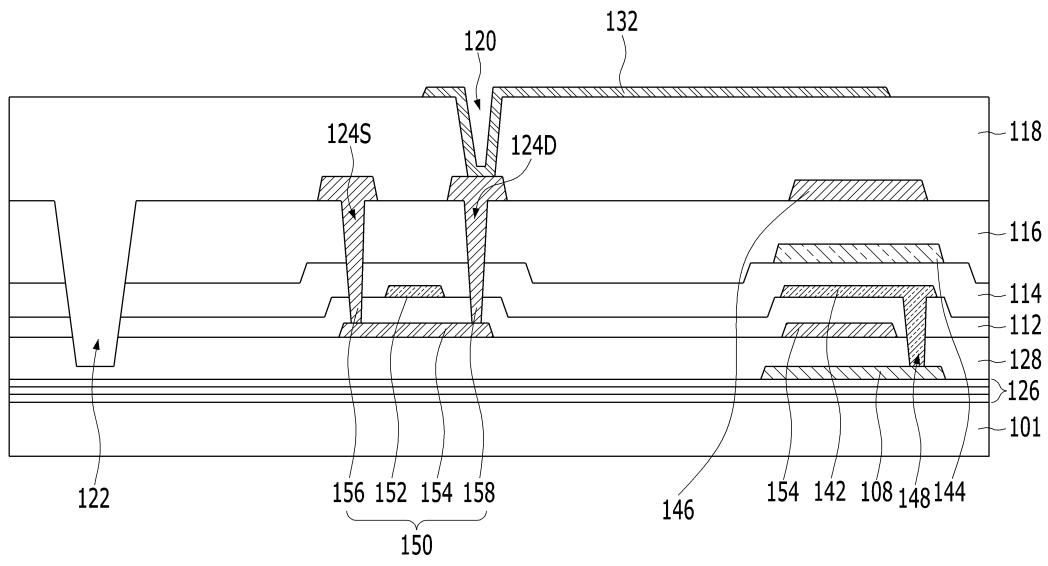
도면4c



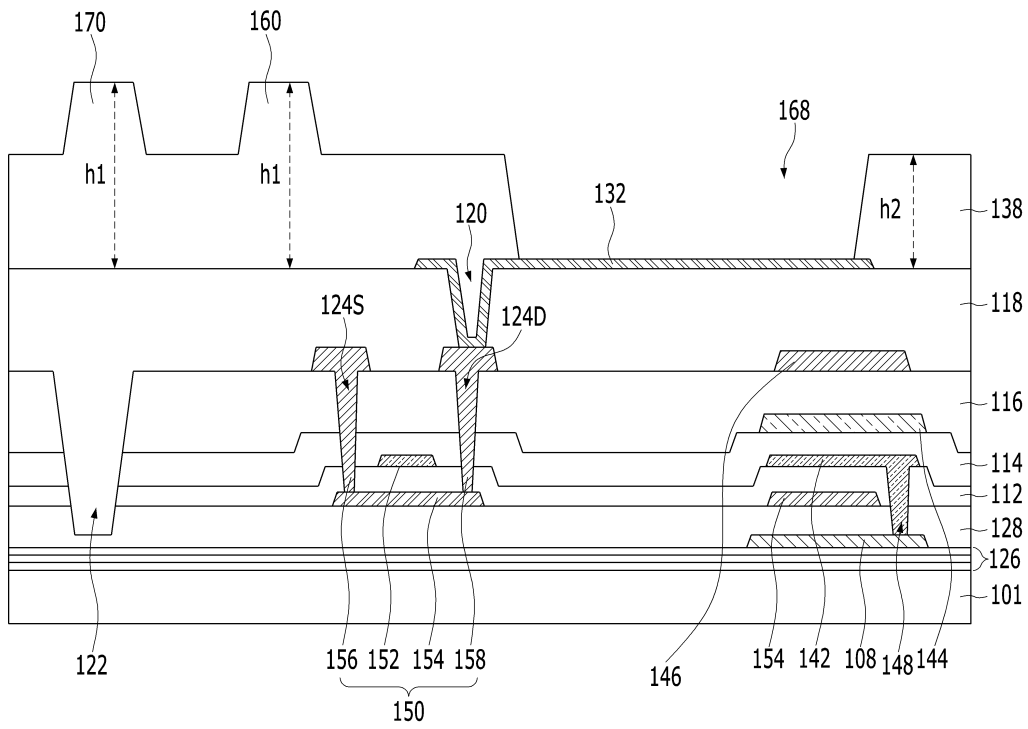
도면5



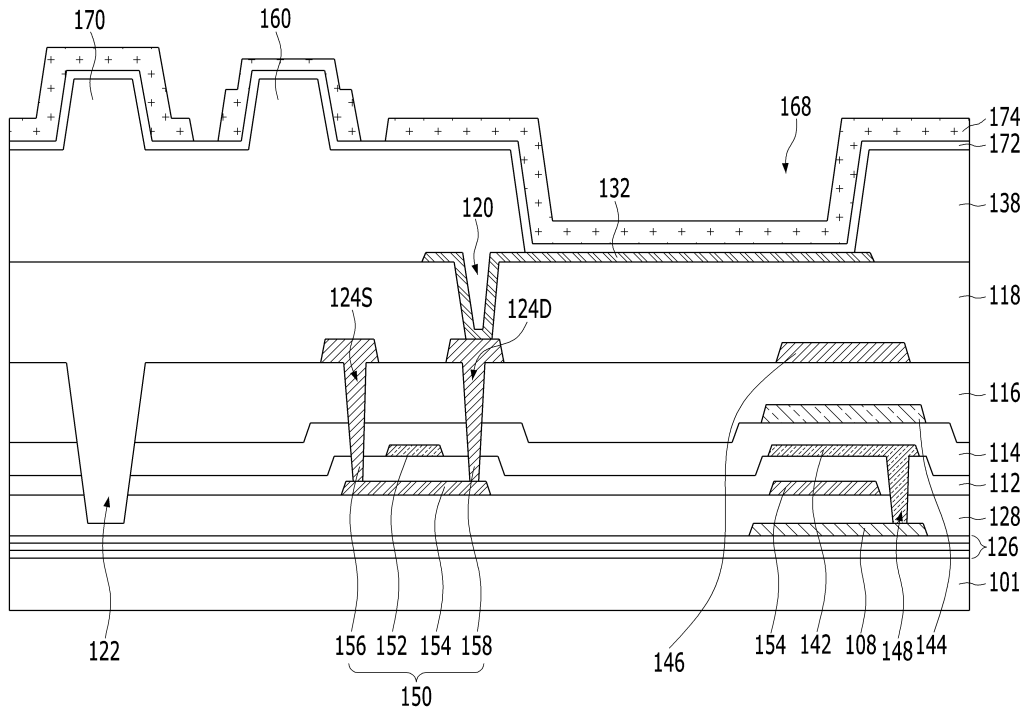
도면6a



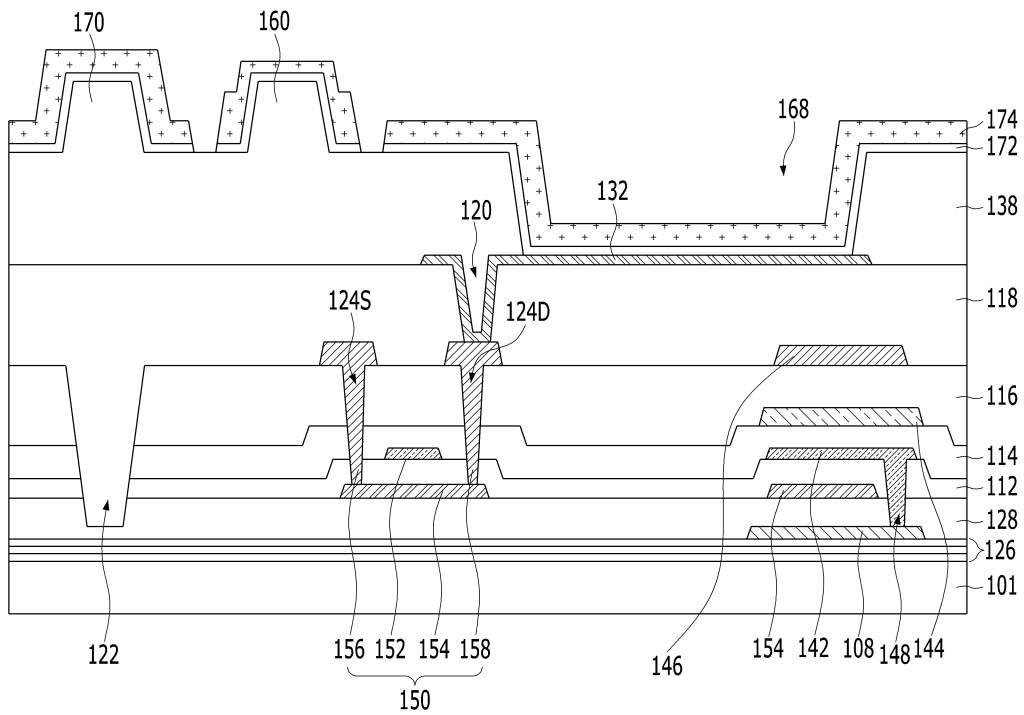
도면6b



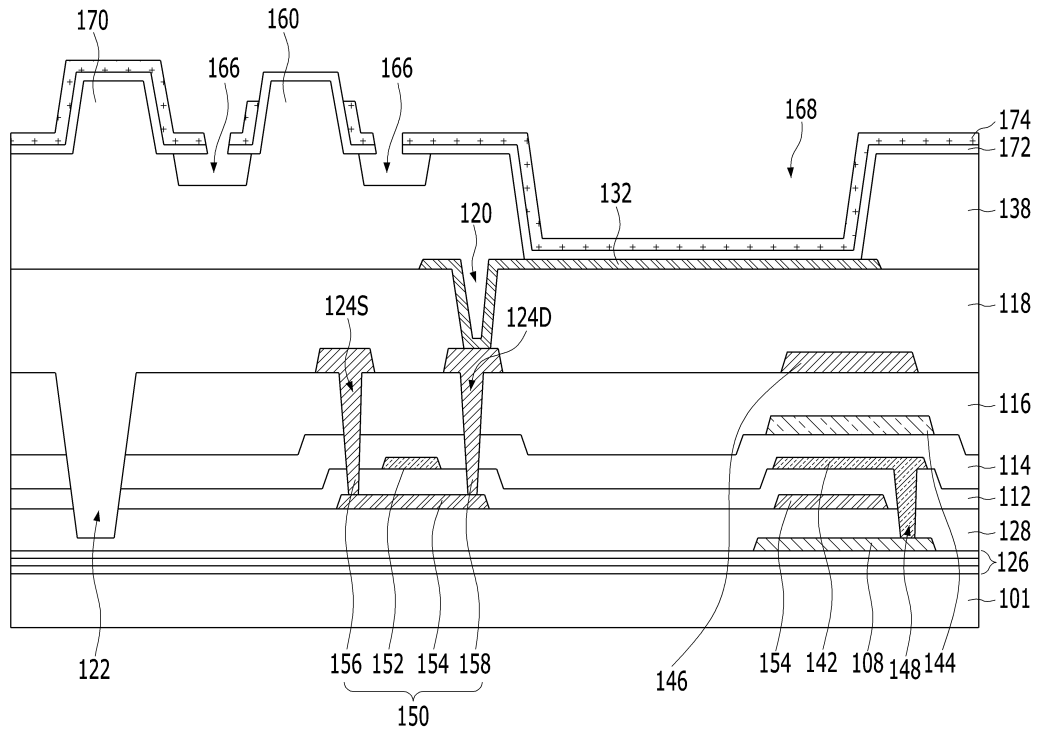
도면6c



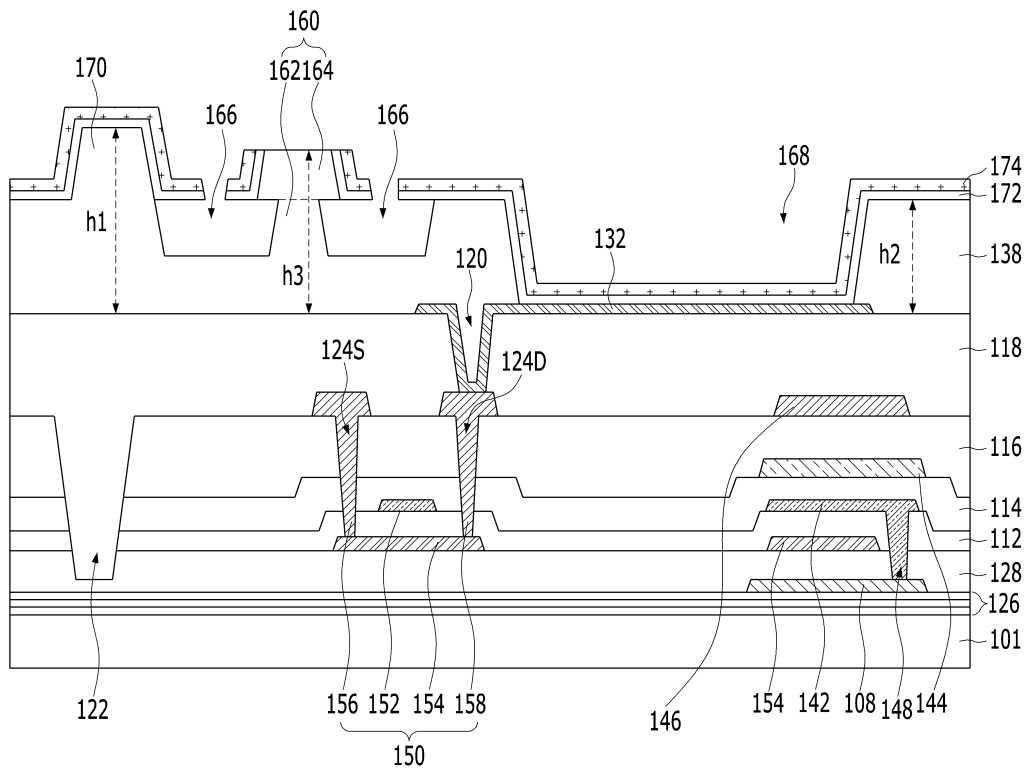
도면6d



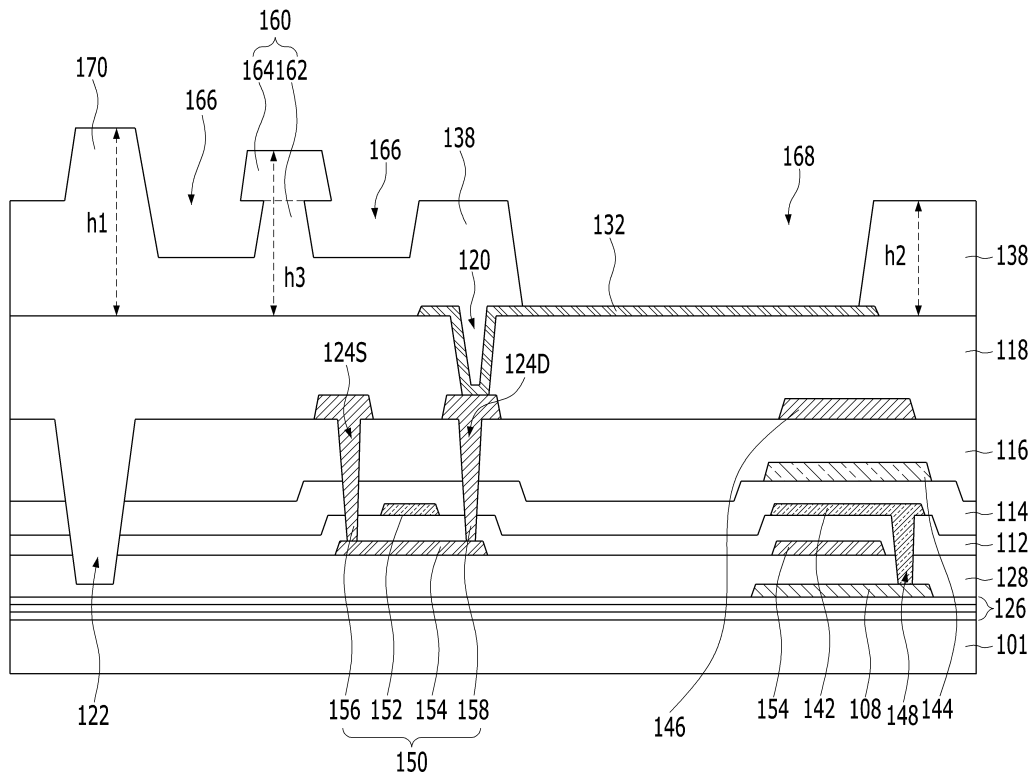
도면6e



도면6f



도면6g



도면6h

