



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0013923
(43) 공개일자 2020년02월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G09G 3/32 (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/32 (2013.01)
(21) 출원번호 10-2018-0089163
(22) 출원일자 2018년07월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유재성
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

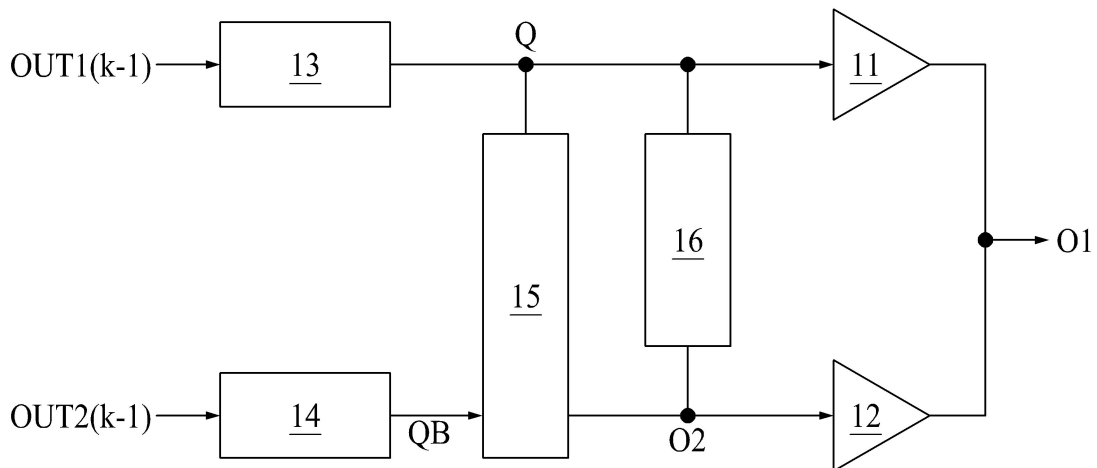
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 게이트 구동부 및 이를 이용한 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 전계발광 표시장치는 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들 및 에미션 라인에 에미션 신호를 공급하며 복수의 스테이지들로 이루어진 에미션 구동부를 포함한다. 복수의 스테이지들 중 제k(k는 1 이상인 자연수)번째 스테이지는 각각 Q 노드 및 제2 출력 노드에 의해 제어되어 에미션 라인에 (뒷면에 계속)

대표도 - 도3



연결된 제1 출력 노드에 전압을 제공하는 풀다운부 및 풀업부, 제k-1번째 스테이지의 제1 출력 노드의 전압 또는 제1 스타트 신호를 인가받는 제1 제어부, 제k-1번째 스테이지의 제2 출력 노드의 전압 또는 제2 스타트 신호를 인가받는 제2 제어부, 제2 출력 노드의 전압을 제어하기 위한 제3 제어부, 및 제2 출력 노드에 의해 제어되는 제4 제어부를 포함한다. 그리고 제1 출력 노드는 에미션 라인에 연결된다. 이에 따라, 스테이지를 구성하는 구성요소의 동작 마진을 확대하고, 게이트 구동부의 신뢰성을 향상시킬 수 있다. 또한, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄일 수 있다.

(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0408 (2013.01)

명세서

청구범위

청구항 1

에미션 라인에 연결된 서브 픽셀들; 및

상기 에미션 라인에 에미션 신호를 공급하며 복수의 스테이지들로 이루어진 에미션 구동부를 포함하고,

상기 복수의 스테이지들 중 제 k (k 는 1 이상인 자연수)번째 스테이지는

각각 Q 노드 및 제2 출력 노드에 의해 제어되어 상기 에미션 라인에 연결된 제1 출력 노드에 전압을 제공하는 풀다운부 및 풀업부;

제 $k-1$ 번째 스테이지의 제1 출력 노드의 전압 또는 제1 스타트 신호를 인가받는 제1 제어부;

상기 제 $k-1$ 번째 스테이지의 제2 출력 노드의 전압 또는 제2 스타트 신호를 인가받는 제2 제어부;

상기 제2 출력 노드의 전압을 제어하기 위한 제3 제어부; 및

상기 제2 출력 노드에 의해 제어되는 제4 제어부를 포함하고,

상기 제1 출력 노드는 상기 에미션 라인에 연결된, 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 제4 제어부는 Q 노드 안정화부를 더 포함하고, 상기 Q 노드 안정화부는 상기 Q 노드를 상기 Q 노드 및 Q' 노드로 분리하는, 전계발광 표시장치.

청구항 3

제2 항에 있어서,

상기 제4 제어부는 동작마진 확대부를 더 포함하고, 상기 동작마진 확대부는 상기 제4 제어부 내에 발생할 수 있는 전압의 충돌을 방지하는, 전계발광 표시장치.

청구항 4

제1 항에 있어서,

상기 제3 제어부는 커패시터를 포함하고,

상기 커패시터에 연결된 트랜지스터를 상기 제3 제어부 및 상기 제4 제어부에 각각 적어도 하나 포함하며,

상기 트랜지스터는 더블 게이트형 트랜지스터인, 전계발광 표시장치.

청구항 5

제1 항에 있어서,

상기 풀다운부는 상기 Q 노드 및 상기 제2 출력 노드에 연결된 커패시터를 포함하는, 전계발광 표시장치.

청구항 6

제1 항에 있어서,

상기 제1 제어부는 제1 클럭 신호에 의해 제어되고,

상기 제2 제어부는 제2 클럭 신호에 의해 제어되며,

상기 제1 클럭 신호 및 상기 제2 클럭 신호는 1 수평기간을 주기로 로우 전압과 하이 전압 사이를 스윙하고 서

로 반대 위상을 갖는, 전계발광 표시장치.

청구항 7

스테이지들을 포함하는 게이트 구동부에 있어서,

제 k (k 는 1이상인 자연수)번째 스테이지는 제1 출력 노드를 제어하는 풀다운 트랜지스터 및 풀업 트랜지스터, 제2 출력 노드를 제어하는 제어부를 포함하고,

상기 제1 출력 노드 및 상기 제2 출력 노드에 인가된 전압은 제 $k+1$ 번째 스테이지의 스타트 신호로 인가되며,

상기 제어부는

Q 노드에 의해 제어되는 제3 트랜지스터;

제1 클럭 신호에 의해 제어되는 제4 트랜지스터;

QB 노드에 의해 제어되는 제5 트랜지스터; 및

상기 QB 노드에 일전극이 연결되고 상기 제2 출력 노드에 타전극이 연결된 제1 커패시터를 포함하는, 게이트 구동부.

청구항 8

제7 항에 있어서,

상기 제3 제어 트랜지스터는 더블 게이트형 트랜지스터인, 게이트 구동부.

청구항 9

제7 항에 있어서,

상기 제 k 번째 스테이지는 상기 Q 노드의 전압을 제어하는 제1 트랜지스터 및 상기 QB 노드의 전압을 제어하는 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터는 제 $k-1$ 번째 스테이지의 제1 출력 노드와 연결되고,

상기 제2 트랜지스터는 상기 제 $k-1$ 번째 스테이지의 제2 출력 노드와 연결된, 게이트 구동부.

청구항 10

제7 항에 있어서,

상기 제 k 번째 스테이지는 상기 Q 노드의 전압을 제어하는 제1 트랜지스터 및 상기 QB 노드의 전압을 제어하는 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터는 제 $k-1$ 번째 스테이지의 제1 출력 노드와 연결되고,

상기 제2 트랜지스터는 상기 제 $k-1$ 번째 스테이지의 제2 출력 노드와 연결된, 게이트 구동부.

청구항 11

제10 항에 있어서,

상기 풀다운 트랜지스터 및 상기 제5 트랜지스터는 로우 전압 라인에 연결되고,

상기 풀업 트랜지스터, 상기 제3 트랜지스터, 및 상기 제6 트랜지스터는 하이 전압 라인에 연결된, 게이트 구동부.

청구항 12

제10 항에 있어서,

상기 제6 트랜지스터는 더블 게이트형 트랜지스터인, 게이트 구동부.

청구항 13

제9 항에 있어서,

상기 제k번째 스테이지는 상기 Q 노드 및 상기 제1 출력 노드에 연결된 제3 커패시터를 포함하는, 게이트 구동부.

청구항 14

제9 항에 있어서,

상기 제k번째 스테이지는

상기 제2 출력 노드에 의해 제어되고 상기 Q 노드에 연결된 제6 트랜지스터;

상기 Q 노드에 연결되어 상기 Q 노드를 Q 노드 및 Q' 노드로 분할하는 제9 트랜지스터; 및

상기 Q 노드와 제2 클럭 신호 라인에 연결된 제2 커패시터를 포함하는, 게이트 구동부.

청구항 15

제14 항에 있어서,

상기 풀다운 트랜지스터, 상기 제5 트랜지스터, 및 상기 제9 트랜지스터는 게이트 로우 전압 라인에 연결되고,

상기 풀업 트랜지스터, 상기 제3 트랜지스터, 및 상기 제6 트랜지스터는 게이트 하이 전압 라인에 연결된, 게이트 구동부.

청구항 16

제14 항에 있어서,

상기 제6 트랜지스터는 더블 게이트형 트랜지스터인, 게이트 구동부.

청구항 17

제9 항에 있어서,

상기 제k번째 스테이지는

상기 Q 노드에 연결되어 상기 Q 노드를 Q 노드 및 Q' 노드로 분할하는 제9 트랜지스터;

상기 제2 출력 노드에 의해 제어되는 제6 트랜지스터;

제2 클럭 신호에 의해 제어되고 상기 Q' 노드 및 상기 제6 트랜지스터에 연결된 제10 트랜지스터;

상기 Q 노드 및 상기 제2 클럭 신호가 입력되는 제2 클럭 신호 라인에 연결된 제2 커패시터; 및

상기 제2 출력 노드 및 하이 전압 라인에 연결된 제4 커패시터를 포함하는, 게이트 구동부.

청구항 18

제17 항에 있어서,

상기 풀다운 트랜지스터, 상기 제5 트랜지스터, 및 상기 제9 트랜지스터는 게이트 로우 전압 라인에 연결되고,

상기 풀업 트랜지스터, 상기 제3 트랜지스터, 및 상기 제6 트랜지스터는 게이트 하이 전압 라인에 연결된, 게이트 구동부.

청구항 19

제17 항에 있어서,

상기 제6 트랜지스터는 더블 게이트형 트랜지스터인, 게이트 구동부.

발명의 설명

기술 분야

[0001] 본 명세서는 구동 능력이 향상된 게이트 구동부 및 이를 이용한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광 표시장치, 액정 표시장치, 유기발광 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 이 중에서 전계발광 표시장치는 응답속도가 빠르고, 발광효율이 높으며 시야각이 큰 장점이 있다. 일반적으로 전계발광 표시장치는 스캔 신호에 의해서 턴-온되는 트랜지스터를 이용하여 데이터 전압을 구동 트랜지스터의 게이트 전극에 인가하고, 구동 트랜지스터에 공급되는 데이터 전압을 스토리지 커패시터에 충전한다. 그리고, 발광 제어 신호를 이용하여 스토리지 커패시터에 충전된 데이터 전압을 출력함으로써 발광소자를 발광시킨다. 발광소자는 유기발광소자 및 무기발광소자를 포함할 수 있다.

[0004] 전계발광 표시장치에는 게이트 신호 및 데이터 신호가 공급되고, 게이트 신호는 스캔 신호 및 에미션 신호를 포함한다. 전계발광 표시장치는 에미션 신호와 하나 이상의 스캔 신호를 이용하여 구동된다. 일반적으로 스캔 신호를 생성하는 게이트 구동부는 게이트 신호를 순차적으로 출력하기 위한 쉬프트 레지스터(shift register)를 포함할 수 있다.

[0005] 영상을 표시하기 위한 최소 장치인 표시패널은 픽셀 어레이(pixel array)가 배치되고, 영상을 표시하는 표시 영역 및 영상을 표시하지 않는 비표시 영역으로 구분될 수 있다. 게이트 구동부는 칩온필름(Chip On Film) 또는 칩온글래스(Chip On Glass)의 형태로 표시패널에 부착되거나, 표시패널의 비표시 영역인 베젤 영역에 박막 트랜지스터들의 조합으로 형성되는 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. GIP 형태의 게이트 구동부는 게이트 라인의 개수에 대응하여 스테이지를 구비하고, 각 스테이지는 일대일로 대응하는 게이트 라인에 공급되는 게이트 펄스를 출력한다. 게이트 라인은 표시영역에 배치된 픽셀 어레이에 게이트 신호를 공급하여, 발광소자가 발광할 수 있도록 한다.

[0006] 따라서, 픽셀 어레이에 정확한 신호를 전달하기 위해 게이트 구동부의 구동 능력 향상 및 신뢰성을 높이기 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0007] 앞서 언급한 바와 같이, 전계발광 표시장치는 에미션 신호와 하나 이상의 스캔 신호를 이용하여 구동된다. 전계발광 표시장치를 구동하기 위해서는 데이터 신호를 주사하기 위한 스캔 신호뿐만 아니라, 스캔 신호를 주사하는 동안 발광소자의 발광을 중지시키기 위한 에미션 신호가 필요하다.

[0008] 표시패널의 고해상도에 따른 클럭 신호 및 에미션 신호의 부하 증가로 인해 동작 마진이 감소하여 에미션 구동 회로의 불량률이 발생할 수 있다. 또한, GIP 형태의 게이트 구동부는 전계발광 표시장치의 베젤 영역을 확대시키게 된다.

[0009] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하여, 작은 면적에 배치될 수 있고 동작 마진 및 신뢰성이 향상된 게이트 구동부 및 이를 이용한 전계발광 표시장치를 발명하였다.

[0010] 본 명세서의 실시예에 따른 해결 과제는 게이트 구동부를 구성하는 트랜지스터들의 동작 마진을 확대하고 신뢰성을 향상시킨 게이트 구동부 및 이를 이용한 표시장치를 제공하는 것이다.

[0011] 본 명세서의 실시예에 따른 해결 과제는 표시패널의 베젤 영역을 축소시킬 수 있는 게이트 구동부 및 이를 이용한 표시장치를 제공하는 것이다.

[0012] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들 및 에미션 라인에 에미션 신호를 공급하며 복수의 스테이지들로 이루어진 에미션 구동부를 포함한다. 복

수의 스테이지들 중 제k(k는 1 이상인 자연수)번째 스테이지는 각각 Q 노드 및 제2 출력 노드에 의해 제어되어 에미션 라인에 연결된 제1 출력 노드에 전압을 제공하는 풀다운부 및 풀업부, 제k-1번째 스테이지의 제1 출력 노드의 전압 또는 제1 스타트 신호를 인가받는 제1 제어부, 제k-1번째 스테이지의 제2 출력 노드의 전압 또는 제2 스타트 신호를 인가받는 제2 제어부, 제2 출력 노드의 전압을 제어하기 위한 제3 제어부, 및 제2 출력 노드에 의해 제어되는 제4 제어부를 포함한다. 그리고 제1 출력 노드는 에미션 라인에 연결된다. 이에 따라, 스테이지를 구성하는 구성요소의 동작 마진을 확대하고, 게이트 구동부의 신뢰성을 향상시킬 수 있다. 또한, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄일 수 있다.

[0014] 본 명세서의 일 실시예에 따라 스테이지들을 포함하는 게이트 구동부에 있어서, 제k(k는 1 이상인 자연수)번째 스테이지는 제1 출력 노드를 제어하는 풀다운 트랜지스터 및 풀업 트랜지스터, 제2 출력 노드를 제어하는 제어부를 포함하고, 제1 출력 노드 및 제2 출력 노드에 인가된 전압은 제k+1번째 스테이지의 스타트 신호로 인가된다. 제어부는 Q 노드에 의해 제어되는 제3 트랜지스터, 제1 클럭 신호에 의해 제어되는 제4 트랜지스터, QB 노드에 의해 제어되는 제5 트랜지스터, 및 QB 노드에 일전극이 연결되고 제2 출력 노드에 타전극이 연결된 제1 커패시터를 포함한다. 이에 따라, 스테이지를 구성하는 구성요소의 동작 마진을 확대하고, 게이트 구동부의 신뢰성을 향상시킬 수 있다. 또한, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄일 수 있다.

[0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 명세서의 실시예들에 따르면, 스테이지들은 각각 이전 스테이지에서 출력되는 두 개의 신호를 스타트 신호로 이용함으로써, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄이고 스테이지를 구성하는 구성요소의 동작 마진을 확대할 수 있다.

[0017] 그리고, 본 명세서의 실시예들에 따르면, 커패시터의 양단에 연결된 트랜지스터를 더블 게이트형 트랜지스터로 형성함으로써, 스테이지를 구성하는 회로의 신뢰성을 향상시킬 수 있다.

[0018] 그리고, 본 명세서의 실시예들에 따르면, 트랜지스터를 사용하여 풀다운 트랜지스터를 제어하는 Q 노드를 분리함으로써, Q 노드에 형성되는 기생 커패시턴스를 감소시켜 풀다운부에 포함된 커패시터를 생략할 수 있다.

[0019] 그리고, 본 명세서의 실시예들에 따르면, Q' 노드와 제6 트랜지스터 사이에 제10 트랜지스터를 배치함으로써, 제1 클럭 신호가 턴-온 전압인 경우 제1 트랜지스터를 통해 전달된 턴-온 전압과 제6 트랜지스터를 통해 전달된 하이 전압이 충돌하는 것을 방지하여 제3 트랜지스터가 열화되어 문턱전압이 쉬프트되더라도 제1 트랜지스터를 통해 입력된 신호가 정상적으로 전달될 수 있게 한다.

[0020] 그리고, 본 명세서의 실시예들에 따르면, 제2 출력 신호 라인과 하이 전압 라인에 연결된 제4 커패시터는 제1 출력 신호가 하이 전압에서 로우 전압으로 바뀌기 전이면서 QB 노드가 로우 전압에서 하이 전압으로 바뀔 때 제1 커패시터에 의해 제2 출력 신호의 전압이 하이 전압이 되는 것을 방지하고, 제2 출력 신호가 로우 전압 상태를 유지하여 제1 출력 신호가 하이 전압 상태를 유지할 수 있게 한다.

[0021] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특징하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0022] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.

도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다.

도 3은 본 명세서의 일 실시예에 따른 스테이지의 블록도이다.

도 4는 본 명세서의 제1 실시예에 따른 스테이지의 회로도이다.

도 5는 본 명세서의 제2 실시예에 따른 스테이지의 회로도이다.

도 6은 본 명세서의 제3 실시예에 따른 스테이지의 회로도이다.

도 7은 본 명세서의 일 실시예에 따른 스테이지의 구동 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0025] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0026] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0027] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0028] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0029] 본 명세서에서 표시패널의 기판 상에 형성되는 게이트 구동부는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극을 포함한 3전극 소자이다. 소스 전극은 캐리어(carrier)를 트랜지스터에 공급한다. 트랜지스터 내에서 캐리어는 소스로부터 이동하기 시작한다. 드레인 전극은 트랜지스터에서 캐리어가 외부로 나가는 전극이다.
- [0030] 예를 들어, 트랜지스터에서 캐리어는 소스 전극으로부터 드레인 전극으로 이동한다. n타입 트랜지스터의 경우, 캐리어가 전자이기 때문에 소스 전극에서 드레인 전극으로 이동할 수 있도록 소스 전극의 전압이 드레인 전극의 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스 전극으로부터 드레인 전극 쪽으로 이동하기 때문에 전류의 방향은 반대로 드레인 전극으로부터 소스 전극 쪽이다. p타입 트랜지스터의 경우, 캐리어가 정공이기 때문에 소스 전극으로부터 드레인 전극으로 정공이 이동할 수 있도록 소스 전극의 전압이 드레인 전극의 전압보다 높다. p타입 트랜지스터의 정공이 소스 전극으로부터 드레인 전극 쪽으로 이동하기 때문에 전류의 방향은 소스 전극으로부터 드레인 전극 쪽이다. 트랜지스터의 소스 전극과 드레인 전극은 고정된 것이 아니고, 트랜지스터의 소스 전극과 드레인 전극은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 전극 및 드레인 전극은 각각 제1 전극 및 제2 전극 또는 제2 전극 및 제1 전극으로 언급될 수 있다.
- [0031] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이고, 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압이다. 예를 들어, p타입 트랜지스터에서 게이트 온 전압은 로직로우 전압(VL)일 수 있고, 게이트 오프 전압은 로직하이 전압(VH)일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 로직하이 전압일 수 있고, 게이트 오프 전압은 로직로우 전압일 수 있다.
- [0032] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치에 대하여 설명하기로 한다.
- [0033] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0034] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 표시패널(150), 및 전원 공급부(180)를 포함한다.
- [0035] 영상 처리부(110)는 외부로부터 공급된 영상 데이터 및 각종 장치들을 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호, 및 클럭신

호가 포함될 수 있다.

- [0036] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터 및 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC), 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC), 및 표시패널(150)에 표시하고자 하는 영상의 휘도 정보를 담고 있는 데이터 신호(DATA)를 출력한다.
- [0037] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 게이트 구동부(130)는 게이트 라인들(GL1, ..., GLn)을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit) 형태로 형성될 수 있고, 표시패널(150)에 내장된 GIP(gate in panel) 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌측 및 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 게이트 구동부(130)는 복수의 스테이지들로 이루어진다. 예를 들어, 게이트 구동부(130)의 제1 스테이지는 표시패널(150)의 제1 게이트 라인에 인가시킬 제1 게이트 신호를 출력한다.
- [0038] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 라인들(DL1, ..., DLm)을 통해 데이터 신호를 출력한다. 데이터 구동부(140)는 IC(integrated circuit) 형태로 표시패널(150) 상에 형성되거나, 표시패널(150)에 칩온필름(Chip On Film) 형태로 형성될 수도 있다.
- [0039] 전원 공급부(180)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등은 표시패널(150)에 공급된다. 고전위 전원전압(VDD)은 고전위 전원라인을 통해 표시패널(150)에 공급되고, 저전위 전원전압(VSS)은 저전위 전원라인을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.
- [0040] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부(180)로부터 공급된 전원전압에 대응하여 영상을 표시한다. 표시패널(150)은 영상을 표시할 수 있도록 동작하는 픽셀 어레이를 포함하고, 픽셀 어레이는 서브 픽셀(SP)들로 구성된다.
- [0041] 표시패널(150)은 서브 픽셀(SP)들이 배치된 표시 영역(DA)과 표시 영역(DA)의 외곽으로 각종 신호 라인들이나 패드 등이 형성되는 비표시 영역을 포함한다. 표시 영역(DA)은 영상이 표시되는 영역이므로 서브 픽셀(SP)들이 위치하는 영역이고, 비표시 영역은 영상이 표시되지 않는 영역이므로 서브 픽셀(SP)이 위치하지 않지만 더미 픽셀은 위치할 수 있다. 또한 비표시 영역에는 게이트 구동부(130) 및 데이터 구동부(140)가 위치할 수 있다.
- [0042] 표시 영역(DA)은 복수의 서브 픽셀(SP)을 포함하고, 각각의 서브 픽셀(SP)들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브 픽셀(SP)은 컬럼 라인(column line)을 따라 배열되는 데이터 라인(DL)과 연결되고, 픽셀 라인(pixel line) 또는 로우 라인(row line)을 따라 배열되는 게이트 라인에 연결된다. 동일한 픽셀 라인에 위치한 서브 픽셀(SP)들은 동일한 게이트 라인을 공유하며 동시에 구동된다. 그리고, 제1 게이트 라인에 연결된 서브 픽셀(SP)들을 제1 서브 픽셀들이라고 정의하고, 제n 게이트 라인에 연결된 서브 픽셀(SP)들을 제n 서브 픽셀들이라고 정의할 때, 제1 서브 픽셀들부터 제n 서브 픽셀들은 순차적으로 구동된다.
- [0043] 서브 픽셀(SP)들은 매트릭스 형태로 배치되어 픽셀 어레이를 구성하지만, 이에 한정되지는 않는다. 서브 픽셀(SP)들은 매트릭스 형태 이외에도 서브 픽셀(SP)을 공유하는 형태, 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다.
- [0044] 서브 픽셀(SP)들은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함하거나 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀, 및 백색 서브 픽셀을 포함할 수 있다. 서브 픽셀(SP)들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다.
- [0045] 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다. 구체적으로, 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부 및 게이트 구동부로부터 출력되는 신호가 인가되는 픽셀 라인을 도시한다.
- [0046] 앞서 언급한 바와 같이, 표시패널(150)은 서브 픽셀(SP)들을 기반으로 영상을 표시하는 표시 영역(DA)과 신호 라인이나 구동부 등이 위치하며 영상을 표시하지 않는 비표시 영역(NDA)을 포함한다.
- [0047] 서브 픽셀(SP)은 발광소자 및 발광소자의 애노드에 인가되는 전류량을 제어하는 픽셀 구동 회로를 포함한다. 픽

셀 구동 회로는 발광소자에 일정 전류가 흐를 수 있도록 전류량을 제어하는 구동 트랜지스터를 포함할 수 있다. 발광소자는 발광기간에서 발광하고, 발광기간 이외의 기간에는 발광하지 않는다. 발광기간 이외의 기간에는 픽셀 구동 회로가 초기화되고, 스캔 신호가 픽셀 구동 회로에 입력되며, 프로그래밍 및 픽셀 구동 회로 보상 기간 등이 진행될 수 있다. 예를 들어, 픽셀 구동 회로 보상은 구동 트랜지스터의 문턱전압 보상일 수 있다. 발광기간 이외의 기간에는 발광소자가 특정 휘도로 발광할 수 있는 전류가 일정하게 공급되지 않으므로 발광소자가 발광하지 않도록 해야한다. 예를 들어, 발광소자가 발광하지 않게 할 수 있는 방법은 발광소자의 애노드와 구동 트랜지스터 사이에 에미션 트랜지스터를 연결할 수 있다. 에미션 트랜지스터는 에미션 라인에 연결되어 에미션 구동부로부터 출력되는 에미션 신호에 의해 제어된다. 발광기간에서 에미션 신호는 턴-온 전압이고, 발광기간 이외의 기간에서 에미션 신호는 턴-오프 전압일 수 있다.

- [0048] 표시패널(150)에 포함된 서브 픽셀(SP)들을 구동하기 위한 게이트 신호는 스캔 신호 및 에미션 신호를 포함한다. 따라서, 게이트 구동부(130)는 스캔 신호를 인가하는 구동부 및 에미션 신호를 인가하는 구동부를 별도로 포함할 수 있다. 스캔 신호는 스캔 라인을 통해 서브 픽셀(SP)에 인가되고, 에미션 신호는 에미션 라인을 통해 서브 픽셀(SP)에 인가된다.
- [0049] 도 2의 게이트 구동부(130)는 에미션 신호를 인가하는 구동부만 표시한다. 본 명세서에 따른 게이트 구동부(130)는 제1 스테이지(EM(1)) 내지 제n 스테이지(EM(n))를 포함한다. 도 2에서는 제k 스테이지(EM(k))를 예로서 설명한다. 이 경우, k는 자연수이고 $1 < k \leq n$ 이다.
- [0050] 게이트 구동부(130)는 제k 스테이지(EM(k))에 입력되는 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 로우 전압(VL), 하이 전압(VH), 및 스타트 전압(VST)이 인가되는 배선들을 포함한다. 예를 들어, 로우 전압(VL)은 -8V 내지 -7V 이고, 에미션 하이 전압(VEH)은 7V 내지 8V 일 수 있다. 제k 스테이지(EM(k))는 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)에 대응하여 스타트 전압(VST)을 시프트하면서 에미션 신호를 제k 픽셀 라인(H(k))에 제공한다. 이 경우, 스타트 전압(VST)은 제1 스테이지(EM(1))에 입력되고, 제2 스테이지(EM(2)) 내지 제n 스테이지(EM(n))는 이전 스테이지에서 출력되는 에미션 신호를 스타트 신호로 입력받음으로써 동작한다. 예를 들어, 제k 스테이지(EM(k))의 제1 출력 신호(OUT1)는 제k+1 스테이지(EM(k+1))의 스타트 신호로 입력되고, 제k 픽셀 라인(H(k))으로 입력된다. 그리고, 제k 스테이지(EM(k))의 제2 출력 신호(OUT2)는 제k+1 스테이지(EM(k+1))의 스타트 신호로 입력된다. 제k+1 스테이지(EM(k+1))는 제k 스테이지(EM(k))에서 출력되는 두 개의 신호를 스타트 신호로 이용함으로써, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄이고 스테이지에 포함된 구성요소들의 동작 마진을 확대할 수 있다.
- [0051] 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 각각 하이 전압과 로우 전압 사이를 스윙하며 서로 반대의 위상일 수 있다. 이 경우, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 서로 반대 위상이지만 클럭 주기의 차이가 있을 수 있다. 예를 들어, 제1 클럭 신호(CLK1)의 클럭 주기는 제2 클럭 신호(CLK2)의 클럭 주기보다 길 수 있다. 그리고, 도 2에서는 게이트 구동부(130)에 입력되는 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)의 2상 회로를 도시하였으나, 이에 한정되지는 않는다.
- [0052] 도 3은 본 명세서의 일 실시예에 따른 스테이지의 블록도이다. 도 3은 게이트 구동부(130)를 구성하는 제k 스테이지(EM(k))를 예로서 설명한다. 이 경우, 스테이지는 에미션 스테이지일 수 있다.
- [0053] 도 3을 참조하면, 제k 스테이지(EM(k))는 풀다운부(11), 풀업부(12), Q 노드 제어부(13), QB 노드 제어부(14), O2 노드 제어부(15), 및 출력신호 안정화부(16)를 포함한다.
- [0054] 풀다운부(11)는 Q 노드(Q)의 전압에 응답하여 제1 출력 신호(OUT1)를 출력하고, 풀업부(12)는 O2 노드(O2)의 전압에 응답하여 제1 출력 신호(OUT1)를 턴-오프 전압으로 제어한다. 제1 출력 신호(OUT1)는 O1 노드(O1)에 인가되고 제k 픽셀 라인에 인가된다. 여기서, O2 노드(O2)에 대한 설명은 후에 하기로 한다. Q 노드(Q)는 제1 노드라고 일컫을 수도 있다. O2 노드는 제2 노드라고 일컫을 수 있고, O1 노드는 제3 노드라고 일컫을 수 있다.
- [0055] Q 노드 제어부(13)는 Q 노드(Q)를 충전 또는 방전시키기 위한 구성요소로, 제k-1 스테이지(EM(k-1))의 제1 출력 신호(OUT1(k-1))를 스타트 신호로 이용하여 Q 노드(Q)에 턴-온 전압을 인가한다. Q 노드 제어부(13)는 제1 제어부라고 일컫을 수도 있다.
- [0056] QB 노드 제어부(14)는 QB 노드(QB)를 충전 또는 방전시키기 위한 구성요소로, 제k-1 스테이지(EM(k-1))의 제2 출력 신호(OUT2(k-1))를 스타트 신호로 이용하여 QB 노드(QB)에 턴-온 전압을 인가한다. QB 노드 제어부(14)는 제2 제어부라고 일컫을 수도 있다.
- [0057] O2 노드 제어부(15)는 O2 노드(O2)를 충전 또는 방전시키기 위한 구성요소로, QB 노드(QB)에 인가되는 신호를

입력받아 O2 노드(O2)에 출력한다. Q 노드(Q)가 턴-오프 전압인 동안 턴-온 전압을 O2 노드(O2)에 출력시키고, Q 노드(Q)가 턴-온 전압인 동안 턴-오프 전압을 O2 노드(O2)에 출력시킨다. 그리고, Q 노드(Q)의 전압이 로우 전압인 경우 O2 노드(O2)의 전압을 하이 전압으로 유지시켜준다. O2 노드 제어부(15)는 제3 제어부라고 일컫을 수도 있다.

- [0058] 출력신호 안정화부(16)는 O2 노드(O2)의 전압에 따라 Q 노드(Q)의 전압을 하이 전압으로 유지시킴으로서 제1 클럭 신호(OUT1)를 안정화시킨다. 출력신호 안정화부(16)는 제4 제어부라고 일컫을 수도 있다.
- [0059] 앞에서 설명한 바와 같이, 턴-오프 전압은 턴-오프 전압이 인가되는 트랜지스터의 종류에 따라 다르다. 턴-오프 전압은 p형 트랜지스터의 경우 하이 전압이고, n형 트랜지스터의 경우 로우 전압이다. 그리고, 턴-온 전압은 p형 트랜지스터의 경우 로우 전압이고, n형 트랜지스터의 경우 하이 전압이다. 이하에서는 p형 트랜지스터로 구성된 제k 스테이지(EM(k))를 예로서 설명한다.
- [0060] 도 4는 본 명세서의 제1 실시예에 따른 스테이지의 회로도이다. 도 4는 도 3의 블록도를 구체화한 회로도이고 게이트 구동부(130)를 구성하는 제k 스테이지(EM(k))를 예로서 설명한다.
- [0061] 도 4를 참조하면, 제k 스테이지(EM(k))는 풀다운부(11), 풀업부(12), Q 노드 제어부(13), QB 노드 제어부(14), O2 노드 제어부(15), 및 출력신호 안정화부(16)를 포함한다.
- [0062] Q 노드 제어부(13)는 제1 트랜지스터(T1)로 구성된다. 제1 트랜지스터(T1)의 게이트 전극은 제1 클럭 신호(CLK1)가 입력되는 제1 클럭 신호 라인에 연결되고, 소스 전극은 제k-1 스테이지의 제1 출력 노드에 연결되며, 드레인 전극은 Q 노드(Q)에 연결된다. 제1 트랜지스터(T1)는 제1 클럭 신호(CLK1)의 턴-온 전압에 의해 턴-온되어 제k-1 스테이지의 제1 출력 신호(OUT1(k-1))를 Q 노드(Q)에 제공한다.
- [0063] QB 노드 조절부(14)는 제2 트랜지스터(T2)로 구성된다. 제2 트랜지스터(T2)의 게이트 전극은 제2 클럭 신호(CLK2)가 입력되는 제2 클럭 신호 라인에 연결되고, 소스 전극은 제k-1 스테이지의 제2 출력 노드에 연결되며, 드레인 전극은 QB 노드(QB)에 연결된다. 제2 트랜지스터(T2)는 제2 클럭 신호(CLK2)의 턴-온 전압에 의해 턴-온되어 제k-1 스테이지의 제2 출력 신호(OUT2(k-1))를 QB 노드(QB)에 제공한다.
- [0064] O2 노드 제어부(15)는 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제5 트랜지스터(T5)로 구성된다. 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제5 트랜지스터(T5)는 직렬로 연결된다. 제3 트랜지스터(T3)의 드레인 전극은 제4 트랜지스터(T4)의 드레인 전극과 연결되고, 제4 트랜지스터(T4)의 소스 전극은 제5 트랜지스터(T5)의 드레인 전극과 연결된다. 제3 트랜지스터(T3)의 게이트 전극은 제1 트랜지스터(T1)의 드레인 전극과 연결되고, 제4 트랜지스터(T4)의 게이트 전극은 제1 클럭 신호 라인과 연결되며, 제5 트랜지스터(T5)의 게이트 전극은 QB 노드(QB)와 연결된다. 그리고, 제3 트랜지스터(T3)의 소스 전극은 하이 전압(VH)이 입력되는 하이 전압 라인에 연결되고, 제5 트랜지스터(T5)의 소스 전극은 로우 전압(VL)이 입력되는 로우 전압 라인에 연결된다. 제1 클럭 신호(CLK1)와 QB 노드(QB)의 전압이 턴-온 전압일 때 로우 전압(VL)이 O2 노드(O2)에 인가된다. 그리고, O2 노드(O2)에 인가된 전압은 제k+1 스테이지의 스타트 신호가 된다. 이 경우, 제1 커패시터에 연결되어 다른 트랜지스터들에 비해 높은 스트레스를 받는 제5 트랜지스터(T5)를 더블 게이트형 트랜지스터로 형성함으로써 제5 트랜지스터(T5)의 신뢰성을 향상시킬 수 있다.
- [0065] O2 노드 제어부(15)는 제1 커패시터(C1)를 더 포함한다. 제1 커패시터(C1)의 제1 전극은 O2 노드(O2)에 연결되고 제2 전극은 QB 노드(QB)에 연결된다. 제1 커패시터(C1)는 로우 전압(VL)이 O2 노드(O2)에 인가될 때 부트스트래핑 현상에 의해 QB 노드(QB)의 전압을 로우 전압(VL)보다 더 낮은 상태로 만들어 제5 트랜지스터(T5)가 안정적으로 턴-온 상태를 유지할 수 있게 한다. 제3 트랜지스터(T3)는 Q 노드(Q)에 로우 전압이 제공되었을 때 턴-온되어 하이 전압(VH)을 O2 노드(O2)에 인가한다.
- [0066] 출력신호 안정화부(16)는 제6 트랜지스터(T6)를 포함한다. 제6 트랜지스터(T6)의 게이트 전극은 O2 노드(O2)에 연결되고, 소스 전극은 하이 전압(VH)이 입력되는 하이 전압 라인에 연결되며, 드레인 전극은 Q 노드(Q)에 연결된다. O2 노드(O2)에 로우 전압이 인가되면 제6 트랜지스터(T6)가 턴-온되어 Q 노드(Q)에 하이 전압을 인가한다. 제6 트랜지스터(T6)는 풀다운부(11)를 턴-오프시키고 O1 노드(O1)에 턴-오프 전압이 안정적으로 유지될 수 있게 한다. 그리고, 제1 커패시터에 연결되어 다른 트랜지스터들에 비해 높은 스트레스를 받는 제6 트랜지스터(T6)를 더블 게이트형 트랜지스터로 형성함으로써 제6 트랜지스터(T6)의 신뢰성을 향상시킬 수 있다.
- [0067] 출력신호 안정화부(16)는 제2 커패시터(C2)를 더 포함한다. 제2 커패시터(C2)의 제1 전극은 Q 노드(Q)에 연결되고 제2 전극은 제2 클럭 신호 라인에 연결된다. 제2 커패시터(C2)는 Q 노드(Q)가 로우 전압일 때 차지펌핑

(Charge Pumping) 작용으로 Q 노드(Q) 전압을 로우 전압 상태로 유지시킨다.

- [0068] 폴다운부(11)는 제7 트랜지스터(T7)를 포함한다. 제7 트랜지스터(T7)의 게이트 전극은 Q 노드(Q)에 연결되고, 소스 전극은 로우 전압 라인에 연결되며, 드레인 전극은 O1 노드(O1)에 연결된다. Q 노드(Q)에 로우 전압이 입력되면 제7 트랜지스터(T7)는 턴-온되어 로우 전압(VL)을 O1 노드(O1)에 인가한다. O1 노드(O1)에 인가된 전압은 제k 스테이지의 제1 출력 신호로서 제k 픽셀 라인에 전달된다. 폴다운부(11)는 제3 커패시터(C3)를 더 포함한다. 제3 커패시터(C3)의 제1 전극은 Q 노드(Q)에 연결되고, 제2 전극은 O1 노드(O1)에 연결된다. 제3 커패시터(C3)는 로우 전압(VL)이 O1 노드(O1)에 인가될 때 부트스트래핑 현상에 의해 Q 노드(Q)의 전압을 로우 전압(VL)보다 더 낮은 상태로 만들어 제7 트랜지스터(T7)가 안정적으로 턴-온 상태를 유지할 수 있게 한다.
- [0069] 폴업부(12)는 제8 트랜지스터(T8)를 포함한다. 제8 트랜지스터(T8)의 게이트 전극은 O2 노드(O2)에 연결되고, 소스 전극은 하이 전압 라인에 연결되며, 드레인 전극은 O1 노드(O1)에 연결된다. O2 노드(O2)에 로우 전압이 제공되면 제8 트랜지스터(T8)는 턴-온되어 하이 전압(VH)을 O1 노드(O1)에 인가한다.
- [0070] 본 명세서의 제1 실시예에 따른 제k 스테이지에 포함된 트랜지스터들 중 더블 게이트형 트랜지스터로 도시된 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)뿐만 아니라 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 및 제4 트랜지스터(T4)도 더블 게이트형 트랜지스터로 구현함으로써 게이트 구동부의 신뢰성을 향상시킬 수 있다.
- [0071] 본 명세서의 제1 실시예에 따른 제k 스테이지는 8개의 트랜지스터를 포함하는 비교적 심플한 회로구성과 제k-1 스테이지의 출력 신호 두 개를 입력 신호로 사용함으로써 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄이고 스테이지를 구성하는 구성요소의 동작 마진을 확대할 수 있다.
- [0072] 도 5는 본 명세서의 제2 실시예에 따른 스테이지의 회로도이다. 도 5는 도 3의 블록도를 구체화한 회로도이고 게이트 구동부(130)를 구성하는 제k 스테이지(EM(k))를 예로서 설명한다.
- [0073] 도 5는 도 4의 회로도에서 제9 트랜지스터(T9)가 추가됨으로써 회로의 신뢰성이 향상된 구조이다. 따라서, 도 4와 중복되는 구성요소에 대해서는 설명을 생략하거나 간략히 할 수 있다.
- [0074] 도 5를 참조하면, 제k 스테이지(EM(k))는 폴다운부(11'), 폴업부(12), Q 노드 제어부(13), QB 노드 제어부(14), O2 노드 제어부(15), 및 출력신호 안정화부(16')를 포함한다. 폴업부(12), Q 노드 제어부(13), QB 노드 제어부(14), 및 O2 노드 제어부(15)는 본 명세서의 제1 실시예의 구성과 동일하다.
- [0075] 출력신호 안정화부(16')는 제6 트랜지스터(T6') 및 제9 트랜지스터(T9)를 포함한다. 제9 트랜지스터(T9)는 Q 노드(Q)에 연결되어 Q 노드(Q)를 Q 노드(Q)와 Q' 노드(Q')로 분리시킨다. 제9 트랜지스터(T9)의 게이트 전극은 로우 전압 라인에 연결되므로 제9 트랜지스터(T9)는 턴-온 상태를 유지한다. 제9 트랜지스터(T9)의 소스 전극 및 드레인 전극은 각각 Q 노드(Q) 및 Q' 노드(Q')에 연결된다. Q 노드(Q)가 분리됨에 따라, 제6 트랜지스터(T6')의 드레인 전극은 Q' 노드(Q')에 연결된다. 이 경우, 제9 트랜지스터(T9)는 Q 노드 안정화부라고 일컫을 수 있다.
- [0076] O2 노드 제어부(15)에 포함되어 Q 노드(Q)에 연결된 제3 트랜지스터(T3)와 출력신호 안정화부(16')에 포함된 제6 트랜지스터(T6')는 문턱전압의 열화가 다른 트랜지스터들 대비 크게 발생한다. 이를 해결하기 위하여, 제9 트랜지스터(T9)를 추가하여 Q 노드(Q)를 분리시킴으로써 제3 트랜지스터(T3)와 제6 트랜지스터(T6')의 문턱전압 열화 수준을 완화시키고 게이트 구동부의 신뢰성을 향상시킬 수 있다.
- [0077] 본 명세서의 제2 실시예에서는 폴다운부(11')를 구성하는 제7 트랜지스터(T7) 및 제3 커패시터 중 제3 커패시터를 생략할 수 있다. 제9 트랜지스터(T9)가 생략된 경우 Q 노드(Q)에는 기생 커패시턴스가 많이 형성되지만, 제9 트랜지스터(T9)가 추가되면서 Q 노드(Q)가 분리되어 Q 노드(Q)에 형성되는 기생 커패시턴스가 감소하기 때문이다.
- [0078] 본 명세서의 제2 실시예에 따른 제k 스테이지에 포함된 트랜지스터들 중 더블 게이트형 트랜지스터로 도시된 제5 트랜지스터(T5) 및 제6 트랜지스터(T6')뿐만 아니라 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 및 제4 트랜지스터(T4)도 더블 게이트형 트랜지스터로 구현함으로써 게이트 구동부의 신뢰성을 향상시킬 수 있다.
- [0079] 본 명세서의 제2 실시예에 따른 제k 스테이지는 제k-1 스테이지의 출력 신호 두 개를 입력 신호로 사용함으로써 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄이고 스테이지를 구성하는 구성요소의 동작 마진을 확대할 수 있다.

- [0080] 도 6은 본 명세서의 제3 실시예에 따른 스테이지의 회로도이다. 도 5는 도 3의 블록도를 구체화한 회로도이고 게이트 구동부(130)를 구성하는 제k 스테이지(EM(k))를 예로서 설명한다.
- [0081] 도 6은 도 5의 회로도에서 제10 트랜지스터(T10)가 추가됨으로써 트랜지스터의 동작마진이 확대되어 문턱전압의 쉬프트로 인한 동작불능 문제를 개선할 수 있다. 그리고, 제4 커패시터(C4)가 추가됨으로써 01 노드(01)에 인가되는 전압의 왜곡 문제를 개선할 수 있다.
- [0082] 이하에서 도 6의 설명 중 도 4 또는 도 5와 중복되는 구성요소에 대해서는 설명을 생략하거나 간략히 할 수 있다.
- [0083] 도 6을 참조하면, 제k 스테이지(EM(k))는 풀다운부(11'), 풀업부(12), Q 노드 제어부(13), QB 노드 제어부(14), 02 노드 제어부(15), 및 출력신호 안정화부(16')를 포함한다.
- [0084] 풀다운부(11'), 풀업부(12), Q 노드 제어부(13), QB 노드 제어부(14), 및 02 노드 제어부(15)는 본 명세서의 제2 실시예의 구성과 동일하다.
- [0085] 출력신호 안정화부(16')는 제6 트랜지스터(T6''), 제9 트랜지스터(T9), 제10 트랜지스터(T10), 제2 커패시터(C2), 및 제4 커패시터(C4)를 포함한다. 이 중, 제9 트랜지스터(T9) 및 제2 커패시터(C2)는 도 5의 구성요소와 동일하므로 설명은 생략한다.
- [0086] 제10 트랜지스터(10)의 게이트 전극은 제2 클럭 신호 라인에 연결되고, 소스 전극은 제6 트랜지스터(T6'')의 드레인 전극에 연결되며, 드레인 전극은 Q' 노드(Q')에 연결된다. 그리고, 제6 트랜지스터(T6'')의 게이트 전극은 02 노드(02)에 연결되고, 소스 전극은 하이 전압 라인에 연결되며, 드레인 전극은 제10 트랜지스터(T10)의 소스 전극에 연결된다. 제10 트랜지스터(T10)는 제1 클럭 신호(CLK1)가 턴-온 전압인 경우 제1 트랜지스터(T1)를 통해 전달된 턴-온 전압과 제6 트랜지스터(T6'')를 통해 전달된 하이 전압이 충돌하는 것을 방지하여, 제3 트랜지스터(T3)가 열화되어 문턱전압이 쉬프트되더라도 제1 트랜지스터(T1)를 통한 제k-1 스테이지의 제1 출력 신호가 정상적으로 전달될 수 있게 한다.
- [0087] 제4 커패시터(C4)의 제1 전극은 02 노드(02)에 연결되고 제2 전극은 하이 전압 라인에 연결된다. 제4 커패시터(C4)는 01 노드(01)가 하이 전압에서 로우 전압으로 바뀌기 전인 QB 노드(QB)가 로우 전압에서 하이 전압으로 바뀔 때 제1 커패시터(C1)에 의해 02 노드(02) 전압이 하이 전압이 되는 것을 방지하고, 02 노드(02)가 로우 전압 상태를 유지하고 01 노드(01)가 하이 전압 상태를 유지할 수 있게 한다. 이 경우, 제10 트랜지스터(T10) 및 제4 커패시터(C4)는 동작마진 확대부라고 일컫을 수 있다.
- [0088] 본 명세서의 제3 실시예에 따른 제k 스테이지에 포함된 트랜지스터들 중 더블 게이트형 트랜지스터로 도시된 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)뿐만 아니라 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제6 트랜지스터(T6'')도 더블 게이트형 트랜지스터로 구현함으로써 게이트 구동부의 신뢰성을 향상시킬 수 있다.
- [0089] 본 명세서의 제3 실시예에 따른 제k 스테이지는 제k-1 스테이지의 출력 신호 두 개를 입력 신호로 사용함으로써 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄이고 스테이지를 구성하는 구성요소의 동작 마진을 확대할 수 있다.
- [0090] 도 7은 본 명세서의 일 실시예에 따른 스테이지의 구동 파형도이다. 도 7의 파형도는 본 명세서의 제1 실시예, 제2 실시예, 및 제3 실시예에도 동일하게 적용될 수 있다.
- [0091] 도 7, 도 4, 도 5, 및 도 6을 참조하면, 제1 기간(①)에서 제k-1 스테이지(EM(k-1))의 제2 출력 신호(OUT2(k-1)) 및 제2 클럭 신호(CLK2)가 로우 전압이므로 제2 트랜지스터(T2)가 턴-온되어 QB 노드(QB)에 로우 전압이 인가된다. 그리고, QB 노드(QB)에 인가된 로우 전압으로 인해 제5 트랜지스터(T5)가 턴-온되어 로우 전압(VL)이 제5 트랜지스터의 드레인 전극에 인가된다.
- [0092] 제2 기간(②)에서 제1 클럭 신호(CLK1)가 로우 전압이므로 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)가 턴-온되어 제k-1 스테이지의 제1 출력 신호(OUT1(k-1))의 하이 전압이 Q 노드(Q)에 인가되고 제5 트랜지스터(T5)의 드레인 전극의 로우 전압이 02 노드(02)에 인가된다. 따라서, 제2 기간(②) 동안 제k 스테이지의 제2 출력 신호(OUT2)는 로우 전압이다. 그리고, 제1 커패시터(C1)의 부트스트래핑으로 QB 노드(QB)는 로우 전압보다 더 낮아지므로 제5 트랜지스터(T5)가 안정적으로 턴-온 상태를 유지할 수 있다. 그리고, 02 노드(02)에 인가된 로우 전압으로 인해 제8 트랜지스터가 턴-온되므로 01 노드(01)에 하이 전압이 인가된다. 따라서, 제2 기간(②) 동안 제

k 스테이지의 제1 출력 신호(OUT1)는 하이 전압이다.

- [0093] 제k-1 스테이지의 제1 출력 신호(OUT1(k-1)) 및 제2 출력 신호(OUT2(k-1))는 각각 하이 전압 및 로우 전압이 4 수평기간 동안 유지되고, 이에 따라 제k 스테이지의 제1 출력 신호(OUT1) 및 제2 출력 신호(OUT2)는 각각 하이 전압 및 로우 전압이 4 수평기간 동안 유지된다.
- [0094] 추가적으로, 제1 실시예 및 제2 실시예의 경우, 제2 기간(②)을 포함하여 3 수평기간 동안 O2 노드(O2)에 인가된 로우 전압으로 인해 제6 트랜지스터(T6, T6')가 턴-온되어 Q 노드(Q) 및 Q' 노드(Q')에 하이 전압을 인가함으로써 제1 출력 신호(OUT1)는 안정적으로 하이 전압을 출력할 수 있다. 제3 실시예의 경우, 제2 기간(②)을 포함하여 3 수평기간 동안 O2 노드(O2)에 인가된 로우 전압으로 인해 제6 트랜지스터(T6'')가 턴-온되지만 제10 트랜지스터(T10)는 제2 클럭 신호(CLK2)가 로우 전압일 때만 턴-온되므로 Q' 노드(Q')에 하이 전압이 간헐적으로 인가된다.
- [0095] 제3 기간(③)에서 제k-1 스테이지의 제2 출력 신호(OUT2(k-1))가 하이 전압으로 전환되고 제2 클럭 신호(CLK2)가 로우 전압이므로 하이 전압이 QB 노드(QB)에 인가된다. 그리고, 제5 트랜지스터(T5)는 턴-오프된다.
- [0096] 제4 기간(④)에서 제k-1 스테이지의 제1 출력 신호(OUT1(k-1)) 및 제1 클럭 신호(CLK1)가 로우 전압이므로 제1 트랜지스터(T1)가 턴-온되어 로우 전압을 Q 노드(Q)에 인가한다. 이에 따라 제3 트랜지스터(T3)가 턴-온되어 O2 노드(O2)에 하이 전압을 인가한다. 하이 전압은 제8 트랜지스터(T8)를 턴-오프시키고 제k 스테이지의 제2 출력 신호(OUT2)로 제k+1 스테이지에 입력된다. 또한, Q 노드(Q)에 인가된 로우 전압에 의해 제7 트랜지스터(T7)가 턴-온되므로 로우 전압이 O1 노드(O1)에 인가된다. 이 경우, 제7 트랜지스터(T7)의 문턱전압 값 때문에 O1 노드(O1)에 완전한 로우 전압이 인가되지는 않는다. 이는 제5 기간(⑤)에서 제2 커패시터(C2)에 의해 보상될 수 있다.
- [0097] 제5 기간(⑤)에서 제2 클럭 신호(CLK2)가 로우 전압으로 전환되면서 제2 커패시터(C2)의 부트스트래핑 현상에 의해 Q 노드(Q)의 전압이 안정적으로 로우 전압이되어 제7 트랜지스터(T7)가 턴-온 상태를 유지하면서 O1 노드(O1)에 로우 전압이 인가된다. O1 노드(O1)에 인가된 전압은 제k 스테이지의 제1 출력 신호(OUT1)로써 제k 픽셀 라인에 인가된다.
- [0098] 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0099] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들 및 에미션 라인에 에미션 신호를 공급하며 복수의 스테이지들로 이루어진 에미션 구동부를 포함한다. 복수의 스테이지들 중 제k(k는 1 이상인 자연수)번째 스테이지는 각각 Q 노드 및 제2 출력 노드에 의해 제어되어 에미션 라인에 연결된 제1 출력 노드에 전압을 제공하는 풀다운부 및 풀업부, 제k-1번째 스테이지의 제1 출력 노드의 전압 또는 제1 스타트 신호를 인가받는 제1 제어부, 제k-1번째 스테이지의 제2 출력 노드의 전압 또는 제2 스타트 신호를 인가받는 제2 제어부, 제2 출력 노드의 전압을 제어하기 위한 제3 제어부, 및 제2 출력 노드에 의해 제어되는 제4 제어부를 포함한다. 그리고 제1 출력 노드는 에미션 라인에 연결된다. 이에 따라, 스테이지를 구성하는 구성요소의 동작 마진을 확대하고, 게이트 구동부의 신뢰성을 향상시킬 수 있다. 또한, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄일 수 있다.
- [0100] 본 명세서의 다른 특징에 따르면, 제4 제어부는 Q 노드 안정화부를 더 포함하고, Q 노드 안정화부는 Q 노드를 Q 노드 및 Q' 노드로 분리할 수 있다.
- [0101] 본 명세서의 다른 특징에 따르면, 제4 제어부는 동작마진 확대부를 더 포함할 수 있고, 동작마진 확대부는 제4 제어부 내에 발생할 수 있는 전압의 충돌을 방지할 수 있다.
- [0102] 본 명세서의 다른 특징에 따르면, 제3 제어부는 커패시터를 포함하고, 커패시터에 연결된 트랜지스터를 제3 제어부 및 제4 제어부에 각각 적어도 하나 포함하며, 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.
- [0103] 본 명세서의 다른 특징에 따르면, 풀다운부는 Q 노드 및 제2 출력 노드에 연결된 커패시터를 포함할 수 있다.
- [0104] 본 명세서의 다른 특징에 따르면, 제1 제어부는 제1 클럭 신호에 의해 제어되고, 제2 제어부는 제2 클럭 신호에 의해 제어되며, 제1 클럭 신호 및 제2 클럭 신호는 1 수평기간을 주기로 로우 전압과 하이 전압 사이를 스위칭하고 서로 반대 위상을 가질 수 있다.
- [0105] 본 명세서의 일 실시예에 따라 스테이지들을 포함하는 게이트 구동부에 있어서, 제k(k는 1 이상인 자연수)번째 스테이지는 제1 출력 노드를 제어하는 풀다운 트랜지스터 및 풀업 트랜지스터, 제2 출력 노드를 제어하는 제어

부를 포함하고, 제1 출력 노드 및 제2 출력 노드에 인가된 전압은 제k+1번째 스테이지의 스타트 신호로 인가된다. 제어부는 Q 노드에 의해 제어되는 제3 트랜지스터, 제1 클럭 신호에 의해 제어되는 제4 트랜지스터, QB 노드에 의해 제어되는 제5 트랜지스터, 및 QB 노드에 일전극이 연결되고 제2 출력 노드에 타전극이 연결된 제1 커패시터를 포함한다. 이에 따라, 스테이지를 구성하는 구성요소의 동작 마진을 확대하고, 게이트 구동부의 신뢰성을 향상시킬 수 있다. 또한, 스테이지가 차지하는 면적을 축소시켜 베젤 영역을 줄일 수 있다.

- [0106] 본 명세서의 다른 특징에 따르면, 제3 제어 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.
- [0107] 본 명세서의 다른 특징에 따르면, 제k번째 스테이지는 Q 노드의 전압을 제어하는 제1 트랜지스터 및 QB 노드의 전압을 제어하는 제2 트랜지스터를 포함할 수 있다. 제1 트랜지스터는 제k-1번째 스테이지의 제1 출력 노드와 연결되고, 제2 트랜지스터는 상기 제k-1번째 스테이지의 제2 출력 노드와 연결될 수 있다.
- [0108] 본 명세서의 다른 특징에 따르면, 제k번째 스테이지는 제2 출력 노드에 의해 제어되고 Q 노드에 연결된 제6 트랜지스터, 및 Q 노드와 제2 클럭 신호 라인에 연결된 제2 커패시터를 포함할 수 있다. 풀다운 트랜지스터 및 제5 트랜지스터는 로우 전압 라인에 연결되고, 풀업 트랜지스터, 제3 트랜지스터, 및 제6 트랜지스터는 하이 전압 라인에 연결될 수 있다. 그리고, 제6 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.
- [0109] 본 명세서의 다른 특징에 따르면, 제k번째 스테이지는 Q 노드 및 제1 출력 노드에 연결된 제3 커패시터를 포함할 수 있다.
- [0110] 본 명세서의 다른 특징에 따르면, 제k번째 스테이지는 제2 출력 노드에 의해 제어되고 Q 노드에 연결된 제6 트랜지스터, Q 노드에 연결되어 Q 노드를 Q 노드 및 Q' 노드로 분할하는 제9 트랜지스터, 및 Q 노드와 제2 클럭 신호 라인에 연결된 제2 커패시터를 포함할 수 있다. 풀다운 트랜지스터, 제5 트랜지스터, 및 제9 트랜지스터는 게이트 로우 전압 라인에 연결되고, 풀업 트랜지스터, 제3 트랜지스터, 및 제6 트랜지스터는 게이트 하이 전압 라인에 연결될 수 있다. 그리고, 제6 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.
- [0111] 본 명세서의 다른 특징에 따르면, 제k번째 스테이지는 Q 노드에 연결되어 Q 노드를 Q 노드 및 Q' 노드로 분할하는 제9 트랜지스터, 제2 출력 노드에 의해 제어되는 제6 트랜지스터, 제2 클럭 신호에 의해 제어되고 Q' 노드 및 제6 트랜지스터에 연결된 제10 트랜지스터, Q 노드 및 제2 클럭 신호가 입력되는 제2 클럭 신호 라인에 연결된 제2 커패시터, 및 제2 출력 노드 및 하이 전압 라인에 연결된 제4 커패시터를 포함할 수 있다. 풀다운 트랜지스터, 제5 트랜지스터, 및 제9 트랜지스터는 게이트 로우 전압 라인에 연결되고, 풀업 트랜지스터, 제3 트랜지스터, 및 제6 트랜지스터는 게이트 하이 전압 라인에 연결될 수 있다. 그리고, 제6 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.
- [0112] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0113] GL1~GLn : 게이트 라인들 DL1~DLm : 데이터 라인들
- 11, 11' : 풀다운부 12 : 풀업부
- 13 : Q 노드 제어부 14 : QB 노드 제어부
- 15 : O2 노드 제어부 16, 16', 16'' : 출력신호 안정화부
- 100 : 전계발광 표시장치
- 110 : 영상 처리부
- 120 : 타이밍 제어부
- 130 : 게이트 구동부

140 : 데이터 구동부

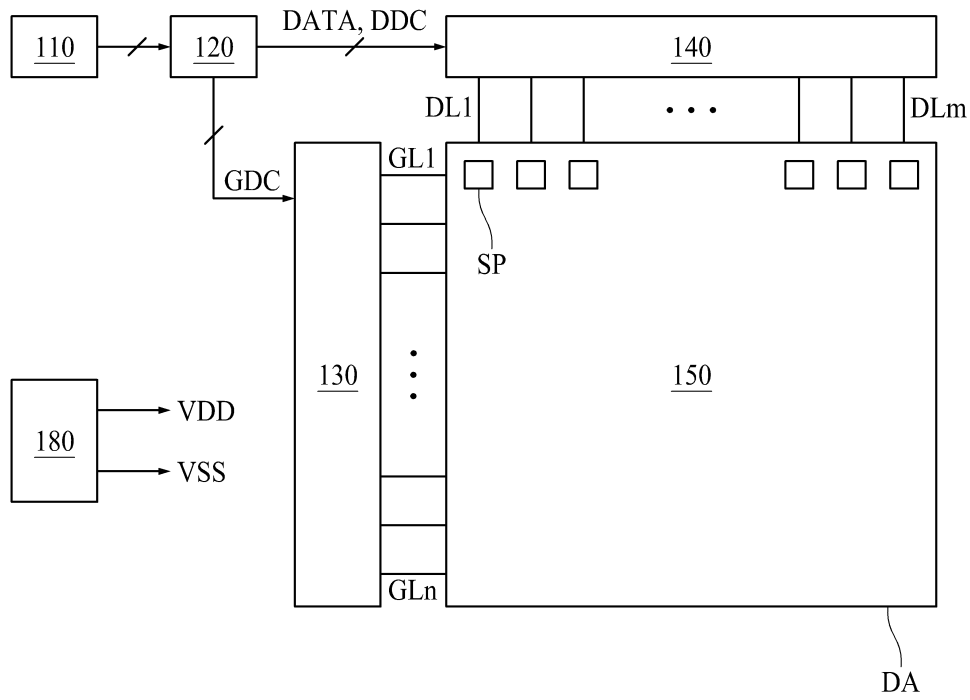
150 : 표시패널

180 : 전원 공급부

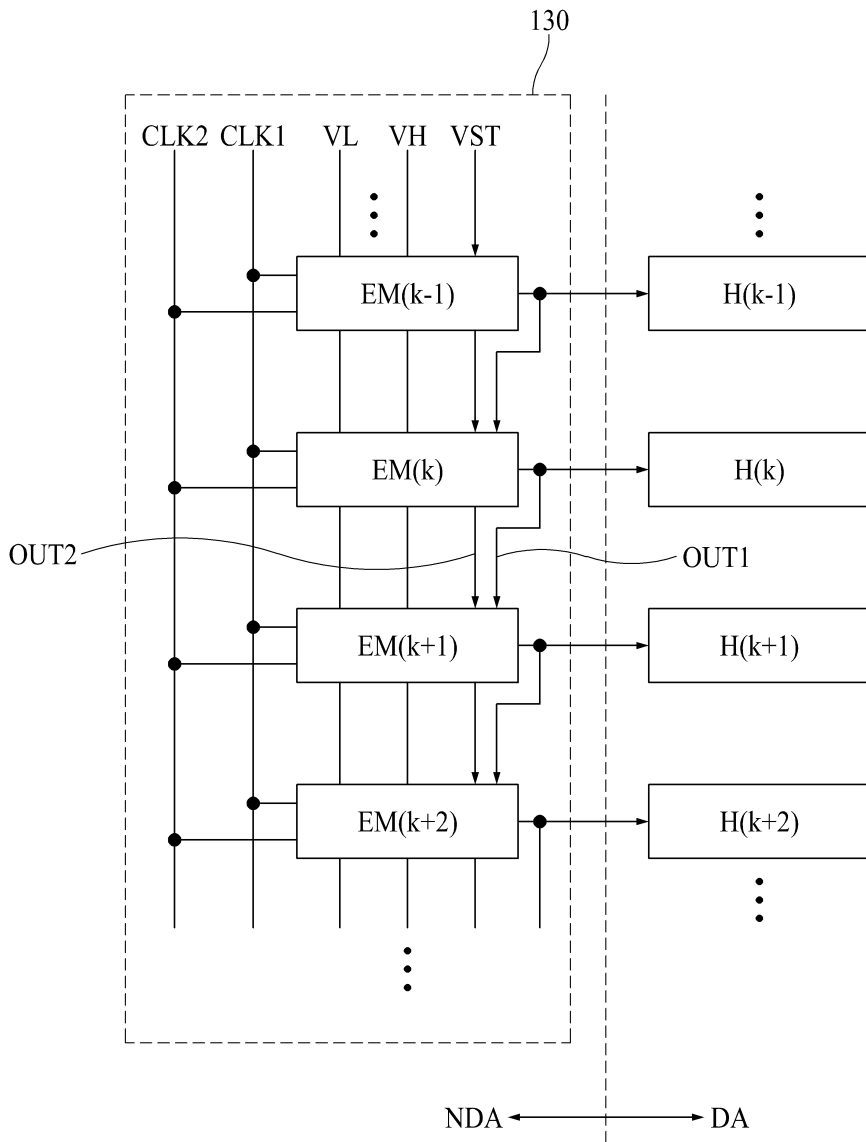
도면

도면1

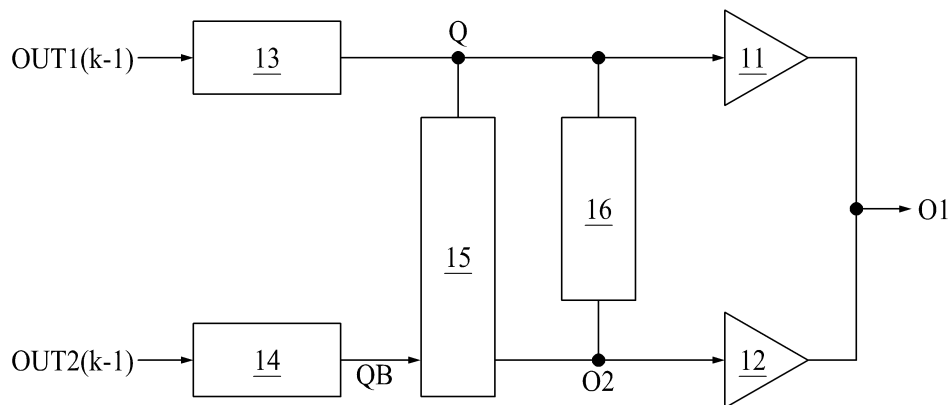
100



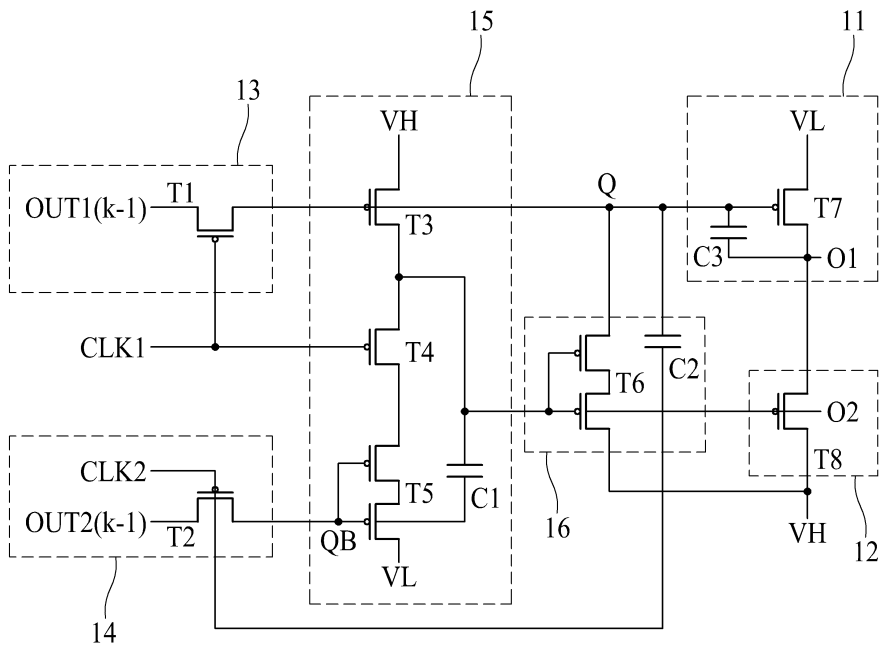
도면2



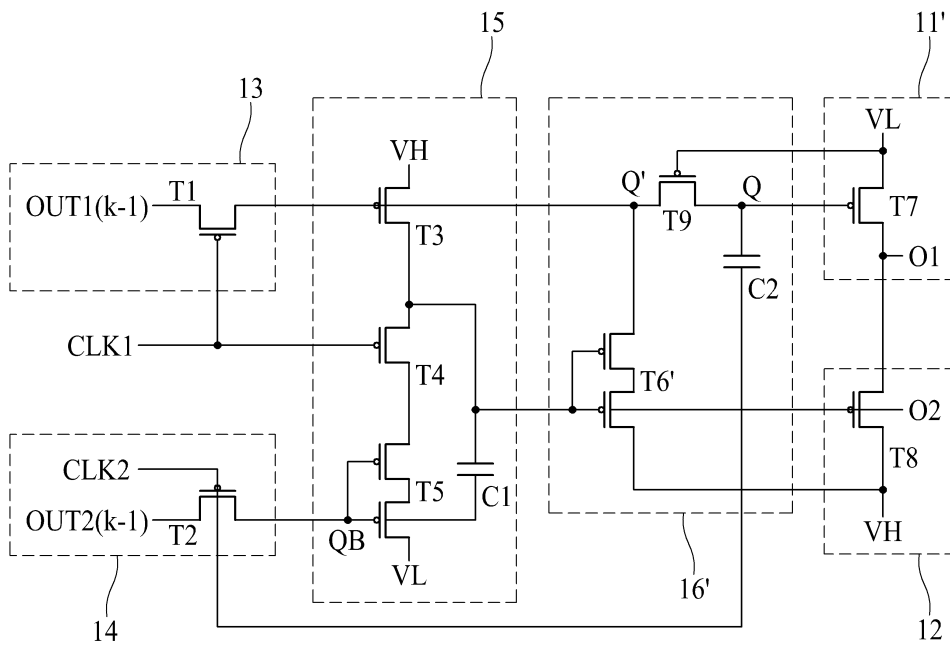
도면3



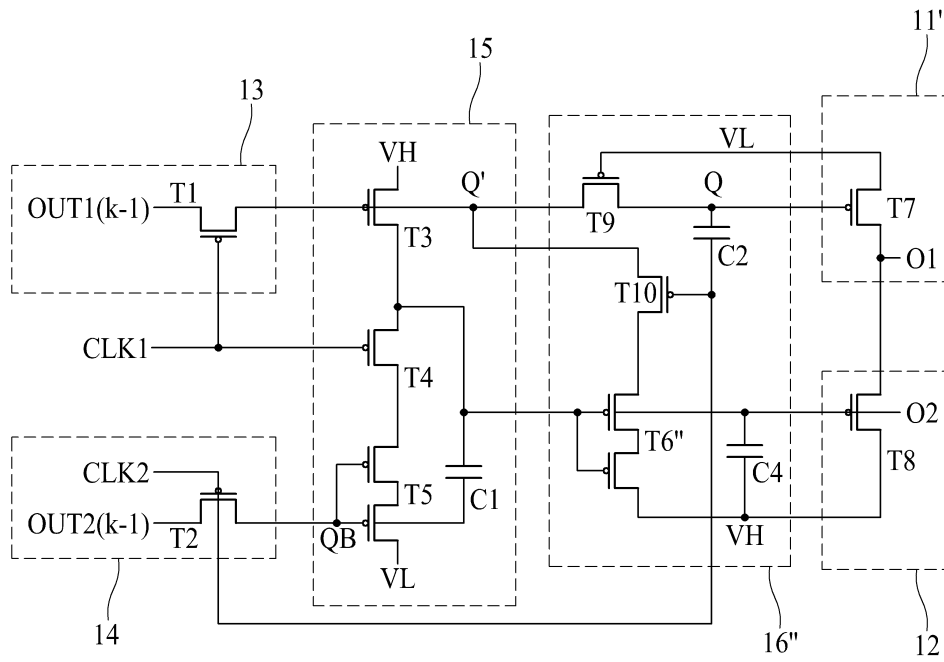
도면4



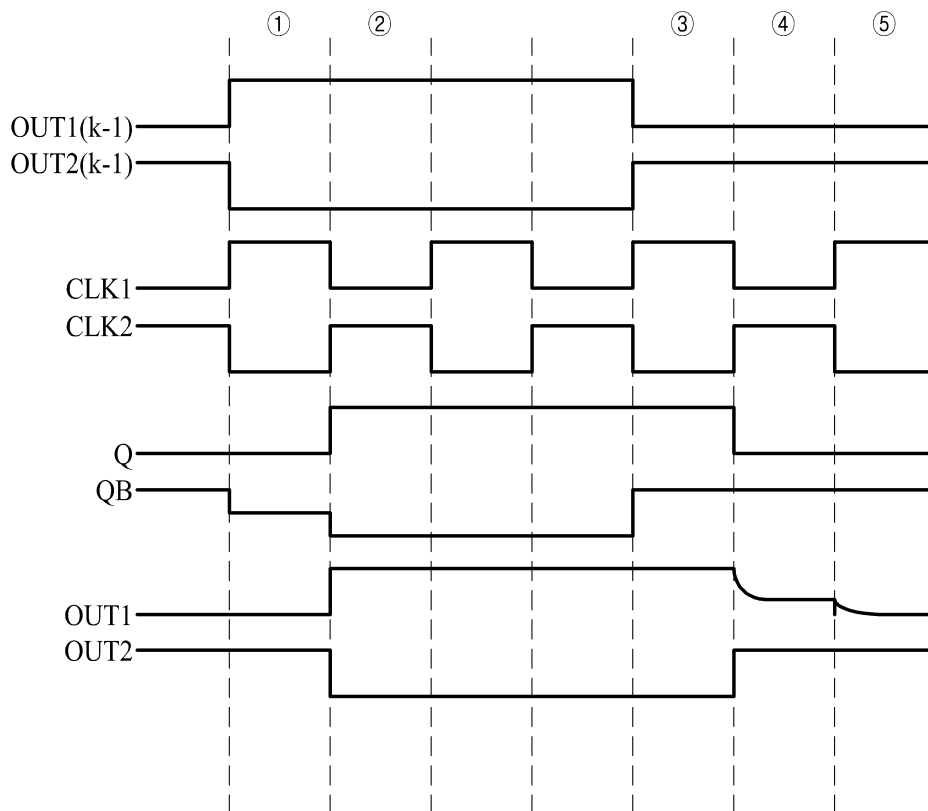
도면5



도면6



도면7



专利名称(译)	栅极驱动器和使用该栅极驱动器的电致发光显示装置		
公开(公告)号	KR1020200013923A	公开(公告)日	2020-02-10
申请号	KR1020180089163	申请日	2018-07-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	유재성		
发明人	유재성		
IPC分类号	G09G3/3266 G09G3/32		
CPC分类号	G09G3/3266 G09G3/32 G09G2230/00 G09G2300/0408 G09G2310/0286 G09G2300/08 G09G2310/08 G09G2320/0626		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的电致发光显示装置包括：子像素，其连接到发射线；以及子像素。发射驱动单元将发射信号提供给发射线，并由多级组成。这里，第k级（k是1以上的自然数）级包括：下拉单元和上拉单元，其分别由Q节点和第二输出节点控制。为了向连接到发射线的第一输出节点提供电压；第一控制单元，其接收第一输出节点的电压或第k-1级的第一起始信号；第二控制单元，其接收第二输出节点的电压或第（k-1）级的第二起始信号；第三控制单元，其控制第二输出节点的电压；第四控制单元，由第二输出节点控制。在此，第一输出节点连接到发射线。因此，可以扩大构成级的部件的操作裕度，并且可以提高栅极驱动单元的可靠性。另外，可以减小平台占用的面积，从而减小边框面积。

