



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0130705  
(43) 공개일자 2019년11월25일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/50 (2006.01)  
H01L 51/56 (2006.01)  
(52) CPC특허분류  
H01L 27/3258 (2013.01)  
H01L 51/50 (2013.01)  
(21) 출원번호 10-2018-0055044  
(22) 출원일자 2018년05월14일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
배철민  
경기도 용인시 기흥구 삼성로 1 (농서동)  
김창욱  
경기도 용인시 기흥구 삼성로 1 (농서동)  
한지혜  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(74) 대리인  
리엔목특허법인

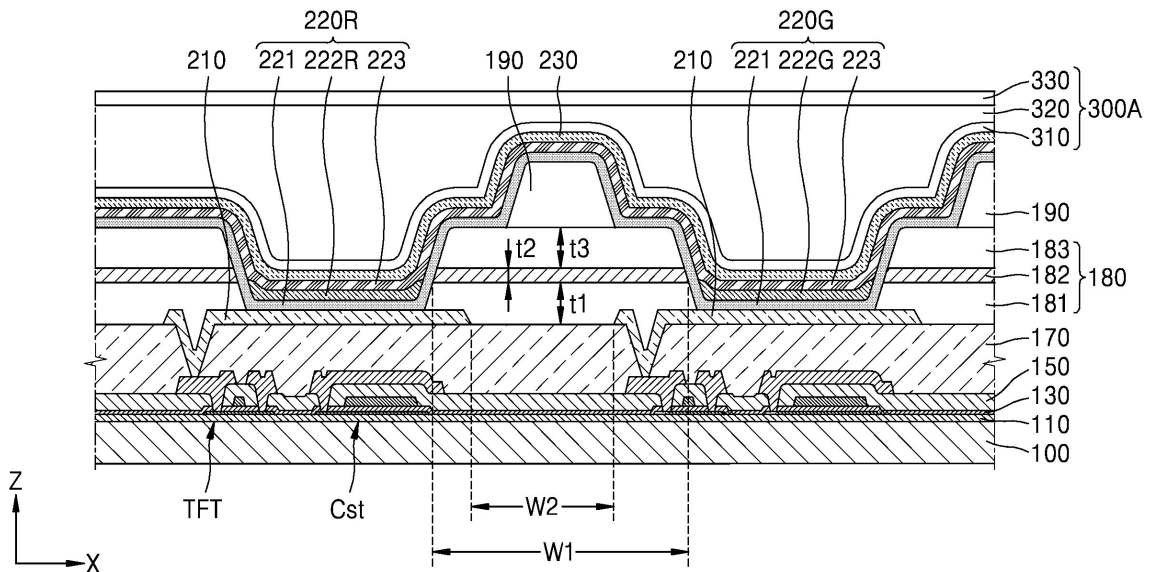
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 디스플레이 장치

(57) 요약

본 발명의 일 실시예는, 유기 절연층과, 유기 절연층 상의 화소전극과, 화소전극의 가장자리를 커버하고 화소전극에 대응하는 개구를 가지며 무기절연물을 포함하는 제1층 및 제1과장대역에서 광 투과율이 상기 제1층 보다 작은 제2층을 포함하는 화소정의막과, 개구를 통해 노출된 상기 화소전극 상에 위치하며 발광층을 구비하는 중간층, 및 중간층 상에 배치되는 대향전극을 포함하는, 디스플레이 장치를 개시한다.

대표도



(52) CPC특허분류  
*H01L 51/56* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

유기 절연층;

상기 유기 절연층 상의 화소전극;

상기 화소전극의 가장자리를 커버하고 상기 화소전극에 대응하는 개구를 가지며, 무기절연물을 포함하는 제1층 및 제1과장대역에서 광 투과율이 상기 제1층 보다 작은 제2층을 포함하는 화소정의막;

상기 개구를 통해 노출된 상기 화소전극 상에 위치하며, 발광층을 구비하는 중간층; 및

상기 중간층 상에 배치되는 대향전극;

을 포함하는, 디스플레이 장치.

#### 청구항 2

제1항에 있어서,

상기 제1과장대역은 10nm 내지 400nm의 범위인, 디스플레이 장치.

#### 청구항 3

제1항 또는 제2항에 있어서,

상기 제2층은 상기 제1과장대역에서의 광 투과율이 2%이거나 그보다 작은, 디스플레이 장치.

#### 청구항 4

제1항에 있어서,

상기 화소전극과 인접한 제1화소전극을 더 포함하며,

상기 화소전극 및 상기 제1화소전극 사이에 해당하는 상기 유기 절연층의 부분은, 상기 제2층에 의해 전체적으로 커버되는, 디스플레이 장치.

#### 청구항 5

제1항에 있어서,

상기 제1층은 실리콘 나이트라이드, 및 실리콘 옥사이드 중 적어도 어느 하나를 포함하는, 디스플레이 장치.

#### 청구항 6

제1항에 있어서,

상기 제2층은 아모퍼스 실리콘을 포함하는, 디스플레이 장치.

#### 청구항 7

제6항에 있어서,

상기 제2층은,

두께가 1000Å 이거나 그보다 큰 아모퍼스 실리콘층을 포함하는, 디스플레이 장치.

#### 청구항 8

제1항에 있어서,

상기 제2층은 상기 제1과장대역에서의 광을 흡수하는 아모퍼스 카본계열의 물질을 포함(다만, DLC: diamond-like carbon은 제외) 하는, 디스플레이 장치.

**청구항 9**

제1항에 있어서,

상기 제1층은 상기 유기 절연층과 상기 제2층 사이에 개재되고, 상기 제1층의 일부는 상기 유기 절연층과 직접 접촉하는, 디스플레이 장치.

**청구항 10**

제1항에 있어서,

상기 제2층 상에 배치되며 무기 절연물을 포함하는 제3층을 더 포함하며, 상기 제2층은 상기 제1층과 상기 제3층 사이에 개재되는, 디스플레이 장치.

**청구항 11**

제1항에 있어서,

상기 제2층은 제1서브층 및 제2서브층을 포함하며,

상기 제1서브층 및 상기 제2서브층 중 상기 유기 절연층에 더 인접한 서브층은, 다른 서브층 보다 광 흡수율이 더 큰, 디스플레이 장치.

**청구항 12**

기관;

상기 기관 상의 박막 트랜지스터;

상기 박막 트랜지스터를 커버하는 유기 절연층;

상기 유기 절연층의 콘택홀을 통해 상기 박막 트랜지스터와 전기적으로 연결된 화소전극;

상기 화소전극의 가장자리를 커버하되 상기 화소전극에 대응하는 개구를 가지며, 제1층 및 제1과장대역에서 투과율이 상기 제1층 보다 작은 제2층을 포함하는 화소정의막;

상기 화소정의막 상의 스페이서;

상기 개구를 통해 노출된 상기 화소전극 상에 위치하며, 발광층을 구비하는 중간층; 및

상기 중간층 상에 배치되는 대향전극;

을 포함하는, 디스플레이 장치.

**청구항 13**

제12항에 있어서,

상기 화소전극과 인접한 제1화소전극을 더 포함하며,

상기 화소전극 및 상기 제1화소전극 사이에 해당하는 상기 유기 절연층의 부분은, 상기 제2층에 의해 전체적으로 커버되는, 디스플레이 장치.

**청구항 14**

제12항 또는 제13항에 있어서,

상기 제1과장대역은 10nm 내지 400nm의 범위인, 디스플레이 장치.

**청구항 15**

제14항에 있어서,

상기 제1과장대역에서 상기 제2층이 광 투과율은 2%이거나 그 보다 작은, 디스플레이 장치.

**청구항 16**

제12항에 있어서,

상기 제2층을 커버하는 제3층을 더 포함하며, 상기 제2층은 상기 제1층과 제3층 사이에 개재되는, 디스플레이 장치.

**청구항 17**

제16항에 있어서,

상기 제1층 및 상기 제3층은 상기 제1과장대역에서 상기 제1층 보다 광 투과율이 큰 무기 절연물을 포함하는, 디스플레이 장치.

**청구항 18**

제12항 또는 제16항에 있어서,

상기 제1층의 부분은 상기 유기 절연층과 직접 접촉하는, 디스플레이 장치.

**청구항 19**

제12항에 있어서,

상기 제2층은 아모퍼스 실리콘 및 아모퍼스 카본 계열 물질(다만, DLC: diamond-like carbon은 제외) 중 적어도 어느 하나를 포함하는, 디스플레이 장치.

**청구항 20**

제12항에 있어서,

상기 제2층은 제1서브층 및 제2서브층을 포함하며,

상기 제1서브층 및 상기 제2서브층 중 상기 유기 절연층에 더 인접한 서브층은, 다른 서브층 보다 광 흡수율이 더 큰, 디스플레이 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 디스플레이 장치에 관한 것이다.

**배경 기술**

[0002] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 넓은 시야각, 높은 콘트라스트(contrast) 및 빠른 응답 속도 등의 고품위 특성으로 인해 차세대 표시 장치로 주목받고 있다.

[0003] 유기 발광 표시 장치의 유기 발광 소자는 수분, 산소 또는 공정 중이나 공정 이후에 발생하는 기체와 같은 불순물에 의해 손상을 받을 수 있으며, 이 경우 수명과 품질이 저하될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 본 발명의 공정 중이나 공정 이후에 발생하는 기체와 같은 불순물에 의해 표시요소가 손상되는 문제를 방지할 수 있는 디스플레이 장치를 제공한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

**과제의 해결 수단**

- [0005] 본 발명의 일 실시예는, 유기 절연층; 상기 유기 절연층 상의 화소전극; 상기 화소전극의 가장자리를 커버하고 상기 화소전극에 대응하는 개구를 가지며, 무기절연물을 포함하는 제1층 및 제1과장대역에서 광 투과율이 상기 제1층 보다 작은 제2층을 포함하는 화소정의막; 상기 개구를 통해 노출된 상기 화소전극 상에 위치하며, 발광층을 구비하는 중간층; 및 상기 중간층 상에 배치되는 대향전극;을 포함하는, 디스플레이 장치를 개시한다.
- [0006] 본 실시예에 있어서, 상기 제1과장대역은 10nm 내지 400nm의 범위일 수 있다.
- [0007] 본 실시예에 있어서, 상기 제2층은 상기 제1과장대역에서의 광 투과율이 2%이거나 그보다 작을 수 있다.
- [0008] 본 실시예에 있어서, 상기 화소전극과 인접한 제1화소전극을 더 포함하며, 상기 화소전극 및 상기 제1화소전극 사이에 해당하는 상기 유기 절연층의 부분은, 상기 제2층에 의해 전체적으로 커버될 수 있다.
- [0009] 본 실시예에 있어서, 상기 제1층은 실리콘 나이트라이드, 및 실리콘 옥사이드 중 적어도 어느 하나를 포함할 수 있다.
- [0010] 본 실시예에 있어서, 상기 제2층은 아모퍼스 실리콘을 포함할 수 있다.
- [0011] 본 실시예에 있어서, 상기 제2층은, 두께가 1000Å 이거나 그보다 큰 아모퍼스 실리콘층을 포함할 수 있다.
- [0012] 본 실시예에 있어서, 상기 제2층은 상기 제1과장대역에서의 광을 흡수하는 아모퍼스 카본계열의 물질(다만, DLC: diamond-like carbon은 제외)을 포함할 수 있다.
- [0013] 본 실시예에 있어서, 상기 제1층은 상기 유기 절연층과 상기 제2층 사이에 개재되고, 상기 제1층의 일부는 상기 유기 절연층과 직접 접촉할 수 있다.
- [0014] 본 실시예에 있어서, 상기 제2층 상에 배치되며 무기 절연물을 포함하는 제3층을 더 포함하며, 상기 제2층은 상기 제1층과 상기 제3층 사이에 개재될 수 있다.
- [0015] 본 실시예에 있어서, 상기 제2층은 제1서브층 및 제2서브층을 포함하며, 상기 제1서브층 및 상기 제2서브층 중 상기 유기 절연층에 더 인접한 서브층은, 다른 서브층 보다 광 흡수율이 더 클 수 있다.
- [0016] 본 발명의 다른 실시예는, 기판; 상기 기판 상의 박막 트랜지스터; 상기 박막 트랜지스터를 커버하는 유기 절연층; 상기 유기 절연층의 콘택홀을 통해 상기 박막 트랜지스터와 전기적으로 연결된 화소전극; 상기 화소전극의 가장자리를 커버하고 상기 화소전극에 대응하는 개구를 가지며, 제1층 및 제1과장대역에서 광 투과율이 상기 제1층 보다 작은 제2층을 포함하는 화소정의막; 상기 화소정의막 상의 스페이서; 상기 개구를 통해 노출된 상기 화소전극 상에 위치하며, 발광층을 구비하는 중간층; 및 상기 중간층 상에 배치되는 대향전극;을 포함하는, 디스플레이 장치를 개시한다.
- [0017] 본 실시예에 있어서, 상기 화소전극과 인접한 제1화소전극을 더 포함하며, 상기 화소전극 및 상기 제1화소전극 사이에 해당하는 상기 유기 절연층의 부분은, 상기 제2층에 의해 전체적으로 커버될 수 있다.
- [0018] 본 실시예에 있어서, 상기 제1과장대역은 10nm 내지 400nm의 범위일 수 있다.
- [0019] 본 실시예에 있어서, 상기 제1과장대역에서 상기 제2층이 광 투과율은 2%이거나 그 보다 작을 수 있다.
- [0020] 본 실시예에 있어서, 상기 제2층을 커버하는 제3층을 더 포함하며, 상기 제2층은 상기 제1층과 제3층 사이에 개재될 수 있다.
- [0021] 본 실시예에 있어서, 상기 제1층 및 상기 제3층은 상기 제1과장대역에서 상기 제1층 보다 광 투과율이 큰 무기 절연물을 포함할 수 있다.
- [0022] 본 실시예에 있어서, 상기 제1층의 부분은 상기 유기 절연층과 직접 접촉할 수 있다.
- [0023] 본 실시예에 있어서, 상기 제2층은 아모퍼스 실리콘 및 아모퍼스 카본계열 물질(다만, DLC: diamond-like carbon은 제외) 중 적어도 어느 하나를 포함할 수 있다.
- [0024] 본 실시예에 있어서, 상기 제2층은 제1서브층 및 제2서브층을 포함하며, 상기 제1서브층 및 상기 제2서브층 중 상기 유기 절연층에 더 인접한 서브층은, 다른 서브층 보다 광 흡수율이 더 클 수 있다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

**발명의 효과**

[0026] 본 발명의 실시예들에 관한 실시예에 따르면, 절연층에서 발생하는 기체와 같은 불순물에 의해 표시요소가 손상되는 것을 효과적으로 방지할 수 있으며, 따라서 고품질의 디스플레이 장치를 제공할 수 있다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

[0027] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 평면도이다.  
 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치의 어느 한 화소의 등가회로도이다.  
 도 3은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 단면도이다.  
 도 4는 본 발명의 다른 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 단면도이다.  
 도 5는 아모퍼스 실리콘층의 두께에 따른 광 투과율을 나타낸 그래프이다.  
 도 6은 본 발명의 다른 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 단면도이다.  
 도 7은 도 6의 일부 영역을 발췌하여 나타낸 확대도이다.  
 도 8은 도 8은 도 7의 변형 실시예에 따른 단면도이다.  
 도 9는 본 발명의 또 다른 실시예에 따른 화소정의막의 적층 구조를 발췌하여 나타낸 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0030] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0031] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0032] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0033] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0034] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0035] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.

[0036] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.

[0037] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 평면도이다.

- [0038] 도 1을 참조하면, 디스플레이 장치는 기판(100)을 구비한다. 기판(100)은 디스플레이영역(DA)과 이 디스플레이영역(DA) 외측의 주변영역(PA)을 갖는다.
- [0039] 복수의 화소(PX)들이 디스플레이영역(DA)에 배치될 수 있다. 화소(PX)는 신호선 및 전원선과 전기적으로 연결된 박막트랜지스터 및 스토리지 커패시터 등을 포함하는 화소회로, 그리고 전술한 화소회로 연결된 디스플레이요소, 예컨대 유기발광다이오드(Organic light emitting diode: OLED)를 포함할 수 있다.
- [0040] 화소(PX)는 유기발광다이오드를 통해 예컨대, 적색, 녹색, 청색 또는 백색의 빛을 방출할 수 있다. 본 명세서에서 화소(PX)라 함은 전술한 바와 같이 적색, 녹색, 청색, 백색 중 어느 하나의 색상의 빛을 방출하는 화소로 이해할 수 있다. 디스플레이영역(DA)은 도시되지는 않았으나 봉지층으로 커버되어, 외기 또는 수분 등으로부터 보호될 수 있다. 화소(PX)에 구비된 디스플레이요소가 유기발광다이오드인 경우, 박막트랜지스터는 적어도 구동 박막트랜지스터 및 스위칭 박막트랜지스터를 포함할 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치의 어느 한 화소의 등가회로도이다.
- [0042] 도 2를 참조하면, 화소(PX)는 화소회로(PC) 및 화소회로(PC)에 연결된 표시요소를 포함한다. 도 2에서는 표시요소로서 유기발광다이오드(OLED)를 도시하고 있다. 화소회로(PC)는 제1박막트랜지스터(T1), 제2박막트랜지스터(T2), 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0043] 제2박막트랜지스터(T2)는 스위칭 박막트랜지스터로서, 스캔선(SL) 및 데이터선(DL)에 연결되며, 스캔선(SL)으로부터 입력되는 스위칭 전압에 따라 데이터선(DL)으로부터 입력된 데이터 전압을 제1박막트랜지스터(T1)로 전달한다. 스토리지 커패시터(Cst)는 제2박막트랜지스터(T2)와 구동전압선(PL)에 연결되며, 제2박막트랜지스터(T2)로부터 전달받은 전압과 구동전압선(PL)에 공급되는 제1전원전압(ELVDD)의 차이에 해당하는 전압을 저장한다.
- [0044] 제1박막트랜지스터(T1)는 구동 박막트랜지스터로서, 구동전압선(PL)과 스토리지 커패시터(Cst)에 연결되며, 스토리지 커패시터(Cst)에 저장된 전압 값에 대응하여 구동전압선(PL)으로부터 유기발광다이오드(OLED)를 흐르는 구동 전류(Id)를 제어할 수 있다. 유기발광다이오드(OLED)는 구동 전류(Id)에 의해 소정의 휘도를 갖는 빛을 방출할 수 있다. 유기발광다이오드(OLED)의 대향전극(예, 캐소드)는 제2전원전압(ELVSS)을 공급받을 수 있다.
- [0045] 도 2에서는 화소회로(PC)가 2개의 박막트랜지스터와 1개의 스토리지 커패시터를 포함하는 것을 설명하고 있으나, 본 발명은 이에 한정되지 않는다. 박막트랜지스터의 개수 및 스토리지 커패시터의 개수는 화소회로(PC)의 설계에 따라 다양하게 변경될 수 있음은 물론이다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 단면도로서, 도 1의 III-III'선에 따른 단면에 대응할 수 있다.
- [0047] 도 3을 참조하면, 기판(100) 상에 박막트랜지스터(TFT) 및 스토리지 커패시터(Cst)가 배치되며, 이들을 평탄화 절연층(170)으로 커버될 수 있다.
- [0048] 기판(100)은 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다.
- [0049] 기판(100) 상에는 불순물이 박막트랜지스터(TFT)의 반도체층으로 침투하는 것을 방지하기 위해 형성된 버퍼층(110), 박막트랜지스터(TFT)의 반도체층과 게이트전극을 절연시키기 위한 게이트절연층(130), 박막트랜지스터(TFT)의 소스전극/드레인전극과 게이트전극을 절연시키기 위한 층간절연층(150) 및 박막트랜지스터(TFT)를 덮으며 상면이 대략 평평한 평탄화 절연층(170)이 배치된다.
- [0050] 버퍼층(110), 게이트절연층(130), 및 층간절연층(150)은 산화규소(SiOx), 질화규소(SiNx), 산질화규소(SiON)와 같은 무기 절연물을 포함할 수 있다. 평탄화 절연층(170)은 유기 절연층으로서, 아크릴, BCB(Benzocyclobutene), 폴리이미드(polyimide) 또는 HMDSO(Hexamethyldisiloxane) 등의 유기 절연물을 포함할 수 있다.
- [0051] 화소전극(210)은 평탄화 절연층(170) 상에 배치된다. 화소전극(210)은 각 화소마다 배치될 수 있으며, 인접한 화소전극(210)과 상호 이격된다. 화소전극(210)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In<sub>2</sub>O<sub>3</sub>; indium oxide), 인듐갈륨옥사

이드(IGO; indium gallium oxide) 또는 알루미늄징크옥사이드(AZO; aluminium zinc oxide)와 같은 도전성 산화물을 포함할 수 있다. 다른 실시예로, 화소전극(210)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크로뮴(Cr) 또는 이들의 화합물을 포함하는 반사막을 포함할 수 있다. 또 다른 실시예로, 화소전극(210)은 전술한 반사막의 위/아래에 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub>로 형성된 막을 더 포함할 수 있다.

- [0052] 화소정의막(180)은 화소전극(210)의 가장자리를 커버한다. 화소전극(210)은 화소정의막(180)의 개구를 통하여 노출된다. 화소정의막(180) 상에는 스페이서(190)가 위치할 수 있는데, 스페이서(190)는 섬(island)형으로, 복수의 스페이서(190)들이 디스플레이영역(DA)에서 상호 이격되어 배치될 수 있다. 스페이서(190)는 유기 절연물이나 무기 절연물을 포함할 수 있다.
- [0053] 화소정의막(180)은 제1과장대역에서의 광 투과율이 다른 2개의 층을 포함한다. 도 3에는 화소정의막(180)이 제1층(181) 및 제2층(182)을 포함하는 것을 도시한다.
- [0054] 제2층(182)은 제1과장대역에서 광 투과율이 제1층(181) 보다 작다. 제1과장대역은 UV과장대역을 포함할 수 있다. 제1과장대역은 약 10nm 내지 400nm의 범위에 속하는 과장대역일 수 있으며, 전술한 제1과장대역에서 제2층(182)의 광 투과율은 예컨대, 약 3% 이하, 보다 적절하게 약 2%이거나 그 보다 작을 수 있다.
- [0055] 화소정의막(180)의 아래에 배치된 평탄화 절연층(170)은 유기 절연물을 포함하는 층으로서, 디스플레이의 제조 공정 중이나 제조 이후에 유기 절연물에 열이나 빛과 같은 에너지가 가해지는 경우, 유기 절연물에 포함되어 있던 물질이 기화되면서 외부로 배출되는 현상(아웃 개싱)이 야기될 수 있다. 아웃 개싱 현상에 의해 발생된 기체는 평탄화 절연층 상에 위치하는 층들, 예컨대 중간층(220R, 220G) 및 대향전극(230) 등이 손상시킬 수 있다. 따라서 각 화소의 유기발광다이오드의 불량률이 야기될 수 있다. 그러나, 본 발명의 실시예에 따르면, 화소정의막(180)이 제1과장대역에서의 광 투과율이 작은 제2층(182)을 구비함으로써, 외부(예, 도 3에서의 상부)로부터 평탄화 절연층(170)을 향해 진행되는 제1과장대역의 빛이 차단되므로, 전술한 아웃 개싱 현상을 방지하거나 최소화할 수 있다.
- [0056] 제2층(182)은 화소전극(210)과 중첩하지 않는 평탄화 절연층(170)의 일부를 전체적으로 커버할 수 있다. 이와 관련하여, 도 3에는 제2층(182)의 제1폭(W1)이 이웃한 화소전극(210)들 사이에서 노출된 평탄화 절연층(170)의 제2폭(W2) 보다 크게 형성된 것을 도시하고 있다. 제2폭(W2)은 이웃한 화소전극(210)들 사이의 거리로 이해될 수도 있다. 화소전극(210)으로 커버되지 않은 이웃한 화소전극(210)들 사이에 대응하는 평탄화 절연층(170)의 일부가 제2층(182)에 의해 전체적으로 커버되므로, 전술한 바와 같이 외부로부터 평탄화 절연층(170)을 향해 진행되는 제1과장대역의 빛이 평탄화 절연층(170)에 도달하는 것을 효과적으로 방지할 수 있다.
- [0057] 제2층(182)은 제1과장대역의 빛을 흡수하거나 반사하는 물질을 포함할 수 있다. 예컨대 제2층(182)은 반사율이 비교적 큰 아모퍼스 실리콘을 포함할 수 있다. 제2층(182)이 아모퍼스 실리콘 층을 포함하는 경우, 도 5에 도시된 바와 같이 아모퍼스 실리콘층의 두께(t2에 대응)는 약 1000Å 이거나 그보다 크게 형성함으로써, 제1과장대역에서의 광 투과율을 2%이하로 제어할 수 있다. 이 때, 제2층(182)의 제2두께(t2)는 제1층(181)의 제1두께(t1) 보다 작게 형성될 수 있다. 도 5는 제2층(182)이 아모퍼스 실리콘층인 경우, 두께에 따른 광 투과율을 나타낸 그래프이다.
- [0058] 제2층(182)은 광 흡수율이 비교적 큰 아모퍼스 카본 계열 물질(다만, DLC, diamond-like carbon은 제외)을 포함할 수 있다. 이 경우, 전술한 아모퍼스 실리콘층 보다 두께를 줄일 수 있다.
- [0059] 제2층(182)은 전술한 아모퍼스 실리콘과 전술한 아모퍼스 카본 계열의 물질(DLC제외)의 혼합물을 포함할 수 있다. 예컨대, 아모퍼스 카본 계열의 물질(DLC제외)은 반사율이 약 1%이하일 수 있다. 또는, 제2층(182)은 제1과장대역에서 광 투과율을 약 2% 이하로 제어할 수 있는 물질이라면 전술한 아모퍼스 실리콘 또는 전술한 아모퍼스 카본 계열의 물질(DLC제외) 외에 다양한 종류의 물질을 포함할 수 있다. 다른 실시예로서, 제2층(182)은 산화크롬 등을 포함할 수 있다.
- [0060] 한편, 화소정의막(180)의 제1층(181)은 무기 절연물로서 유기 절연층인 평탄화 절연층(170)을 패시베이션할 수 있다. 제1층(181)은 실리콘 나이트라이드, 및 실리콘 옥사이드 중 적어도 어느 하나를 포함할 수 있다. 제1층(181)의 일부는 평탄화 절연층(170)의 상면과 직접 접촉할 수 있다. 본 발명의 비교예로서 제1층(181)이 유기 절연물로 형성되는 경우, 평탄화 절연층(170)에서 발생된 기체는 유기 절연물인 제1층을 따라 진행하여 중간층(220R, 220G) 및 대향전극(230) 등을 손상시키는 문제가 있다. 그러나, 본 실시예에 따르면 화소정의막(180)의 최하층인 제1층(181)이 무기 절연물로 형성되므로, 평탄화 절연층(170)에서 기체가 소량 발생한다 하더라도, 해

당 기체가 제1층(181)을 통과하여 제1층(181) 위에 구비된 중간층(220R, 220G) 및/또는 대향전극(230)으로 진행되는 것이 방지될 수 있다. 따라서, 유기발광다이오드의 불량을 방지할 수 있다.

- [0061] 중간층(220R, 220G)은 화소정의막(180)의 개구를 통해 노출된 각 화소전극(210) 상에 위치한다. 이와 관련하여, 도 3은 이웃한 화소전극(210) 각각에 배치되며 서로 다른 색의 빛을 방출하는 중간층(220R, 220G)을 도시한다.
- [0062] 중간층(220R, 220G)은 각각 발광층(222R, 222G)을 포함한다. 발광층(222R, 222G) 각각은 적색과 녹색의 빛을 방출하는 물질을 포함할 수 있으나, 본 발명이 이에 제한되는 것은 아니다. 도 3에 도시되지는 않았으나 청색의 빛을 방출하는 발광층을 구비한 유기발광다이오드가 더 구비될 수 있다. 청색의 빛을 방출하는 유기발광다이오드가 구비된 화소의 적층 구조는 도 3에 도시된 적색과 녹색의 빛을 방출하는 발광층을 포함하는 유기발광다이오드의 적층 구조와 동일할 수 있다.
- [0063] 중간층(220R, 220G)은 각각 발광층(222R, 222G)의 아래와 위에 배치된 제1 및 제2기능층(221, 223) 중 적어도 어느 하나를 더 포함할 수 있다.
- [0064] 제1기능층(221)은 단층 또는 다층일 수 있다. 예컨대 제1기능층(221)이 고분자 물질로 형성되는 경우, 제1기능층(221)은 단층구조인 홀 수송층(HTL: Hole Transport Layer)으로서, 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나 폴리아닐린(PANI: polyaniline)으로 형성할 수 있다. 제1기능층(221)이 저분자 물질로 형성되는 경우, 제1기능층(221)은 홀 주입층(HIL: Hole Injection Layer)과 홀 수송층(HTL)을 포함할 수 있다.
- [0065] 제2기능층(223)은 발광층(222R, 222G)을 덮을 수 있다. 제2기능층(223)이 언제나 구비되는 것은 아니다. 예컨대, 제1기능층(221)과 발광층(222R, 222G)을 고분자 물질로 형성하는 경우, 유기발광다이오드의 특성이 우수해지도록 하기 위해, 제2기능층(223)을 형성하는 것이 바람직하다.
- [0066] 제2기능층(223)은 단층 또는 다층일 수 있다. 제2기능층(223)은 전자 수송층(ETL: Electron Transport Layer) 및/또는 전자 주입층(EIL: Electron Injection Layer)을 포함할 수 있다.
- [0067] 대향전극(230)은 일함수가 낮은 도전성 물질로 이루어질 수 있다. 예컨대, 대향전극(230)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크로뮴(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 합금 등을 포함하는 (반)투명층을 포함할 수 있다. 또는, 대향전극(230)은 전술한 물질을 포함하는 (반)투명층 상에 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub>과 같은 층을 더 포함할 수 있다.
- [0068] 일 실시예로, 대향전극(230)은 알루미늄(Al), 은(Ag), 및 마그네슘과 은의 합금(Mg:Ag)을 포함할 수 있다.
- [0069] 대향전극(230) 상에는 봉지부재가 배치된다. 봉지부재는 일 실시예로, 도 3에 도시된 바와 같이 적어도 하나의 무기봉지층과 적어도 하나의 유기봉지층을 포함하는 박막봉지층(300A)을 포함할 수 있다. 도 3에는 박막봉지층(300A)이 제1 및 제2무기봉지층(310, 330) 및 이들 사이에 개재된 유기봉지층(320)을 포함하는 것을 도시하고 있으나, 적층 순서와 개수는 변경될 수 있다.
- [0070] 다른 실시예로, 봉지부재는 도 4에 도시된 바와 같이 글라스 등의 봉지기판(300B)을 포함할 수 있다. 이 경우, 스페이서(190)는 기판(100)과 봉지기판(300B) 사이의 간격을 일정하게 유지하여, 봉지기판(300B)의 처짐에 의한 뉴턴링 현상을 방지하거나 최소화할 수 있다. 한편, 봉지부재가 도 3에 도시된 바와 같이 플렉서블한 박막봉지층(300A)인 경우, 스페이서(190)는 발광층(222R, 222G)의 형성 공정시 사용되는 마스크를 지지하여, 마스크의 처짐에 의한 발광층(222R, 222G) 형성의 불량 등의 문제를 방지하거나 최소화할 수 있다.
- [0071] 도 6은 본 발명의 다른 실시예에 따른 디스플레이 장치를 개략적으로 나타낸 단면도이고, 도 7은 도 6의 일부 영역을 확대하여 나타낸 확대도이다.
- [0072] 도 6에 도시된 디스플레이 장치는 앞서 도 3을 참조하여 설명한 디스플레이 장치와 달리 화소정의막이 제3층(183)을 더 포함할 수 있다. 도 6에는 봉지부재로서, 제1 및 제2무기봉지층(310, 330) 및 이들 사이에 개재된 유기봉지층(320)을 포함하는 박막봉지층(300A)이 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 앞서 도 4를 참조하여 설명한 바와 같이 봉지부재는 봉지기판일 수 있으며, 화소정의막을 제외한 다른 구성은 도 3을 참조하여 설명한 바와 같으므로 이하에서는 차이를 중심으로 설명한다.
- [0073] 도 6 및 도 7을 참조하면, 화소정의막(180)은 제1층(181), 제2층(182) 및 제3층(183)을 포함한다. 제1층(181)은 아래에 배치된 화소전극(210)의 가장자리와 접촉하면서 커버할 수 있고, 이웃한 화소전극(210)들 사이에 대응하는 평탄화 절연층(170)의 부분과 직접 접촉할 수 있는 점 등은 앞서 설명한 바와 같다. 제2층(182)은 제1

과장대역에서 광 투과율이 제1층(181) 보다 작은 층으로, 이웃한 화소전극(210)들 사이를 통해 노출된 평탄화 절연층(170)의 부분의 제2폭(W2)보다 큰 제1폭(W1)을 가질 수 있으며, 이와 관련된 구체적 특징은 앞서 설명한 바와 같다. 제2층(182)이 외부에서 평탄화 절연층(170)으로 향하는 광을 차단하여 아웃 개싱에 따른 유기발광다이오드의 불량을 방지하는 점 및 그 구체적 물질과 구성은 앞서 설명한 내용으로 대신한다.

- [0074] 제3층(183)은 제2층(182)을 커버하도록 제2층(182) 상에 배치된다. 제3층(183)은 제1층(181)과 유사하게 제1과장대역에서 광 투과율이 제2층(182) 보다 큰 물질, 예컨대 실리콘 나이트라이드 및 실리콘 옥사이드 중 적어도 어느 하나를 포함할 수 있다. 제3층(183)은 제2층(182)을 커버함으로써, 디스플레이 장치의 공정 중 또는 공정 이후에 제2층(182)에 포함된 물질이 중간층(220R, 220G)이나 대향전극(230)에 미칠 수 있는 문제를 사전에 방지할 수 있으며, 제1층(181)과 함께 이중으로 평탄화 절연층(170)을 패시베이션 함으로써 아웃 개싱에 따른 유기발광 불량을 보다 효과적으로 방지할 수 있다.
- [0075] 제3층(183)은 제3층(183)의 바로 위에 있는 스페이서(190)와 동일한 물질을 포함할 수 있다. 하프톤 등을 이용하는 동일한 마스크 공정에서 스페이서(190)와 제3층(183)은 함께 패터닝될 수 있다.
- [0076] 제3층(183)의 제3두께(t3)는 제2층(182)의 제2두께(t2) 보다 클 수 있으며, 제1층(181)의 제1두께(t1)도 제2층(182)의 제2두께(t2) 보다 클 수 있다. 제1두께(t1)와 제3두께(t3)는 동일하거나 서로 다를 수 있다.
- [0077] 도 7에 도시된 바와 같이, 순차적으로 적층된 제1층(181), 제2층(182) 및 제3층(183)의 측면들은 화소정의막(180)의 측면을 이룰 수 있다. 중간층에 포함된 층, 예컨대 제1기능층(221)은 화소정의막(180)의 측면을 이루는 제1층(181), 제2층(182) 및 제3층(183)의 측면들과 접촉할 수 있다.
- [0078] 도 8은 도 7의 변형 실시예에 따른 단면도이다.
- [0079] 도 8에 도시된 화소정의막(180)은 도 7의 화소정의막(180)과 마찬가지로 순차적으로 적층된 제1층(181), 제2층(182') 및 제3층(183)을 포함한다. 도 8에 도시된 제2층(182')을 제외하고 다른 구성요소들은 도 3, 도 6 및 도 7을 참조하여 설명한 바와 같으므로 이하에서는 차이점을 중심으로 설명한다.
- [0080] 도 8에 도시된 바와 같이, 제2층(182')의 가장자리는 제1층(181)의 가장자리로부터 소정의 간격( $\Delta d$ )만큼 이격되어 배치될 수 있다. 제3층(183)은 제2층(182')을 커버하되, 제3층(183)의 가장자리는 제1층(181)의 상면과 직접 접촉할 수 있다. 제2층(182')의 상면과 측면은 제3층(183)으로 커버되고, 하면은 제1층(181)과 접촉할 수 있다. 제1층(181) 및 제3층(183)의 측면들은 화소정의막(180)의 측면을 이룰 수 있다.
- [0081] 도 8에 도시된 실시예에서도, 제2층(182')의 제1폭(W1')은 이웃한 화소전극(210) 사이로 노출된 평탄화 절연층(170)의 부분의 제2폭(W2) 보다 크게 형성되어 제1과장대역의 외부 광이 평탄화 절연층(170)으로 진행되는 것을 방지할 수 있음은 물론이다.
- [0082] 도 9는 본 발명의 또 다른 실시예에 따른 화소정의막의 적층 구조를 발췌하여 나타낸 단면도이다.
- [0083] 도 9를 참조하면, 화소정의막(180)은 순차적으로 적층된 제1층(181), 제2층(182) 및 제3층(183)을 포함하되, 제2층(182)은 복수의 층으로 형성될 수 있다.
- [0084] 이와 관련하여, 도 9에는 제2층(182)이 제1서브층(182a) 및 제2서브층(182b)을 포함하는 것을 도시한다.
- [0085] 제1서브층(182a)과 제2서브층(182b)을 포함하는 제2층(182)은 전술한 바와 같이 제1과장대역에서 광 투과율이 제1층(181) 및 제3층(183) 보다 작은 층으로, 제1서브층(182a)의 물질과 제2서브층(182b)의 물질은 서로 다를 수 있다.
- [0086] 본 발명의 일 실시예로서, 상층인 제2서브층(182b)은 제1과장대역에서의 광을 주로 반사하는 물질, 예컨대 아모퍼스 실리콘 등을 포함할 수 있고, 하층인 제1서브층(182a)은 제1과장대역에서의 광을 주로 흡수하는 물질, 예컨대 아모퍼스 카본 계열의 물질(DLC 제외)이나 산화크롬 등을 포함할 수 있다. 전술한 구조를 갖는 제2층(182)을 향해 입사하는 외부 광(L)의 대부분은 제2서브층(182b)에 반사되지만 제2서브층(182b)에 반사되지 않은 일부 광은 제1서브층(182a)에 흡수될 수 있다. 그러므로, 도 6을 참조하여 설명한 바와 같이 화소정의막(180)의 아래에 배치된 유기 절연물을 포함하는 평탄화 절연층(170)에서의 아웃 개싱 문제를 효과적으로 방지할 수 있다.
- [0087] 도 9에서는 제2층(182)이 2개의 서브층을 포함하는 것을 설명하고 있으나, 본 발명은 이에 한정되지 않는다. 제2층(182)에 포함된 서브층의 개수는 물질과 두께 등에 따라 다양하게 변경될 수 있다.

[0088] 도 9를 참조하여 설명한 복수의 서브층을 포함하는 제2층(182)의 구조는, 도 3 내지 도 8을 참조하여 설명한 화소정의막(180)의 형상 및 이로부터 파생되는 형상에도 동일하게 적용될 수 있음은 물론이다.

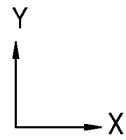
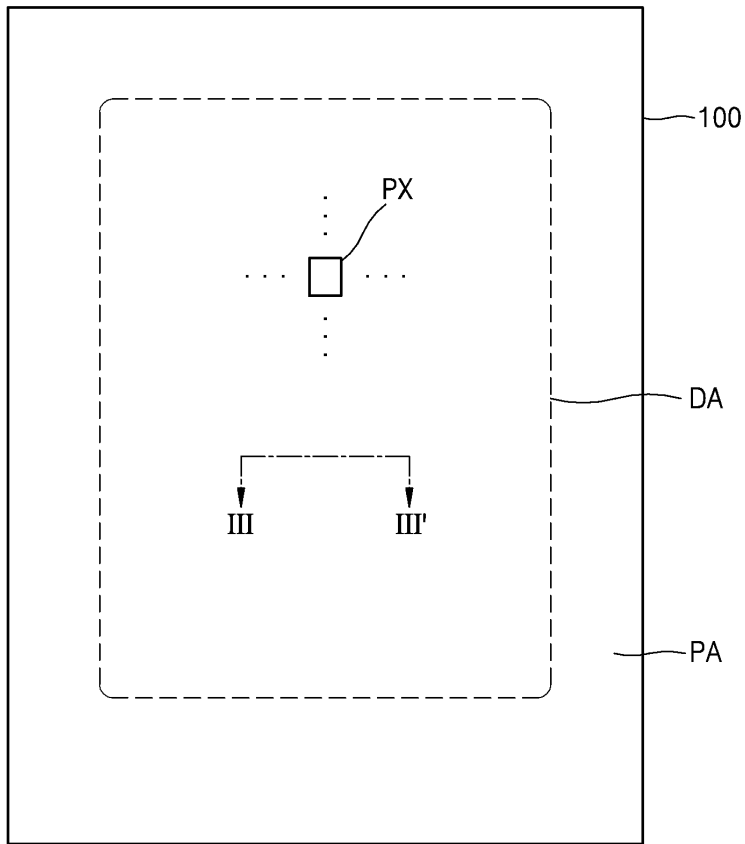
[0089] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

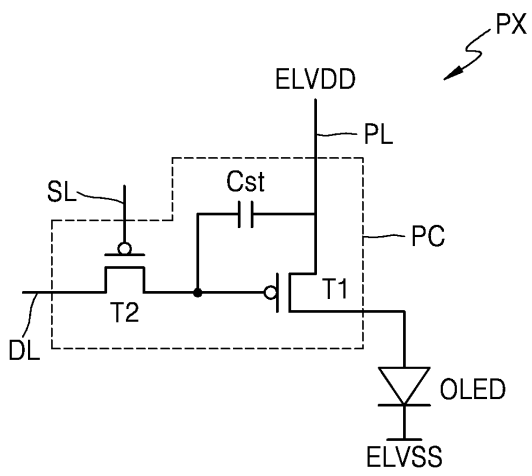
- [0090] 100: 기관
- 110: 버퍼층
- 130: 게이트절연층
- 150: 층간절연층
- 170: 평탄화 절연층
- 180: 화소정의막
- 181: 제1층
- 182, 182': 제2층
- 183: 제3층
- 190: 스페이서
- 210: 화소전극
- 220R, 220G: 중간층
- 230: 대향전극

도면

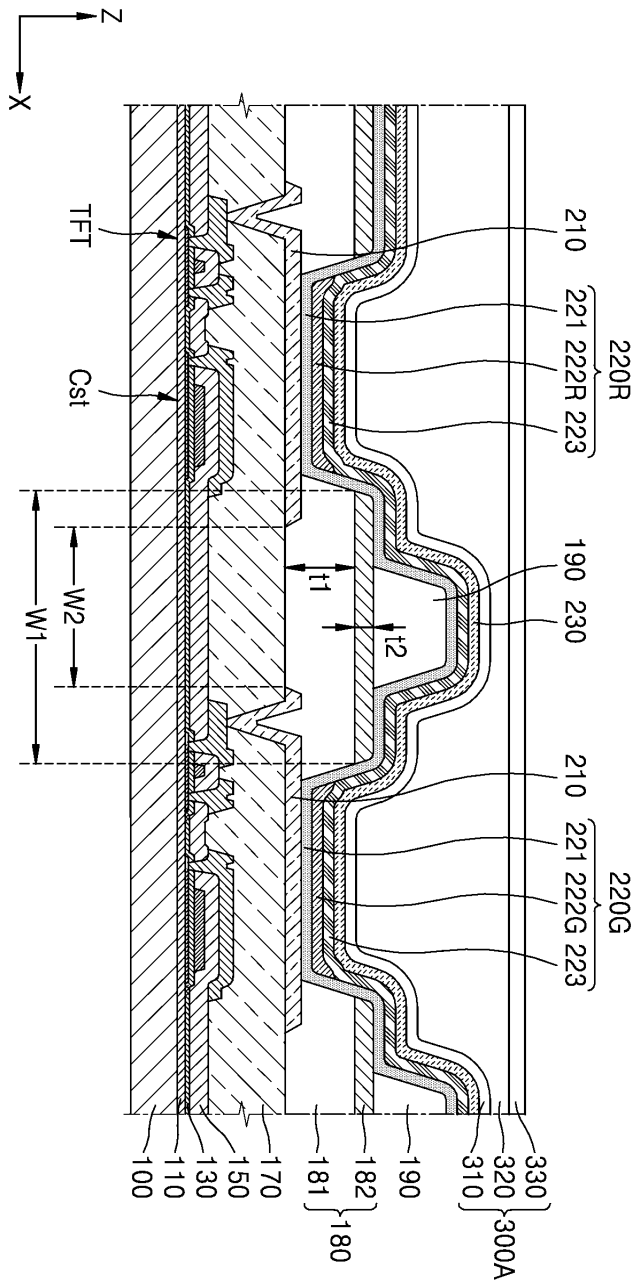
도면1



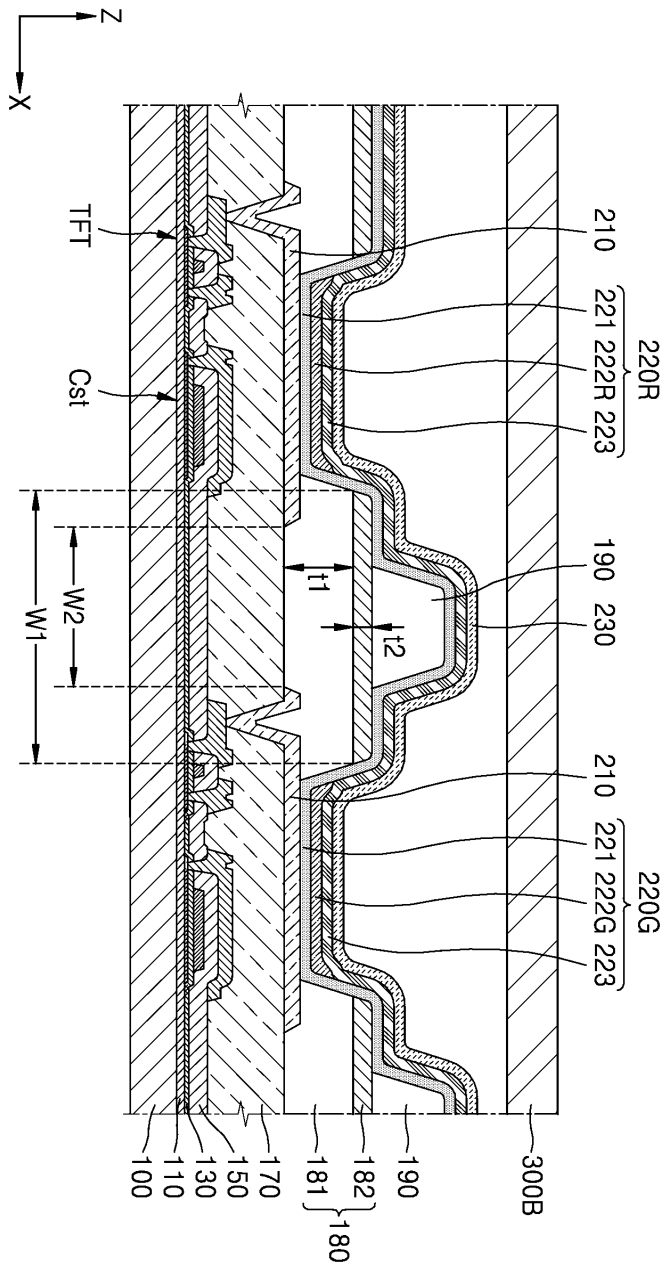
도면2



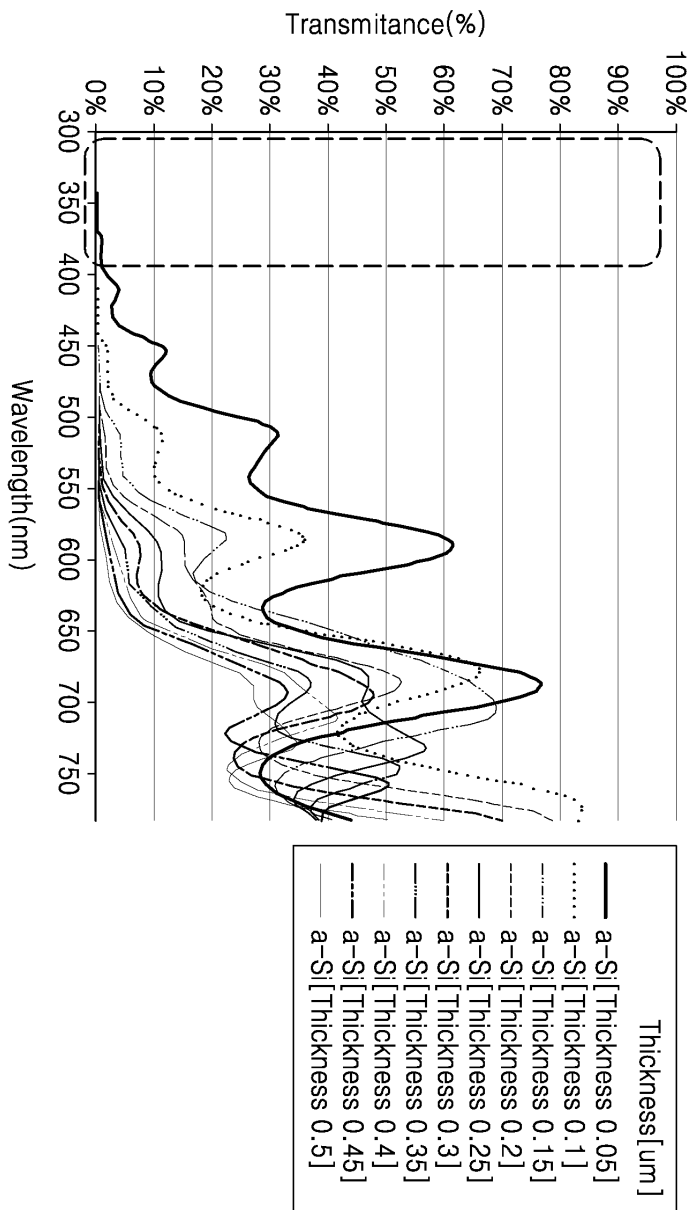
도면3



도면4

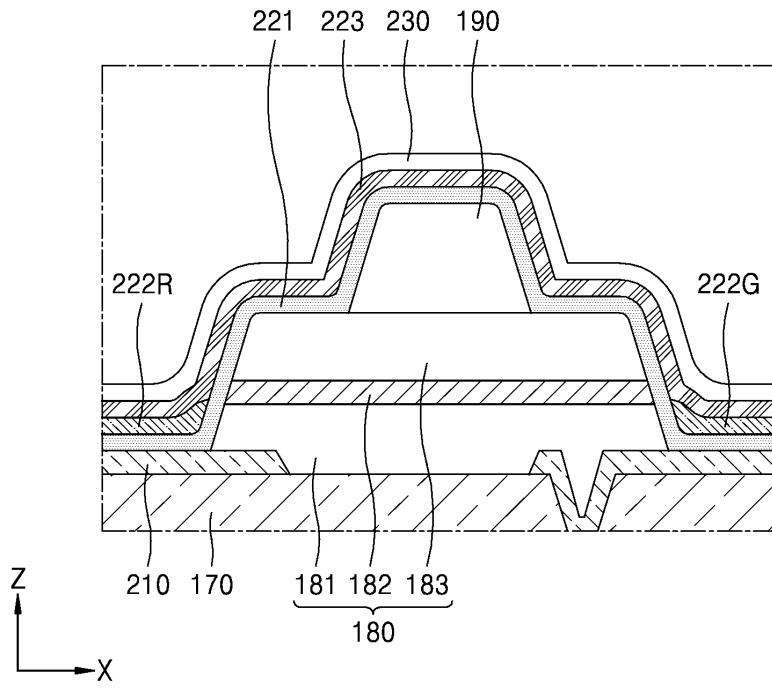


도면5

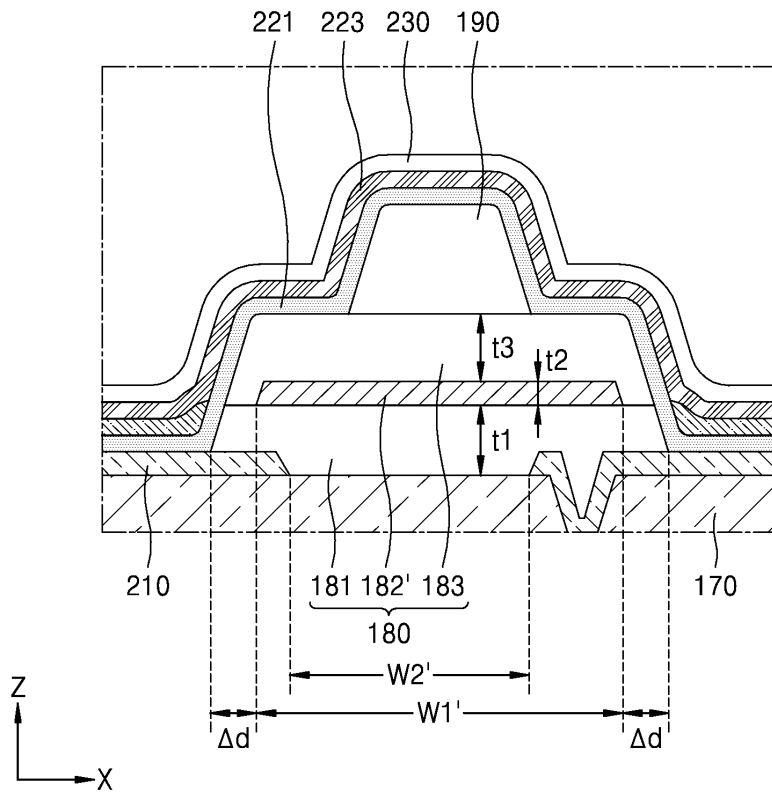




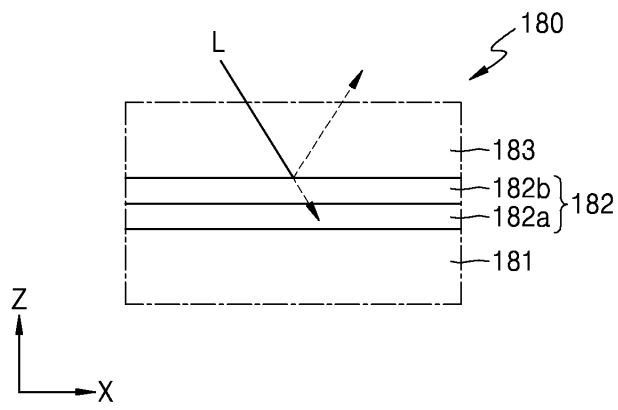
도면7



도면8



도면9



专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">KR1020190130705A</a>	公开(公告)日	2019-11-25
申请号	KR1020180055044	申请日	2018-05-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	배철민 김창옥 한지혜		
发明人	배철민 김창옥 한지혜		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3258 H01L51/50 H01L51/56 H01L27/3244 H01L27/3246 H01L27/3248 H01L27/326 H01L51/5203 H01L51/5218 H01L2251/301 H01L2251/303 H01L2251/558		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在本发明的一个实施例中公开了一种显示装置。该显示装置包括：有机绝缘层；有机绝缘层。在有机绝缘层上形成的像素电极；像素限定层，其包括：第一层，其覆盖像素电极的边缘；具有与像素电极相对应的开口，并且包括无机绝缘体；以及第二层，其第二层的透光率小于第一层的透光率 波段 中间层设置在通过开口暴露的像素电极上，并具有发光层；对电极设置在中间层上。可以防止由于杂质而损坏显示元件。

