



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0090113  
(43) 공개일자 2019년08월01일

(51) 국제특허분류(Int. Cl.)

C09K 11/02 (2006.01) C09K 11/08 (2006.01)

H01L 27/32 (2006.01) H01L 51/52 (2006.01)

(52) CPC특허분류

C09K 11/025 (2013.01)

C09K 11/08 (2013.01)

(21) 출원번호 10-2018-0008401

(22) 출원일자 2018년01월23일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

한국과학기술원

대전광역시 유성구 대학로 291(구성동)

(72) 발명자

박경원

서울특별시 송파구 오금로35길 17, 38동 801호(오금동, 현대아파트)

남민기

인천광역시 남동구 구월로 192, 1506동 1903호(구월동, 힐스테이트롯데캐슬골드1단지아파트)

(뒷면에 계속)

(74) 대리인

윤여광, 염주석

전체 청구항 수 : 총 20 항

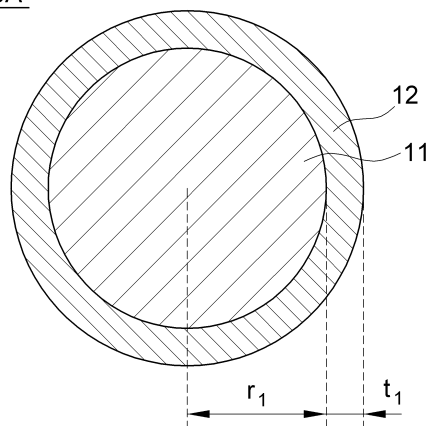
(54) 발명의 명칭 반도체 나노 결정과, 이를 포함하는 표시 장치 및 유기발광 표시 장치

(57) 요약

본 발명은 반도체 나노 결정과, 이를 포함하는 표시 장치 및 유기발광 표시 장치에 대한 것으로, 상기 반도체 나노 결정은 화합물 반도체를 함유하는 코어; 및 상기 코어를 둘러싸는 셸을 포함하고, 상기 셸은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 (준)금속산화물을 함유한다.

대표도 - 도1

10A



(52) CPC특허분류

**H01L 27/322** (2013.01)

**H01L 51/5262** (2013.01)

(72) 발명자

**김송이**

경기도 수원시 영통구 덕영대로1555번길 20, 942동  
402호(영통동, 벽적골롯데아파트)

**김성운**

경기도 용인시 기흥구 흥덕중앙로105번길 41, 110  
9동 802호(영덕동, 흥덕마을 11단지 경남아너스빌)

**고성준**

경기도 부천시 중동로 64, 112동 2203호(송내동,  
중동역푸르지오아파트)

**모성원**

전라북도 전주시 덕진구 세병로 85, 502동 303  
호(송천동, 에코시티데시앙5BL)

**이도창**

대전광역시 유성구 대덕대로 657, 1층(도룡동)

## 명세서

### 청구범위

#### 청구항 1

화합물 반도체를 함유하는 코어; 및

상기 코어를 둘러싸는 셸

을 포함하고,

상기 셸은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 (준)금속산화물을 함유하는 반도체 나노 결정.

#### 청구항 2

제1항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/r_1$ )는 0.05 내지 5인 반도체 나노 결정.

#### 청구항 3

제1항에 있어서,

상기 코어와 셸은 격자 상수(lattice constant) 차이가 - 30 내지 30 % 범위인 반도체 나노 결정.

#### 청구항 4

제1항에 있어서,

상기 셸은 상기 코어와의 경계로부터 셸의 표면 측으로 갈수록 연속적으로 증가하는 (준)금속산화물의 함유율을 갖는 반도체 나노 결정.

#### 청구항 5

제1항에 있어서,

상기 셸을 둘러싸고, 상기 화합물 반도체와 상이한 제2 화합물 반도체를 포함하는 제2 셸을 포함하는 반도체 나노 결정.

#### 청구항 6

제5항에 있어서,

상기 제2 셸은 상기 코어의 에너지 밴드갭보다 0.5 내지 4 eV 더 넓은 에너지 밴드갭을 갖는 반도체 나노 결정.

#### 청구항 7

제5항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 상기 셸과 제2 셸의 전체 두께( $t_1+t_2$ )의 비 $[(t_1+t_2)/r_1]$ 가 0.3 내지 10 범위이고,

상기 제2 셸의 두께( $t_2$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/t_2$ )는 0.1 내지 5 범위인 반도체 나노 결정.

#### 청구항 8

제5항에 있어서,

상기 제2 셸을 둘러싸고, 상기 (준)금속산화물과 동일 또는 상이한 (준)금속산화물을 포함하는 제3 셸을 포함하

는 반도체 나노 결정.

#### 청구항 9

제8항에 있어서,

상기 제3 셀의 두께( $t_3$ )는 0.5 내지 5 nm 범위인 반도체 나노 결정.

#### 청구항 10

제1항에 있어서,

입경이 1 내지 20 nm 범위인 반도체 나노 결정.

#### 청구항 11

표시 기관;

상기 표시 기관 상에 배치된 광량 조절층; 및

상기 광량 조절층 상에 배치되고 반도체 나노 결정을 포함하는 색 변환층을 포함하며,

상기 반도체 나노 결정은

화합물 반도체를 포함하는 코어, 및

상기 코어를 둘러싸고, (준)금속산화물을 함유하는 셸을 포함하고,

상기 (준)금속산화물은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 표시 장치.

#### 청구항 12

제11항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/r_1$ )는 0.05 내지 5 범위인 표시 장치.

#### 청구항 13

제11항에 있어서,

상기 셸을 둘러싸고, 상기 화합물 반도체와 상이한 제2 화합물 반도체를 포함하는 제2 셸을 포함하는 표시 장치.

#### 청구항 14

제13항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 상기 셸과 제2 셸의 총 두께( $t_1 + t_2$ )의 비( $[(t_1 + t_2)/r_1]$ )가 0.3 내지 5 범위이고,

상기 제2 셸의 두께( $t_2$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/t_2$ )는 0.1 내지 5 범위인 표시 장치.

#### 청구항 15

제13항에 있어서,

상기 제2 셸을 둘러싸고, 상기 (준)금속산화물과 동일 또는 상이한 (준)금속산화물을 포함하는 제3 셸을 포함하는 표시 장치.

#### 청구항 16

베이스 기관;

상기 베이스 기판 상에 배치된 유기 발광 소자; 및

상기 유기 발광 소자 상에 배치되고 반도체 나노 결정을 포함하는 색 변환층을 포함하고,

상기 반도체 나노 결정은

화합물 반도체를 포함하는 코어, 및

상기 코어를 둘러싸고, (준)금속산화물을 함유하는 셸을 포함하고,

상기 (준)금속산화물은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 유기발광 표시 장치.

#### 청구항 17

제16항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/r_1$ )는 0.5 내지 5 범위인 유기발광 표시 장치.

#### 청구항 18

제16항에 있어서,

상기 셸을 둘러싸고, 상기 화합물 반도체와 상이한 제2 화합물 반도체를 포함하는 제2 셸을 포함하는 유기발광 표시 장치.

#### 청구항 19

제18항에 있어서,

상기 코어의 반경( $r_1$ )에 대한 상기 셸과 제2 셸의 총 두께( $t_1 + t_2$ )의 비( $(t_1 + t_2)/r_1$ )가 0.3 내지 10 범위이고,

상기 제2 셸의 두께( $t_2$ )에 대한 셸의 두께( $t_1$ )의 비( $t_1/t_2$ )는 0.1 내지 5 범위인 유기발광 표시 장치.

#### 청구항 20

제18항에 있어서,

상기 제2 셸을 둘러싸고, 상기 (준)금속산화물과 동일 또는 상이한 (준)금속산화물을 포함하는 제3 셸을 포함하는 유기발광 표시 장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 나노 결정과, 이를 포함하는 표시 장치 및 유기발광 표시 장치에 관한 것이다.

### 배경 기술

[0002] 최근 액정표시장치, 플라즈마 표시장치, 전기 영동 표시장치(Electrophoretic Display), 유기발광 표시장치 등과 같은 다양한 화상 표시장치가 사용되고 있다. 특히, 액정 표시장치는 TV 분야에서 현재 가장 널리 사용되고 있다. 또, 최근에는 자발광에 의한 시인성이 높은 유기발광 표시 장치도 차세대 화상 표시 장치로 주목을 받고 있다.

[0003] 이러한 액정 표시장치나 유기 발광 표시 장치에는 컬러 필터가 사용된다. 예를 들어, 액정 표시장치의 경우, 백라이트를 광원으로 하고, 전기적으로 액정을 구동시켜 광량을 제어하고, 이렇게 제어된 광이 컬러 필터를 통과함으로써, 컬러 영상이 표시된다. 또, 유기 발광 표시 장치에서는 백색 발광의 유기 발광 소자에 컬러 필터를 사용하여 액정 표시 장치와 마찬가지로 컬러 영상을 표시한다.

[0004] 그런데, 백색 광이 컬러 필터를 통과할 때 광량이 감소되어 광효율이 낮아진다. 예를 들어, 액정 표시장치에서, 백라이트 광원으로부터 출사된 광이 적색 컬러필터, 녹색 컬러필터, 청색 컬러필터를 통과할 때, 각각의 컬러필터에 의해 광량이 약 1/3로 감소되어 광효율이 낮아진다.

[0005] 따라서, 최근에는 광 효율 저하를 보완하면서, 색 재현성을 높이기 위해서, 종래의 컬러필터 대신 반도체 나노 결정(semiconductor nanocrystals)을 이용한 색 변환 부재가 사용되고 있다. 그러나, 이러한 색 변환 부재는 반도체 나노 결정의 산화로 인하여 양자 효율이 저하되었다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 일 실시예는 광적, 열적 안정성 및 양자 효율이 우수한 반도체 나노 결정을 제공하고자 한다.

[0007] 또, 본 발명의 다른 실시예는 전술한 반도체 나노 결정을 적용하여 발광 효율 및 색 구현성이 우수한 표시 장치를 제공하고자 한다.

### 과제의 해결 수단

[0008] 본 발명은 화합물 반도체를 함유하는 코어; 및 상기 코어를 둘러싸는 셸을 포함하고, 상기 셸은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 (준)금속산화물을 함유하는 반도체 나노 결정을 제공한다.

[0009] 또, 본 발명은 표시 기관; 상기 표시 기관 상에 배치된 광량 조절층; 및 상기 광량 조절층 상에 배치되고 반도체 나노 결정을 포함하는 색 변환층을 포함하며, 상기 반도체 나노 결정은 화합물 반도체를 포함하는 코어, 및 상기 코어를 둘러싸는 (준)금속산화물을 함유하는 셸을 포함하고, 상기 (준)금속산화물은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 표시 장치를 제공한다.

[0010] 또한, 본 발명은 베이스 기관; 상기 베이스 기관 상에 배치된 유기 발광 소자; 및 상기 유기 발광 소자 상에 배치되고 반도체 나노 결정을 포함하는 색 변환층을 포함하고, 상기 반도체 나노 결정은 화합물 반도체를 포함하는 코어, 및 상기 코어를 둘러싸는 (준)금속산화물을 함유하는 셸을 포함하고, 상기 (준)금속산화물은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 유기발광 표시 장치를 제공한다.

### 발명의 효과

[0011] 본 발명에 따른 반도체 나노 결정은 광적, 열적 안정성 및 양자 효율이 우수하다. 이러한 반도체 나노 결정이 적용된 본 발명에 따른 표시 장치는 발광 효율 및 색 구현성이 우수하다.

### 도면의 간단한 설명

[0012] 도 1은 본 발명의 제1 실시예에 따른 반도체 나노 결정을 개략적으로 나타낸 단면도이다.

도 2는 본 발명의 제2 실시예에 따른 반도체 나노 결정을 개략적으로 나타낸 단면도이다.

도 3은 본 발명의 제3 실시예에 따른 반도체 나노 결정을 개략적으로 나타낸 단면도이다.

도 4는 본 발명의 제4 실시예에 따른 표시 장치의 분해 사시도이다.

도 5는 도 4에 도시된 표시 장치의 화소에 대한 평면도이다.

도 6은 도 5의 절단선 I-I'를 따라 자른 단면도이다.

도 7은 본 발명의 제5 실시예에 따른 유기발광 표시 장치의 평면도이다.

도 8은 도 7의 절단선 II-II'를 따라 유기발광 표시 장치의 단면도이다.

도 9는 본 발명의 제6 실시예에 따른 유기발광 표시 장치의 단면도이다.

도 10은 실시예 1의 반도체 나노 결정에 대한 XPS 스펙트럼 그래프이다.

도 11은 비교예 1 및 2에서 제조된 반도체 나노 결정의 파장에 대한 발광 강도를 나타낸 그래프이다.

도 12는 실시예 1 및 2에서 제조된 반도체 나노 결정의 파장에 대한 발광 강도를 나타낸 그래프이다.

도 13은 실시예 2 및 비교예 2의 반도체 나노 결정에 대한 absolute PL QY를 나타낸 그래프이다.

도 14는 실시예 2 및 비교예 2의 반도체 나노 결정에 대한 remnant PL QY를 나타낸 그래프이다.

도 15(a)는 실시예 3의 반도체 나노 결정에 대한 energy band를 나타낸 그래프이고, 도 15(b)는 실시예 3의 반도체 나노 결정에 대한 전자 및 정공 구름 분포를 나타낸 그래프이다.

도 16(a)는 실시예 4의 반도체 나노 결정에 대한 energy band를 나타낸 그래프이고, 도 16(b)는 실시예 4의 반도체 나노 결정에 대한 전자 및 정공 구름 분포를 나타낸 그래프이다.

도 17(a)는 비교예 3의 반도체 나노 결정에 대한 energy band를 나타낸 그래프이고, 도 17(b)는 비교예 3의 반도체 나노 결정에 대한 전자 및 정공 구름 분포를 나타낸 그래프이다.

### 발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0014] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.

[0015] <반도체 나노 결정>

[0016] 도 1 내지 도 3은 각각 본 발명의 제1 실시예 내지 제3 실시예에 따른 반도체 나노 결정을 개략적으로 나타낸 단면도이다.

[0017] 본 발명에 따른 반도체 나노 결정(10A, 10B, 10C)은 결정으로 입사된 입사광의 파장을 변환시킬 수 있는 파장 변환 입자로서, 화합물 반도체를 함유하는 코어(11) 및 상기 코어를 둘러싸는 셸(12)을 포함하고, 상기 셸(12)은 밴드갭(bandgap)이 3.5 eV 이상이고, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합( $\Delta E_{CB} + \Delta E_{VB}$ )이 3 eV 이상인 (준)금속산화물을 함유한다. 이러한 반도체 나노 결정(10A, 10B, 10C)은 코어(11)가 셸(12)에 의해 보호됨은 물론, 전자 및 정공 구름이 셸(12)에 의해 코어(11) 내에 구속되기 때문에, 우수한 발광 양자 효율 및 광적, 열적 안정성을 나타낸다. 따라서, 본 발명에 따른 반도체 나노 결정은 표시 장치의 발광 양자 효율 및 색 구현성을 향상시킬 수 있다.

[0018] 이하, 도 1을 참조하여, 본 발명의 제1 실시예에 따른 반도체 나노 결정에 대해 설명한다.

[0019] 도 1에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 반도체 나노 결정(10A)은 화합물 반도체를 함유하는 코어(core)(11) 및 상기 코어를 둘러싸는 셸(shell)(12)을 포함한다.

[0020] 코어(11)는 화합물 반도체를 함유한다. 본 발명에서 사용 가능한 화합물 반도체로는 당 기술분야에서 통상적으로 알려진 것이라면 특별히 한정되지 않으며, 예를 들어 주기율표상의 II족, III족, IV족, V족 및 VI족으로 이루어진 군에서 선택된 2종 이상의 원소를 포함하는 반도체 물질일 수 있다. 구체적인 예로는 IV족 화합물 반도체

체, II-VI족 화합물 반도체, II-V족 화합물 반도체, III-V족 화합물 반도체, III-VI족 화합물 반도체, IV-VI족 화합물 반도체, II-III-V족 화합물 반도체 등이 있는데, 이에 한정되지 않는다. 이때, 각 화합물 반도체는 이원소, 삼원소 또는 사원소 화합물 반도체 등일 수 있다. 더 구체적으로, GaN, GaP, GaAs, GaSb, AlN, AlP, AlAs, AlSb, InN, InP, InAs, InSb, ZnS, ZnSe, ZnTe, CdS, CdSe, CdTe 등과 같은 이원소 화합물; GaNP, GaNAs, GaNSb, GaPAs, GaPSb, AlNP, AlNAs, AlNSb, AlPAs, AlPSb, InNP, InNAs, InNSb, InPAs, InPSb, GaAlNP, AlGaP, AlGaAs, AlGaSb, InGaP, InGaAs, InGaSb, AlInP, AlInAs, AlInSb 등과 같은 삼원소 화합물; GaAlNAs, GaAlNSb, GaAlPAs, GaAlPSb, GaInNP, GaInNAs, GaInNSb, GaInPAs, GaInPSb, InAlNP, InAlNAs, InAlNSb, InAlPAs, InAlPSb 등과 같은 사원소 화합물 등일 수 있는데, 이에 한정되지 않는다. 일례에 따르면, 코어는 III-V족 화합물 반도체, 구체적으로 InP를 함유할 수 있다. 다른 일례에 따르면, 코어는 III-II-V족 화합물 반도체, 구체적으로 InZnP, AlInP를 함유할 수 있다.

[0021] 이러한 코어의 직경은 특별히 한정되지 않고, 예컨대 약 1 내지 20 nm 범위, 더 구체적으로 약 2 내지 10 nm 범위일 수 있다.

[0022] 코어의 형상은 특별히 한정되지 않으며, 예를 들어 구형, 막대(rod)형, 디스크형 등일 수 있다. 이러한 코어의 형상에 따라 반도체 나노 결정의 형상이 달라질 수 있다.

[0023] 본 발명에 따른 반도체 나노 결정에서, 셸(12)은 (준)금속산화물을 함유한다. 이때, 상기 (준)금속산화물은 밴드갭(bandgap)이 3.5 eV 이상, 구체적으로 약 3.5 내지 15 eV 범위, 더 구체적으로 약 3.5 내지 10 eV 범위이며, 코어에 함유된 화합물 반도체와의 전도대 오프셋(conduction band offset)( $\Delta E_{CB}$ )과 코어에 함유된 화합물 반도체와의 가전자대 오프셋(valence band offset)( $\Delta E_{VB}$ )의 합이 약 3 eV 이상이고, 구체적으로 약 3 내지 15 eV 범위, 더 구체적으로 약 3 내지 10 eV 범위인 화합물이다. 이와 같은 (준)금속산화물을 함유하는 셸(12)은 코어(11)의 전자 및 정공 구름을 코어 내에 국한(confine)시킬 수 있고, 이로 인해 전자 및 정공은 코어(11) 내에 보다 더 안정적인 상태로 존재할 수 있다. 따라서, 코어 내 전자 및 정공 구름이 외부와 접촉되지 않게 되어, 본 발명의 반도체 나노 결정(10A)은 양자 효율이 증대될 수 있다. 또한, 상기 반도체 나노 결정(10A)의 외부 표면이 산화되거나, 퀀칭(quenching)되어도 상기 반도체 나노 결정(10A)의 코어가 셸에 의해 보호될 수 있다. 이 때문에, 본 발명의 반도체 나노 결정(10A)은 높은 양자 효율을 갖고, 우수한 열적 및 광적 안정성을 나타낸다. 여기서, 상기 전도대 오프셋( $\Delta E_{CB}$ )은 코어에 함유된 화합물 반도체의 전도대( $E_{CB1}$ )와 셸에 함유된 (준)금속산화물의 전도대( $E_{CB2}$ ) 간의 차이( $|E_{CB1} - E_{CB2}|$ )이고, 상기 가전자대 오프셋( $\Delta E_{VB}$ )은 코어에 함유된 화합물 반도체의 가전자대( $E_{VB1}$ )과 셸에 함유된 (준)금속산화물의 가전자대( $E_{VB2}$ ) 간의 차이( $|E_{VB1} - E_{VB2}|$ )이다. 또, 상기 (준)금속산화물은 준금속산화물 및 금속산화물로 이루어진 군에서 선택된 적어도 어느 하나이다.

[0024] 본 발명에서 사용 가능한 (준)금속산화물로는 당 업계에 통상적으로 알려진 금속산화물 및 준금속산화물이라면 특별히 한정되지 않는다. 예를 들어, 준금속, 알칼리토금속 및 전이금속으로 이루어진 군에서 선택된 1종 이상의 원소 및 산소를 함유하는 화합물로서, 구체적으로  $Al_2O_3$ ,  $SiO_2$ ,  $TiO_2$ , MgO, ZnO 등이 있는데, 이에 한정되지 않는다. 다만, 본 발명에서는 상기 코어에 함유된 화합물 반도체와의 전도대 오프셋( $\Delta E_{CB}$ ) 및 가전자대 오프셋( $\Delta E_{VB}$ )의 합이 전술한 범위를 가지면서, 밴드갭이 전술한 범위인 (준)금속산화물을 사용한다.

[0025] 예를 들어, 코어가 InP를 함유하고, 셸이  $Al_2O_3$ 를 함유할 수 있다. 이 경우, InP는 약 - 4.5 eV의 전도대와 약 - 5.7 eV의 가전자대를 가지며, 상기  $Al_2O_3$ 는 약 - 1.3 eV의 전도대와 약 - 9 eV의 가전자대를 갖고, 밴드갭이 약 7.7 eV를 갖는다. 이와 같이, InP와  $Al_2O_3$  간의 전도대 오프셋( $\Delta E_{CB}$ ) 및 가전자대 오프셋( $\Delta E_{VB}$ )이 각각 약 3.2 eV 및 3.3 eV 범위로 상대적으로 크고,  $Al_2O_3$ 의 밴드갭이 7.7 eV 정도로 넓기 때문에, 코어 내 전자 및 정공이 셸로 인하여 외부로 전이되지 못한다.

[0026] 셸(12)은 1층 또는 복수층일 수 있다. 셸이 복수층일 경우, 각 층은 서로 상이한 (준)금속산화물을 함유할 수 있다. 이때, 서로 상이한 (준)금속산화물은 서로 상이한 이종(異種)의 (준)금속을 함유하거나, 혹은 동종의 (준)금속을 함유하나 상이한 원소 비율을 가질 수 있다. 예컨대, 2층 이상으로 이루어진 셸의 각 층들은 서로 다른 원소 비율로 형성된다. 이때, 각 층의 원소 비율이 점진적으로 증가되거나 감소되어, 셸은 농도 구배를 가질 수 있다. 이러한 셸(12)에서, (준)금속산화물의 함유율은 코어와의 경계로부터 셸의 표면 측으로 갈수록 연속적으로 증가한다.

[0027] 셸의 두께는 특별히 한정되지 않으나, 코어의 반경 대비 셸의 두께가 너무 얇을 경우, 전자 및 정공 구름이 코



어 내에 제한되지 않을 수 있다. 따라서, 셀의 두께는 코어의 반경을 고려하여 조절된다. 예를 들어, 코어의 반경( $r_1$ )에 대한 셀의 두께( $t_1$ )의 비( $t_1/r_1$ )는 0.05 내지 5, 구체적으로 0.1 내지 5일 수 있다(도 1 참조).

[0028] 셀의 격자 상수(lattice constant)는 코어의 격자 상수(lattice constant) 대비 작은 차이를 나타내는 것이 적

절하다. 예컨대, 셀과 코어 사이의 격자 상수 차이( $\frac{L_1-L_2}{L_1} \times 100$ ,  $L_1$ : 코어의 격자상수,  $L_2$ : 셀의 격자상수)는 - 30 % 내지 + 30 %범위일 수 있다. 셀과 코어 간의 격자 상수 차이가 전술한 범위일 경우, 격자 응력(lattice stress)이 작기 때문에, 코어와 셀 계면에서 격자 결함(lattice mismatch)이 줄어 들어, 광안정성 및 양자 효율이 감소하는 것을 최소화할 수 있다.

[0029] 전술한 코어와 셀의 계면은 코어에 함유된 화합물 반도체 및 셀에 함유된 (준)금속산화물을 포함하는 영역으로, 화합물 반도체와 (준)금속산화물로 이루어진 합금이 코어와 셀의 계면에 형성될 수 있다. 이 경우, 상기 화합물 반도체의 함유율은 상기 코어와 셀의 계면에서부터 셀 표면 측으로 갈수록 연속적으로 감소하는 반면, 상기 (준)금속산화물의 함유율은 상기 코어와 셀의 계면에서부터 셀 측으로 갈수록 연속적으로 증가한다. 이와 같이, 화합물 반도체와 (준)금속산화물이 점진적으로 농도 기울기를 갖기 때문에, 코어와 셀의 계면에서 격자 결함이 최소화되고, 따라서 셀이 균일하게 형성되기 때문에, 본 발명의 반도체 나노 결정은 우수한 광 안정성 및 양자 효율을 갖는다.

[0030] 반도체 나노 결정의 크기(예, 입경)는 특별히 한정되지 않는다. 다만, 반도체 나노 결정은 입사된 광의 파장을 변환시킬 수 있는 파장 변환 입자로, 그 크기 및 조성에 따라 변환할 수 있는 파장이 달라질 수 있다. 따라서, 반도체 나노 결정의 입경이 약 1 내지 20 nm 범위로 제어되어, 반도체 나노 결정이 원하는 색상의 광을 방출할 수 있다. 예를 들어, CdSe를 함유하는 반도체 나노 결정 코어의 입경이 약 2.5 내지 3 nm일 경우, 상기 반도체 나노 결정 코어는 약 500 내지 550 nm 파장의 광을 방출할 수 있고, 한편 CdSe를 함유하는 반도체 나노 결정 코어의 입경이 약 3.5 내지 4nm일 경우, 상기 반도체 나노 결정은 약 580 내지 650nm 파장의 광을 방출할 수 있다.

[0031] 이와 같은 본 발명의 제1 실시예에 따른 반도체 나노 결정은 당 기술분야에 통상적으로 알려진 방법, 예컨대 화학적 습식법 등을 통해 제조될 수 있다. 상기 화학적 습식법은 유기 용매에 전구체 물질을 넣고 입자를 성장시키는 방법이다. 예를 들어, 유기 용매에서 III족 원소-함유 전구체와 V족-함유 전구체를 반응시켜 III-V족 화합물 반도체를 함유하는 코어를 형성한 다음, (준)금속산화물 전구체를 첨가하여 상기 코어 표면에 (준)금속산화물을 함유하는 셀을 형성함으로써 반도체 나노 결정을 얻을 수 있다.

[0032] 전술한 바와 같이, 셀(12)은 코어(11)를 보호함은 물론, 전자 및 정공 구름을 코어(11) 내에 구속시킬 수 있다. 따라서, 본 발명의 반도체 나노 결정(10A)은 양자 효율 및 광적, 열적 안정성이 향상될 수 있다. 이러한 본 발명의 반도체 나노 결정은 디스플레이, 태양전지, 바이오 마커, 센서 분야 등 다양한 분야에 응용될 수 있다. 예를 들어, 본 발명의 반도체 나노 결정은 결정으로 입사된 입사광의 파장을 변환시킬 수 있는 파장 변환 입자로서, 디스플레이 등의 색 변환층 등으로 이용될 수 있다. 또, 본 발명의 반도체 나노 결정은 유기발광소자(OLED) 내 발광층 물질로 이용될 수도 있다.

[0033] 이하, 도 2를 참조하여, 본 발명의 제2 실시예에 따른 반도체 나노 결정을 설명한다.

[0034] 본 발명의 제2 실시예에 따른 반도체 나노 결정(10B)은 도 2에 도시된 바와 같이, 화합물 반도체를 함유하는 코어(11); 상기 코어를 둘러싸는 셀(이하, '제1 셀')(12); 및 상기 제1 셀을 둘러싸는 제2 셀(13)을 포함한다.

[0035] 코어(11) 및 제1 셀(12)에 대한 설명과, 반도체 나노 결정의 크기 및 제조방법 등에 대한 설명은 제1 실시예에 기재된 바와 동일하기 때문에, 생략한다.

[0036] 제2 셀(13)은 코어에 함유된 화합물 반도체(이하, '제1 화합물 반도체'라 함)와 상이한 제2 화합물 반도체를 함유한다. 이러한 제2 셀이 제1 셀의 표면을 둘러싸므로써, 전자 및 정공이 제2 셀에 의해 코어 내에 더 안정적인 상태로 존재할 수 있고, 또 제2 셀에 의해 여기광 흡수율이 증대될 수 있기 때문에, 본 발명의 반도체 나노 결정은 광적 안정성 및 양자 효율이 더 향상될 수 있다.

[0037] 제2 화합물 반도체는 코어에 함유된 제1 화합물 반도체와 원소의 종류 및/또는 원소의 비율이 다른 것으로, 당해 기술분야에서 알려진 것이라면 특별히 한정되지 않는다. 예를 들어, II-IV족 화합물 반도체 등이 있고, 구체적으로 ZnS, CdS, PbS, CdSe, ZnSe, PbSe, ZnTe, PbTe, CdTe, ZnSeS, ZnSeTe, ZnSTe, CdZnS, CdZnSe,

CdZnTe, CdSeS, CdSeTe, CdSTe, CdZnTeSe, CdZnSSe 등이 있는데, 이에 한정되지 않는다. 일례에 따르면, 제2 화합물 반도체는 ZnSeS를 함유할 수 있다. 다른 일례에 따르면, 제2 화합물 반도체는 ZnS를 함유할 수 있다.

[0038] 이러한 제2 화합물 반도체는 에너지 밴드갭이 코어에 함유된 제1 화합물 반도체의 에너지 밴드갭(band gap)보다 0.5 내지 4 eV 정도 더 넓은 것이 적절하다. 제2 화합물 반도체의 에너지 밴드갭이 전술한 범위를 가질 경우, 반도체 나노 결정은 우수한 광적 안정성 및 발광 양자 효율을 갖는다.

[0039] 제2 셀(13)은 1층 또는 복수 층일 수 있다. 제2 셀이 복수 층일 경우, 각 층은 서로 상이한 제2 화합물 반도체를 함유할 수 있다. 이때, 서로 상이한 제2 화합물 반도체는 서로 상이한 이종(異種)의 화합물 반도체를 함유하거나, 혹은 동종의 화합물 반도체를 함유하나 상이한 원소 비율을 가질 수 있다. 예컨대, 2층 이상으로 이루어진 제2 셀의 각 층들은 서로 다른 원소 비율로 형성된다. 이때, 각 층의 원소 비율이 점진적으로 증가되거나 감소되어, 제2 셀은 농도 구배를 가질 수 있다. 일례에 따르면, 제2 셀은 ZnSeS 층과 ZnS 층으로 이루어질 수 있다. 다른 일례에 따르면, 제2 셀은 ZnSeS를 함유하는 복수 층으로 이루어질 수 있는데, 이때 각 층들은 제1 셀과의 경계에서부터 제2 셀의 표면으로 갈수록 Se에 비해 S의 농도가 점점 높아지는 농도 구배를 가질 수 있고, 이 경우 제2 셀의 최외각층은 ZnS층일 수 있다.

[0040] 제2 셀의 두께는 특별히 한정되지 않는다. 이때, 제2 셀의 두께는 코어의 반경이나 제1 셀의 두께를 고려하여 조절된다. 예를 들어, 코어의 반경( $r_1$ )에 대한 제1 셀과 제2 셀의 총 두께( $t_1+t_2$ )의 비 $[(t_1+t_2)/r_1]$ 가 0.3 내지 10(구체적으로, 0.3 내지 5)인 경우, 제2 셀의 두께( $t_2$ )에 대한 제1 셀의 두께( $t_1$ )의 비( $t_1/t_2$ )는 0.1 내지 5(구체적으로, 0.3 내지 5)일 수 있다(도 2 참조). 이와 같이, 전체 셀의 총 두께에서 제2 셀의 두께 비율이 작고, 제1 셀의 두께 비율이 클 경우, 제1 셀에 의한 전자 및 정공의 구속 효과와 더불어, 제2 셀로 인해 격자 결함이 감소하기 때문에, 본 발명의 반도체 나노 결정은 우수한 광 안정성 및 발광 양자 효율을 갖는다.

[0041] 제2 셀의 격자 상수는 제1 셀의 격자 상수 대비 작은 차이를 나타내는 것이 적절하다. 예컨대, 제2 셀과 제1

셀의 격자 상수 차이( $\frac{L_2-L_3}{L_2} \times 100$ ,  $L_2$ : 제1 셀의 격자상수,  $L_3$ : 제2 셀의 격자상수)는 - 30% 내지 + 30 % 범위일 수 있다. 제2 셀과 제1 셀 간의 격자 상수 차이가 전술한 범위일 경우, 제1 셀과 제2 셀 간의 격자 결함이 최소화되어 계면이 안정화되고, 따라서 광 안정성 및 발광 양자 효율이 감소하는 것을 최소화할 수 있다.

[0042] 다만, 코어와 제1 셀 간의 격자 상수 차이가 클 경우, 제2 셀의 격자 상수는 코어의 격자 상수 대비 작은 차이

를 나타내는 것이 적절하다. 예를 들어, 코어와 제1 셀 간의 격자 상수 차이( $\frac{L_1-L_2}{L_1} \times 100$ ,  $L_1$ : 코어의 격자상수,  $L_2$ : 제1 셀의 격자상수)가 - 30% 내지 + 30 %일 경우, 제2 셀과 코어의 격자 상수 차이

( $\frac{L_1-L_3}{L_1} \times 100$ ,  $L_1$ : 코어의 격자상수,  $L_3$ : 제3 셀의 격자상수)는 + 30% 내지 - 30%일 수 있다. 즉, 제1 셀이 코어와 제2 셀 사이에 삽입된 샌드위치 구조를 가진 반도체 나노 결정에서, 코어와 제2 셀 간의 격자상수 차이가 작을 경우, 제1 셀의 격자상수가 코어와 제2 셀에 의해 작게 변함에 따라 코어와 제1 셀 간의 격자상수 차이도 작게 된다. 이 때문에, 반도체 나노 결정 내 격자 응력이 감소됨에 따라 각 계면이 안정화되고, 따라서 광 안정성 및 발광 양자 효율이 감소하는 것을 최소화할 수 있다.

[0043] 제1 셀과 제2 셀의 계면은 제1 셀에 함유된 (준)금속산화물 및 제2 셀에 함유된 제2 화합물 반도체를 포함하는 영역이다. 상기 계면에서는 (준)금속산화물과 제2 화합물 반도체 간의 합금이 형성되면서, 제1 셀과 제2 셀 간의 격자 결함이 최소화될 수 있다. 따라서, 본 발명에 따른 반도체 나노 결정은 광안정성 및 광효율이 향상될 수 있다.

[0044] 이하, 도 3을 참조하여, 본 발명의 제3 실시예에 따른 반도체 나노 결정을 설명한다.

[0045] 본 발명의 제3 실시예에 따른 반도체 나노 결정(10C)은 도 3에 도시된 바와 같이, 화합물 반도체를 함유하는 코어(11); 상기 코어를 둘러싸는 셀(이하, '제1 셀')(12); 상기 제1 셀을 둘러싸는 제2 셀(13); 및 상기 제2 셀(13)을 둘러싸는 제3 셀(14)을 포함한다.

[0046] 코어 및 제1 셀에 대한 설명은 제1 실시예에 기재된 바와 동일하고, 제2 셀에 대한 설명은 제2 실시예에 기재된

바와 동일하기 때문에, 생략한다.

- [0047] 제3 셀(14)은 제2 셀을 둘러싸는 부분으로, 1층 또는 복수 층일 수 있다. 이러한 제3 셀(14)은 제1 셀에 함유된 (준)금속산화물(이하, '제1 (준)금속산화물'이라 함)과 동일하거나 또는 상이한 제2 (준)금속산화물을 함유할 수 있다.
- [0048] 본 발명에서 사용 가능한 제2 (준)금속산화물로는 실시예 1에 기재된 (준)금속산화물과 마찬가지로, 준금속, 알칼리토금속 및 전이금속으로 이루어진 군에서 선택된 1종 이상의 원소 및 산소를 함유하는 화합물일 수 있고, 구체적으로  $Al_2O_3$ ,  $SiO_2$ ,  $TiO_2$ ,  $MgO$ ,  $ZnO$  등이 있는데, 이에 한정되지 않는다.
- [0049] 제3 셀의 두께는 특별히 한정되지 않으며, 예컨대 0.5 내지 5 nm 범위일 수 있다. 이때, 코어의 반경이나 각 셀의 두께를 고려하여 적절하게 조절한다. 예를 들어, 코어의 반경( $r_1$ )에 대한 제1 셀, 제2 셀과 제3 셀의 총 두께( $t_1+t_2+t_3$ )의 비 $[(t_1+t_2+t_3)/r_1]$ 가 0.1 내지 10인 경우, 제2 셀의 두께( $t_2$ )에 대한 제1 셀과 제3 셀의 총 두께( $t_1+t_3$ )의 비 $[(t_1+t_3)/t_2]$ 는 0.3 내지 5일 수 있고, 이때 제3 셀의 두께( $t_3$ )에 대한 제1 셀의 두께의 비( $t_1/t_3$ )는 0.1 내지 5일 수 있다(도 3 참조). 이와 같이, 전체 셀의 총 두께에서 제2 셀의 두께 비율이 작고, 제1 셀의 두께 비율이 클 경우, 제1 셀에 의한 전자 및 정공의 구속 효과와 더불어, 제2 셀로 인해 격자 결함이 감소하기 때문에, 본 발명의 반도체 나노 결정은 높은 광 안정성 및 발광 양자 효율을 갖는다.
- [0050] <표시 장치>
- [0051] 한편, 본 발명은 전술한 반도체 나노 결정(10A, 10B, 10C)을 이용한 표시 장치를 제공한다.
- [0052] 전술한 바와 같이, 반도체 나노 결정(10A, 10B, 10C)은 셀(12)이 코어(11)를 보호하는 물론, 전자 및 정공 구름을 코어(11) 내에 구속시키기 때문에, 양자 효율 및 광적, 열적 안정성이 우수하다. 이러한 반도체 나노 결정을 이용하는 표시 장치는 우수한 발광 효율을 가지며, 우수한 색상 표현 능력을 갖는다.
- [0053] 본 발명에 따른 표시 장치(101)는 표시 기관(110); 상기 표시 기관(110) 상에 배치된 광량 조절층(120); 및 상기 광량 조절층(120) 상에 배치된 색 변환층(132)을 포함하며, 상기 색 변환층(132)이 반도체 나노 입자를 포함하고, 상기 반도체 나노 입자는 전술한 제1 실시예 내지 제3 실시예에 기재된 반도체 나노 입자 중에서 선택된 1종 이상일 수 있다.
- [0054] 이하, 도 4 내지 도 6을 참조하여, 본 발명의 제4 실시예에 따른 표시 장치에 대해 설명한다.
- [0055] 도 4는 본 발명의 제4 실시예에 따른 표시 장치의 분해 사시도이다.
- [0056] 도 4를 참조하면, 본 발명의 제4 실시예에 따른 표시 장치는 순차적으로 배치된 백라이트 유닛(BLU), 제1 편광판(140a), 표시 기관(110), 광량 조절층(120) 및 대향 기관(130)을 포함한다. 상기 대향 기관(130)은 공통전극(CE), 제2 편광판(140b), 색 변환층(132) 및 제2 기관(131)을 포함한다.
- [0057] 백라이트 유닛(BLU)은 자외선, 근자외선(rear ultraviolet) 등을 조사할 수 있다. 백라이트 유닛(BLU)은, 예컨대 백색광 또는 청색광을 표시 기관(110)으로 조사할 수 있다. 이하, 청색광을 발광하는 백라이트 유닛(BLU)을 포함하는 표시 장치를 중심으로 제4 실시예를 설명한다.
- [0058] 도 5는 도 4에 도시된 표시 장치의 화소에 대한 평면도이고, 도 6은 도 5의 절단선 I-I'를 따라 자른 단면도이다.
- [0059] 도 5 및 도 6에 도시된 바와 같이, 표시 장치(101)는 표시 기관(110); 상기 표시 기관(110)에 대향 배치된 대향 기관(130); 및 상기 표시 기관(110)과 대향 기관(130) 사이에 배치된 광량 조절층(120)을 포함한다. 이때, 각 구성 사이에는 점착층(미도시됨)이 배치될 수도 있다.
- [0060] 광량 조절층(120)은 표시 기관(110) 상에 배치된다. 이러한 광량 조절층(120)은 백라이트 유닛(BLU)으로부터 제공된 광의 투과도를 제어할 수 있는 것이면, 어느 것이든 가능하다. 예를 들어, 광량 조절층(120)은 액정층, 전기 습윤층 및 전기 영동층 중 어느 하나일 수 있다. 이하에서는 광량 조절층(120)이 액정층인 것을 예를 들어 설명한다. 이 경우, 본 발명의 제4 실시예에 따른 표시 장치(101)는 액정 표시 장치라고 할 수 있다.
- [0061] 표시 기관(110)은 제1 기관(111), 박막트랜지스터(TFT), 화소 전극(PE), 게이트 절연막(112) 및 보호막(113)을 포함한다.
- [0062] 박막트랜지스터(TFT)는 제1 기관(111) 상에 배치되고, 반도체층(SM), 저항성 접촉층(114), 게이트 전극(GE), 소

스 전극(SE) 및 드레인 전극(DE)을 포함한다.

- [0063] 제1 기판(111)은 투명한 유리 또는 플라스틱 등으로 이루어진다.
- [0064] 이러한 제1 기판(111) 상에는 복수의 게이트 라인(GL) 및 게이트 전극(GE)이 배치된다. 게이트 전극(GE)은 게이트 라인(GL)과 일체로 구성된다. 게이트 라인(GL) 및 게이트 전극(GE)은 알루미늄 계열의 금속[예, 알루미늄(Al)이나 알루미늄 합금], 은(Ag) 계열의 금속[예, 은(Ag)이나 은 합금], 구리 계열의 금속[예, 구리(Cu)나 구리 합금], 몰리브덴 계열의 금속[예, 몰리브덴(Mo)이나 몰리브덴 합금], 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 게이트 라인(GL) 및 게이트 전극(GE) 중 적어도 하나는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0065] 게이트 절연막(112)은 게이트 라인(GL) 및 게이트 전극(GE)을 포함한 제1 기판(111)의 전면(全面)에 배치된다. 게이트 절연막(112)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 또는, 게이트 절연막(112)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0066] 반도체층(SM)은 게이트 절연막(112) 상에 배치된다. 이때, 반도체층(SM)은 게이트 절연막(112)의 하부에 위치한 게이트 전극(GE)과 중첩된다. 이러한 반도체층(SM)은 비정질 규소 또는 다결정 규소 등으로 만들어질 수 있다. 또, 반도체층(SM)은 산화물 반도체로 이루어질 수도 있다.
- [0067] 저항성 접촉층(114)은 반도체층(SM) 상에 배치된다. 예를 들어, 저항성 접촉층(114)은 채널 부분 이외의 반도체층(SM) 상에 배치된다.
- [0068] 또한, 게이트 절연막(112) 상에 복수의 데이터 라인(DL)이 배치된다. 데이터 라인(DL)은 게이트 라인(GL)과 교차한다. 소스 전극(SE)은 데이터 라인(DL)과 일체로 구성된다. 소스 전극(SE)은 저항성 접촉층(114) 상에 배치된다. 드레인 전극(DE)은 저항성 접촉층(114) 상에 배치되며, 화소 전극(PE)에 연결된다.
- [0069] 데이터 라인(DL), 소스 전극(SE) 및 드레인 전극(DE) 중 적어도 하나는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어질 수 있다. 또는, 데이터 라인(DL), 소스 전극(SE) 및 드레인 전극(DE) 중 적어도 하나는 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다.
- [0070] 보호막(113)은 반도체층(SM), 데이터 라인(DL), 소스 전극(SE) 및 드레인 전극(DE)을 포함한 제1 기판(111)의 전면(全面)에 배치된다. 보호막(113)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있다. 이와 달리, 보호막(113)은 유기막으로 만들어질 수도 있다. 보호막(113)은 하부 무기막과 상부 유기막으로 된 이중막 구조를 가질 수도 있다.
- [0071] 화소 전극(PE)은 보호막(113) 상에 배치된다. 이때, 화소 전극(PE)은 보호막(113)의 콘택홀(CH)을 통해 드레인 전극(DE)과 연결된다. 화소 전극(PE)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전성 물질로 만들어질 수 있다.
- [0072] 제1 편광판(140a)은 표시 기판(110) 상에 배치된다. 구체적으로, 제1 편광판(140a)은 제1 기판(111)의 배면에 배치될 수 있다.
- [0073] 도 6을 참조하면, 상기 대향 기판(130)은 제2 기판(131), 색 변환층(132), 제2 편광판(140b) 및 공통 전극(CE)을 포함한다. 본 발명의 제4 실시예에 따르면, 대향 기판(130)은 차광층(BM)을 더 포함한다.
- [0074] 구체적으로, 대향 기판(130)에서, 전술한 광량 조절층(120) 상에 공통 전극(CE)이 배치되고, 상기 공통 전극(CE) 상에 제2 편광판(140b)이 배치되며, 상기 제2 편광판(140b) 상에 색 변환층(132)이 배치되고, 상기 색 변환층(132) 상에 제2 기판(131)이 배치된다.
- [0075] 제2 기판(131)은 제1 기판(111)에 대향 배치된다. 이러한 제2 기판(131)은 투명한 유리 또는 플라스틱 등으로 이루어질 수 있다.
- [0076] 공통 전극(CE)은 광량 조절층(120)과 제2 기판(131) 사이에 배치된다. 공통 전극(CE)은 화소 전극들(PE)와 함께 광량 조절층(120)에 전계를 인가한다. 이에 따라, 공통 전극(CE)과 화소 전극(PE) 사이의 광량 조절층(120)인 액정층에 전계가 형성된다. 이러한 공통 전극(CE)은 ITO 또는 IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0077] 제2 편광판(140b)은 광량 조절층(120)과 제2 기판(131) 사이에, 구체적으로 공통 전극(CE)과 색 변환층(132) 사



이에 배치될 수 있다. 이러한 제2 편광판(140b)의 투과축은 제1 편광판(140a)의 투과축과 실질적으로 직교하며, 이들 중 하나의 투과축은 게이트 라인(GL)에 나란하게 배열될 수 있다. 이러한 제2 편광판(140b)과 색 변환층(132) 사이에 제1 패시베이션층(141)이 배치될 수 있고, 또 색 변환층(132)과 제2 기판(131) 사이에 제2 패시베이션층(142)이 배치될 수 있다.

- [0078] 차광층(BM)은 제2 기판(131)과 공통 전극(CE) 사이에 배치된다. 차광층(BM)은 복수의 개구부들을 갖는다. 개구부는 제1 및 제2 화소(PX1, PX2)의 각 화소 전극(PE)에 대응하여 배치된다. 차광층(BM)은 개구부들을 제외한 부분에서의 광을 차단한다. 예를 들어, 차광층(BM)은 박막트랜지스터들(TFT), 게이트 라인(GL) 및 데이터 라인(DL) 상에 위치하여 이들을 통과한 광이 외부로 방출되는 것을 차단한다. 차광층(BM)은 반드시 필요한 것은 아니며, 생략될 수도 있다.
- [0079] 색 변환층(132)은 제2 기판(131) 상에 배치되며, 구체적으로 공통 전극(CE)과 제2 기판(131) 사이에 배치되어, 백라이트 유닛(BLU)으로부터 입사된 광의 파장을 변환하여 다른 파장을 갖는 광을 방출한다. 색 변환층(132)은 본 발명에 따른 반도체 나노 결정을 포함한다.
- [0080] 구체적으로, 색 변환층(132)은 복수의 색 변환부(132a, 132b)를 포함한다. 도 6에 도시된 바와 같이, 색 변환층(132)은 제1 색 변환부(132a) 및 제2 색 변환부(132b)를 포함한다. 이때, 각 색 변환부(132a, 132b)는 차광층(BM)에 의해 서로 구분될 수 있다.
- [0081] 각각의 색 변환부(132a, 132b)는 화소(PX1, PX2)와 중첩하여 배치된다. 예컨대, 각각의 색 변환부(132a, 132b)는 화소 전극(PE)에 대응하여 차광층(BM)의 개구부에 위치할 수 있다. 또, 각각의 색 변환부(132a, 132b)는 각각의 화소(PX1, PX2)에 대응된다. 예를 들면, 제1 색 변환부(132a)는 적색 화소(PX1)에 대응되고, 제2 색 변환부(132b)는 녹색 화소(PX2)에 대응될 수 있다. 즉, 제1 색 변환부(132a)는 적색을 발광하고, 제2 색 변환부(132b)는 녹색을 발광한다.
- [0082] 이와 같은 각각의 색 변환부(132a, 132b)는 수지(resin), 및 상기 수지 내에 분산된 반도체 나노 결정(10)을 포함한다. 반도체 나노 결정(10)은 전술한 제1 실시예 내지 제3 실시예에 기재된 반도체 나노 입자(10A, 10B, 10C) 중에서 선택된 적어도 어느 하나로, 이에 대한 설명은 제1 실시예 내지 제3 실시예에 기재된 바와 동일하기 때문에, 생략한다. 이러한 반도체 나노 결정은 소정의 파장을 갖는 빛을 흡수하여 다른 파장을 갖는 빛을 방출한다. 예를 들어, 제1 색 변환부(132a)는 청색 광을 흡수하여 적색을 발광하는 반도체 나노 결정을 포함하고, 제2 색 변환부(132b)는 청색광을 흡수하여 녹색을 발광하는 반도체 나노 결정을 포함한다. 이때, 반도체 나노 결정의 크기(예, 입경)에 따라 변환할 수 있는 파장이 달라지기 때문에, 반도체 나노 결정은 그 크기를 조절하여 원하는 색상의 광을 방출한다. 이와 같은 반도체 나노 결정을 함유하는 색 변환부(132a, 132b)를 갖는 본 발명의 표시 장치(101)는 우수한 발광 효율을 가지며, 우수한 색상 표현 능력도 가진다.
- [0083] 또, 색 변환부(132a, 132b)는 반사체를 더 포함할 수 있다. 반사체의 예로는  $TiO_2$  등이 있는데, 이에 한정되지 않는다. 반사체는 입자 형태를 가질 수 있으며, 반도체 나노 결정과 함께 수지 내에 분산되어 배치될 수 있다.
- [0084] 도시되지 않았지만, 색 변환층(132)은 청색 광을 흡수하여 적색과 녹색 이외의 다른 색을 발광하는 제3 색 변환부를 더 포함할 수도 있다.
- [0085] 색 변환층(132)은 투과부(132c)를 포함한다. 투과부(132c)를 통과하는 광은 파장이 변하지 않는다. 백라이트 유닛(BLU)이 청색 광을 조사하는 경우, 투과부(132c)는 청색 화소(PX3)에 대응된다.
- [0086] <유기발광 표시 장치>
- [0087] 한편, 본 발명은 전술한 반도체 나노 결정(10A, 10B, 10C)을 이용한 유기발광 표시 장치를 제공한다. 전술한 반도체 나노 결정(10A, 10B, 10C)을 적용한 유기발광 표시 장치는 발광 효율이 높고, 색상 구현 능력이 우수하다.
- [0088] 본 발명에 따른 표시 장치(102)는 베이스 기판(211); 상기 베이스 기판(211) 상에 배치된 유기 발광 소자(310); 및 상기 유기 발광 소자(310) 상에 배치된 색 변환층(320)을 포함하고, 상기 색 변환층(320)은 반도체 나노 입자를 포함하고, 상기 반도체 나노 입자는 전술한 제1 실시예 내지 제3 실시예에 기재된 반도체 나노 입자 중에서 1종 이상일 수 있다.
- [0089] 이하, 도 7 및 도 8를 참조하여, 본 발명의 제5 실시예에 따른 유기발광 표시 장치에 대해 설명한다.
- [0090] 도 7은 본 발명의 제5 실시예에 따른 유기발광 표시 장치(102)의 평면도이고, 도 8은 도 7의 절단선 II-II'를

따라 자른 단면도이다.

- [0091] 구체적으로, 본 발명의 제5 실시예에 따른 유기발광 표시 장치(102)는 베이스 기판(211), 구동 회로부(230) 및 유기 발광 소자(310)를 포함한다.
- [0092] 베이스 기판(211)은 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 군에서 선택된 절연성 재료로 만들어질 수 있다. 또한, 베이스 기판(211)으로 고분자 필름이 사용될 수도 있다.
- [0093] 이러한 베이스 기판(211) 상에는 버퍼층(220)이 더 배치될 수 있다. 버퍼층(220)은 다양한 무기막들 및 유기막들 중에서 선택된 하나 이상의 막을 포함할 수 있다. 이러한 버퍼층(220)은 생략될 수도 있다.
- [0094] 구동 회로부(230)는 베이스 기판(211)[또는, 버퍼층(220)] 상에 배치된다. 구동 회로부(230)는 복수의 박막 트랜지스터들(20, 30) 및 축전 소자(40)를 포함하는 부분으로, 유기 발광 소자(310)를 구동한다. 즉, 유기 발광 소자(310)는 상기 구동 회로부(230)로부터 전달받은 구동 신호에 따라 빛을 방출하여 화상을 표시한다.
- [0095] 도 7 및 8에, 하나의 화소에 두 개의 박막 트랜지스터(TFT)(20, 30)와 하나의 축전 소자(capacitor)(40)가 구비된 2Tr-1Cap 구조의 능동 구동(active matrix, AM)형 유기발광 표시 장치(102)가 도시되어 있다. 그러나, 본 발명의 제5 실시예가 이러한 구조로 한정되는 것은 아니다. 예컨대, 유기발광 표시 장치(102)는 하나의 화소에 셋 이상의 박막 트랜지스터와 둘 이상의 축전 소자를 포함할 수 있으며, 별도의 배선을 더 포함할 수 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기발광 표시 장치(102)는 복수의 화소들을 통해 화상을 표시한다.
- [0096] 하나의 화소는 스위칭 박막 트랜지스터(20), 구동 박막 트랜지스터(30), 축전 소자(40), 및 유기 발광 소자(organic light emitting diode, OLED)(310)를 포함한다. 또한, 일 방향을 따라 연장되는 게이트 라인(251)과, 게이트 라인(251)과 절연 교차되는 데이터 라인(271) 및 공통 전원 라인(272)도 구동 회로부(230)에 배치된다. 하나의 화소는 게이트 라인(251), 데이터 라인(271) 및 공통 전원 라인(272)을 경계로 정의될 수 있으나, 반드시 이에 한정되는 것은 아니다. 화소정의막(290) 또는 블랙 매트릭스에 의하여 화소가 정의될 수도 있다.
- [0097] 스위칭 박막 트랜지스터(20)는 발광시킴고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 이러한 스위칭 박막 트랜지스터(20)는 스위칭 반도체층(231), 스위칭 게이트 전극(252), 스위칭 소스 전극(273), 및 스위칭 드레인 전극(274)을 포함한다. 이때, 스위칭 게이트 전극(252)은 게이트 라인(251)에 연결되고, 스위칭 소스 전극(273)은 데이터 라인(271)에 연결되며, 스위칭 드레인 전극(274)은 스위칭 소스 전극(273)으로부터 이격 배치되며, 축전 소자(40)의 축전판들 중 어느 한 축전판(258)에 연결된다. 스위칭 반도체층(231)과 스위칭 게이트 전극(252)은 게이트 절연막(240)에 의해 절연된다.
- [0098] 구동 박막 트랜지스터(30)는 스위칭 박막 트랜지스터(20)에 의해 선택된 화소 내의 유기 발광 소자(310)의 유기 발광층(312)을 발광시키기 위한 구동 전원을 화소 전극인 제1 전극(311)에 인가한다. 이러한 구동 박막 트랜지스터(30)는 구동 반도체층(232), 구동 게이트 전극(255), 구동 소스 전극(276), 및 구동 드레인 전극(277)을 포함한다. 구동 게이트 전극(255)은 스위칭 드레인 전극(274)과 연결된 축전판(258)과 연결된다. 구동 소스 전극(276)은 공통 전원 라인(272)에 연결되고, 이러한 공통 전원 라인(272)은 다른 축전판(278)에 연결된다. 구동 드레인 전극(277)은 평탄화막(265)에 구비된 컨택홀(contact hole)을 통해 유기 발광 소자(310)의 제1 전극(311)과 연결된다. 구동 반도체층(232)과 구동 게이트 전극(255)은 게이트 절연막(240)에 의하여 절연된다.
- [0099] 축전 소자(40)는 층간 절연막(260)을 사이에 두고 배치된 한 쌍의 축전판(258, 278)을 포함한다. 여기서, 층간 절연막(260)은 유전체가 된다. 축전 소자(40)의 축전 용량은 축전 소자(40)에 축전된 전하와 양 축전판(258, 278) 사이의 전압에 의해 결정된다.
- [0100] 이러한 유기발광 표시 장치의 구조에서, 스위칭 박막 트랜지스터(20)는 게이트 라인(251)에 인가되는 게이트 전압에 의해 작동되어 데이터 라인(271)에 인가되는 데이터 전압을 구동 박막 트랜지스터(30)로 전달하는 역할을 한다. 이때, 스위칭 박막 트랜지스터(20)로부터 전달된 데이터 전압과 공통 전원 라인(272)으로부터 구동 박막 트랜지스터(30)에 인가되는 공통 전압의 차이에 해당하는 전압이 축전 소자(40)에 저장되고, 축전 소자(40)에 저장된 전압에 대응하는 전류가 구동 박막 트랜지스터(30)를 통해 유기 발광 소자(310)로 흘러 유기 발광 소자(310)가 발광한다.
- [0101] 유기 발광 소자(310)는 구동 회로부(230)로부터 전달받은 구동 신호에 따라 광을 방출하여 화상을 표시하는 부분으로, 도 8에 도시된 바와 같이, 기판(211) 상에 순차적으로 적층된 제1 전극(311), 유기 발광층(312), 및 제

2 전극(313)을 포함한다.

- [0102] 구체적으로, 유기 발광층(312)은 제1 전극(311)과 제2 전극(313)으로부터 각각 주입된 정공과 전자가 결합하여 엑시톤(exciton)이 형성되는 층으로, 발광층을 이루는 물질에 따라 유기 전계 발광 소자의 발광 색이 달라질 수 있다. 이러한 유기 발광층 물질로는 당 기술분야에 알려진 발광층을 형성하는 물질이라면 특별히 한정되지 않는다. 예를 들어, 유기 발광층(312)은 CBP(4,4'-bis(N-carbazolyl)-1,1'-biphenyl, 4,4'-비스(N-카바졸일)-1,1'-비페닐), PVK(poly(n-vinylcarbazole), 폴리(n-비닐카바졸)), ADN(9,10-di(naphthalene-2-yl)anthracene, 9,10-디(나프탈렌-2-일)안트라센) 등과 같은 호스트 물질; 및 Ir, Pt, Os, Re, Ti, Zr, Hf 또는 이들 중 2 이상의 조합을 포함한 유기 금속 착체 등과 같은 인광 또는 형광 도펀트를 포함할 수 있는데, 이에 한정되지 않는다.
- [0103] 제1 전극(311) 및 제2 전극(313)으로부터 각각 정공과 전자가 유기 발광층(312) 내부로 주입되고, 이와 같이 주입된 정공과 전자가 결합되어 형성된 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- [0104] 제1 전극(311)은 광투과성을 갖는 투광성 전극일 수도 있으며, 광반사성을 갖는 반사 전극일 수도 있다. 또, 제2 전극(313)은 반투과막으로 형성될 수도 있고, 반사막으로 형성될 수도 있다. 예를 들어, 제1 전극(311)은 반사 전극이고, 제2 전극(313)은 반투과 전극일 수 있다. 따라서, 유기 발광층(312)에서 발생된 광은 제2 전극(313)을 투과하여 발광된다. 이 경우, 본 발명의 제3 실시예에 따른 유기발광 표시 장치(102)는 전면 발광형(top emission type) 구조를 갖는다.
- [0105] 반사 전극 및 반투과 전극의 형성에 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 알루미늄(Al) 및 구리(Cu) 중 하나 이상의 금속 또는 이들의 합금이 사용될 수 있다. 이때, 반사 전극과 반투과 전극은 두께로 결정된다. 일반적으로, 반투과 전극은 약 200nm 이하의 두께를 갖는다. 반투과 전극의 두께가 얇아질수록 광의 투과율이 높아지고, 두께가 두꺼워질수록 광의 투과율이 낮아진다.
- [0106] 구체적으로, 제1 전극(311)은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 알루미늄(Al) 및 구리(Cu) 중 하나 이상의 금속을 포함하는 반사막 및 반사막상에 배치된 투명 도전막을 포함할 수 있다. 여기서, 투명 도전막은 투명 전도성 산화물(Transparent Conductive Oxide; TCO)을 포함할 수 있는데, 예를 들어, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide), AZO(Aluminum Zinc Oxide) 및 In<sub>2</sub>O<sub>3</sub>(Indium Oxide) 중 적어도 하나를 포함할 수 있다. 이러한 투명 도전막은 높은 일함수를 갖기 때문에, 제1 전극(311)은 유기 발광층(312) 내로 정공을 원활하게 주입할 수 있다.
- [0107] 또한, 제1 전극(311)은 투명 도전막, 반사막 및 투명 도전막이 차례로 적층된 3중막 구조를 가질 수도 있다.
- [0108] 제2 전극(313)은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 알루미늄(Al) 및 구리(Cu) 중 하나 이상의 금속을 포함하는 반투과막으로 만들어질 수 있다.
- [0109] 도면에 도시되지 않았지만, 제1 전극(311)과 유기 발광층(312) 사이에 정공 주입층(hole injection layer; HIL) 및 정공 수송층(hole transporting layer; HTL) 중 적어도 하나가 더 배치될 수도 있다. 또, 유기 발광층(312)과 제2 전극(313) 사이에 전자 수송층(electron transport layer; ETL) 및 전자 주입층(electron injection layer, EIL) 중 적어도 하나가 더 배치될 수 있다. 여기서, 유기 발광층(312), 정공주입층, 정공수송층, 전자수송층 및 전자주입층을 유기층이라고도 한다. 이러한 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층은 각각 당 기술분야에서 통상적으로 알려진 저분자 유기물 또는 고분자 유기물을 이용하여 형성할 수 있다.
- [0110] 화소 정의막(290)은 개구부를 갖는다. 화소 정의막(290)의 개구부는 제1 전극(311)의 일부를 드러낸다. 화소 정의막(290)의 개구부에서 제1 전극(311) 상에 유기 발광층(312) 및 제2 전극(313)이 차례로 적층된다. 이때, 제2 전극(313)은 유기 발광층(312) 뿐만 아니라 화소 정의막(290) 위에도 형성된다. 한편, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층은 화소 정의막(290)과 제2 전극(313) 사이에도 배치될 수 있다. 유기 발광 소자(310)는 화소 정의막(290)의 개구부 내에 위치한 유기 발광층(312)에서 빛을 발생시킨다. 따라서, 화소 정의막(290)은 발광 영역을 정의할 수도 있다.
- [0111] 도면에 도시되지 않았지만, 제2 전극(213) 상에 캡핑층이 배치될 수 있다. 캡핑층은 유기 발광 소자(310)를 보호하면서, 유기층에서 발생된 빛이 효율적으로 외부로 방출될 수 있도록 돕는 역할을 한다. 특히, 캡핑층은 전면 발광형 유기 발광 소자에서 빛의 전반사를 통해 제2 전극에서 빛이 손실되는 것을 방지할 수 있다. 이러한

캡핑층은 당 기술분야에서 통상적으로 캡핑층을 형성하는 물질이라면, 특별히 한정되지 않는다.

- [0112] 제2 전극 상에 봉지 기관(212)이 더 배치될 수 있다. 봉지 기관(212)은 베이스 기관(211)과 함께, 유기 발광 소자(310)를 밀봉하는 역할을 한다. 봉지 기관(212)은 베이스 기관(211)과 마찬가지로, 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 군에서 선택된 절연성 재료로 만들어질 수 있다.
- [0113] 색 변환층(320)이 봉지 기관(212) 상에 배치된다. 색 변환층(320)은 유기 발광 소자(310)로부터 입사된 광의 파장을 변환하여 다른 파장을 갖는 광을 방출한다. 본 발명의 제5 실시예에 따르면, 색 변환층(320)은 본 발명에 따른 반도체 나노 결정을 포함한다.
- [0114] 색 변환층(320)은 복수의 색 변환부(321, 322)를 포함한다. 색 변환부(321, 322)는 소정의 파장을 갖는 빛을 흡수하여 다른 파장을 갖는 빛을 방출하는 본 발명에 따른 반도체 나노 결정을 포함한다. 이러한 색 변환부(321, 322)는 차광층(BM)에 의하여 서로 구분될 수 있다.
- [0115] 각각의 색 변환부(321, 322)는 유기 발광층(312)과 중첩하여 배치된다.
- [0116] 본 발명의 제5 실시예에 따르면, 유기 발광 소자(310)는 청색 광을 발광한다. 즉, 유기 발광층(312)이 청색 광을 발광한다.
- [0117] 도 8를 참조하면, 색 변환층(320)은 제1 색 변환부(321) 및 제2 색 변환부(322)를 포함한다. 예를 들면, 제1 색 변환부(321)는 적색 화소에 대응되고, 제2 색 변환부(322)는 녹색 화소에 대응될 수 있다. 즉, 제1 색 변환부(321)는 청색 광을 흡수하여 적색을 발광하고, 제2 색 변환부(322)는 청색 광을 흡수하여 녹색을 발광한다. 제1 색 변환부(321)는 적색을 발광하는 반도체 나노 결정을 포함하고, 제2 색 변환부(322)는 녹색을 발광하는 반도체 나노 결정을 포함한다. 반도체 나노 결정은 제1 실시예 내지 제3 실시예에 기재된 반도체 나노 결정 중 1종 이상으로, 이에 대한 설명은 제1 실시예 내지 제3 실시예에 기재된 바와 동일하기 때문에, 생략한다.
- [0118] 본 발명의 제5 실시예에 따르면, 색 변환층(320)은 투과부(미도시)를 더 포함할 수 있다. 투과부를 통과하는 광은 파장이 변하지 않는다. 투과부는 청색 화소에 대응될 수 있다.
- [0119] 도시되지 않았지만, 색 변환층(320)은 청색 광을 흡수하여 적색과 녹색 이외의 다른 색을 발광하는 제3 색 변환부를 더 포함할 수도 있다.
- [0120] 또한, 도 8를 참조하면, 색 변환층(320) 상에 색 변환부(321, 322) 보호를 위한 투명 보호층(325)이 배치된다.
- [0121] 도 9는 본 발명의 제6 실시예에 따른 유기발광 표시 장치(103)의 단면도이다.
- [0122] 본 발명의 제6 실시예에 따른 유기발광 표시 장치(103)는 제2 전극(313) 상에 배치된 박막 봉지층(350)을 포함한다. 박막 봉지층(350) 이외, 다른 구성은 제5 실시예에 기재된 바와 동일하기 때문에, 생략한다.
- [0123] 박막 봉지층(350)은 유기 발광 소자(310)를 보호하는 층으로, 하나 이상의 무기막(351, 353) 및 하나 이상의 유기막(352)을 포함하며, 수분이나 산소와 같은 외기가 유기 발광 소자(310)로 침투하는 것을 방지한다.
- [0124] 박막 봉지층(350)은 무기막(351, 353)과 유기막(352)이 교호적으로 적층된 구조를 갖는다. 도 9에서 박막 봉지층(350)은 2개의 무기막(351, 353)과 1개의 유기막(352)을 포함하고 있으나, 본 발명의 제6 실시예가 이에 한정되는 것은 아니다.
- [0125] 무기막(351, 353)은  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO$ ,  $SiO_2$ ,  $AlON$ ,  $AlN$ ,  $SiON$ ,  $Si_3N_4$ ,  $ZnO$ , 및  $Ta_2O_5$  중 하나 이상의 무기물을 포함한다. 이러한 무기막(351, 353)은 화학증착(chemical vapor deposition, CVD)법 또는 원자층 증착(atomic layer deposition, ALD)법을 통해 형성될 수 있다. 하지만, 본 발명의 제6 실시예가 이에 한정되는 것은 아니며, 무기막(351, 353)은 해당 기술 분야의 종사자에게 공지된 다양한 방법을 통해 형성될 수 있다.
- [0126] 유기막(352)은 고분자(polymer) 계열의 소재로 만들어진다. 여기서, 고분자 계열의 소재는 아크릴계 수지, 에폭시계 수지, 폴리이미드, 및 폴리에틸렌 등을 포함한다. 또한, 유기막(352)은 열증착 공정을 통해 형성된다. 열증착 공정은 유기 발광 소자(310)를 손상시키지 않는 온도 범위 내에서 진행된다. 하지만, 본 발명의 제4 실시예가 이에 한정되는 것은 아니며, 유기막(352)은 해당 기술 분야의 종사자에게 공지된 다양한 방법을 통해 형성될 수 있다.
- [0127] 박막의 밀도가 치밀하게 형성된 무기막(351, 353)은 주로 수분 또는 산소의 침투를 억제한다. 대부분의 수분 및 산소는 무기막(351, 353)에 의해 유기 발광 소자(310)로의 침투가 차단된다. 이렇게 무기막(351, 353)을 통과한 수분 및 산소는 유기막(352)에 의해 다시 차단된다. 다만, 유기막(352)은 무기막(351, 353)에 비해 상대



적으로 투습 방지 효과는 적다. 하지만, 유기막(352)은 투습 억제 외에, 무기막(351, 353)과 무기막(351, 353) 사이에서 각층들 간의 응력을 줄여주는 완충층의 역할도 수행한다. 또한, 유기막(352)은 평탄화 특성을 가지므로, 박막 봉지층(350)의 최상부면이 평탄해질 수 있다.

[0128] 박막 봉지층(350)은 10 $\mu$ m 이하의 얇은 두께를 가질 수 있다. 따라서, 유기발광 표시 장치(103) 역시 얇은 두께를 가질 수 있다. 이와 같이 박막 봉지층(350)이 적용됨으로써, 유기발광 표시 장치(103)가 플렉서블 특성을 가질 수 있다.

[0129] 이러한 박막 봉지층(350)이 제5 실시예와 달리, 봉지 기판(212) 대신 사용되고, 이와 함께 베이스 기판(211)으로 가요성 기판이 사용되는 경우, 유기발광 표시 장치(103)는 플렉서블 표시 장치가 될 수 있다.

[0130] 이하에서, 실시예를 통하여 본 발명을 보다 상세히 설명한다. 그러나, 이하의 실시예는 본 발명을 예시하기 위한 것일 뿐, 본 발명의 범위가 실시예로 한정되는 것은 아니다.

#### [0131] [실시예 1] - 반도체 나노 결정의 제조

[0132] 글러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol, Zn(My)<sub>2</sub> 0.075 mmol, tris(trimethylsilyl)phosphine[(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 °C까지 가열하여 InZnP 코어(입경: 2 nm)를 얻었다. 이후, ODE에 혼합된 0.1 M의 Al(O-i-Pr)<sub>3</sub> 0.1 mmol를 상기 글러브 박스에 천천히 첨가한 다음, 300 °C에서 10분 동안 반응시켜 InZnP 코어/Al<sub>2</sub>O<sub>3</sub> 셸 구조를 갖는 반도체 나노 결정(직경: 2.5 nm, 셸의 두께: 0.3 nm)를 얻었다. 이때, 상기 반도체 나노 결정에서, InZnP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, Al<sub>2</sub>O<sub>3</sub> 셸은 - 1.3 eV의 전도대, - 9 eV의 가전자대와, 7.7 eV의 밴드갭을 갖는다.

[0133] 도 10은 상기에서 얻은 반도체 나노 결정에 대한 XPS 스펙트럼 그래프로, 반도체 나노 결정에 Al<sub>2</sub>O<sub>3</sub>가 형성되어 있음을 알 수 있었다.

#### [0134] [실시예 2] - 반도체 나노 결정의 제조

[0135] 글러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol, Zn(My)<sub>2</sub> 0.075 mmol, tris(trimethylsilyl)phosphine[(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 °C까지 가열하여 InZnP 코어(입경: 2 nm)를 얻었다. 이후, ODE에 혼합된 0.1 M의 Al(O-i-Pr)<sub>3</sub> 0.1 mmol를 상기 글러브 박스에 천천히 첨가한 다음, 300 °C에서 10분 동안 반응시켜 InZnP 코어/Al<sub>2</sub>O<sub>3</sub> 셸 구조를 갖는 나노 입자(Al<sub>2</sub>O<sub>3</sub> 셸의 두께: 0.5nm)를 얻었다. 이어서, Se 분말 및 S 분말을 TOP에 용해시켜 얻은 Se 전구체 용액(Se-TOP) 0.15 mmol를 상기 글러브 박스에 첨가한 다음, 300 °C에서 20분 동안 반응시켜 InZnP 코어/Al<sub>2</sub>O<sub>3</sub> 셸/ZnSeS 셸 구조를 갖는 나노 입자(ZnSeS 셸의 두께: 1 nm)를 얻었다. 이후, Zn(St)<sub>2</sub> 1 mmol 및 DDT 4 mmol를 상기 글러브 박스에 첨가한 다음, 300 °C에서 1시간 동안 반응시켜 InZnP 코어/Al<sub>2</sub>O<sub>3</sub> 셸/ZnSeS 셸/ZnS 셸 구조를 갖는 반도체 나노 결정(ZnS 셸의 두께: 2 nm)을 얻었다. 이때, 상기 반도체 나노 결정에서, InZnP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, Al<sub>2</sub>O<sub>3</sub> 셸은 - 1.3 eV의 전도대, - 9 eV의 가전자대와 7.7 eV의 밴드갭을 가지며, ZnSeS 셸은 - 4.1 eV의 전도대와 - 6.8 eV의 가전자대를 갖고, ZnS 셸은 - 3.9 eV의 전도대와 - 7.5 eV의 가전자대를 갖는다.

#### [0136] [실시예 3] - 반도체 나노 결정의 제조

[0137] 글러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol 및 tris(trimethylsilyl)phosphine [(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 °C까지 가열하여 InZnP 코어(입경: 2nm)를 얻었다. 이후, ODE에 혼합된 0.1 M의 Al(O-i-Pr)<sub>3</sub> 0.1 mmol를 상기 글러브 박스에 천천히 첨가한 다음, 300 °C에서 10분 동안 반응시켜 InP 코어/Al<sub>2</sub>O<sub>3</sub> 셸 구조를 갖는 반도체 나노 결정(직경: 2.5nm, 셸의 두께: 0.3nm)를 얻었다. 이때, 상기 반도체 나노 결정에서, InP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, Al<sub>2</sub>O<sub>3</sub> 셸은 - 1.3 eV의 전도대, - 9 eV의 가전자대 및 7.7 eV의 밴드갭을 갖는다.

#### [0138] [실시예 4] - 반도체 나노 결정의 제조

[0139] 클러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol 및 tris(trimethylsilyl)phosphine [(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 ℃까지 가열하여 InP 코어(입경: 2nm)를 얻었다. 이후, ODE에 혼합된 0.1 M의 Al(O-i-Pr)<sub>3</sub> 0.1 mmol를 상기 클러브 박스에 천천히 첨가한 다음, 300 ℃에서 10분 동안 반응시켜 InP 코어/Al<sub>2</sub>O<sub>3</sub> 셸 구조를 갖는 나노 입자(Al<sub>2</sub>O<sub>3</sub> 셸의 두께: 0.3nm)를 얻었다. 이어서, tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에 Zn(My)<sub>2</sub> 0.075 mmol를 상기 클러브 박스에 넣은 후, Se 분말을 TOP에 용해시켜 얻은 Se 전구체 용액(Se-TOP) 0.15 mmol를 첨가한 다음, 300 ℃에서 20분 동안 반응시켜 InP 코어/Al<sub>2</sub>O<sub>3</sub> 셸/ZnSe 셸 구조를 갖는 반도체 나노 결정(ZnSe 셸의 두께: 1nm)을 얻었다. 이때, 상기 반도체 나노 결정에서, InP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, Al<sub>2</sub>O<sub>3</sub> 셸은 - 1.3 eV의 전도대, - 9 eV의 가전자대 및 7.7 eV의 밴드갭을 가지며, ZnS 셸은 - 3.9 eV의 전도대와 - 7.5 eV의 가전자대를 갖는다.

[0140] [비교예 1]

[0141] 클러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol, Zn(My)<sub>2</sub> 0.075 mmol, tris(trimethylsilyl)phosphine[(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 ℃까지 가열하여 InZnP 코어(입경: 2nm)를 얻었다. 이후, Se 분말 및 S 분말을 TOP에 용해시켜 얻은 Se 전구체 용액(Se-TOP) 0.15 mmol를 상기 클러브 박스에 첨가한 다음, 300 ℃에서 20분 동안 반응시켜 InZnP 코어/ZnSeS 셸 구조를 갖는 반도체 나노 결정(ZnSeS 셸의 두께: 1nm)을 얻었다. 이때, 상기 반도체 나노 결정에서, InZnP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, ZnSeS 셸은 - 4.1 eV의 전도대, - 6.8 eV의 가전자대와 2.7 eV의 밴드갭을 갖는다.

[0142] [비교예 2]

[0143] 클러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol, Zn(My)<sub>2</sub> 0.075 mmol, tris(trimethylsilyl)phosphine[(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 ℃까지 가열하여 InZnP 코어(입경: 2nm)를 얻었다. 이후, Se 분말 및 S 분말을 TOP에 용해시켜 얻은 Se 전구체 용액(Se-TOP) 0.15 mmol를 상기 클러브 박스에 첨가한 다음, 300 ℃에서 20분 동안 반응시켜 InZnP 코어/ZnSeS 셸 구조를 갖는 나노 입자(ZnSeS 셸의 두께: 1nm)를 얻었다. 이후, Zn(St)<sub>2</sub> 1 mmol 및 DDT 4 mmol를 상기 클러브 박스에 첨가한 다음, 300 ℃에서 1시간 동안 반응시켜 InZnP 코어/ZnSeS 셸/ZnS 셸 구조를 갖는 반도체 나노 결정(ZnS 셸의 두께: 2nm)을 얻었다. 이때, 상기 반도체 나노 결정에서, InZnP 코어는 - 4.5 eV의 전도대와 - 6.7 eV의 가전자대를 갖고, ZnSeS 셸은 - 4.1 eV의 전도대, - 6.8 eV의 가전자대와 2.7 eV의 밴드갭을 갖고, ZnS 셸은 - 3.9 eV의 전도대와 - 7.5 eV의 가전자대를 갖는다.

[0144] [비교예 3] - 반도체 나노 결정의 제조

[0145] 클러브 박스의 tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에, In(My)<sub>3</sub> 0.15 mmol 및 tris(trimethylsilyl)phosphine [(TMS)<sub>3</sub>P] 0.1 mmol를 넣고 교반하면서 5 분 동안 300 ℃까지 가열하여 InP 코어(입경: 2nm)를 얻었다. 이후, tris(trimethylsilyl)phosphine(TOP) 1 mL 및 1-octadecene(ODE) 9 mL에 Zn(My)<sub>2</sub> 0.075 mmol를 상기 클러브 박스에 넣은 후, Se 분말을 TOP에 용해시켜 얻은 Se 전구체 용액(Se-TOP) 0.15 mmol를 첨가한 다음, 300 ℃에서 20분 동안 반응시켜 InP 코어/ZnSe 셸 구조를 갖는 반도체 나노 결정(ZnSe 셸의 두께: 1nm)을 얻었다. 이때, 상기 반도체 나노 결정에서, InP 코어는 - 4.5 eV의 전도대와 - 5.7 eV의 가전자대를 갖고, ZnS 셸은 - 3.9 eV의 전도대, - 7.5 eV의 가전자대와 3.6 eV의 밴드갭을 갖는다.

[0146] [실험예 1]

[0147] 실시예 1 및 2와 비교예 1 및 2에서 각각 제조된 반도체 나노 결정의 발광 피크(PL peak), 반치폭(FWHM) 및 발광 양자 효율(PL QY)을 측정하였고, 그 결과를 하기 표 1 및 도 11 및 도 12에 나타내었다.

표 1

	PL peak (nm)	FWHM (nm)	PL QY (%)
실시예 1	553.3	48.2	50
실시예 2	551.1	47.6	64.4

비교예 1	530.2	46.5	45.3
비교예 2	530.2	48.1	62.3

[0149] 측정 결과, 실시예 1의 반도체 나노 결정은 비교예 1의 반도체 나노 결정에 비해 발광 양자 효율이 높았다. 또, 실시예 2의 반도체 나노 결정은 비교예 2의 반도체 나노 결정에 비해 발광 양자 효율이 높을 뿐만 아니라, 실시예 1의 반도체 나노 결정보다 반치폭이 더 감소하였다.

[0150] **[실험예 2]**

[0151] 실시예 2 및 비교예 2에서 각각 제조된 반도체 나노 결정에 대한 열적 안정성을 측정하였고, 그 결과를 각각 도 13 및 도 14에 나타내었다.

[0152] 도 13 및 도 14에서 알 수 있는 바와 같이, 실시예 2의 반도체 나노 결정이 비교예 2의 반도체 나노 결정에 비해 더 높은 열적 안정성을 가졌다.

[0153] **[실험예 3]**

[0154] 실시예 3 및 4와 비교예 3의 반도체 나노 결정에 대한 energy band와 해당 dimension에서의 전자 및 정공 구름의 분포를 각각 도 15 내지 17에 나타내었다.

[0155] 도 15(a) 및 도 16(a)에서 알 수 있는 바와 같이, 실시예 3 및 4의 반도체 나노 결정은 InP 코어와 Al<sub>2</sub>O<sub>3</sub> 셸 간의 전도대 오프셋이 약 3 eV 이고, 가전자대 오프셋이 약 4.3 eV이었다. 반면, 비교예 3의 반도체 나노 결정은 InP 코어와 ZnSe 셸 간의 전도대 오프셋이 약 0.3 eV 이고, 가전자대 오프셋이 약 1.2 eV이었다(도 17(a) 참조).

[0156] 또, 실시예 3 및 4의 반도체 나노 결정은 비교예 3의 반도체 나노 결정과 달리 전자 및 정공이 코어 내에 구속됨을 알 수 있었다(도 15(b) 내지 도 17(b) 참조).

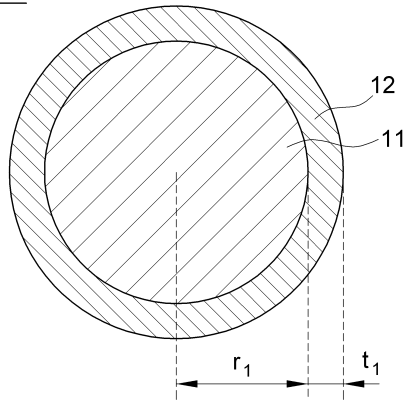
### 부호의 설명

[0157] 10A, 10B, 10C: 반도체 나노 결정,  
11: 코어, 12: 셸,  
13: 제2 셸, 14: 제3 셸,  
101: 표시 장치,  
BLU: 백라이트 유닛, 110: 표시 기판,  
120: 광량 조절층, 130: 대향 기판,  
131: 제2 기판, 132: 색 변환층,  
140a: 제1 편광층, 140b: 제2 편광층,  
102, 103: 유기발광 표시 장치,  
20: 스위칭 박막 트랜지스터, 30: 구동 박막트랜지스터,  
40: 축전 소자, 211: 베이스 기판,  
212: 밀봉 기판, 230: 구동 회로부,  
310: 유기 발광 소자, 320: 색 변환층,  
350: 박막 봉지층

도면

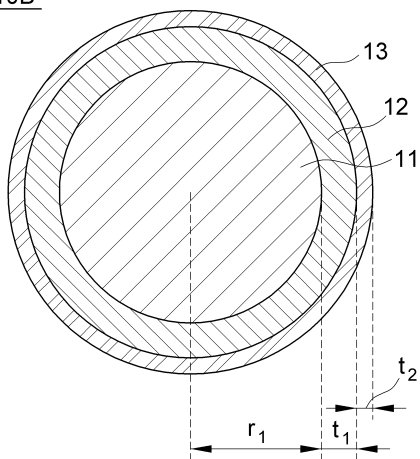
도면1

10A

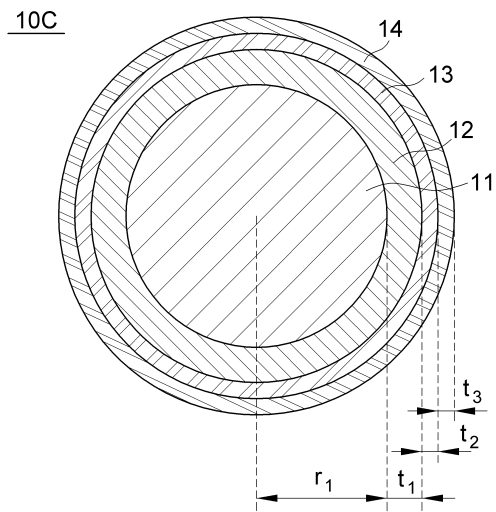


도면2

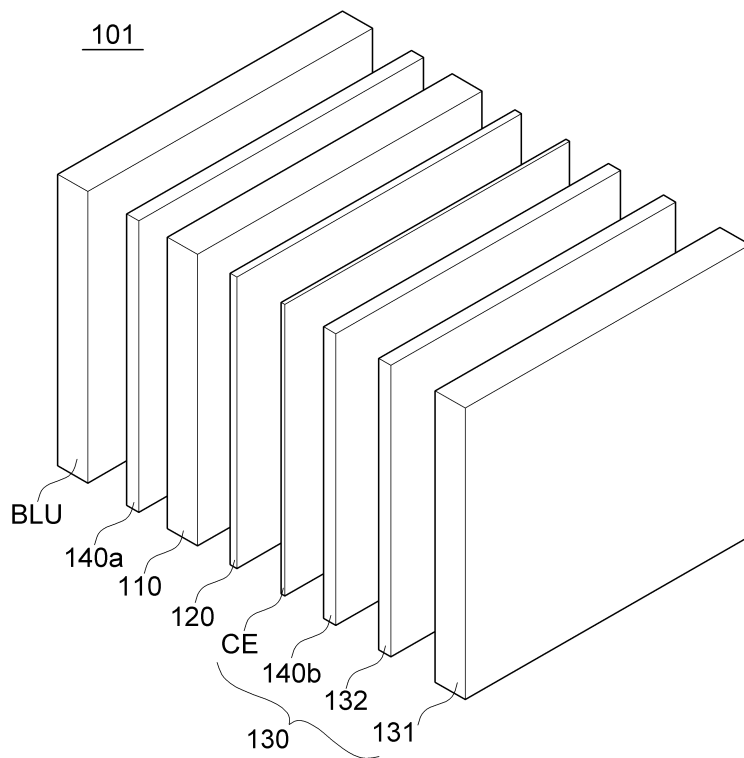
10B



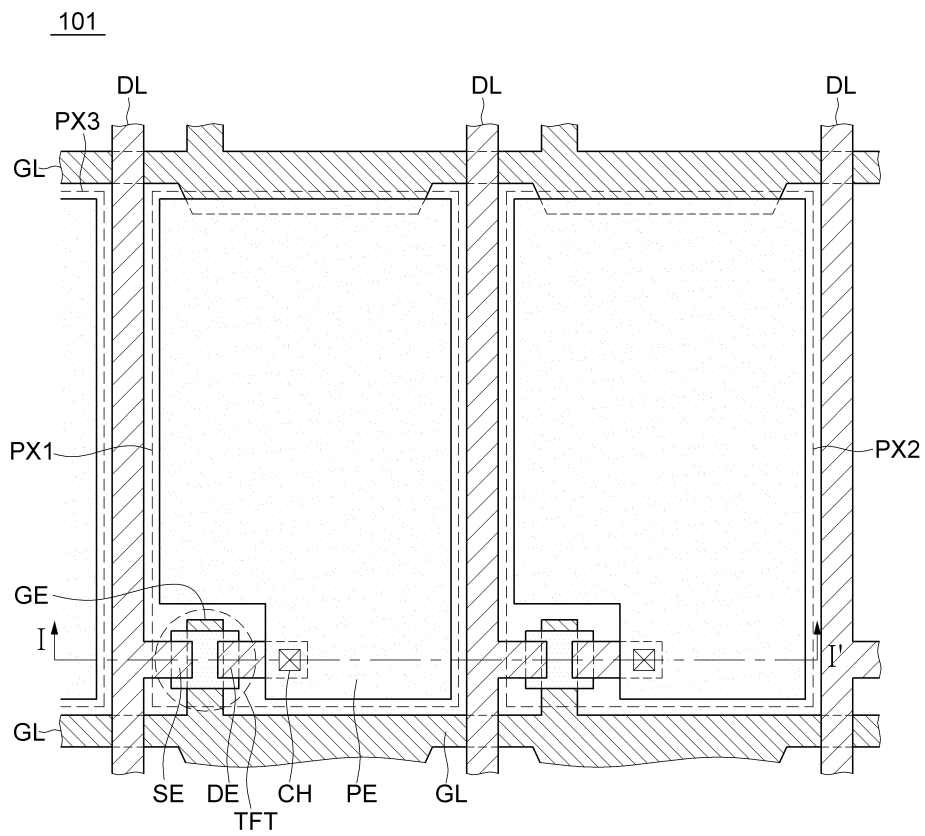
도면3



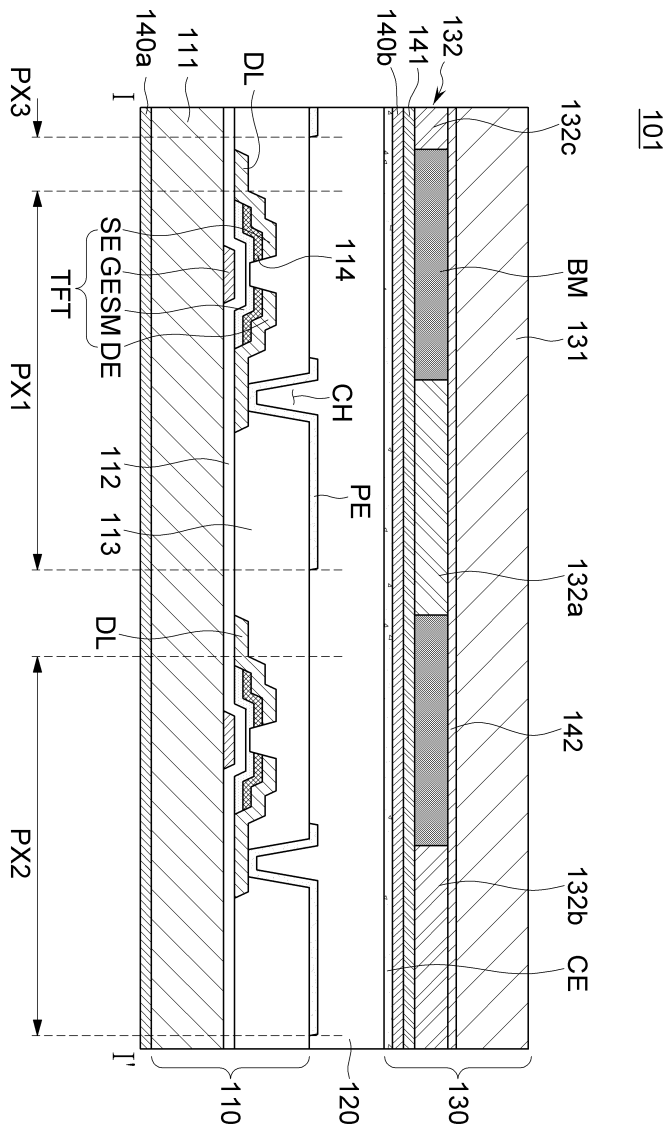
도면4



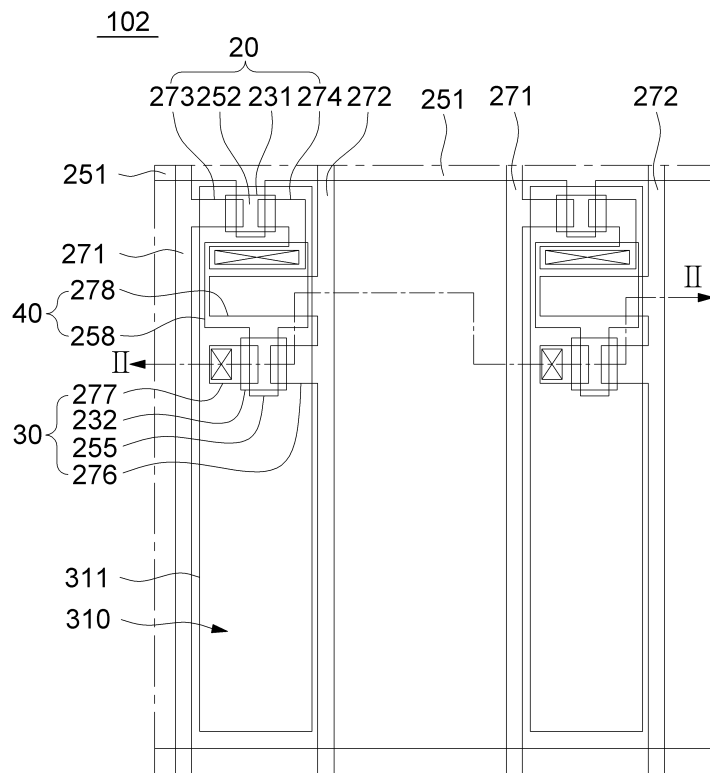
도면5



도면6

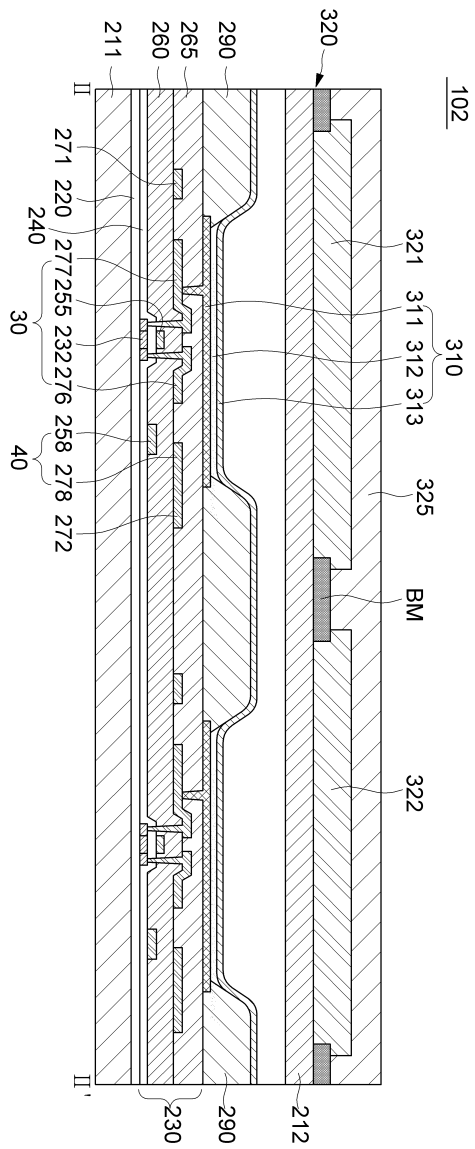


도면7

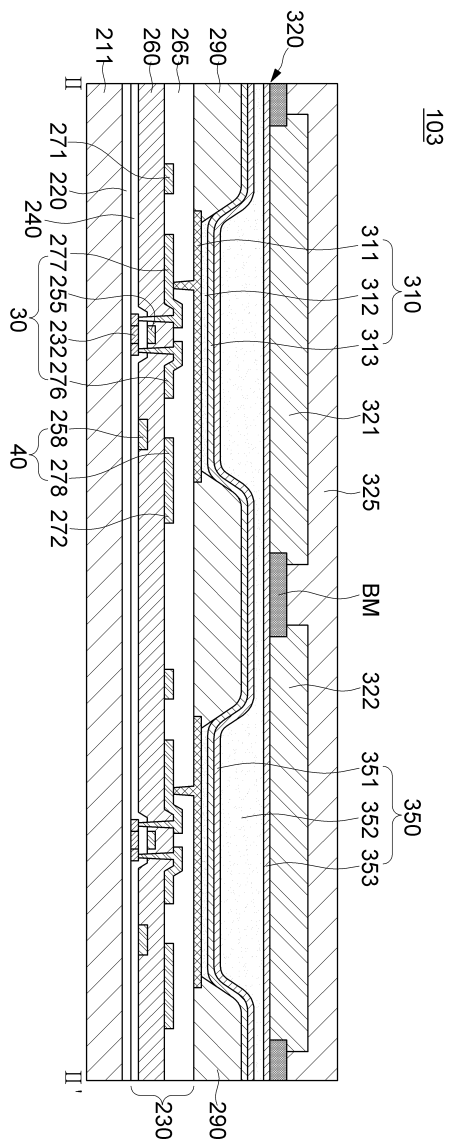




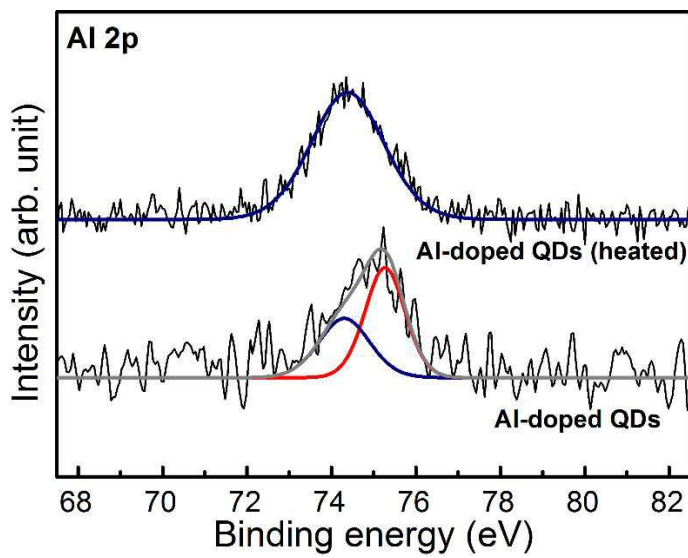
도면8



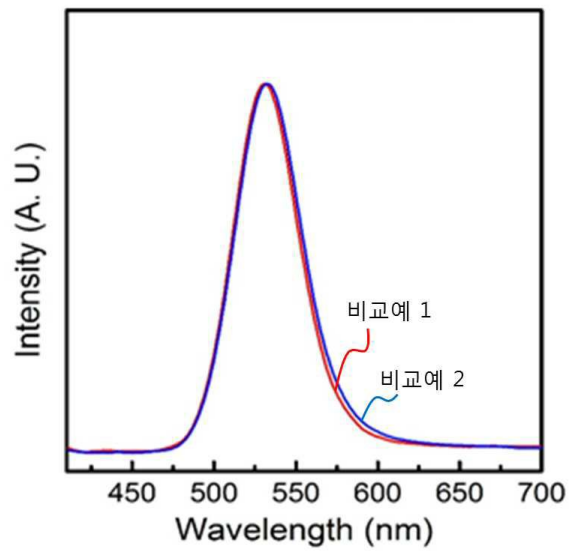
도면9



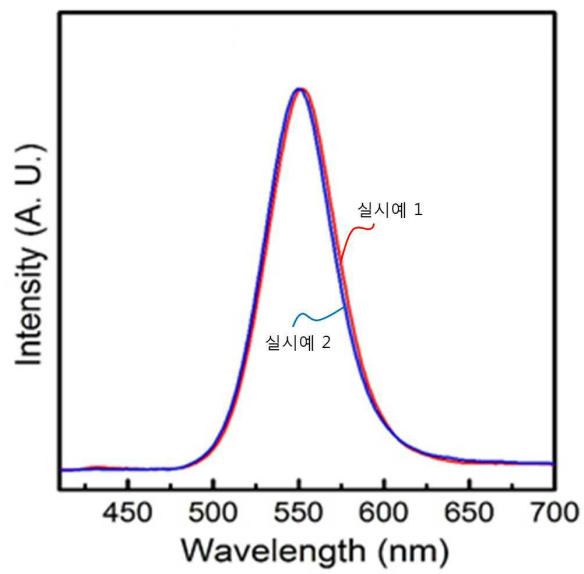
도면10



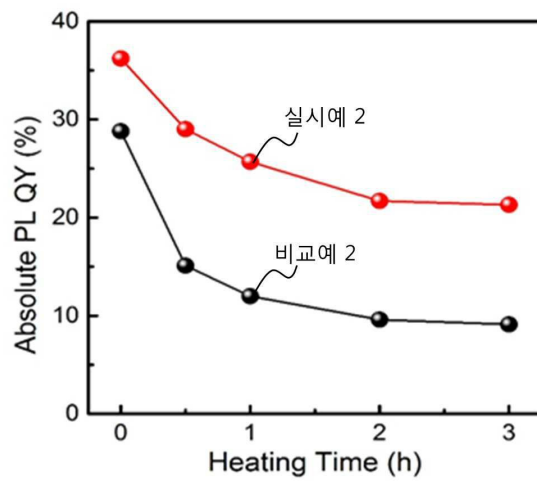
도면11



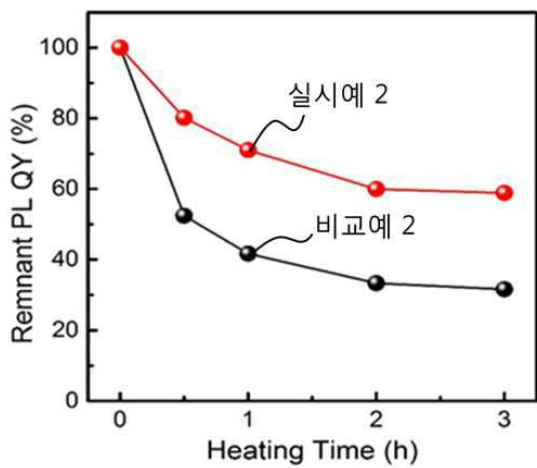
도면12



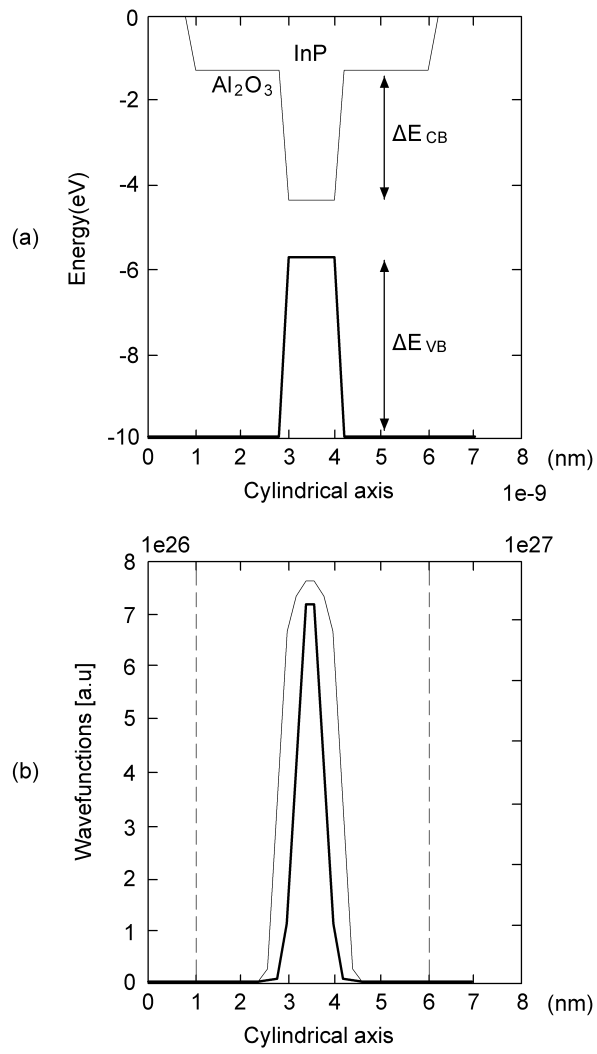
도면13



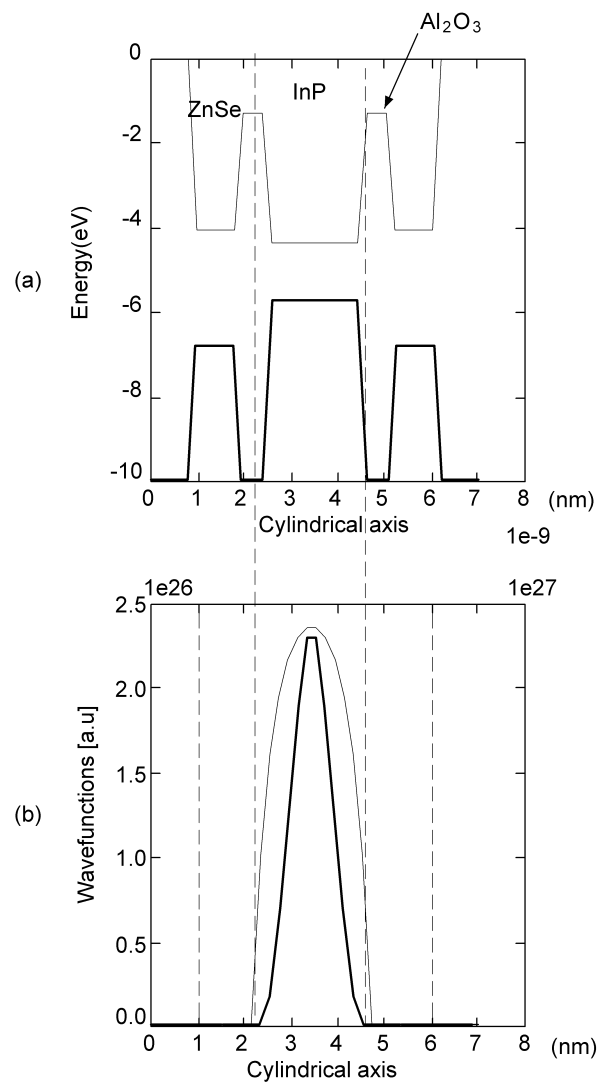
도면14



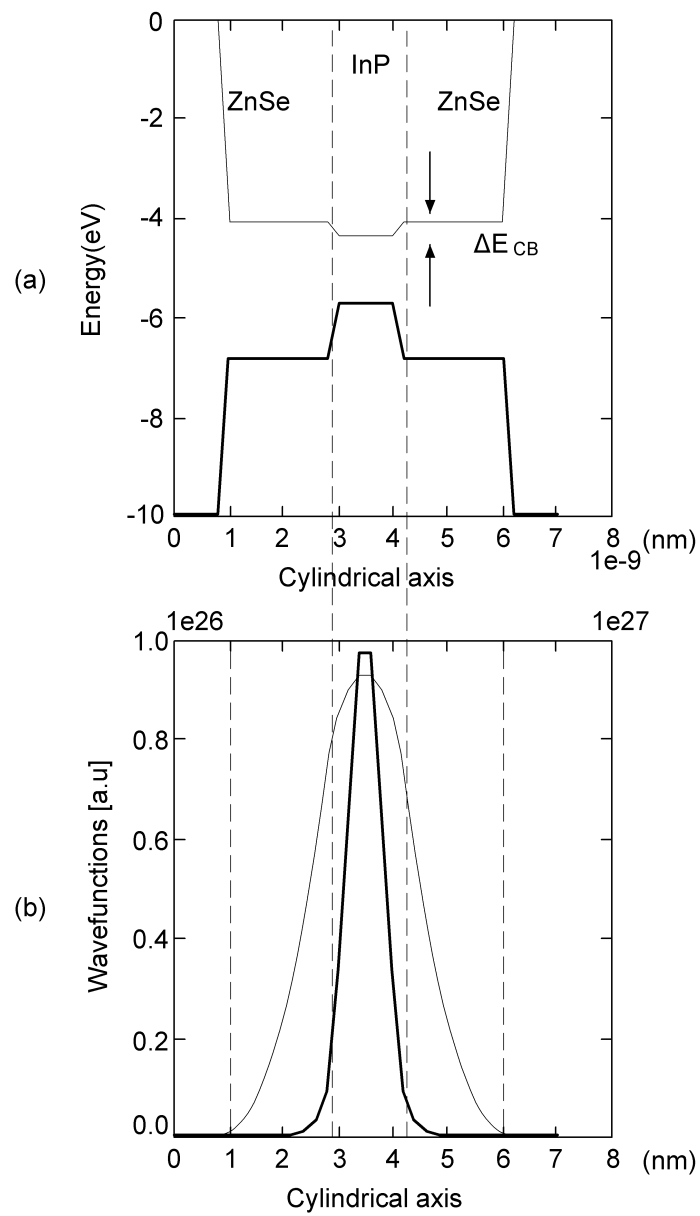
도면15



도면16



도면17



专利名称(译)	半导体纳米晶体，显示装置和包含其的有机发光显示装置		
公开(公告)号	<a href="#">KR1020190090113A</a>	公开(公告)日	2019-08-01
申请号	KR1020180008401	申请日	2018-01-23
[标]申请(专利权)人(译)	三星显示有限公司 韩国科学技术院		
申请(专利权)人(译)	三星显示器有限公司 科学与韩国高等科技研究院		
[标]发明人	박경원 남민기 김송이 김성운 고성준 모성원 이도창		
发明人	박경원 남민기 김송이 김성운 고성준 모성원 이도창		
IPC分类号	C09K11/02 C09K11/08 H01L27/32 H01L51/52		
CPC分类号	C09K11/025 C09K11/08 H01L27/322 H01L51/5262 B82Y20/00 B82Y30/00 C09K11/0883 C09K11/706 C09K11/883 H01L27/3272 H01L51/5281 H01L51/5284 H01L2251/5369 B82Y40/00 H01L27/3244		
代理人(译)	Yunyeogwang 锡盐		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

技术领域本发明涉及半导体纳米晶体，包括该纳米晶体的显示装置以及有机发光显示装置，其中该半导体纳米晶体包括：包含化合物半导体的核；所述壳具有3.5eV以上的带隙，并且包含（类金属）金属氧化物，所述金属氧化物具有与包含在所述芯中的化合物半导体的导带偏移（ $\Delta E_{CB}$ ）与价带偏移之和。包含在芯中的化合物半导体（ $\Delta E_{CB} + \Delta E_{VB}$ ）的（ $\Delta E_{VB}$ ）为3eV以上。

10A

