



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0068674
(43) 공개일자 2019년06월19일

(51) 국제특허분류(Int. Cl.)

H01L 51/56 (2006.01) H01L 27/32 (2006.01)

H01L 51/00 (2006.01) H01L 51/52 (2006.01)

(52) CPC특허분류

H01L 51/56 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2017-0168681

(22) 출원일자 2017년12월08일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

손경석

서울특별시 성동구 마장로 137 (상왕십리동, 텐즈힐 경비실2) 텐즈힐 201동 1601호

김명화

서울특별시 송파구 풍성로14길 19 706호 (풍납동, 토성현대아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

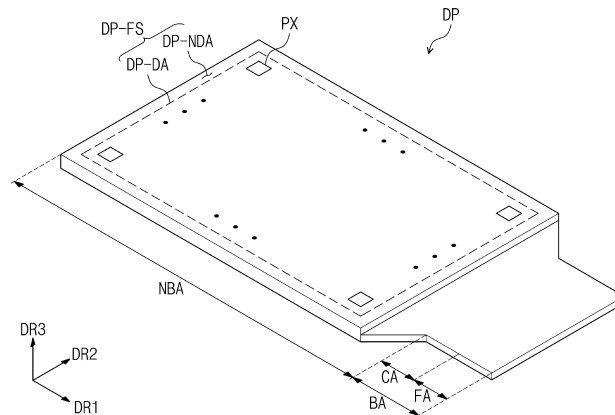
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 표시 패널 및 그 제조방법

(57) 요약

본 발명의 일 실시예에 따른 표시 패널 제조 방법은 제1 영역 및 제2 영역을 포함하는 베이스 층 상에 산화물 반도체 패터를 형성하는 단계, 제2 영역에 중첩하는 제1 그루브가 형성되도록 제1 내지 제3 절연층들을 식각하는 단계, 제3 절연층 상에 전극들 형성하는 단계, 제3 절연층 상에 전극들을 커버하는 제4 절연층을 형성하는 단계, 제4 절연층을 열처리 하는 단계, 제4 절연층을 커버하는 유기층을 형성하는 단계, 및 유기층 상에 유기 발광 다이오드를 형성하는 단계를 포함한다.

대표도 - 도1a



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/0014 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/5237 (2013.01)

(72) 발명자

김억수

서울특별시 서초구 현릉로8길 10-12 101동 903호
(신원동, 서초엠코타운젠트리스)

김태상

서울특별시 송파구 동남로 225 108동 1103호 (가
락동, 래미안파크팰리스아파트)

카노, 마사타카

경기도 화성시 동탄중앙로 200 (반송동, 메타폴리스) 메타폴리스D동1306호

명세서

청구범위

청구항 1

제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스 층 상에 상기 제1 영역에 중첩하는 실리콘 반도체 패턴을 형성하는 단계;

상기 실리콘 반도체 패턴 상에 제1 절연층을 사이에 두고 상기 실리콘 반도체 패턴과 중첩하는 제1 제어 전극을 형성하는 단계;

상기 제1 영역에 중첩하고, 제2 절연층을 사이에 두고 상기 제1 제어 전극으로부터 이격된 제2 제어 전극을 형성하는 단계;

상기 제2 제어 전극 상에 제3 절연층을 사이에 두고 상기 제2 제어 전극과 중첩하는 산화물 반도체 패턴을 형성하는 단계;

상기 실리콘 반도체 패턴의 적어도 일부를 노출시키는 콘택홀들, 및 상기 제2 영역에 중첩하는 제1 그루브가 형성되도록 상기 제1 내지 제3 절연층들을 식각하는 단계;

상기 제3 절연층 상에 상기 콘택홀들을 통해 상기 실리콘 반도체 패턴에 연결되는 제1 입력 전극과 제1 출력 전극, 상기 산화물 반도체 패턴에 연결되는 제2 입력 전극과 제2 출력 전극을 형성하는 단계;

상기 제3 절연층 상에 제1 입력 전극, 상기 제1 출력 전극, 상기 제2 입력 전극, 및 상기 제2 출력 전극을 커버하도록 제4 절연층을 형성하는 단계;

상기 제4 절연층을 열처리 하는 단계;

상기 제4 절연층을 커버하는 유기층을 형성하는 단계; 및

상기 유기층 상에 상기 제1 출력 전극과 연결되는 유기 발광 다이오드를 형성하는 단계를 포함하는 표시 패널 제조 방법.

청구항 2

제1 항에 있어서,

상기 제4 절연층을 열처리 하는 단계는 약 300도(℃) 이상의 온도에서 진행되는 표시 패널 제조 방법.

청구항 3

제2 항에 있어서,

상기 유기층은 폴리 이미드(Polyimide)를 포함하는 표시 패널 제조 방법.

청구항 4

제1 항에 있어서,

상기 제1 내지 제3 절연층들을 식각하는 단계에서 상기 콘택홀들과 상기 제1 그루브는 하나의 마스크를 통해 동시에 형성되는 표시 패널 제조 방법.

청구항 5

제1 항에 있어서,

상기 제4 절연층을 형성하는 단계 이후에 상기 제4 절연층에 상기 제1 그루브에 중첩하는 제2 그루브를 형성하는 단계를 더 포함하고,

상기 유기층은 상기 제1 그루브 및 상기 제2 그루브를 충전하는 표시 패널 제조 방법.

청구항 6

제5 항에 있어서,

상기 제1 절연층과 상기 베이스 층 사이에 배치되는 무기층을 형성하는 단계를 더 포함하고,

상기 제2 그루브를 형성하는 단계에서 상기 무기층에 형성되고 상기 제1 그루브와 중첩하는 제3 그루브가 연속적으로 형성되는 표시 패널 제조 방법.

청구항 7

제1 항에 있어서,

상기 유기층에 상기 제1 출력 전극에 중첩하는 컨택홀을 형성하는 단계;

상기 유기층 상에 상기 컨택홀을 통해 상기 제1 출력 전극에 연결되는 연결 전극을 형성하는 단계; 및

상기 유기층 상에 상기 연결 전극을 커버하는 상부 유기층을 형성하는 단계를 더 포함하고,

상기 유기 발광 다이오드는 상기 상부 유기층을 관통하여 상기 연결 전극에 연결되는 표시 패널 제조 방법.

청구항 8

제7 항에 있어서,

상기 연결 전극은 상기 제1 출력 전극과 상이한 물질로 형성되는 표시 패널 제조 방법.

청구항 9

제8 항에 있어서,

상기 연결 전극은 제1 출력 전극보다 낮은 저항을 가진 물질로 형성되는 표시 패널 제조 방법.

청구항 10

제1 항에 있어서,

상기 제1 입력 전극, 상기 제1 출력 전극, 상기 제2 입력 전극, 및 상기 제2 출력 전극을 형성하는 단계는,

상기 제3 절연층 상에 상기 산화물 반도체 패턴을 커버하는 도전층을 형성하는 단계; 및

에칭 가스를 이용하여 상기 도전층을 패터닝하는 단계를 포함하고,

상기 에칭 가스는 플루오르 화합물을 포함하는 표시 패널 제조 방법.

청구항 11

제10 항에 있어서,

상기 도전층은 상기 에칭 가스에 대해 상기 산화물 반도체 패턴보다 높은 식각 선택비를 갖는 표시 패널 제조 방법.

청구항 12

제1 영역 및 상기 제1 영역으로부터 소정의 벤딩축을 따라 벤딩되는 제2 영역을 포함하는 베이스 층;

상기 제1 영역 상에 배치되고 결정질 실리콘 반도체 패턴, 제1 제어 전극, 상기 결정질 실리콘 반도체 패턴에 접촉되고 상기 제1 제어 전극을 사이에 두고 서로 이격된 제1 입력 전극, 및 제1 출력 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 영역 상에 배치되고, 제2 제어 전극, 상기 제2 제어 전극 상에 배치된 산화물 반도체 패턴, 상기 산화물 반도체 패턴에 접촉하고 서로 이격된 제2 입력 전극, 및 제2 출력 전극을 포함하고, 바텀 게이트 구조를 가진 제2 박막 트랜지스터;

상기 제1 영역 및 상기 제2 영역에 배치되고, 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터를 커버하

며, 상기 제2 영역에 중첩하는 제1 그루브를 포함하는 패시베이션층;

상기 패시베이션층과 상기 베이스 층 사이에 배치되고 상기 제1 그루브와 중첩하는 제2 그루브를 포함하는 복수의 무기층들;

상기 제1 영역 및 상기 제2 영역에 배치되고, 상기 패시베이션층 상에 배치되어 상기 제1 그루브의 내측 및 상기 제2 그루브의 내측을 커버하는 유기층; 및

상기 유기층 상에 배치되고, 상기 제1 영역 상에 배치되어 상기 제1 박막 트랜지스터에 전기적으로 연결된 유기 발광 다이오드를 포함하고,

상기 제2 입력 전극 및 상기 제2 출력 전극은 플루오르 화합물에 대해 상기 산화물 반도체 패턴에 비해 높은 식각 선택비를 가진 표시 패널.

청구항 13

제12 항에 있어서,

상기 제2 입력 전극 및 상기 제2 출력 전극은 폴리브덴을 포함하는 표시 패널.

청구항 14

제12 항에 있어서,

상기 유기층과 상기 유기 발광 다이오드 사이에 배치된 상부 유기층; 및

상기 상부 유기층과 상기 유기층 사이에 배치되고 상기 유기 발광 다이오드와 상기 제1 출력 전극에 각각 접속된 연결 전극을 더 포함하고,

상기 연결 전극은 상기 제1 출력 전극과 상이한 물질을 포함하는 표시 패널.

청구항 15

제14 항에 있어서,

상기 연결 전극은 상기 제1 출력 전극보다 낮은 저항을 가진 물질을 포함하는 표시 패널.

청구항 16

제14 항에 있어서,

상기 제2 영역에 배치되고 상기 제1 그루브 및 상기 제2 그루브와 중첩하는 신호 라인을 더 포함하고,

상기 신호 라인은 상기 연결 전극과 동일한 층 상에 배치된 표시 패널.

청구항 17

제12 항에 있어서,

상기 무기층들은 상기 베이스 층의 상면의 일부를 노출시키고, 상기 유기층은 상기 노출된 유기층의 상면에 접촉하는 표시 패널.

청구항 18

제17 항에 있어서,

상기 유기층 상에 배치되고 상기 유기 발광 다이오드가 배치되는 개구부가 정의된 화소 정의막을 더 포함하고,

상기 화소 정의막은 상기 제1 영역 및 상기 제2 영역에 중첩하고, 상기 화소 정의막은 유기물을 포함하는 표시 패널.

청구항 19

제18 항에 있어서,

상기 화소 정의막은 상기 개구부의 내면에 정의된 단차부를 포함하는 표시 패널.

청구항 20

제12 항에 있어서,

상기 제2 영역에 배치되고 상기 제1 그루브 및 상기 제2 그루브와 중첩하는 신호 라인을 더 포함하고,

상기 신호 라인은 상기 제2 출력 전극과 동일한 층 상에 배치된 표시 패널.

청구항 21

제20 항에 있어서,

상기 신호 라인은 상기 제2 영역에서 상기 벤딩축과 교차하는 방향을 따라 서로 이격되어 배치된 복수의 패턴들을 포함하는 표시 패널.

청구항 22

제12 항에 있어서,

상기 패시베이션 층은 상기 산화물 반도체 패턴에 접촉하는 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널 및 그 제조방법에 관한 것으로, 상세하게는 신뢰성이 향상된 표시 패널 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 표시 패널은 복수의 화소들 및 화소들을 제어하기 위한 구동 회로를 포함할 수 있다. 구동 회로는 적어도 하나의 박막 트랜지스터를 포함할 수 있다. 구동 회로를 구성하는 박막 트랜지스터는 화소들을 제어하기 위한 전기적 신호들을 대응되는 화소에 제공한다.

[0003] 화소들 각각은 화소 구동 회로 및 화소 구동 회로에 연결된 표시소자를 포함할 수 있다. 화소 구동 회로는 적어도 하나의 박막 트랜지스터 및 커패시터를 포함할 수 있다. 화소 구동 회로를 구성하는 박막 트랜지스터 및 커패시터는 구동 회로로부터 제공된 전기적 신호에 따라 표시소자를 제어한다. 한편, 화소 구동 회로는 필요로 하는 전기적 특성에 따라 적어도 두 가지의 서로 다른 반도체 물질을 포함하는 박막 트랜지스터들을 포함할 수 있다. 이에 따라, 화소 구동 회로는 보다 안정적이고 높은 신뢰성을 가진 화소 구동을 용이하게 할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 안정적으로 소자를 형성할 수 있는 표시 패널 제조 방법을 제공하는 것을 목적으로 한다. 또한, 본 발명은 신뢰성이 향상된 표시 패널을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스 층 상에 상기 제1 영역에 중첩하는 실리콘 반도체 패턴을 형성하는 단계, 상기 실리콘 반도체 패턴 상에 제1 절연층을 사이에 두고 상기 실리콘 반도체 패턴과 중첩하는 제1 제어 전극을 형성하는 단계, 상기 제1 영역에 중첩하고, 제2 절연층을 사이에 두고 상기 제1 제어 전극으로부터 이격된 제2 제어 전극을 형성하는 단계, 상기 제2 제어 전극 상에 제3 절연층을 사이에 두고 상기 제2 제어 전극과 중첩하는 산화물 반도체 패턴을 형성하는 단계, 상기 실리콘 반도체 패턴의 적어도 일부를 노출시키는 컨택홀들, 및 상기 제2 영역에 중첩하는 제1 그루브가 형성되도록 상기 제1 내지 제3 절연층들을 식각하는 단계, 상기 제3 절연층 상에 상기 컨택홀

들을 통해 상기 실리콘 반도체 패턴에 연결되는 제1 입력 전극과 제1 출력 전극, 상기 산화물 반도체 패턴에 연결되는 제2 입력 전극과 제2 출력 전극을 형성하는 단계, 상기 제3 절연층 상에 제1 입력 전극, 상기 제1 출력 전극, 상기 제2 입력 전극, 및 상기 제2 출력 전극을 커버하도록 제4 절연층을 형성하는 단계, 상기 제4 절연층을 열처리 하는 단계, 상기 제4 절연층을 커버하는 유기층을 형성하는 단계, 및 상기 유기층 상에 상기 제1 출력 전극과 연결되는 유기 발광 다이오드를 형성하는 단계를 포함한다.

[0006] 상기 제4 절연층을 열처리 하는 단계는 약 300도(℃) 이상의 온도에서 진행될 수 있다.

[0007] 상기 유기층은 폴리 이미드(Polyimide)를 포함할 수 있다.

[0008] 상기 제1 내지 제3 절연층들을 식각하는 단계에서 상기 컨택홀들과 상기 제1 그루브는 하나의 마스크를 통해 동시에 형성될 수 있다.

[0009] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 상기 제4 절연층을 형성하는 단계 이후에 상기 제4 절연층에 상기 제1 그루브에 중첩하는 제2 그루브를 형성하는 단계를 더 포함하고, 상기 유기층은 상기 제1 그루브 및 상기 제2 그루브를 충전할 수 있다.

[0010] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 상기 제1 절연층과 상기 베이스 층 사이에 배치되는 무기층을 형성하는 단계를 더 포함하고, 상기 제2 그루브를 형성하는 단계에서 상기 무기층에 형성되고 상기 제1 그루브와 중첩하는 제3 그루브가 연속적으로 형성될 수 있다.

[0011] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 상기 유기층에 상기 제1 출력 전극에 중첩하는 컨택홀을 형성하는 단계, 상기 유기층 상에 상기 컨택홀을 통해 상기 제1 출력 전극에 연결되는 연결 전극을 형성하는 단계, 및 상기 유기층 상에 상기 연결 전극을 커버하는 상부 유기층을 형성하는 단계를 더 포함하고, 상기 유기 발광 다이오드는 상기 상부 유기층을 관통하여 상기 연결 전극에 연결될 수 있다.

[0012] 상기 연결 전극은 상기 제1 출력 전극과 상이한 물질로 형성될 수 있다.

[0013] 상기 연결 전극은 제1 출력 전극보다 낮은 저항을 가진 물질로 형성될 수 있다.

[0014] 상기 제1 입력 전극, 상기 제1 출력 전극, 상기 제2 입력 전극, 및 상기 제2 출력 전극을 형성하는 단계는, 상기 제3 절연층 상에 상기 산화물 반도체 패턴을 커버하는 도전층을 형성하는 단계, 및 에칭 가스를 이용하여 상기 도전층을 패터닝하는 단계를 포함하고, 상기 에칭 가스는 플루오르 화합물을 포함할 수 있다.

[0015] 상기 도전층은 상기 에칭 가스에 대해 상기 산화물 반도체 패턴보다 높은 식각 선택비를 가질 수 있다.

[0016] 본 발명의 일 실시예에 따른 표시 패널은 제1 영역 및 상기 제1 영역으로부터 소정의 벤딩축을 따라 벤딩되는 제2 영역을 포함하는 베이스 층, 상기 제1 영역 상에 배치되고 결정질 실리콘 반도체 패턴, 제1 제어 전극, 상기 결정질 실리콘 반도체 패턴에 접촉되고 상기 제1 제어 전극을 사이에 두고 서로 이격된 제1 입력 전극, 및 제1 출력 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 영역 상에 배치되고, 제2 제어 전극, 상기 제2 제어 전극 상에 배치된 산화물 반도체 패턴, 상기 산화물 반도체 패턴에 접촉하고 서로 이격된 제2 입력 전극, 및 제2 출력 전극을 포함하고, 바텀 게이트 구조를 가진 제2 박막 트랜지스터, 상기 제1 영역 및 상기 제2 영역에 배치되고, 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터를 커버하며, 상기 제2 영역에 중첩하는 제1 그루브를 포함하는 패시베이션층, 상기 패시베이션층과 상기 베이스 층 사이에 배치되고 상기 제1 그루브와 중첩하는 제2 그루브를 포함하는 복수의 무기층들, 상기 제1 영역 및 상기 제2 영역에 배치되고, 상기 패시베이션층 상에 배치되어 상기 제1 그루브의 내측 및 상기 제2 그루브의 내측을 커버하는 유기층, 및 상기 유기층 상에 배치되고, 상기 제1 영역 상에 배치되어 상기 제1 박막 트랜지스터에 전기적으로 연결된 유기 발광 다이오드를 포함하고, 상기 제2 입력 전극 및 상기 제2 출력 전극은 플루오르 화합물에 대해 상기 산화물 반도체 패턴에 비해 높은 식각 선택비를 가진다.

[0017] 상기 제2 입력 전극 및 상기 제2 출력 전극은 몰리브덴을 포함할 수 있다.

[0018] 본 발명의 일 실시예에 따른 표시 패널은 상기 유기층과 상기 유기 발광 다이오드 사이에 배치된 상부 유기층, 및 상기 상부 유기층과 상기 유기층 사이에 배치되고 상기 유기 발광 다이오드와 상기 제1 출력 전극에 각각 접속된 연결 전극을 더 포함하고, 상기 연결 전극은 상기 제1 출력 전극과 상이한 물질을 포함할 수 있다.

[0019] 상기 연결 전극은 상기 제1 출력 전극보다 낮은 저항을 가진 물질을 포함할 수 있다.

[0020] 본 발명의 일 실시예에 따른 표시 패널은 상기 제2 영역에 배치되고 상기 제1 그루브 및 상기 제2 그루브와 중

접하는 신호 라인을 더 포함하고, 상기 신호 라인은 상기 연결 전극과 동일한 층 상에 배치될 수 있다.

- [0021] 상기 무기층들은 상기 베이스 층의 상면의 일부를 노출시키고, 상기 유기층은 상기 노출된 유기층의 상면에 접촉할 수 있다.
- [0022] 본 발명의 일 실시예에 따른 표시 패널은 상기 유기층 상에 배치되고 상기 유기 발광 다이오드가 배치되는 개구부가 정의된 화소 정의막을 더 포함하고, 상기 화소 정의막은 상기 제1 영역 및 상기 제2 영역에 중첩하고, 상기 화소 정의막은 유기물을 포함할 수 있다.
- [0023] 상기 화소 정의막은 상기 개구부의 내면에 정의된 단차부를 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 따른 표시 패널은 상기 제2 영역에 배치되고 상기 제1 그루브 및 상기 제2 그루브와 중첩하는 신호 라인을 더 포함하고, 상기 신호 라인은 상기 제2 출력 전극과 동일한 층 상에 배치될 수 있다.
- [0025] 상기 신호 라인은 상기 제2 영역에서 상기 밴딩층과 교차하는 방향을 따라 서로 이격되어 배치된 복수의 패턴들을 포함할 수 있다.
- [0026] 상기 패시베이션 층은 상기 산화물 반도체 패턴에 접촉할 수 있다.

발명의 효과

- [0027] 본 발명에 따르면, 서로 다른 성질의 반도체 패턴들을 포함하는 반도체 장치를 제조하는 과정에서, 유기층의 손상 없이 열처리를 가능하게 하여 반도체 패턴의 전기적 특성 향상과 동시에 제조 공정의 신뢰성도 향상될 수 있다. 또한, 본 발명에 따르면, 열처리 단계로부터 영향받지 않도록 유기층의 위치를 설계함으로써, 신뢰성 및 수명이 향상된 박막 소자를 포함하는 표시 패널을 제공할 수 있다.

도면의 간단한 설명

- [0028] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 표시 패널의 사시도들이다.
- 도 2는 도 1a에 도시된 표시 패널의 평면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 3b 및 도 3c는 도 3a에 도시된 화소의 일부분에 대응하는 단면도들이다.
- 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 표시 패널의 밴딩 영역에 대응하는 단면도들이다.
- 도 5는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다.
- 도 7a 내지 도 7q는 본 발명의 일 실시예에 따른 표시 패널의 제조공정을 도시한 단면도들이다.
- 도 8a는 본 발명의 비교 실시예에 따른 박막 트랜지스터의 전류-전압 그래프를 도시한 것이다.
- 도 8b는 본 발명의 일 실시예에 따른 박막 트랜지스터의 전류-전압 그래프를 도시한 것이다.
- 도 9는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다.
- 도 10a 내지 도 10d는 본 발명의 일 실시예에 따른 표시 패널의 제조방법을 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 도면을 참조하여 본 발명에 대해 설명한다.
- [0030] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 표시 패널의 사시도들이다. 도 2는 도 1a에 도시된 표시 패널의 평면도이다. 도 1a에는 표시 패널(DP)이 펼쳐진 상태를 도시하였고, 도 1b에는 표시 패널(DP)의 적어도 일부가 밴딩된 상태를 도시하였다. 이하, 도 1a 내지 도 2를 참조하여 본 발명에 대해 설명한다.
- [0031] 도 1a 및 도 1b를 참조하면, 표시 패널(DP)의 전면(DP-FS)은 제1 방향(DR1) 및 제2 방향(DR2)이 정의하는 면과 평행할 수 있다. 전면(DP-FS)은 표시 영역(DP-DA) 및 주변 영역(DP-NDA)을 포함한다. 표시 영역(DP-DA)은 영상이 표시되는 영역일 수 있다. 표시 패널(DP)의 두께는 제1 방향(DR1) 및 제2 방향(DR2) 각각에 교차하는 제3 방향(DR3)에 의해 정의될 수 있다.

- [0032] 주변 영역(DP-NDA)은 표시 영역(DA)에 인접한다. 본 실시예에서, 주변 영역(DP-NDA)은 표시 영역(DA)의 가장자리를 에워싸는 형상을 가질 수 있다. 한편, 본 실시예에서, 주변 영역(DP-NDA)의 일부는 표시 영역(DA)의 일 측에 배치되어 표시 영역(DA)의 제2 방향(DR2)에서의 너비보다 작은 제2 방향(DR2)에서의 너비를 가질 수 있다. 이에 따라, 표시 패널(DP)의 벤딩 면적이 축소될 수 있다.
- [0033] 표시 패널(DP)의 적어도 일부는 벤딩될 수 있다. 표시 패널(DP)은 벤딩 여부를 기준으로, 제1 영역(NBA, 이하 비 벤딩 영역) 및 제2 영역(BA, 이하 벤딩 영역)으로 구분될 수 있다. 벤딩 영역(BA)은 비교적 좁은 제2 방향(DR2)에서의 너비를 가진 부분에 정의될 수 있다.
- [0034] 벤딩 영역(BA)은 벤딩된 상태에서 소정의 곡률을 갖는 곡률 영역(CA) 및 벤딩된 상태에서 비 벤딩 영역(NBA)과 마주하게 될 대향 영역(FA)을 포함할 수 있다. 비 벤딩 영역(NBA), 곡률 영역(CA), 및 대향 영역(FA)은 제1 방향(DR1)을 따라 배열될 수 있다. 벤딩 영역(BA)은 제2 방향(DR2)을 따라 연장되는 벤딩축(BX)을 따라 벤딩되고, 벤딩 영역(BA) 중 곡률 영역(CA)은 벤딩축(BX)을 따라 구부러지고, 대향 영역(FA)은 제3 방향(DR3)에서 비 벤딩 영역(NBA)의 일부와 마주하도록 배치된다.
- [0035] 도 2를 참조하면, 표시 패널(DP)은 복수의 화소들(PX), 복수의 신호 라인들(SGL), 및 구동 회로(GDC)를 포함할 수 있다. 복수의 화소들(PX) 및 복수의 신호 라인들(SGL)은 전면(DP-FS)에 배치된다.
- [0036] 화소들(PX)은 표시 영역(DP-DA)에 배치된다. 본 실시예에서, 표시 영역(DP-DA)은 사각 형상을 가진 것으로 도시되었으나, 이에 한정되지는 않는다. 화소들(PX) 각각은 소정의 컬러를 가진 광을 표시한다. 화소들(PX)은 표시되는 컬러에 따라 복수 개의 그룹으로 구분될 수도 있다. 화소들(PX)은 예컨대, 레드 화소들, 그린 화소들, 블루 화소들을 포함할 수 있다. 화소들(PX)은 화이트 화소들을 더 포함할 수 있다. 표시되는 컬러에 따라 서로 다른 그룹으로 구분된다 하더라도 화소들(PX)의 화소 구동 회로는 서로 동일할 수 있다.
- [0037] 구동 회로(GDC)는 주변 영역(DP-NDA)에 배치된다. 주변 영역(DP-NDA)은 표시 영역(DP-DA)에 인접한다. 본 실시예에서, 주변 영역(DP-NDA)은 표시 영역(DP-DA)의 가장자리를 에워싸는 형상으로 도시되었으나, 이에 한정되지는 않는다.
- [0038] 구동 회로(GDC)는 게이트 구동 회로를 포함할 수 있다. 게이트 구동 회로는 복수 개의 게이트 신호들을 생성하고, 게이트 신호들을 후술하는 복수 개의 게이트 라인들(GL)에 순차적으로 출력한다. 게이트 구동 회로는 화소들(PX)에 또 다른 제어 신호를 더 출력할 수 있다.
- [0039] 게이트 구동 회로는 화소들(PX)의 화소 구동 회로와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystalline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0040] 신호 라인들(SGL)은 게이트 라인들(GL), 데이터 라인들(DL), 전원 라인(PL), 및 제어신호 라인(CSL)을 포함한다. 게이트 라인들(GL)은 화소들(PX) 중 대응하는 화소에 각각 연결되고, 데이터 라인들(DL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결된다. 전원 라인(PL)은 화소들(PX)에 연결된다. 제어신호 라인(CSL)은 주사 구동 회로에 제어신호들을 제공할 수 있다.
- [0041] 신호패드들(DP-PD)은 신호 라인들(SGL) 중 대응하는 신호 라인에 연결된다. 신호 라인들(SGL) 중 제어신호 라인(CSL), 데이터 라인(DL), 및 전원 라인(PL)은 비 벤딩 영역(NBA)으로부터 벤딩 영역(BA)까지 연장되어 신호패드들(DP-PD)과 연결된다. 신호패드들(DP-PD)은 외부에 제공되는 회로기관과 전기적으로 연결된다. 신호패드들(DP-PD)은 벤딩 영역(BA) 중 대향 영역(FA)에 배치될 수 있다.
- [0042] 한편, 본 발명의 일 실시예에 따른 표시 패널(DP)은 데이터 라인들(DL)에 연결되는 구동칩을 더 포함할 수 있다. 이때, 구동칩은 표시 패널(DP)에 직접 실장될 수 있고, 신호패드들(DP-PD) 중 데이터 라인들(DL)에 연결된 신호패드들은 구동칩에 연결될 수 있다. 본 발명의 일 실시예에 따른 표시 패널(DP)은 다양한 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0044] 도 3a는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 3b 및 도 3c는 도 3a에 도시된 화소의 일부분에 대응하는 단면도들이다. 도 3a에는 용이한 설명을 위해 하나의 화소(PX)를 기준으로 도시하였다. 이하, 도 3a 내지 도 3c를 참조하여 본 발명의 화소(PX)에 대해 설명한다. 한편, 도 1a 내지 도 2에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.

- [0045] 도 3a에 도시된 바와 같이, 화소(PX)는 대응하는 데이터 라인(DL), 대응하는 게이트 라인(GL), 및 전원 라인(PL)에 연결된다. 예컨대, 화소(PX)는 발광소자로서 유기 발광 다이오드 또는 퀀텀닷 발광 다이오드를 포함할 수 있다. 유기 발광 다이오드의 발광층은 유기 발광 물질을 포함할 수 있다. 퀀텀닷 발광 다이오드의 발광층은 퀀텀닷, 및 퀀텀로드 등을 포함할 수 있다. 이하, 화소(PX)는 유기 발광 다이오드를 포함하는 것으로 설명된다.
- [0046] 화소(PX)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함한다. 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 커패시터(Cst)는 유기 발광 다이오드(OLED)를 구동하기 위한 화소 구동 회로일 수 있다. 다만, 이는 예시적으로 도시한 것이고, 화소 구동 회로는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 커패시터(Cst) 외에 다른 박막 트랜지스터나 커패시터를 더 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0047] 제1 박막 트랜지스터(T1)는 유기 발광 다이오드(OLED)에 연결된다. 제1 박막 트랜지스터(T1)는 커패시터(Cst)에 저장된 전하량에 대응하여 유기 발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 제2 박막 트랜지스터(T2)는 게이트 라인(GL)과 데이터 라인(DL)에 연결된다. 제2 박막 트랜지스터(T2)는 게이트 라인(GL)에 인가된 게이트 신호에 응답하여 데이터 라인(DL)에 인가된 데이터 신호를 제공한다. 커패시터(Cst)는 제2 박막 트랜지스터(T2)로부터 수신된 데이터 신호에 대응하는 전압과 전원 라인(PL)으로부터 수신된 제1 전원전압(ELVDD)의 차이에 대응하는 전하량을 충전한다.
- [0048] 제1 박막 트랜지스터(T1)는 커패시터(Cst)에 저장된 전하량에 대응하여 유기 발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 커패시터(Cst)에 충전된 전하량에 따라 제1 박막 트랜지스터(T1)의 턴-온 시간이 결정된다. 유기 발광 다이오드(OLED)는 제1 박막 트랜지스터(T1)의 턴-온 구간 동안 발광한다. 유기 발광 다이오드(OLED)에서 생성된 광의 컬러는 발광 패턴을 이루는 물질에 의해 결정된다. 예컨대, 유기 발광 다이오드(OLED)에서 생성된 광의 컬러는 적색, 녹색, 청색, 백색 중 어느 하나일 수 있다.
- [0049] 도 3b 및 도 3c를 참조하면, 화소(PX)를 단면상에서 설명할 수 있다. 도 3b에는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 유기 발광 다이오드(OLED)가 배치된 영역을 도시하였고, 도 3c에는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 유기 발광 다이오드(OLED), 및 커패시터(Cst)가 모두 배치된 영역을 도시하였다. 도 3b 및 도 3c는 동일한 하나의 화소(PX) 내에서의 상이한 영역들을 각각 도시한 것일 수 있다.
- [0050] 도 3b 및 도 3c에 도시된 바와 같이, 표시 패널(DP)은 베이스 층(BL), 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(TFE)을 포함할 수 있다. 베이스 층(BL), 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(TFE)은 제3 방향(DR3)을 따라 적층될 수 있다.
- [0051] 베이스 층(BL)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 커패시터(Cst)가 배치될 수 있는 층, 필름, 또는 플레이트일 수 있다. 베이스 층(BL)은 플라스틱 기판, 유리 기판, 금속 기판, 유/무기 복합 기판 등을 포함할 수 있다. 플라스틱 기판은 합성수지층을 포함할 수 있다. 합성수지층은 열 경화성 수지를 포함할 수 있다. 특히, 합성수지층은 폴리이미드계 수지층일 수 있고, 그 재료는 특별히 제한되지 않는다. 합성수지층은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0052] 베이스 층(BL)은 표시 패널(DP)의 평면상에서의 형상을 정의할 수 있다. 예를 들어, 도 1a에 도시된 표시 패널(DP)의 형상은 베이스 층(BL)의 평면상에서의 형상과 대응될 수 있다. 이에 따라, 베이스 층(BL)은 비 벤딩 영역(NBA), 곡률 영역(CA), 및 대향 영역(FA)을 포함할 수 있으며, 벤딩축(BX)을 중심으로 구부러질 수 있다.
- [0053] 회로 소자층(DP-CL)은 베이스 층(BL) 상에 배치된다. 회로 소자층(DP-CL)은 화소 구동 회로 및 복수의 절연층들을 포함한다. 구체적으로, 회로 소자층(DP-CL)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 커패시터(Cst), 배리어 층(BRL), 버퍼층(BFL), 및 제1 내지 제6 절연층들(10, 20, 30, 40, 50, 60)을 포함할 수 있다.
- [0054] 배리어 층(BRL)은 베이스 층(BL)의 상면을 커버한다. 배리어 층(BRL)은 베이스 층(BL)을 통해 유입되는 이물질이 회로 소자층(DP-CL) 및 표시 소자층(DP-OLED)로 침투하는 것을 방지한다. 배리어 층(BRL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.
- [0055] 버퍼층(BFL)은 배리어 층(BRL) 상에 배치될 수 있다. 버퍼층(BFL)은 베이스 층(BL)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 표시 패널(DP)은 버퍼층(BFL)을 더 포함함으로써, 베이스 층(BL) 상면에 직접 형성될 때보다 안정적으로 형성되는 도전성 패턴들 및 반도체 패턴들을 포함할 수 있다. 버퍼층(BFL)은 무

기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 버퍼층(BFL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다. 본 실시예에서, 버퍼층(BFL)과 배리어 층(BRL) 중 적어도 어느 하나는 생략될 수도 있다.

[0056] 버퍼층(BFL) 상에 제1 반도체 패턴(OSP1)이 배치된다. 제1 반도체 패턴(OSP1)은 결정질 반도체 물질을 포함할 수 있다. 예를 들어, 제1 반도체 패턴(OSP1)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다.

[0057] 제1 반도체 패턴(OSP1)은 불순물이 포함된 입력 영역, 출력 영역, 및 입력 영역과 출력 영역 사이에 배치되는 채널 영역으로 구분될 수 있다. 도 3b 및 도 3c에는 용이한 설명을 위해 입력 영역과 출력 영역을 각각 해칭 처리하여 도시하였다.

[0058] 입력 영역은 제1 입력 전극(DE1)에 접속되고, 출력 영역은 제1 출력 전극(SE1)에 접속된다. 채널 영역은 입력 영역과 출력 영역 사이에 배치되고 제1 제어 전극(GE1)과 평면상에서 중첩될 수 있다. 제1 반도체 패턴(OSP1)은 불순물의 종류에 따라 P형 또는 N형일 수 있다. 채널 영역에는 제1 반도체 패턴(OSP1)의 종류에 따라 정공이 이동하거나 전자가 이동할 수 있다.

[0059] 제1 박막 트랜지스터(T1)의 채널 영역은 다결정 반도체 물질을 포함할 수 있다. 이에 따라, 제1 박막 트랜지스터(T1)는 향상된 이동도를 갖고, 높은 신뢰성을 가진 구동 소자로 기능할 수 있다.

[0060] 제1 반도체 패턴(OSP1) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 절연층(10)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.

[0061] 제1 절연층(10)은 버퍼층(BFL) 상에 배치되어 제1 반도체 패턴(OSP1)의 적어도 일부를 커버할 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제1 절연층(10)은 제1 반도체 패턴(OSP1) 중 채널 영역에만 중첩하는 절연 패턴으로 제공될 수 있다. 본 발명의 일 실시예에 따른 제1 절연층(10)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0062] 제1 절연층(10) 상에 제1 제어 전극(GE1) 및 제1 커패시터 전극(E1)이 배치된다. 본 실시예에서, 제1 제어 전극(GE1)과 제1 커패시터 전극(E1)은 동일한 층상에 배치될 수 있다.

[0063] 제1 제어 전극(GE1)은 적어도 채널 영역에 중첩한다. 제1 제어 전극(GE1)은 제1 절연층(10)을 사이에 두고 제1 반도체 패턴(OSP1)으로부터 이격된다. 본 실시예에서, 제1 절연층(10)은 제1 박막 트랜지스터(T1)의 게이트 절연막으로 기능할 수 있다.

[0064] 제1 커패시터 전극(E1)은 커패시터(Cst)의 일 전극을 정의한다. 본 실시예에서, 제1 커패시터 전극(E1)과 제1 제어 전극(GE1)은 일체의 형상을 가진 도전 패턴일 수도 있다. 또는, 본 실시예에서, 제1 제어 전극(GE1)은 제1 커패시터 전극(E1)과 별도의 브릿지 전극을 통해 전기적으로 연결될 수도 있고, 서로 이격되어 상이한 전압을 제공받을 수도 있다.

[0065] 제1 제어 전극(GE1) 및 제1 커패시터 전극(E1) 상에 제2 절연층(20)이 배치된다. 제2 절연층(20)은 제1 절연층(10) 상에 배치되어 제1 제어 전극(GE1) 및 제1 커패시터 전극(E1)을 커버한다.

[0066] 제2 절연층(20)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 제2 절연층(20)은 제1 절연층(10)과 상이한 물질을 포함할 수 있다. 예를 들어, 제2 절연층(20)은 알루미늄 산화물과 같은 금속 산화물을 포함할 수 있다. 제2 절연층(20)은 후속 공정, 예를 들어, 제2 제어 전극(GE2)의 형성 과정에서 제1 절연층(10)을 보호할 수 있고, 이에 따라, 제1 절연층(10) 하층에 배치된 제1 반도체 패턴(OSP1)의 손상을 방지할 수 있다. 다만, 이는 예시적으로 도시한 것이고, 제2 절연층(20)은 제1 절연층(10)과 동일한 물질을 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0067] 제2 절연층(20) 상에 제2 제어 전극(GE2), 상부 전극(UE), 및 제2 커패시터 전극(E2)이 배치될 수 있다. 제2 제어 전극(GE2)은 제1 제어 전극(GE1)과 평면상에서 비 중첩한다. 본 실시예에서, 제2 제어 전극(GE2)은 제1 제어 전극(GE1)과 상이한 층 상에 배치될 수 있다.

[0068] 상부 전극(UE)은 제1 제어 전극(GE1)과 평면상에서 중첩한다. 상부 전극(UE)이 제1 제어 전극(GE1)과 상이한 전압을 수신하는 경우, 상부 전극(UE)은 제1 제어 전극(GE1)과 커패시터를 형성할 수 있다. 또는, 상부 전극(UE)이 제1 제어 전극(GE1)과 동일한 전압을 수신하는 경우, 상부 전극(UE)은 제1 제어 전극(GE1)과 함께 제1 박막 트랜지스터(T1)의 채널 영역을 온-오프시키는 게이트 전극으로 기능할 수 있다.

- [0069] 제2 커패시터 전극(E2)은 제1 커패시터 전극(E1)과 평면상에서 중첩한다. 제2 커패시터 전극(E2)은 제2 절연층(20)을 사이에 두고 제1 커패시터 전극(E1)과 커패시터를 형성할 수 있다.
- [0070] 본 실시예에서, 상부 전극(UE)과 제2 커패시터 전극(E2)은 제1 제어 전극(GE1)과 동일한 층 상에 배치된다. 이때, 상부 전극(UE), 제2 커패시터 전극(E2), 및 제1 제어 전극(GE1)은 하나의 마스크를 통해 동시에 형성될 수 있다. 이에 따라, 상부 전극(UE), 제2 커패시터 전극(E2), 및 제1 제어 전극(GE1)은 서로 동일한 물질을 포함할 수 있고, 동일한 적층 구조를 가질 수 있다. 한편, 본 실시예에서, 상부 전극(UE)은 생략될 수도 있다.
- [0071] 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 제2 절연층(20)의 상면, 상부 전극(UE)의 상면, 제2 제어 전극(GE2)의 상면, 및 제2 커패시터 전극(E2)의 상면을 커버한다. 제3 절연층(30)은 제2 박막 트랜지스터(T2)의 게이트 절연막으로 기능할 수 있다.
- [0072] 제3 절연층(30)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 예를 들어, 제3 절연층(30)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 예를 들어, 제3 절연층(30)은 단층의 실리콘옥사이드층일 수 있다.
- [0073] 제3 절연층(30) 상에 제2 반도체 패턴(OSP2)이 배치된다. 제2 반도체 패턴(OSP2)은 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 한편, 제2 반도체 패턴(OSP2)은 결정화된 산화물 반도체를 포함할 수 있다. 산화물 반도체의 결정은 수직 방향의 방향성을 가질 수 있다.
- [0074] 제2 반도체 패턴(OSP2)은 불순물이 포함된 입력 영역, 출력 영역, 및 입력 영역과 출력 영역 사이에 배치된 채널 영역으로 구분될 수 있다. 도 3b 및 도 3c에는 용이한 설명을 위해 입력 영역과 출력 영역을 각각 해칭 처리하여 도시하였다. 입력 영역은 제2 입력 전극(DE2)에 접속되고, 출력 영역은 제2 출력 전극(SE2)에 접속된다. 채널 영역은 입력 영역과 출력 영역 사이에 배치되고 제2 제어 전극(GE2)과 평면상에서 중첩될 수 있다. 제2 반도체 패턴(OSP2)은 불순물의 종류에 따라 P형 또는 N형일 수 있다. 채널 영역에는 제2 반도체 패턴(OSP2)의 종류에 따라 정공이 이동하거나 전자가 이동할 수 있다.
- [0075] 제2 반도체 패턴(OSP2)에 있어서, 불순물은 환원된 금속 물질들일 수 있다. 입력 영역 및 출력 영역은 채널 영역을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 제2 박막 트랜지스터(T2)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다.
- [0076] 제3 절연층(30) 상에 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2) 및 제2 출력 전극(SE2)이 배치된다. 이때, 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2) 및 제2 출력 전극(SE2)은 하나의 마스크를 통해 동시에 형성될 수 있다. 이에 따라, 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2) 및 제2 출력 전극(SE2)은 서로 동일한 물질을 포함할 수 있고, 동일한 적층 구조를 가질 수 있다. 예를 들어, 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2) 및 제2 출력 전극(SE2)은 폴리브텐을 포함할 수 있다.
- [0077] 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 각각 노출시키는 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 통해 제1 입력 전극(DE1)과 제1 출력 전극(SE1)이 제1 반도체 패턴(OSP1)에 접속된다. 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)은 제1 내지 제3 절연층들(10, 20, 30)을 관통한다.
- [0078] 제2 입력 전극(DE2)과 제2 출력 전극(SE2)은 제2 반도체 패턴(OSP2)에 직접 접속될 수 있다. 제2 입력 전극(DE2)과 제2 출력 전극(SE2)은 제2 반도체 패턴(OSP2)의 양 단들 각각에 접속된다. 제2 입력 전극(DE2)의 적어도 일부는 제2 반도체 패턴(OSP2)의 입력 영역 상에 직접 배치되고, 제2 출력 전극(SE2)의 적어도 일부는 제2 반도체 패턴(OSP2)의 출력 영역 상에 직접 배치될 수 있다. 제2 박막 트랜지스터(T2)에 있어서, 제2 입력 전극(DE2)과 제2 출력 전극(SE2)은 별도의 컨택홀 없이 제2 반도체 패턴(OSP2)에 접속될 수 있다.
- [0079] 제3 절연층(30) 상에 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2), 및 제2 출력 전극(SE2)을 커버하는 제4 절연층(40)이 배치된다. 제4 절연층(40)은 유기층 또는 무기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0080] 본 실시예에서 제4 절연층(40)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 예를 들어,

제4 절연층(40)은 실리콘옥사이드층일 수 있다. 제4 절연층(40)은 패시베이션층으로 명칭될 수 있다.

- [0081] 한편, 본 실시예에서, 제4 절연층(40)은 소정의 열처리 공정을 거친 층일 수 있다. 제4 절연층(40)은 300도 이상의 고온 열처리 공정을 통해 결합 등이 큐어링(curing)된 상태일 수 있다. 이에 대한 상세한 설명은 생략하기로 한다.
- [0082] 제4 절연층(40) 상에 제5 절연층(50)이 배치된다. 제5 절연층(50)은 유기층일 수 있다. 예를 들어, 제5 절연층(50)은 폴리 이미드(Polyimide)를 포함하는 고분자 수지를 포함할 수 있다.
- [0083] 제5 절연층(50) 상에 연결 전극(CNE)이 배치된다. 연결 전극(CNE)은 제4 절연층(40) 및 제5 절연층(50)을 관통하는 제3 컨택홀(CH3)을 통해 제1 출력 전극(SE1)에 연결될 수 있다.
- [0084] 연결 전극(CNE)은 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2), 및 제2 출력 전극(SE2)과 상이한 물질을 포함할 수 있다. 예를 들어, 연결 전극(CNE)은 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2), 및 제2 출력 전극(SE2) 보다 낮은 저항을 가진 물질을 포함할 수 있다. 이에 따라, 유기 발광 다이오드(OLED)와 제1 박막 트랜지스터(T1) 사이의 접촉 저항이 감소되어 전기적 특성이 향상될 수 있다.
- [0085] 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 연결 전극(CNE)은 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2), 및 제2 출력 전극(SE2)과 동일한 물질로 형성되거나, 본 발명의 일 실시예에 따른 연결 전극(CNE)은 생략되어 유기 발광 다이오드(OLED)와 제1 박막 트랜지스터(T1)는 직접 접속될 수도 있다. 본 발명의 일 실시예에 따른 표시 패널(DP)은 다양한 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0086] 제5 절연층(50) 상에 연결 전극(CNE)을 커버하는 제6 절연층(60)이 배치된다. 제6 절연층(60)은 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0087] 본 실시예에서 제5 절연층(50) 및 제6 절연층(60)은 단층의 폴리이미드계 수지층일 수 있다. 이에 제한되지 않고, 제5 절연층(50) 및 제6 절연층(60)은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수도 있다.
- [0088] 제6 절연층(60) 상에 유기 발광 다이오드(OLED)가 배치된다. 유기 발광 다이오드(OLED)의 제1 전극(AE)은 제6 절연층(60) 상에 배치된다. 제1 전극(AE)은 제6 절연층(60)을 관통하는 제4 컨택홀(CH4)을 통해서 연결 전극(CNE)에 연결된다.
- [0089] 제6 절연층(60) 상에 화소 정의막(PDL)이 배치된다. 화소 정의막(PDL)의 개구부(OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다. 화소 정의막(PDL)의 개구부(OP)는 화소의 발광영역(PXA)을 정의할 수 있다. 예컨대, 복수 개의 화소들(PX, 도 1a 참조)은 표시 패널(DP, 도 1a 참조)의 평면 상에서 일정한 규칙으로 배치될 수 있다. 복수 개의 화소들(PX)이 배치된 영역은 화소영역으로 정의될 수 있고, 하나의 화소영역은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워 싸을 수 있다.
- [0090] 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 정공 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX)에 공통으로 형성될 수 있다. 정공 제어층(HCL)은 정공 수송층 및 정공 주입층을 포함할 수 있다.
- [0091] 정공 제어층(HCL) 상에 발광 패턴(EML)이 배치된다. 발광 패턴(EML)은 개구부(OP)에 대응하는 영역에 배치될 수 있다. 발광 패턴(EML)은 복수 개의 화소들(PX) 각각에 분리되어 형성될 수 있다.
- [0092] 본 실시예에서 패터닝된 발광 패턴(EML)을 예시적으로 도시하였으나, 발광 패턴(EML)은 복수 개의 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 발광 패턴(EML)은 백색 광을 생성할 수 있다. 또한, 발광 패턴(EML)은 다층 구조를 가질 수 있다.
- [0093] 발광 패턴(EML) 상에 전자 제어층(ECL)이 배치된다. 전자 제어층(ECL)은 전자 수송층 및 전자 주입층을 포함할 수 있다. 전자 제어층(ECL) 상에 제2 전극(CE)이 배치된다. 전자 제어층(ECL) 및 제2 전극(CE)은 복수 개의 화소들(PX)에 공통적으로 배치된다.
- [0094] 제2 전극(CE) 상에 봉지층(TFE)이 배치된다. 봉지층(TFE)은 복수 개의 화소들(PX)에 공통적으로 배치된다. 본 실시예에서 봉지층(TFE)은 제2 전극(CE)을 직접 커버한다. 본 발명의 일 실시예에서, 제2 전극(CE)을 커버하는

캡핑층이 더 배치될 수 있다. 캡핑층은 유기층일 수 있다. 본 발명의 일 실시예에서, 캡핑층 상에 스퍼터링 방식에 의해 형성된 무기층이 더 배치될 수 있다. 본 발명의 일 실시예에서 유기 발광 다이오드(OLED)의 적층구조는 도 3b에 도시된 구조에서 상하반전된 구조를 가질 수도 있다.

[0095] 봉지층(TFE)은 적어도 무기층 또는 유기층을 포함한다. 본 발명의 일 실시예에서 봉지층(TFE)은 2개의 무기층과 그 사이에 배치된 유기층을 포함할 수 있다. 본 발명의 일 실시예에서 봉지층은 교번하게 적층된 복수 개의 무기층들과 복수 개의 유기층들을 포함할 수 있다.

[0096] 봉지 무기층은 수분/산소로부터 유기 발광 다이오드(OLED)를 보호하고, 봉지 유기층은 먼지 입자와 같은 이물질로부터 유기 발광 다이오드(OLED)를 보호하며 상부에 평탄면을 제공한다. 봉지 무기층은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있고, 이에 특별히 제한되지 않는다. 봉지 유기층은 아크릴 계열 유기층을 포함할 수 있고, 특별히 제한되지 않는다.

[0098] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 표시 패널의 밴딩 영역에 대응하는 단면도들이다. 도 4a 내지 도 4c 각각은 도 2의 곡률 영역(CA)의 제1 방향(DR1) 및 제3 방향(DR3)에 의해 정의되는 단면을 도시하였다. 도 4a 및 도 4c에는 신호 라인들(SL, SL-PT)에 중첩하는 단면들을 도시하였고, 도 4b에는 신호 라인이 배치되지 않는 영역의 단면을 도시하였다. 도 4a에는 제1 방향(DR1)을 따라 연장된 신호 라인(SL)을 도시하였고, 도 4c에는 제1 방향(DR1)을 따라 이격된 복수의 패턴들을 포함하는 패턴닝된 신호 라인(SL-PT)을 도시하였다. 이하, 도 4a 내지 도 4c를 참조하여 본 발명에 대해 설명한다. 한편, 도 1a 내지 도 3c에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.

[0099] 도 4a 내지 도 4c에 도시된 바와 같이, 밴딩 영역(BA)은 단면상에서 제1 영역(NBA, 도 1a 참조)과 유사한 적층 구조를 갖는다. 베이스 층(BL)의 상면으로부터 배리어 층(BRL), 버퍼층(BFL), 및 제1 내지 제6 절연층(10 내지 60)이 순차적으로 배치된다.

[0100] 배리어 층(BRL) 및/또는 버퍼층(BFL)에는 밴딩 영역(BA)에 중첩하는 그루브(GV-1, 이하 제1 그루브)가 정의될 수 있다. 제1 그루브(GV-1)는 곡률 영역(CA)에 정의된다. 제1 그루브(GV-1)는 곡률 영역(CA)을 따라 제2 방향(미 도시)으로 연장된 형상을 가질 수 있다. 제1 그루브(GV-1)에 의해 노출된 베이스 층(BL)의 제1 방향(DR1)의 너비는 곡률 영역(CA)의 제1 방향(DR1)의 너비보다 작을 수 있다.

[0101] 제1 내지 제4 절연층(10 내지 40)에는 밴딩 영역(BA)에 중첩하는 그루브(GV-2, 이하 제2 그루브)가 정의된다. 제2 그루브(GV-2)는 곡률 영역(CA)에 정의된다. 배리어 층(BRL) 및 버퍼층(BFL)을 구성하는 무기층들 중 최상층의 무기층의 상면은 부분적으로 제1 내지 제4 절연층(10 내지 40)으로부터 노출될 수 있다.

[0102] 제1 그루브(GV-1)를 정의하는 배리어 층(BRL) 및 버퍼층(BFL)의 측면들은 단면 상에서 소정의 경사를 가질 수 있다. 제2 그루브(GV-2)를 정의하는 제1 내지 제4 절연층(10 내지 40)의 측면들은 단면 상에서 소정의 경사를 가질 수 있다.

[0103] 제5 절연층(50)은 제1 영역(NBA: 도 1a 참조)의 전면에 배치될 수 있으며, 비 밴딩 영역(NBA)으로부터 연장되어 밴딩 영역(BA)을 커버한다. 이때, 제5 절연층(50)은 밴딩 영역(BA)에서 제1 그루브(GV-1)와 제2 그루브(GV-2)의 내측을 충전할 수 있다. 제5 절연층(50)은 제1 그루브(GV-1)에 의해 노출된 베이스 층(BL)의 상면, 제1 그루브(GV-1)의 경사면, 및 제2 그루브(GV-2)의 경사면에 접촉한다. 제5 절연층(50)은 제1 내지 제4 절연층(10 내지 40)으로부터 노출된 버퍼층(BFL)의 상면의 일부분과 접촉할 수 있다.

[0104] 본 실시예에 따르면, 제1 그루브(GV-1) 및 제2 그루브(GV-2)를 포함함으로써, 곡률 영역(CA)에서의 적층 개수를 감소시킬 수 있다. 적층 수가 증가할수록 밴딩 스트레스에 따른 층간 박리나 버클링 등의 손상이 발생되기 쉽다. 본 발명에 따르면, 곡률 영역(CA)에 적층되는 절연층들의 수를 감소시켜 밴딩에 용이한 곡률 영역(CA)을 제공할 수 있다.

[0105] 또한, 본 발명에 따르면, 제1 그루브(GV-1) 및 제2 그루브(GV-2)를 포함함으로써, 배리어 층(BRL), 버퍼층(BFL), 및 제1 내지 제4 절연층들(10, 20, 30, 40)을 곡률 영역(CA)에서 제거할 수 있다. 상술한 바와 같이, 배리어 층(BRL), 버퍼층(BFL), 및 제1 내지 제4 절연층들(10, 20, 30, 40)은 무기물을 포함할 수 있다. 본 발명에 따르면, 무기층들을 곡률 영역(CA)으로부터 제거함으로써, 밴딩 스트레스에 따른 무기층들의 손상을 방지할 수 있다.

- [0106] 또한, 본 발명에 따르면, 유기층에 해당하는 제5 절연층(50)으로 제1 그루브(GV-1) 및 제2 그루브(GV-2)를 충전함으로써, 곡률 영역(CA)의 유연성이 향상되는 것과 동시에, 무기층들을 통한 크랙 등의 전파를 방지할 수 있다. 한편, 비 벤딩 영역(NBA)에 배치되는 제5 절연층(50)을 이용하여 제1 그루브(GV-1) 및 제2 그루브(GV-2)를 충전함으로써, 공정 및 구조가 단순화될 수 있다.
- [0107] 도 4a에 도시된 바와 같이, 신호 라인(SL)의 적어도 일부분은 제5 절연층(50) 상에 배치될 수 있다. 제6 절연층(60)은 신호 라인(SL)을 커버하여 신호 라인(SL)을 보호한다. 신호 라인(SL)은 신호패드들(DP-PD: 도 2 참조)과 연결되는 신호 라인들(SGL: 도 2 참조) 중 적어도 어느 하나일 수 있다. 예를 들어, 신호 라인(SL)은 데이터 라인이나 전원 라인일 수 있다. 또는 신호 라인(SL)은 신호 라인들(SGL) 및 신호패드들(DP-PD)과 상이한 층에 배치되어 신호 라인들(SGL)과 신호패드들(DP-PD)을 연결하는 브릿지 라인일 수도 있다.
- [0108] 한편, 도 4a에 도시되지 않았으나, 신호 라인(SL)의 다른 일부분, 특히 표시 영역(DP-DA)에 배치된 다른 일부분은 다른 층 상에 배치될 수 있다. 예컨대, 신호 라인(SL)의 다른 일부분은 제3 절연층(30) 상에 배치될 수도 있다. 신호 라인(SL)의 상기 일부분과 상기 다른 일부분은 제4 절연층(40) 및 제5 절연층(50)을 관통하는 컨택홀을 통해 연결될 수 있다. 이러한 컨택홀은 비 벤딩 영역(NBA) 중 주변 영역(DP-NDA)에 배치될 수 있다.
- [0109] 본 발명의 일 실시예에서 제6 절연층(60)의 상면에는 표시 영역(DP-DA)에 배치된 층으로부터 연장된 층들 중 적어도 일부가 연장되어 더 배치될 수도 있다. 본 발명의 일 실시예에서 제6 절연층(60)은 곡률 영역(CA)에 미 배치될 수도 있다.
- [0110] 한편, 도 4b에 도시된 바와 같이, 곡률 영역(CA)은 신호 라인(SL)이 배치되지 않는 영역을 포함할 수 있다. 신호 라인(SL)이 배치되지 않은 영역에서 제6 절연층(60)은 제5 절연층(50)에 접촉하여 제5 절연층(50)의 상면을 커버할 수 있다.
- [0111] 한편, 도 4c에 도시된 바와 같이, 신호 라인(SL-PT)은 복수의 패턴들을 포함하는 패터닝된 신호 라인(SL-PT)일 수도 있다. 패터닝된 신호 라인(SL-PT)은 제1 방향(DR1)을 따라 이격될 수 있다. 패터닝된 신호 라인(SL-PT)은 평면상에서 미 도시된 다른 영역에서 제2 방향(DR2: 도 1a 참조)을 따라 서로 연결될 수 있다. 패터닝된 신호 라인(SL-PT)은 벤딩축(BX: 도 1b 참조)에 수직하는 방향으로 연장된 부분의 면적을 감소시킴으로써, 패터닝된 신호 라인(SL-PT)에 미치는 벤딩 스트레스를 완화시킬 수 있다.
- [0113] 도 5는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다. 도 5에는 용이한 설명을 위해 비 벤딩 영역(NBA)의 일부와 벤딩 영역(BA)의 일부를 동시에 도시하였다. 비 벤딩 영역(NBA)의 일부는 도 3b에 도시된 발광영역(PXA)과 대응되는 발광영역(PXA)을 포함하고, 벤딩 영역(BA)의 일부는 도 4c에 도시된 영역과 대응되는 영역을 포함한다. 이하, 도 1a 내지 도 4c에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0114] 도 5에 도시된 바와 같이, 표시 패널(DP)은 벤딩 영역(BA)에 형성된 제3 그루브(GV-3)를 더 포함할 수 있다. 제2 그루브(GV-2)는 제1 내지 제3 절연층(10, 20, 30)에 정의될 수 있고, 제3 그루브(GV-3)는 제4 절연층(40)에 정의될 수 있다. 제4 절연층(40) 중 제2 그루브(GV-2)와 중첩하는 부분이 제거되어 제3 그루브(GV-3)를 형성한다.
- [0115] 제3 그루브(GV-3)의 제1 방향(DR1)에서의 너비는 제2 그루브(GV-2)의 제1 방향(DR1)에서의 너비보다 클 수 있다. 또한, 제3 그루브(GV-3)의 제1 방향(DR1)에서의 너비는 제1 그루브(GV-1)의 제1 방향(DR1)에서의 너비보다 클 수 있다. 제1 내지 제3 그루브(GV-1, GV-2, GV-3)는 제3 방향(DR3)을 따라 단차를 형성하며 연속적으로 적층될 수 있다.
- [0116] 제5 절연층(50)은 제1 내지 제3 그루브(GV-1, GV-2, GV-3)를 충전하며, 제1 내지 제3 그루브(GV-1, GV-2, GV-3) 각각의 내면들을 커버한다. 본 발명에 따르면, 제1 내지 제3 그루브(GV-1, GV-2, GV-3)를 포함함으로써, 곡률 영역(CA)에 유기층들만 존재하는 표시 패널을 설계할 수 있다.
- [0117] 한편, 도 5에 도시된 바와 같이, 곡률 영역(CA)을 지나는 신호 라인으로 연결 전극(CNE)이 선택될 수 있다. 연결 전극(CNE)은 비 벤딩 영역(NBA)에서 제1 박막 트랜지스터(T1)의 제1 출력 전극(SE1)과 유기 발광 다이오드(OLED)의 제1 전극(AE)을 연결한다.
- [0118] 연결 전극(CNE)은 제5 절연층(50)과 제6 절연층(60) 사이에 배치되어 비 벤딩 영역(NBA)과 벤딩 영역(BA)을 지날 수 있다. 연결 전극(CNE)은 비 벤딩 영역(NBA)에 배치된 도전 패턴과 대향 영역(미 도시)에 배치된 도전 패

턴을 연결하는 브릿지 패턴으로 기능할 수 있다. 본 실시예에서, 연결 전극(CNE)은 곡률 영역(CA)에서 제1 방향(DR1)을 따라 이격된 소정의 패턴들을 포함할 수 있다. 이에 따라, 벤딩 스트레스에 의해 연결 전극(CNE)에 크랙이나 단선 등이 발생하는 것을 방지할 수 있다.

[0119] 한편, 화소 정의막(PDL-H)은 발광영역(PXA)을 정의하는 개구 영역에 형성된 소정의 단차부(RS)를 가질 수 있다. 단차부(RS)는 발광 패턴(EML)을 형성하기 위한 증착 공정에서의 마스크를 지지하는 스페이서 역할을 할 수 있다. 표시 패널(DP)은 단차부(RS)를 더 포함함으로써, 마스크에 의한 발광 패턴(EML)의 손상이나 발광영역(PXA)의 손상을 방지할 수 있다. 단차부(RS)는 하프톤 마스크(half-tone mask) 등을 통해 형성될 수 있다. 본 발명에 따르면, 별도의 추가 공정 없이 단일의 화소 정의막(PDL-H)을 이용할 수 있으므로, 공정 비용이 절감되고 공정이 단순화될 수 있다.

[0120] 한편, 본 실시예에서, 제5 절연층(50), 제6 절연층(60), 및 화소 정의막(PDL-H)은 유기물을 포함할 수 있다. 곡률 영역(CA)에 중첩하는 적층 구조는 유기층들로부터 이루어질 수 있도록 설계될 수 있다. 이에 따라, 표시 패널(DP)의 곡률 영역(CA)에서의 유연성이 향상될 수 있고, 폴딩 동작에 대해 향상된 신뢰성을 가질 수 있다.

[0122] 도 6은 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다. 도 6에는 용이한 설명을 위해 도 3b에 도시된 영역과 대응되는 영역을 도시하였다. 이하, 도 1a 내지 도 5에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.

[0123] 도 6에 도시된 바와 같이, 표시 패널(DP)은 제5 절연층(50)과 제6 절연층(60) 사이에 배치되고, 제2 반도체 패턴(OSP2)에 중첩하는 차광 패턴(LSP)을 더 포함할 수 있다.

[0124] 차광 패턴(LSP)은 광 흡수율이 높은 물질 또는 광 반사율이 높은 물질을 포함할 수 있다. 차광 패턴(LSP)은 제2 반도체 패턴(OSP2) 상부에 배치되어 유기 발광 다이오드(OLED)로부터 생성된 후 반사된 광이 제2 반도체 패턴(OSP2)에 입사되는 것을 차단한다.

[0125] 한편, 차광 패턴(LSP)은 연결 전극(CNE)과 동일한 물질을 포함할 수 있다. 예를 들어, 차광 패턴(LSP)은 금속을 포함할 수 있다. 차광 패턴(LSP)은 연결 전극(CNE)과 동일한 적층 구조를 가질 수 있다. 차광 패턴(LSP)은 연결 전극(CNE)과 하나의 마스크를 통해 동시에 형성될 수 있어, 공정이 단순화되고 공정비용이 절감될 수 있다.

[0127] 도 7a 내지 도 7q는 본 발명의 일 실시예에 따른 표시 패널의 제조공정을 도시한 단면도이다. 도 7a 내지 도 7q 각각은 도 3b와 도 4a에 대응하는 영역을 비교하여 도시하였다. 이하, 도 1 내지 도 6을 참조하여 설명한 구성과 동일한 구성에 대한 중복된 설명은 생략한다.

[0128] 도 7a에 도시된 바와 같이, 베이스 층(BL) 상에 적어도 하나의 무기층을 형성한다. 적어도 하나의 무기층은 비 벤딩 영역(NBA) 및 벤딩 영역(BA) 모두와 중첩한다. 별도로 도시되지 않았으나, 제조 공정에 있어서 베이스 층(BL)은 작업기판 상에 배치될 수 있다. 표시 패널이 제조된 이후 작업기판은 제거될 수 있다.

[0129] 적어도 하나의 무기층은 무기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다. 본 실시예에서, 적어도 하나의 무기층으로 배리어 층(BRL)과 버퍼층(BFL)을 도시하였다. 베이스 층(BL) 상에 실리콘옥사이드층과 실리콘 나이트라이드층을 순차적으로 형성하여 배리어 층(BRL)을 형성할 수 있다. 배리어 층(BRL) 상에 실리콘옥사이드층과 실리콘나이트라이드층을 순차적으로 형성하여 버퍼층(BFL)을 형성할 수 있다.

[0130] 도 7a에 도시된 바와 같이, 무기층 상에 제1 예비 반도체 패턴(OSP1-P)을 형성한다. 제1 예비 반도체 패턴(OSP1-P)은 실리콘 반도체 물질을 포함할 수 있다. 반도체층을 형성한 후 패터닝하여 제1 예비 반도체 패턴(OSP1-P)을 형성한다. 패터닝 전/후에 반도체층을 결정화시킬 수 있다.

[0131] 이후, 도 7b에 도시된 바와 같이, 무기층의 비 벤딩 영역(NBA) 및 벤딩 영역(BA) 상에 제1 절연층(10)을 형성한다. 증착, 코팅, 또는 프린팅하여 제1 절연층(10)을 형성할 수 있다. 제1 절연층(10) 상에 배치되는 절연층들 역시 증착, 코팅, 또는 프린팅으로 형성될 수 있다.

[0132] 제1 절연층(10) 상에 제1 제어 전극(GE1)을 형성한다. 제1 절연층(10) 상에 도전층을 형성한 후 패터닝하여 제1 제어 전극(GE1)을 형성한다. 커패시터(Cst)의 제1 커패시터 전극(E1, 도 3c 참조)이 제1 제어 전극(GE1)과 동일한 공정을 통해서 형성될 수 있다.

- [0133] 이후, 제1 제어 전극(GE1)을 마스크로 이용하여 제1 예비 반도체 패턴(OSP1-P)을 도핑할 수 있다. 불순물은 화살표 방향을 따라 제1 절연층(10)을 통과하여 제1 예비 반도체 패턴(OSP1-P)에 주입된다. 이때, 제1 제어 전극(GE1)에 중첩하는 영역(이하, 채널영역)은 미 도핑되고, 채널영역의 양측 영역들(입력영역 및 출력영역)이 도핑된다. 본 실시예에서 n형 도펀트, 즉 5가 원소를 이용하여 도핑할 수 있다. 그에 따라 제1 반도체 패턴(OSP1)이 형성된다. 다만, 이는 예시적으로 도시한 것이고, 본 실시예에 따른 제1 반도체 패턴(OSP1)은 p형 도펀트인 7가 원소를 이용하여 도핑되어 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0134] 이후, 도 7c에 도시된 바와 같이, 제1 절연층(10)의 비 벤딩 영역(NBA) 및 벤딩 영역(BA) 상에 제1 제어 전극(GE1)을 커버하도록 제2 절연층(20)을 형성한다. 제2 절연층(20) 상에 제1 제어 전극(GE1)과 비 중첩하는 제2 제어 전극(GE2)을 형성한다. 제2 제어 전극(GE2)은 평면상에서 제1 제어 전극(GE1)으로부터 이격된 위치에 형성된다. 제2 제어 전극(GE2)과 동일한 공정에서 상부 전극(UE)이 형성될 수 있다. 미 도시되었으나, 커패시터(Cst)의 제2 커패시터 전극(E2, 도 3c 참조)을 상부 전극(UE)과 동일한 공정을 통해 형성할 수 있다.
- [0135] 이후, 도 7d에 도시된 바와 같이, 제2 절연층(20)의 비 벤딩 영역(NBA) 및 벤딩 영역(BA) 상에 제2 제어 전극(GE2) 및 상부 전극(UE)을 커버하는 제3 절연층(30)을 형성한다.
- [0136] 이후, 도 7e에 도시된 바와 같이, 상술한 제1 내지 제3 절연층들(10, 20, 30)의 일부분을 제거한다(이하, 제1 식각 단계). 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 노출하는 제1 및 제2 콘택홀들(CH1, CH2)을 형성한다. 동일한 공정에서 제1 내지 제3 절연층들(10 내지 30)의 벤딩 영역(BA)을 부분적으로 제거하여 제1 상측 그루브(GV-21)를 형성한다. 본 발명에 따르면, 비 벤딩 영역(NBA)의 콘택홀 형성 공정과 벤딩 영역(BA)의 그루브 형성 공정을 하나의 마스크를 이용한 단일공정으로 진행함으로써 표시 패널 제조공정에서 사용되는 마스크의 수를 감소시킬 수 있다.
- [0137] 이후, 도 7f에 도시된 바와 같이, 제3 절연층(30) 상에 제2 예비 반도체 패턴(OSP2-P)을 형성한다. 제2 예비 반도체 패턴(OSP2-P)은 금속 산화물 반도체 물질을 포함할 수 있다. 포토리소그래피 공정을 통해 금속 산화물 반도체층으로부터 제2 예비 반도체 패턴(OSP2-P)을 형성한다. 본 실시예에서, 제2 예비 반도체 패턴(OSP2-P)은 도전체적 성질을 가질 수 있다. 즉, 제2 예비 반도체 패턴(OSP2-P)은 반도체적 성질에 비해 높은 도전성을 가질 수 있다.
- [0138] 한편, 본 실시예에서, 도 7e 공정과 도 7f의 공정 순서는 서로 변경될 수 있다. 예를 들어, 제2 예비 반도체 패턴(OSP2-P)을 형성한 이후에 제1 및 제2 콘택홀들(CH1, CH2)과 제1 상측 그루브(GV-21)를 형성하기 위한 제1 식각 단계를 거칠 수도 있다.
- [0139] 이후, 도 7g에 도시된 바와 같이, 제3 절연층(30) 상에 전극들(DE1, SE1, SE2, DE2)을 형성한다(이하, 전극 형성단계). 증착 공정을 통해 도전층을 형성한 후, 도전층의 패터닝 공정을 통해 전극들(DE1, SE1, SE2, DE2)이 형성될 수 있다.
- [0140] 도전층의 패터닝 공정은 플라즈마를 포함하는 에칭 가스에 의해 이루어질 수 있다. 에칭 가스는 산소를 포함하는 플라즈마를 포함할 수 있다. 에칭 가스는 제2 예비 반도체 패턴(OSP2-P) 중 제2 입력 전극(DE2)과 제2 출력 전극(SE2)으로부터 노출된 영역의 수소 농도를 감소시킬 수 있다. 이에 따라, 제2 예비 반도체 패턴(OSP2-P) 중 제2 입력 전극(DE2)과 제2 출력 전극(SE2)으로부터 노출된 영역은 제2 입력 전극(DE2)과 제2 출력 전극(SE2)에 의해 커버된 영역들보다 높은 저항을 가지며 반도체적 성질을 갖는 채널 영역으로 변화되어 제2 반도체 패턴(OSP2)을 형성한다. 제2 반도체 패턴(OSP2)은 채널 영역, 채널 영역을 사이에 두고 서로 이격된 입력 영역과 출력 영역을 포함하게 된다.
- [0141] 이후, 도 7h에 도시된 바와 같이, 제3 절연층(30) 상에 전극들(DE1, SE1, SE2, DE2)을 커버하는 예비 제4 절연층(40-I)을 형성한다. 예비 제4 절연층(40-I)의 일부분은 제1 상측 그루브(GV-21)의 내측에 배치될 수 있다.
- [0142] 이후, 도 7i에 도시된 바와 같이, 예비 제4 절연층(40-I)의 일부분을 제거한다(이하, 제2 식각 단계). 제2 식각 단계는 예비 제4 절연층(40-I)에 제1 출력 전극(SE1)을 노출하는 콘택홀(CH3-40)을 형성한다.
- [0143] 이때, 동일한 공정에서 예비 제4 절연층(40-I)의 벤딩 영역(BA)을 부분적으로 제거하여 제2 상측 그루브(GV-22)를 형성한다. 비 벤딩 영역(NBA)의 콘택홀 형성 공정과 벤딩 영역(BA)의 그루브 형성 공정을 하나의 마스크를 이용한 단일공정으로 진행함으로써 표시 패널의 제조공정에서 사용되는 마스크의 수를 감소시킬 수 있다.
- [0144] 본 실시예에서 제2 상측 그루브(GV-22)의 내측면과 제1 상측 그루브(GV-21)의 내측면이 정렬된 것으로 도시하였으나, 이에 제한되지 않는다. 예를 들어, 도 5에 도시된 바와 같이, 예비 제4 절연층(40-I)에 제3 그루브(GV-

3)를 형성함으로써, 제3 절연층(30)의 상면의 적어도 일부를 제4 절연층(40)으로부터 노출시킬 수도 있다.

- [0145] 이후, 도 7j에 도시된 바와 같이, 무기층들(BRL, BFL)의 일부분을 제거한다(이하 제3 식각 단계). 식각 가스를 이용하여 배리어 층(BRL)과 버퍼층(BFL)의 벤딩 영역(BA)을 부분적으로 제거하여 제1 그루브(GV-1)를 형성한다. 무기층들(BRL, BFL) 중 최상층의 무기층의 상면은 부분적으로 제1 내지 제4 절연층(10 내지 40)으로부터 노출될 수 있다. 본 발명의 일 실시예에서, 제1 그루브(GV-1)의 내측면은 제1 상측 그루브(GV-21)의 내측면과 정렬될 수도 있다.
- [0146] 본 실시예에서, 제1 그루브(GV-1)를 형성하기 위한 제3 식각 단계는 제2 상측 그루브(GV-22)를 형성하기 위한 제2 식각 단계와 연속적으로 이루어질 수 있다. 제3 식각 단계와 제2 식각 단계는 식각 가스에 대한 노출 시간이나 식각 가스 물질의 제어를 통해 동일한 마스크를 이용하는 단일의 공정으로 이루어질 수 있다. 이에 따라, 마스크 수를 감소시킬 수 있어, 공정이 단순화되고 공정 비용이 절감될 수 있다.
- [0147] 이후, 도 7k 및 도 7l에 도시된 바와 같이, 제2 식각 단계를 거친 후, 예비 제4 절연층(40-I)을 열처리(HT)하여 제4 절연층(40)을 형성한다. 열처리(HT)는 예비 제4 절연층(40-I)을 통해 예비 제4 절연층(40-I)에 의해 커버되는 제2 반도체 패턴(OSP2)의 채널 영역을 큐어링한다. 제2 반도체 패턴(OSP2)의 채널 영역은 제2 입력 전극(DE2) 및 제2 출력 전극(SE2) 형성을 위한 도전층 증착 시 물리적 증착에 따른 스트레스를 받은 상태일 수 있다. 본 발명에 따르면, 열처리(HT)를 통해 제2 반도체 패턴(OSP2)의 채널 영역에 발생된 결함(defects)을 안정화시키고 손상된 부분을 큐어링할 수 있다. 또는, 열처리(HT)는 예비 제4 절연층(40-I)에 존재하는 수소의 제2 반도체 패턴(OSP2)의 채널 영역으로의 유입을 방지할 수도 있다.
- [0148] 한편, 본 실시예에서, 열처리(HT)는 약 300도 이상의 고온에서 진행될 수 있다. 열처리(HT)는 소정의 시간을 두고 서서히 진행되는 어닐링(annealing) 공정과 대응될 수 있다. 본 발명의 일 실시예에 따른 표시 패널 제조방법은 예비 제4 절연층(40-I) 형성 이후에 열처리(HT) 단계를 더 포함함으로써, 제2 반도체 패턴(OSP2)의 신뢰성을 향상시키고, 제2 박막 트랜지스터(T2)의 전기적 특성을 안정화시킬 수 있다.
- [0149] 이후, 도 7m에 도시된 바와 같이, 제4 절연층(40) 상에 제5 절연층(50)을 형성한다. 비 벤딩 영역(NBA) 및 벤딩 영역(BA)에 중첩하도록 제5 절연층(50)을 형성한다. 제5 절연층(50)은 제1 그루브(GV-1)와 제2 그루브(GV-2)의 내측에 배치된다. 제5 절연층(50)은 콘택홀(CH3-40)을 부분적으로 채울 수 있다.
- [0150] 본 실시예에서, 제5 절연층(50)은 제4 절연층(40)의 열처리 단계 이후에 형성될 수 있다. 제5 절연층(50)이 폴리이미드와 같은 고분자 수지를 포함하는 경우, 열처리(HT) 단계에서 제5 절연층(50)의 손상이 발생할 수 있다. 본 발명에 따르면, 유기물을 포함하는 층의 형성을 제4 절연층(40)의 열처리(HT) 단계 이후로 이동시킴으로써, 공정 시 발생할 수 있는 제5 절연층(50)의 손상을 방지할 수 있고, 공정 신뢰성을 향상시킬 수 있다.
- [0151] 다음, 도 7n에 도시된 바와 같이, 제5 절연층(50)의 일부분을 제거한다(이하 제4 식각 단계). 제5 절연층(50)에 의해 커버된 제1 출력 전극(SE1)을 노출시키기 위해 제5 절연층(50)에 콘택홀(CH3-50)을 형성한다. 제5 절연층(50)의 콘택홀(CH3-50)은 제4 절연층(40)의 콘택홀(CH3-40)과 정렬될 수 있다. 콘택홀들은(CH3-40, CH3-50)은 서로 연결되어 하나의 제3 콘택홀(CH3)을 정의한다.
- [0152] 이후, 도 7o에 도시된 바와 같이, 제5 절연층(50) 상에 연결 전극(CNE)을 형성한다. 연결 전극(CNE)과 동일한 공정을 통해서 신호 라인(SL)의 벤딩 영역(BA)에 중첩하는 부분을 형성한다. 상술한 바와 같이, 연결 전극(CNE)과 신호 라인(SL)은 서로 연결된 일체의 형상을 갖거나 서로 분리된 독립적인 구성들로 제공될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0153] 이후, 도 7p에 도시된 바와 같이, 제5 절연층(50) 상에 연결 전극(CNE) 및 신호 라인(SL)의 벤딩 영역(BA)에 중첩하는 부분을 커버하는 제6 절연층(60)을 형성한다. 제6 절연층(60)에 연결 전극(CNE)의 상면을 노출시키는 제4 콘택홀(CH4)을 형성할 수 있다.
- [0154] 다음, 도 7q에 도시된 바와 같이, 제6 절연층(60) 상에 유기 발광 다이오드(OLED)를 형성한다. 제6 절연층(60) 상에 제4 콘택홀(CH4)을 통해 연결 전극(CNE)에 연결되는 제1 전극(AE)을 형성한다. 제6 절연층(60) 상에 제1 전극(AE)의 중심부분을 노출하는 화소 정의막(PDL)을 형성한다. 제6 절연층(60) 상에 예비-화소 정의막을 형성한 후, 예비-화소 정의막에 개구부(OP)를 형성하여 화소 정의막(PDL)을 형성한다.
- [0155] 이후, 화소 정의막(PDL)의 비 벤딩 영역(NBA) 상에 정공 제어층(HCL), 발광 패턴(EML), 전자 제어층(ECL), 및 제2 전극(CE)이 순차적으로 형성된다. 정공 제어층(HCL), 발광 패턴(EML), 전자 제어층(ECL), 및 제2 전극(CE)은 평면상에서 적어도 표시 영역(DP-DA, 도 2 참조)에 중첩한다.

- [0156] 제2 전극(CE) 상에 붕지층(TFE)을 형성한다. 증착, 잉크젯 프린팅 공정 등에 의해 붕지 유기층 및/또는 붕지 무기층을 형성한다. 붕지층(TFE)은 비 벤딩 영역(NBA) 상에 형성되고, 벤딩 영역(BA)에는 미 배치될 수 있으나, 이에 제한되지 않는다.
- [0158] 도 8a는 본 발명의 비교 실시예에 따른 박막 트랜지스터의 전류-전압 그래프를 도시한 것이고, 도 8b는 본 발명의 일 실시예에 따른 박막 트랜지스터의 전류-전압 그래프를 도시한 것이다. 도 8a는 300도 이하의 온도로 열처리 단계를 거친 박막 트랜지스터의 전류-전압 그래프이고, 도 8b는 도 3b에 도시된 제2 박막 트랜지스터(T2: 도 3b 참조)의 전류-전압 그래프이다. 이때, 전압(V_g)은 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압을 나타내었고, 전류(I_{ds})는 게이트 전압에 대응하여 박막 트랜지스터의 채널 영역을 흐르는 전류를 나타내었다. 도 8a 및 도 8b의 박막 트랜지스터들은 서로 동일한 구조를 가지며, 열처리 온도를 제외한 모든 특성들은 동일하게 유지되었다. 도 8a 및 도 8b에는 용이한 설명을 위해 하나의 박막 트랜지스터를 시간이 지남에 따라 측정한 그래프들을 동시에 도시하였다. 이하, 도 8a 및 도 8b를 참조하여 본 발명에 대해 설명한다.
- [0159] 도 8a에서 비교 실시예에 따른 박막 트랜지스터는 제5 절연층(50)이 손상을 받지 않을 정도의 온도인 300도 이하의 온도로 열처리되었으며, 약 250도($^{\circ}C$)의 온도로 열처리되었다. 제1 내지 제5 그래프들(PL1, PL2, PL3, PL4, PL5)은 시간이 경과함에 따른 전류-전압 그래프를 도시한 것이다. 도 8a에 도시된 것과 같이, 비교 실시예에 따른 박막 트랜지스터는 구동 시간이 증가함에 따라 제1 그래프(PL1)로부터 제5 그래프(PL5)로 서서히 이동한다. 최초 전류-전압 특성을 보여주는 제1 그래프(PL1)로부터 가장 긴 구동 시간 이후의 전류-전압 특성을 보여주는 제5 그래프(PL5) 사이의 문턱 전압 차이는 약 -5.68V로 나타났다. 즉, 비교 실시예에 따른 박막 트랜지스터는 충분한 온도에서의 열처리를 거치지 못함에 따라 전기적 특성의 균일성이 저하되고 수명이 저하되는 결과를 가진다.
- [0160] 이와 달리, 도 8b에는 약 380도($^{\circ}C$)의 온도로 열처리된 반도체 패턴을 포함하는 박막 트랜지스터의 시간에 따른 전류-전압 그래프를 도시하였다. 도 8b에 도시된 것과 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터의 전류-전압 그래프들은 시간이 지남에 따라 실질적으로 하나의 그래프(PL-T)로 나타날 수 있다.
- [0161] 본 실시예에서, 최초 전류-전압 특성을 보여주는 그래프로부터 가장 긴 구동 시간 이후의 전류-전압 특성을 보여주는 그래프 사이의 문턱 전압 차이는 약 -0.20V로 나타났다. 즉, 본 발명의 일 실시예에 따른 박막 트랜지스터의 전류-전압 그래프들은 시간이 지나더라도 편차 없이 균일한 전기적 특성을 보여준다. 본 발명에 따르면, 유기층에 해당하는 제5 절연층(50: 도 3b 참조)을 제4 절연층(40) 이후에 형성함으로써, 300도($^{\circ}C$) 이상의 고온을 이용한 제4 절연층(40)의 열처리 단계를 거치더라도 제5 절연층(50)의 손상을 방지할 수 있고, 전기적 특성과 수명이 향상된 박막 트랜지스터를 제공할 수 있다. 본 발명에 따르면, 신뢰성이 향상된 표시 패널 제조 방법을 제공할 수 있으며, 향상된 전기적 특성을 가진 표시 패널을 안정적으로 제공할 수 있다.
- [0163] 도 9는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도이다. 도 9에는 용이한 설명을 위해 도 7q에 도시된 영역과 대응되는 영역을 도시하였다. 이하, 도 9를 참조하여 본 발명에 대해 설명한다. 한편, 도 1a 내지 도 8b에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0164] 도 9에 도시된 것과 같이, 본 발명의 일 실시예에 따른 표시 패널에 있어서, 연결 전극(CNE)과 제6 절연층(60)은 생략될 수 있다. 이에 따라, 제1 전극(AE)이 제5 절연층(50) 상에 직접 배치되고, 제3 컨택홀(CH3)을 통해서 제1 출력 전극(SE1)에 연결될 수 있다. 신호 라인(SL-DL)의 벤딩 영역(BA)에 중첩하는 부분도 제5 절연층(50) 상에 직접 배치될 수 있다.
- [0165] 신호 라인(SL-DL)의 벤딩 영역(BA)에 중첩하는 부분은 제1 전극(AE)과 동일한 공정을 통해 형성될 수 있다. 신호 라인(SL-DL)의 벤딩 영역(BA)에 중첩하는 부분과 제1 전극(AE)은 동일한 물질을 포함하고, 동일한 층구조를 가질 수 있다.
- [0167] 도 10a 내지 도 10d는 본 발명의 일 실시예에 따른 표시 패널의 제조방법을 도시한 단면도들이다. 도 10a 내지 도 10d는 용이한 설명을 위해 도 7a 내지 도 7q 중 일부 단계들을 도시하였다. 이하, 도 10a 내지 도 10d를 참

조하여 본 발명에 대해 설명한다. 한편, 도 1a 내지 도 9에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.

- [0168] 도 10a에 도시된 것과 같이, 베이스 층(BL)의 비 벤딩 영역(NBA)에 제2 예비 반도체 패턴(OSP2-P), 복수의 컨택 홀들(CH1, CH2)을 형성하고, 벤딩 영역(BA)에 제1 상측 그루브(GV-21)를 형성한다. 도 10a는 실질적으로 도 7f와 대응될 수 있다. 이하, 중복된 설명은 생략한다.
- [0169] 이후, 도 10b 및 도 10c에 도시된 것과 같이, 제3 절연층(30) 상에 도전층(CLL)을 형성한 후, 에칭 가스(ET)를 통해 도전층(CLL)을 패터닝하여 전극들(DE1, SE1, DE2, SE2)을 형성한다. 도전층(CLL)은 제3 절연층(30)의 상면 및 제2 예비 반도체 패턴(OSP2-P)의 상면을 전면적으로 커버할 수 있다. 도전층(CLL)은 컨택홀들(CH1, CH2) 및 제1 상측 그루브(GV-21)를 충전한다.
- [0170] 에칭 가스(ET)는 도전층(CLL)의 일부를 제거하기에 용이한 물질을 포함한다. 에칭 가스(ET)는 미 도시된 마스크로부터 노출된 영역들과 반응하여 노출된 영역들을 제거한다. 마스크에 의해 커버된 영역들은 잔존하여 전극들(DE1, SE1, DE2, SE2)을 형성할 수 있다.
- [0171] 이때, 에칭 가스(ET)는 염소 화합물을 포함하지 않을 수 있다. 예를 들어, 에칭 가스(ET)는 플루오린(Fluorine, F)을 포함하는 플루오르 화합물을 포함할 수 있다. 예를 들어, 에칭 가스(ET)는 6플루오린화 황(sulfur hexafluoride, SF₆) 또는 6플루오르화 부틴(hexafluoro butyne, C₄F₆)을 포함할 수 있다.
- [0172] 플루오르 화합물은 염소 화합물에 비해 상대적으로 산화물 반도체 물질을 포함하는 제2 반도체 패턴(OSP2)에 적은 영향을 미친다. 도전층(CLL)은 플루오르 화합물에 대해 제2 반도체 패턴(OSP2)에 비해 높은 식각 선택비를 가질 수 있다. 예를 들어, 도전층(CLL)은 몰리브덴(Mo)을 포함할 수 있다.
- [0173] 예를 들어, 도전층(CLL)이 티타늄(Ti)을 포함하는 경우, 도전층(CLL)의 패터닝을 위해서는 염소 화합물을 포함하는 에칭 가스(ET)를 필요로 한다. 산화물 반도체 물질은 염소 화합물에 대해 비교적 높은 식각 선택비를 가진다. 이에 따라, 염소 화합물을 포함하는 에칭 가스(ET)를 이용하여 도전층(CLL)을 패터닝하는 경우, 산화물 반도체를 포함하는 제2 반도체 패턴(OSP2)이 손상될 수 있다.
- [0174] 본 발명에 따르면, 에칭 가스(ET)를 플루오르 화합물로 선택함으로써, 전극들(DE1, SE1, DE2, SE2)을 형성하는 과정에서 노출되는 제2 반도체 패턴(OSP2)의 손상을 방지하고, 제2 반도체 패턴(OSP2)이 안정적으로 형성될 수 있도록 유도할 수 있다.
- [0175] 이후, 도 10d에 도시된 것과 같이, 제4 절연층(40)에 제3 컨택홀(CH3)을 형성한 후, 제1 출력 전극(SE1)에 접속되는 연결 전극(CNE)을 형성한다. 본 실시예에서는 용이한 설명을 위해 연결 전극(CNE)이 제4 절연층(40) 상에 배치된 것으로 도시되었으나, 이에 한정되는 것은 아니다.
- [0176] 연결 전극(CNE)은 제4 절연층(40)이 형성된 이후에 형성되므로, 도 10b에 도시된 에칭 가스(ET)의 영향을 받지 않을 수 있다. 또한, 연결 전극(CNE)은 제2 반도체 패턴(OSP2)이나 다른 구성들과 관계없이 독립적으로 형성될 수 있다. 이에 따라, 다른 구성들의 손상 여부에 대한 고려 없이 패터닝될 수 있어, 재료 선택의 자유도가 클 수 있다.
- [0177] 본 발명에 따르면, 연결 전극(CNE)은 제2 출력 전극(SE2)보다 낮은 저항을 가진 물질로 형성될 수 있다. 이에 따라, 제2 반도체 패턴(OSP2)과의 연관성으로 인해 다소 제한적인 재료로 형성된 제2 출력 전극(SE2)에서 확보되기 어려운 전기적 특성을 연결 전극(CNE)을 통해 용이하게 확보할 수 있다. 이에 따라, 연결 전극(CNE)에 접속되는 유기 발광 다이오드(OLED: 도 3b 참조)와 제2 박막 트랜지스터(T2) 사이의 접촉 저항을 감소시켜 향상된 전기적 특성을 가진 표시 패널이 형성될 수 있다.
- [0178] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0179] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.
- [0180] 한편 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

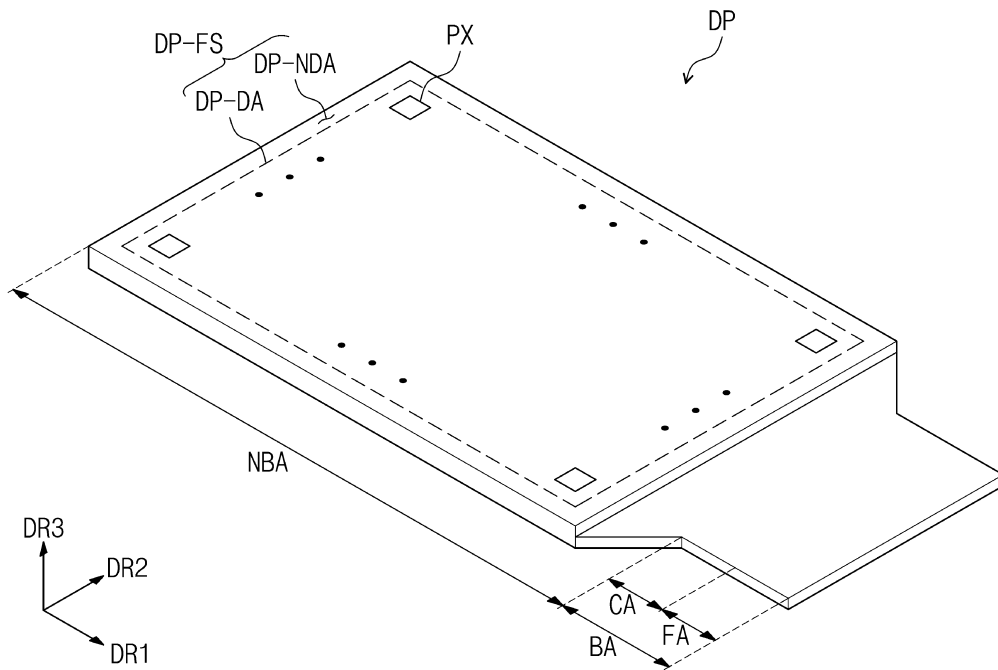
부호의 설명

[0181]

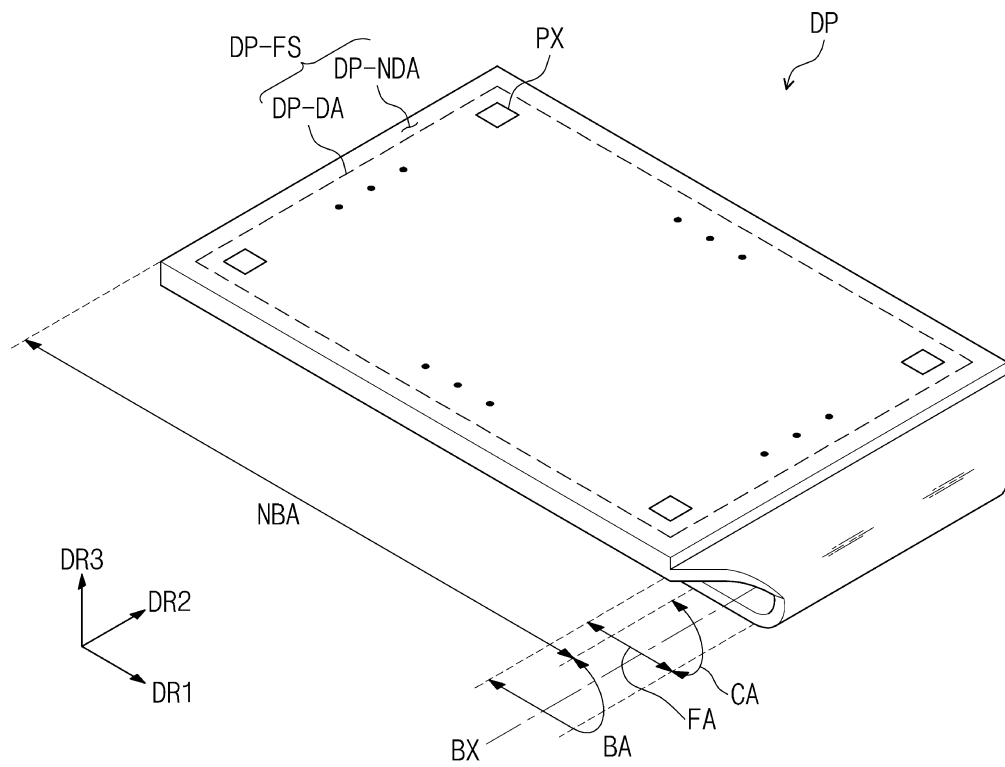
DP: 표시 패널 T1: 제1 박막 트랜지스터
T2: 제2 박막 트랜지스터 GV-1: 제1 그루브
CA: 곡률 영역 FA: 대향 영역
HT: 열처리

도면

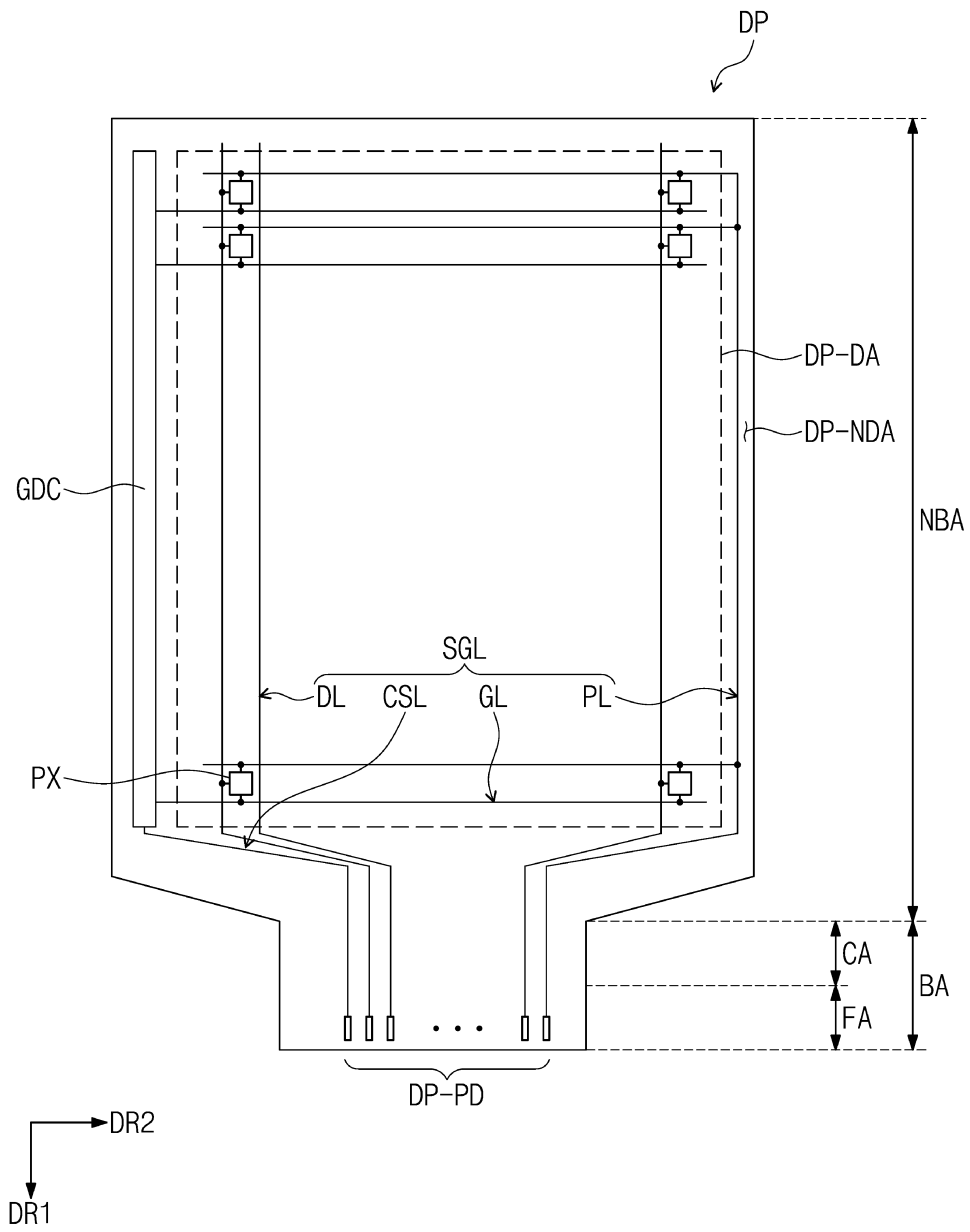
도면1a



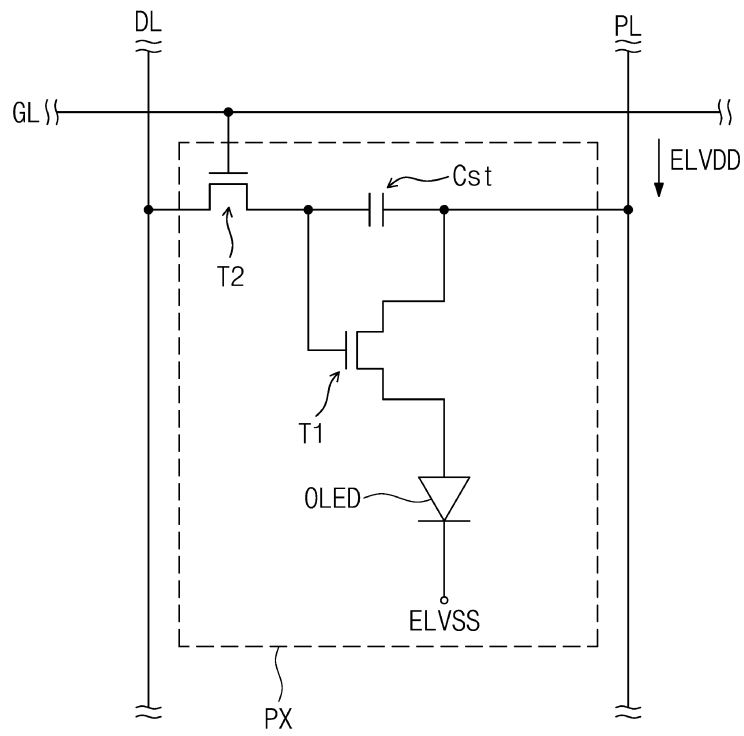
도면1b



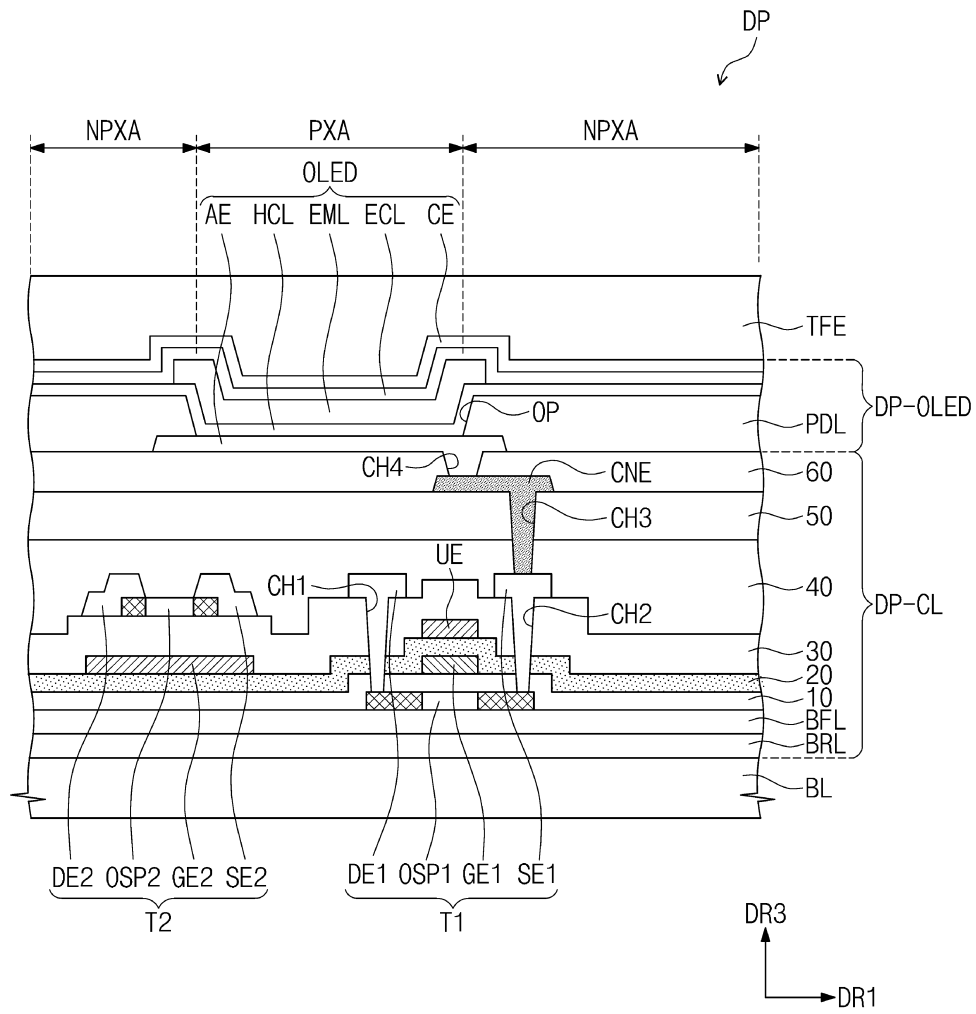
도면2



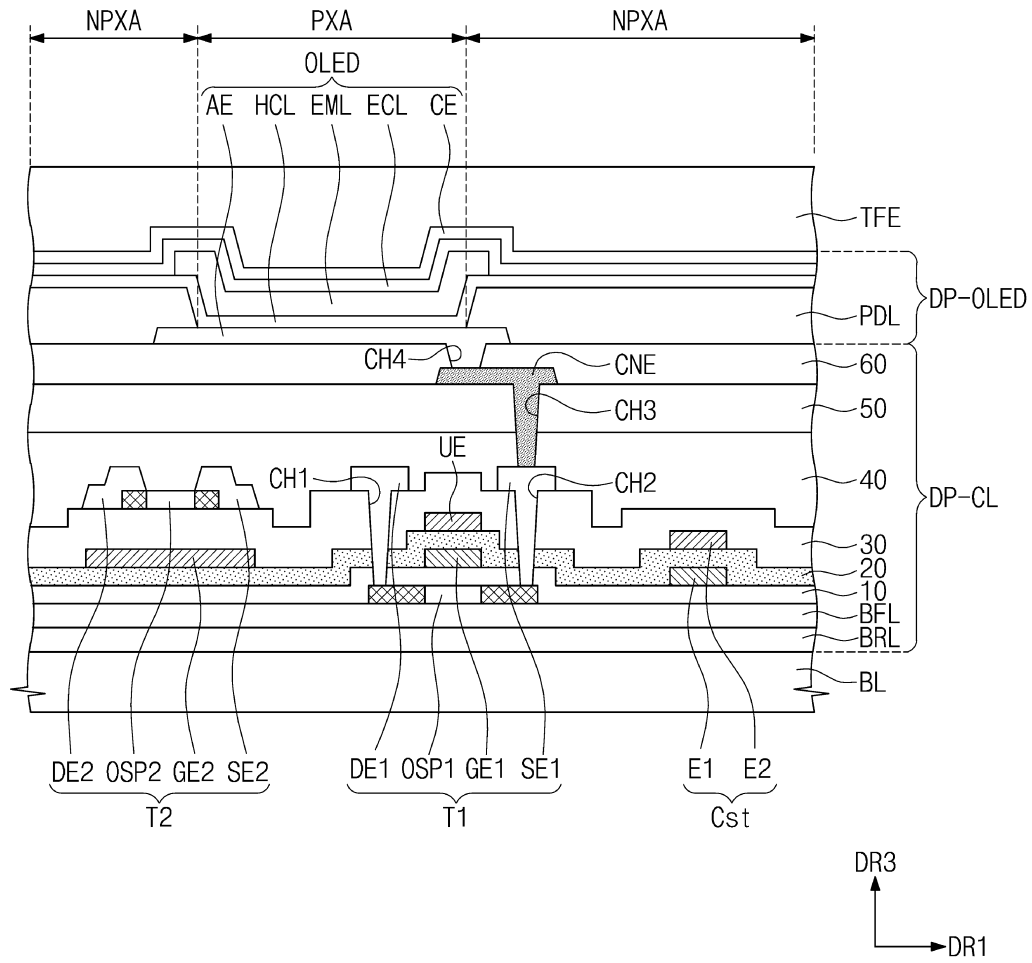
도면3a



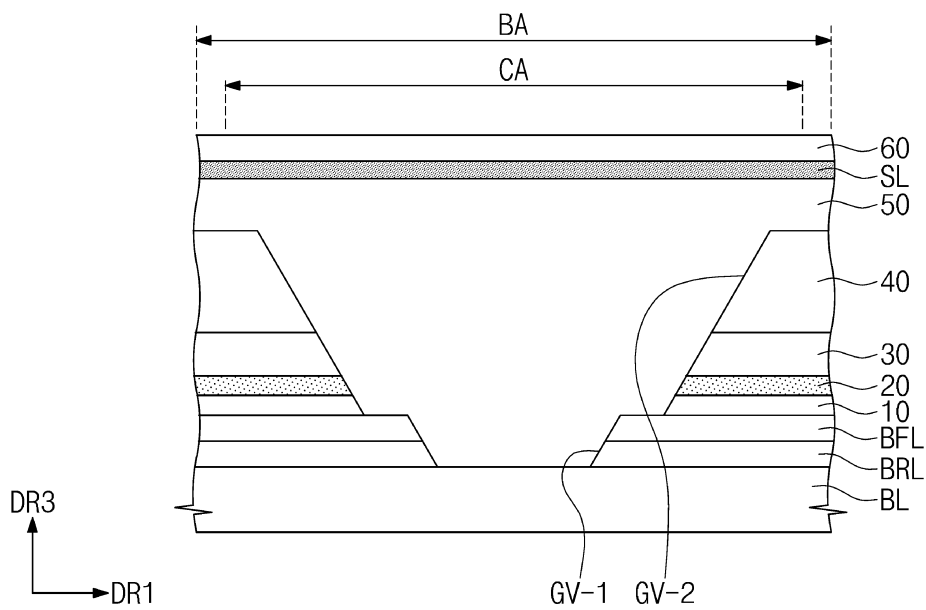
도면3b



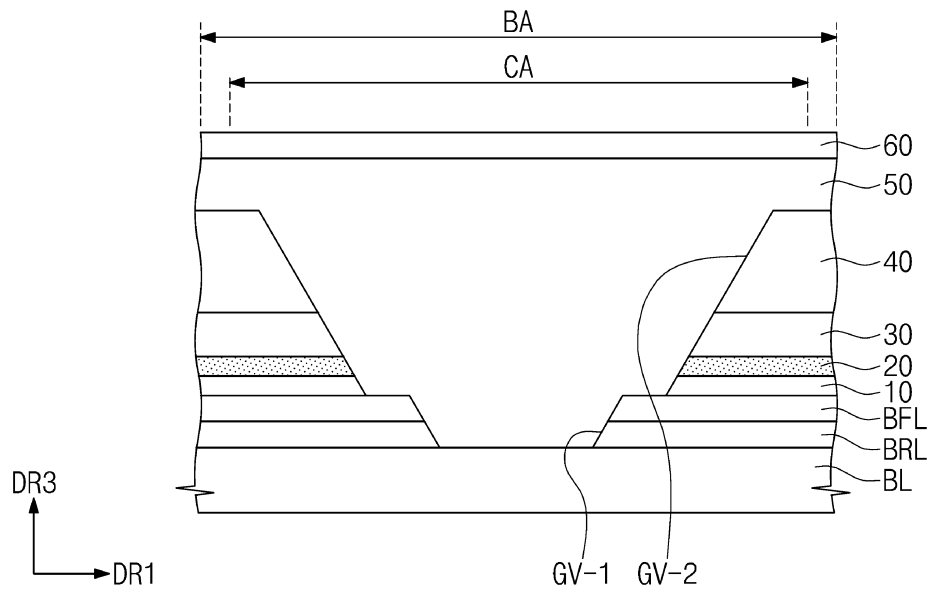
도면3c



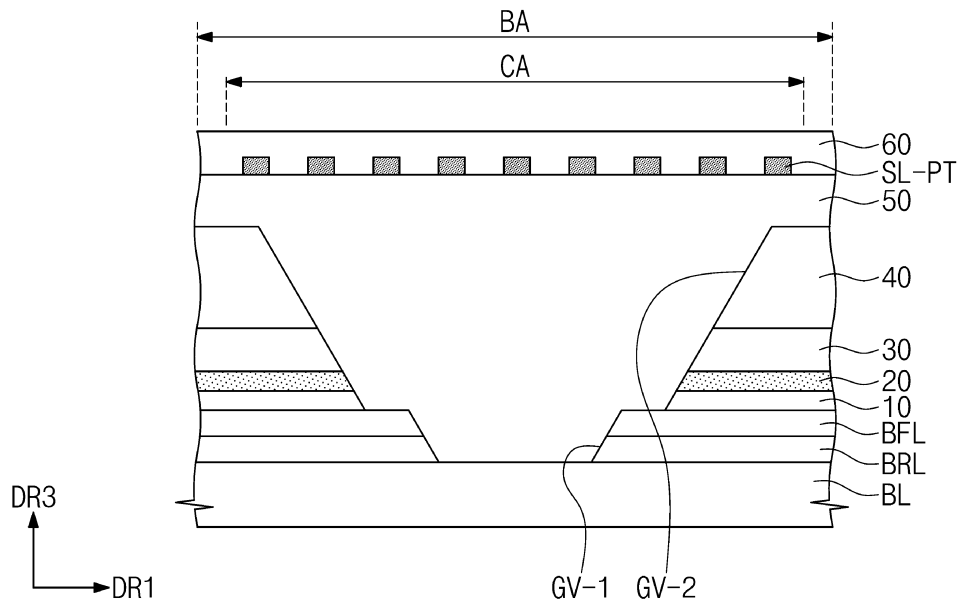
도면4a



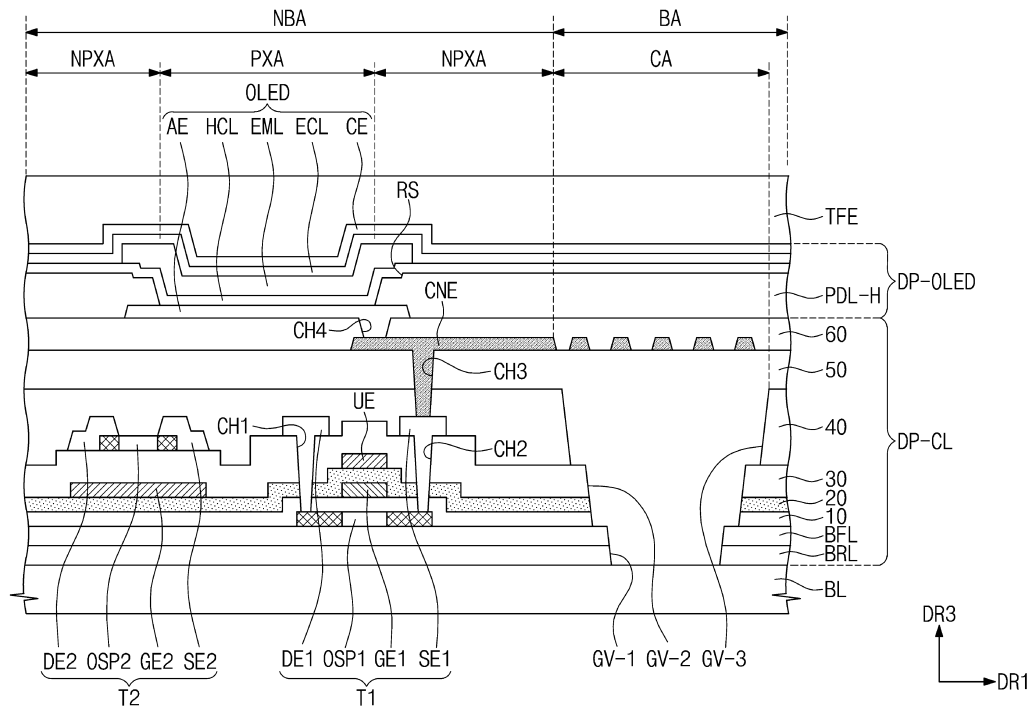
도면4b



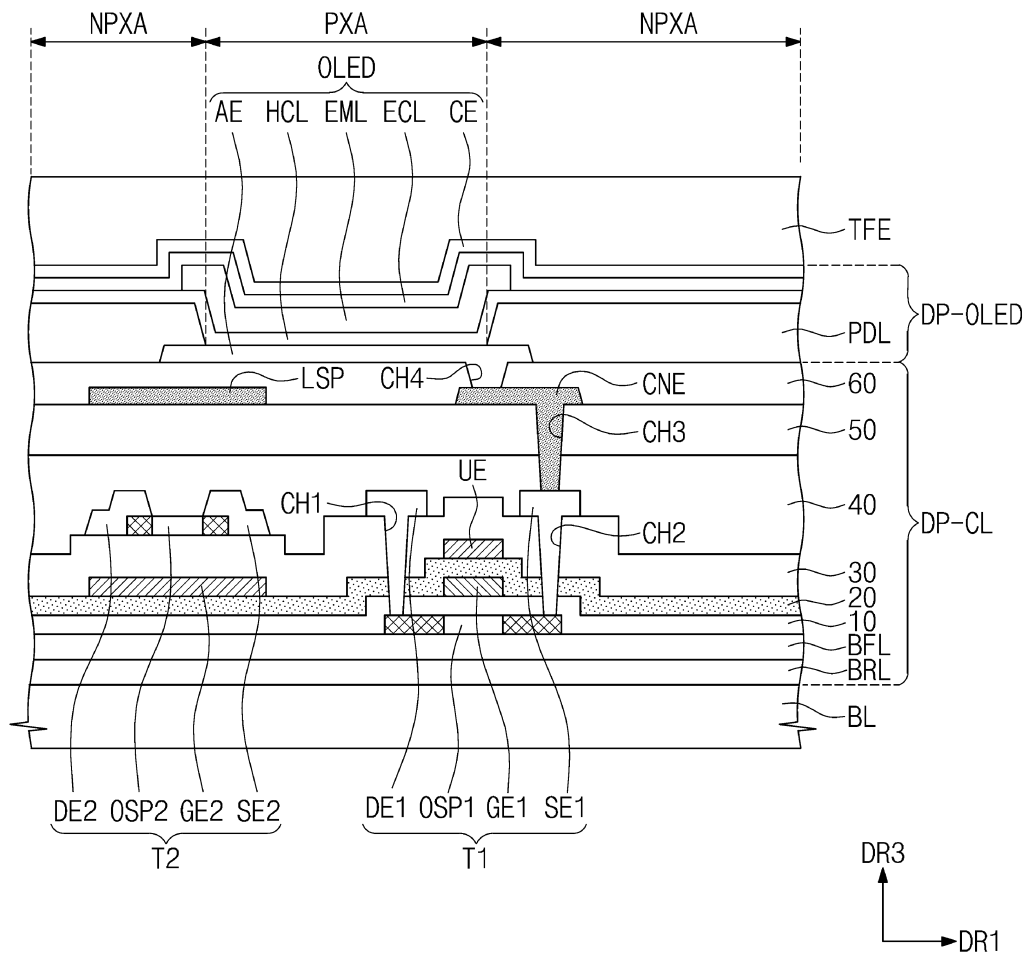
도면4c



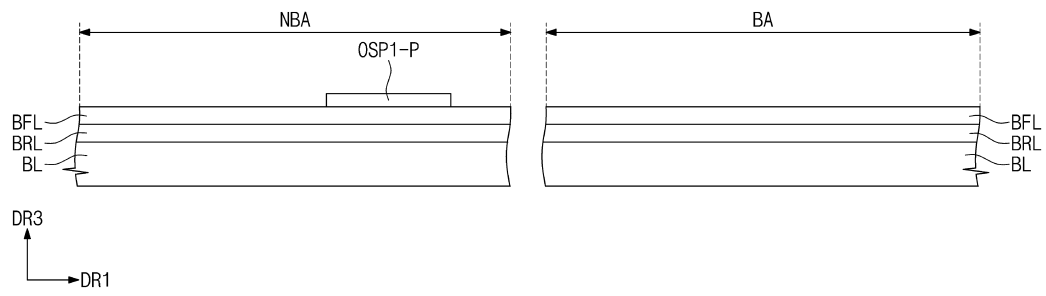
도면5



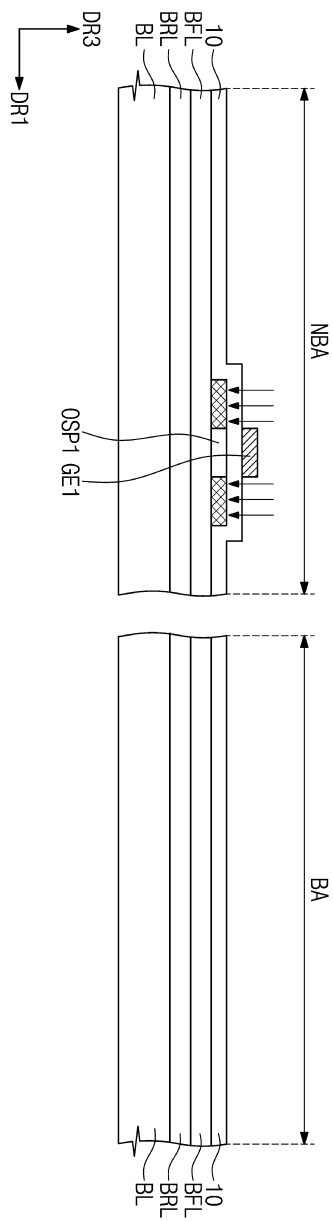
도면6



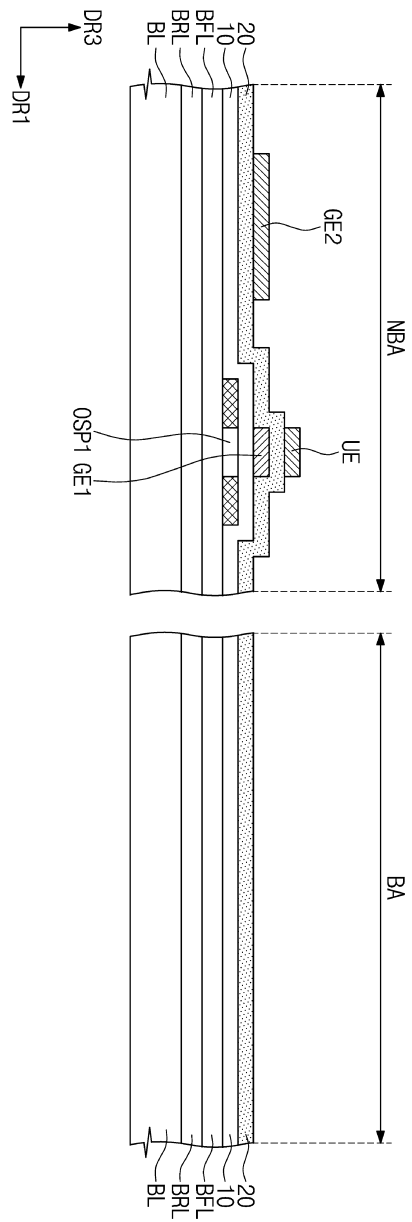
도면7a



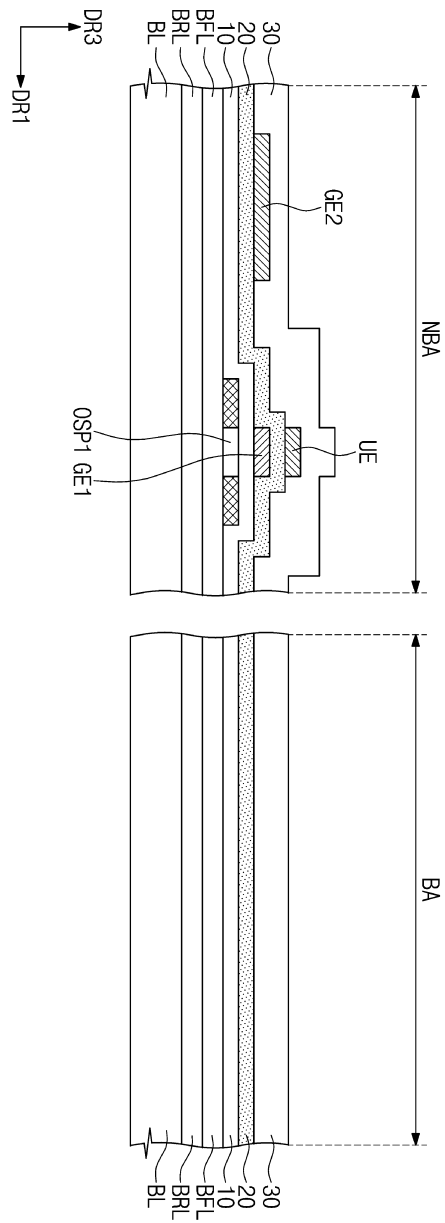
도면7b



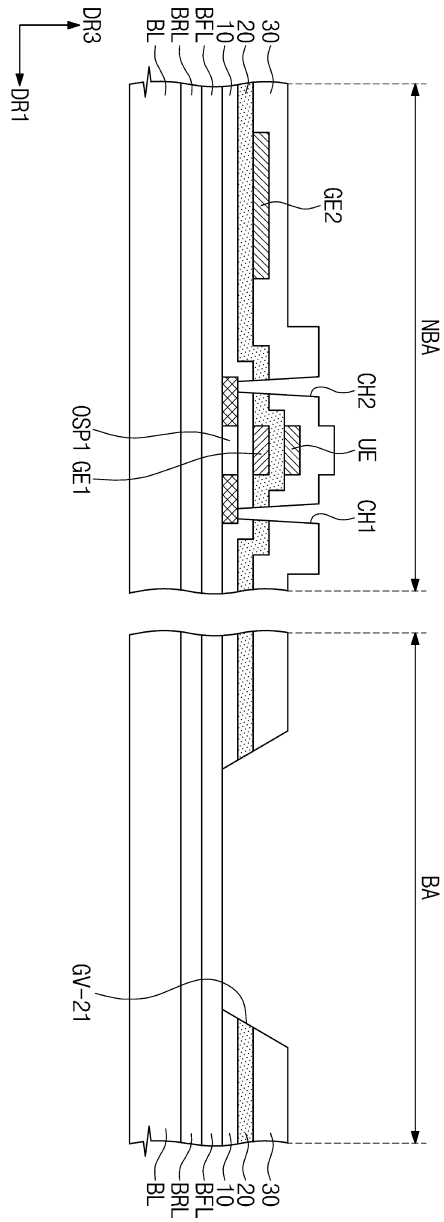
도면7c



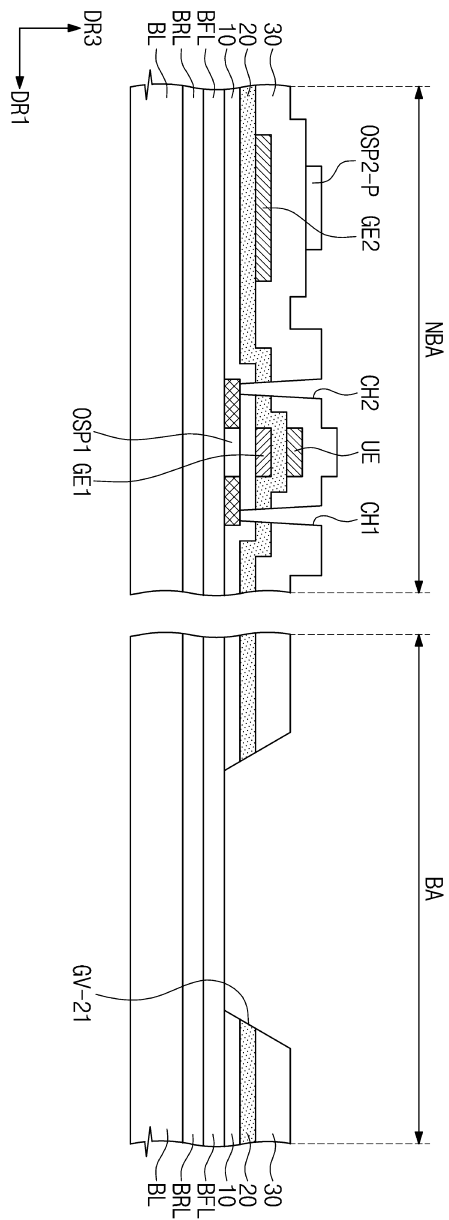
도면7d



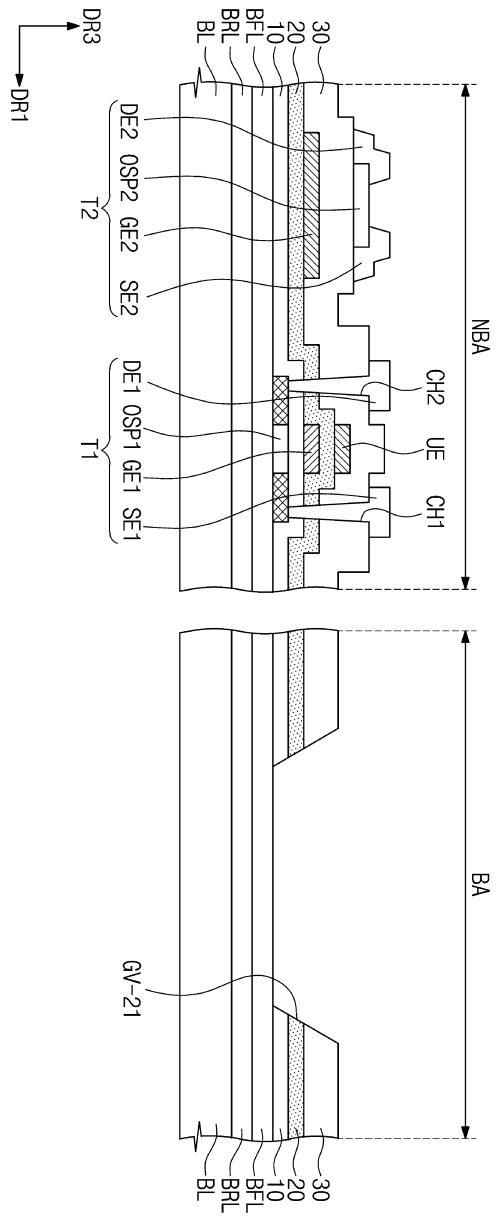
도면7e



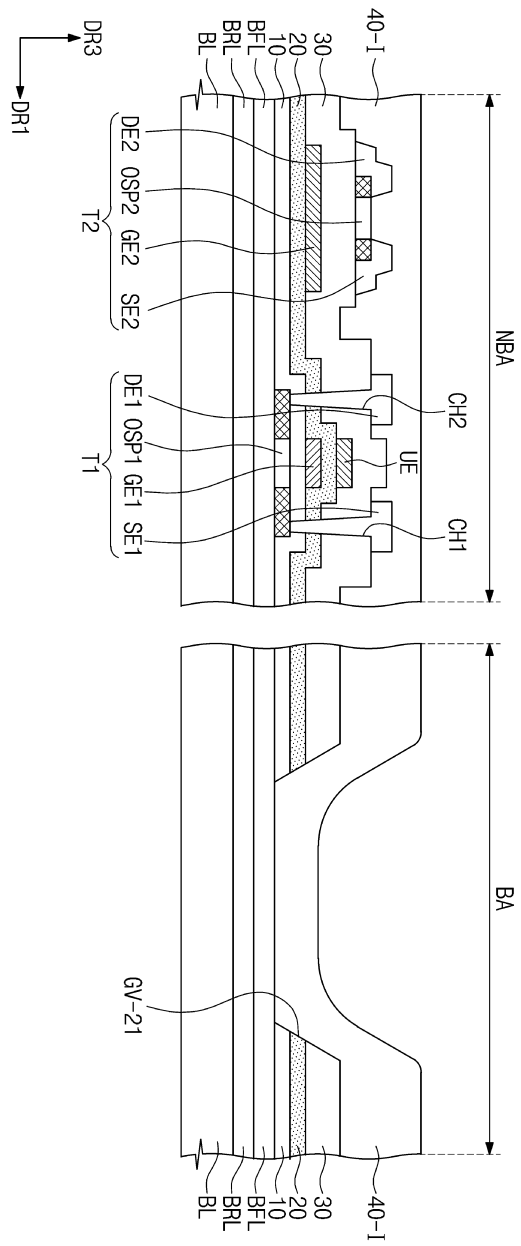
도면7f



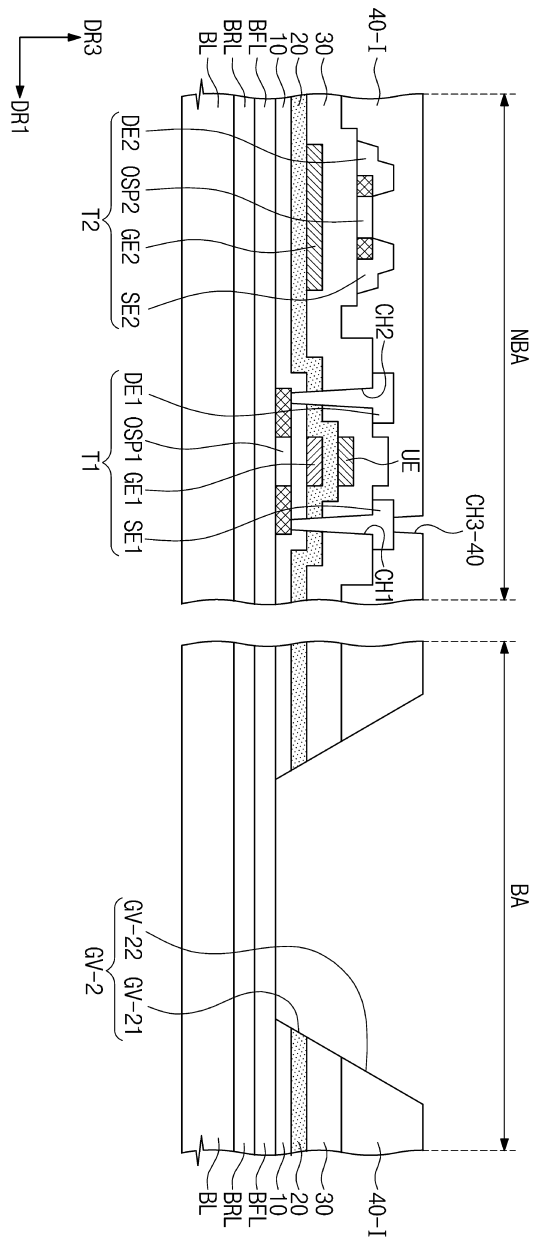
도면7g



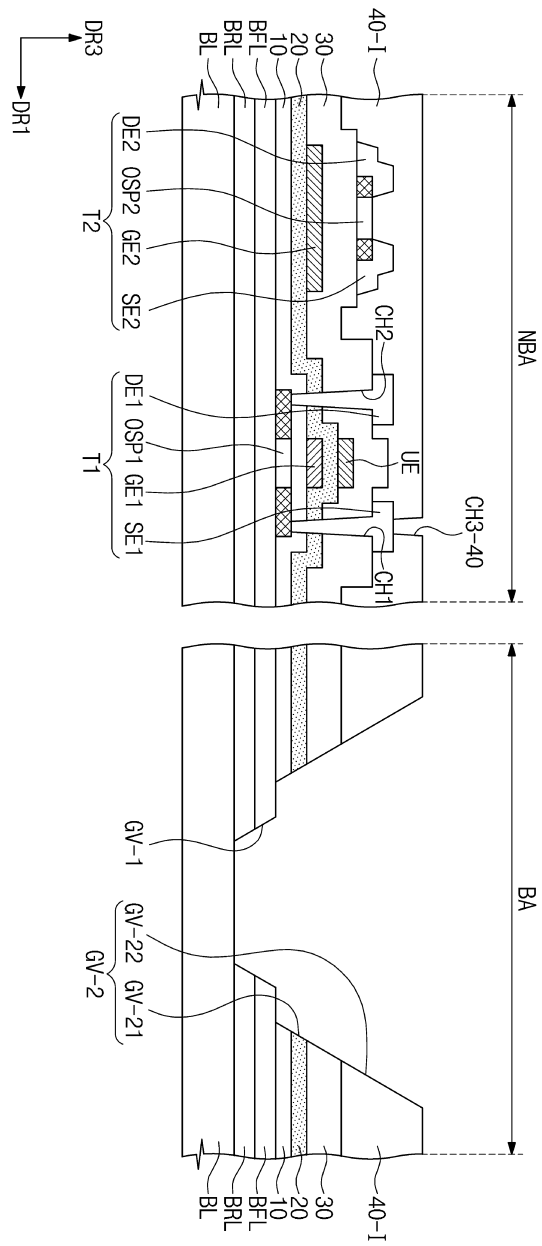
도면7h



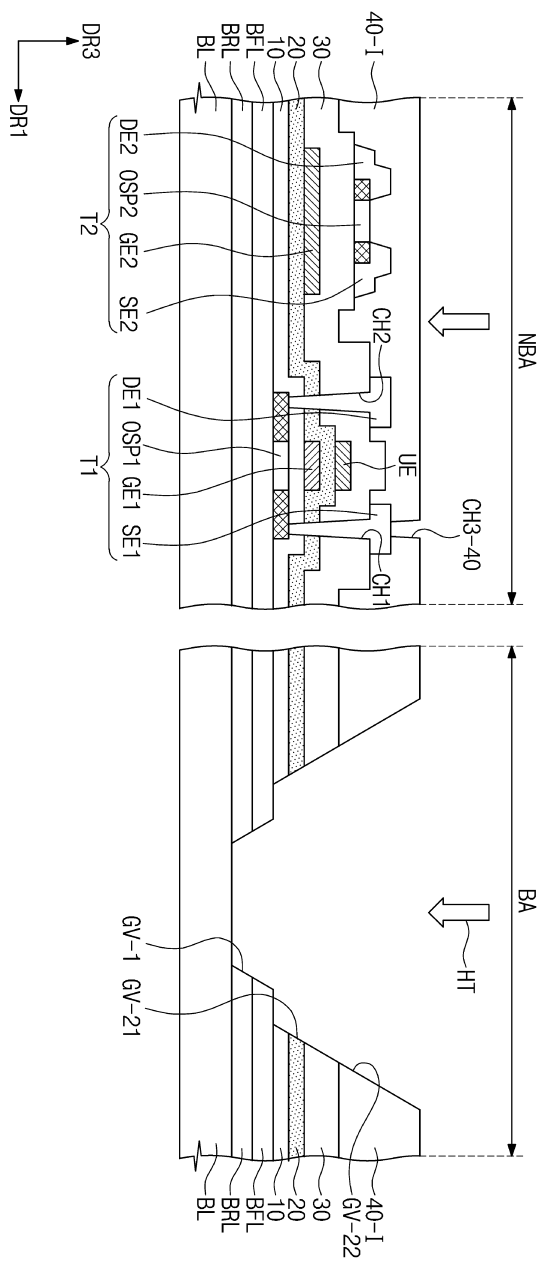
도면7i



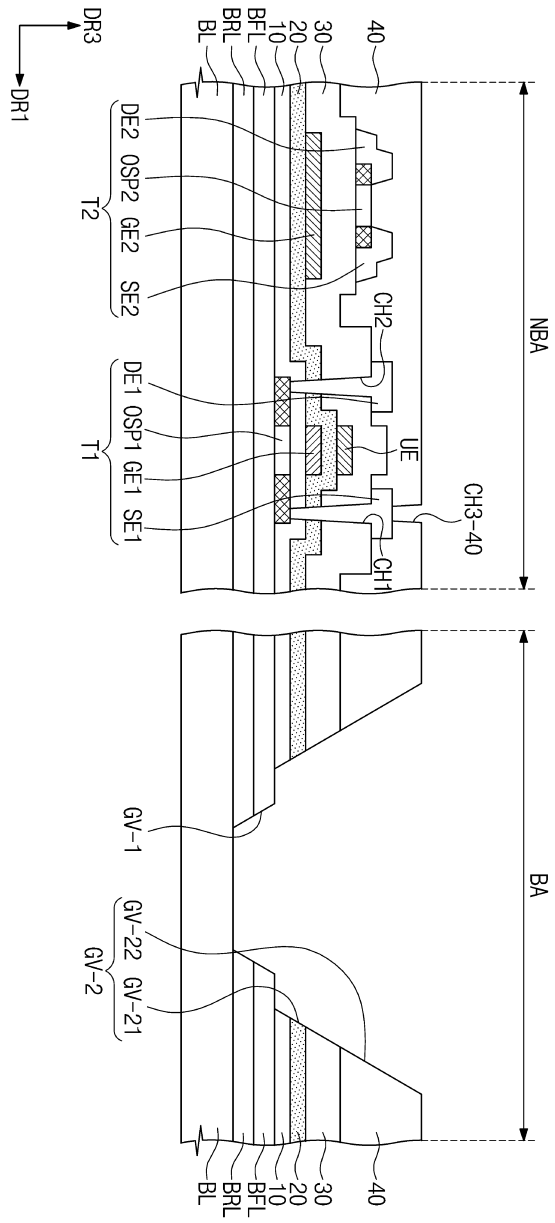
도면7j



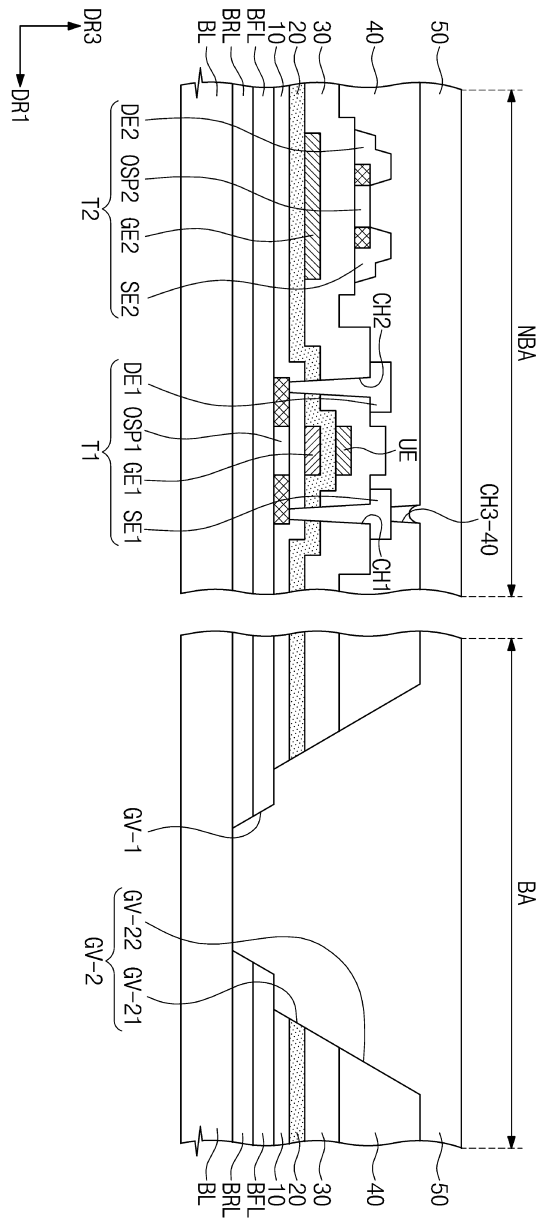
도면7k



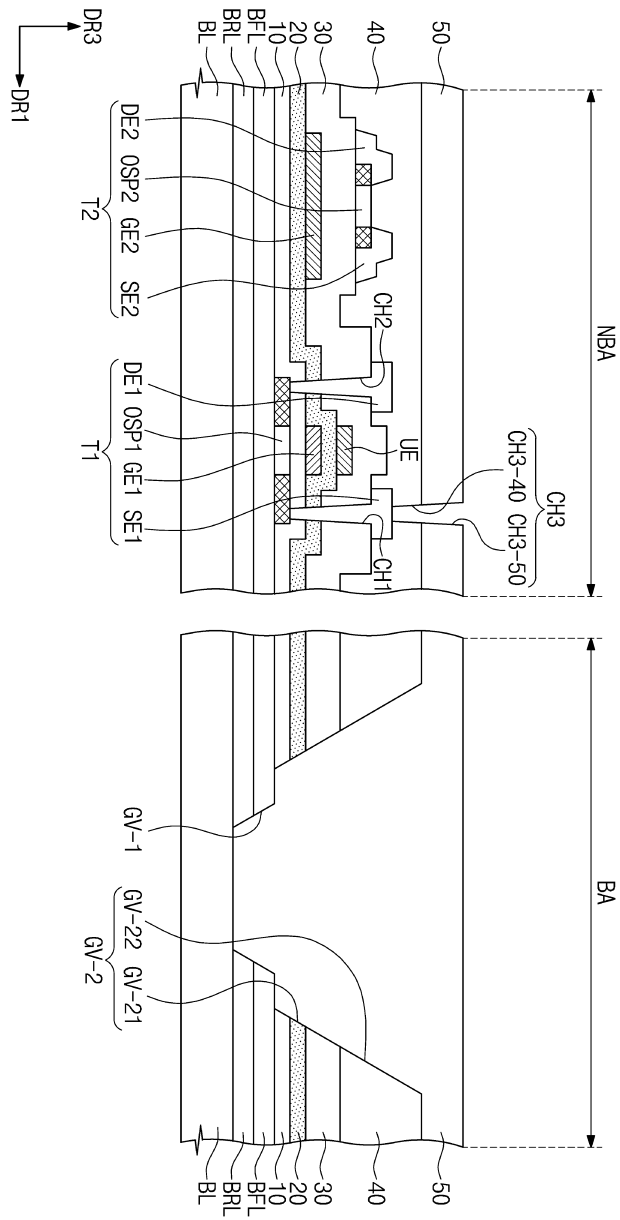
도면71



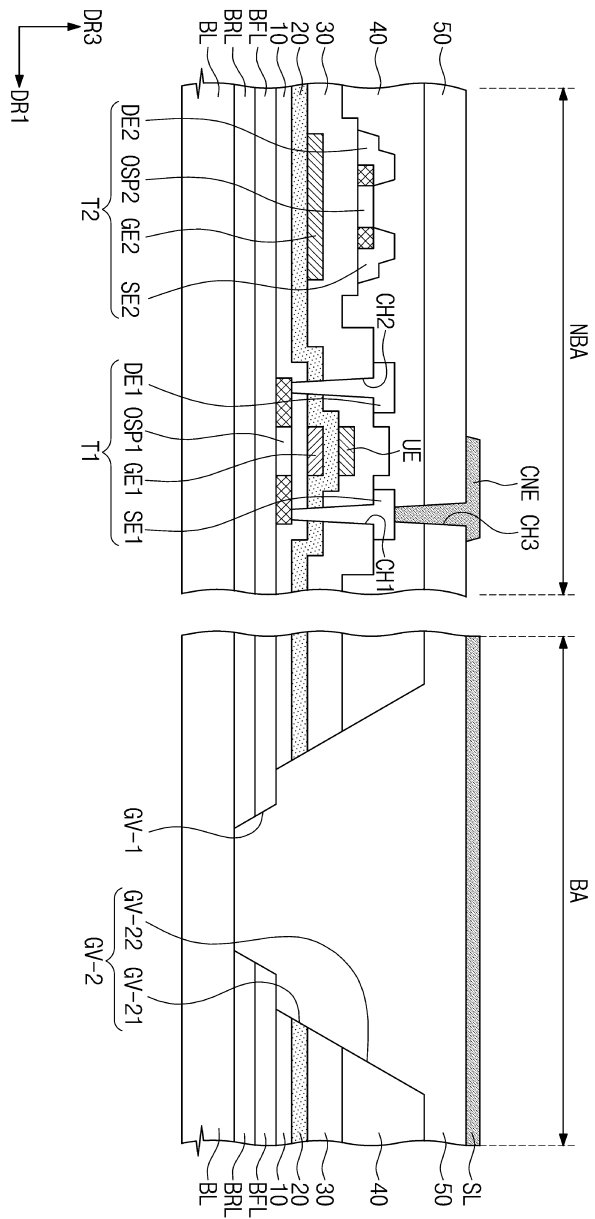
도면7m



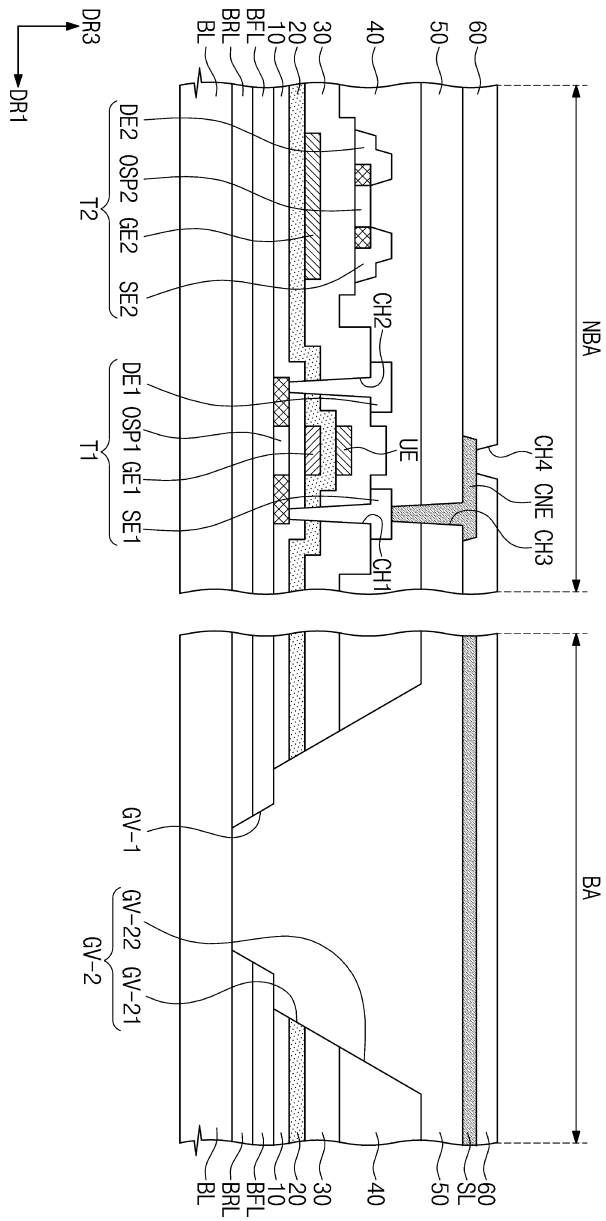
도면7n



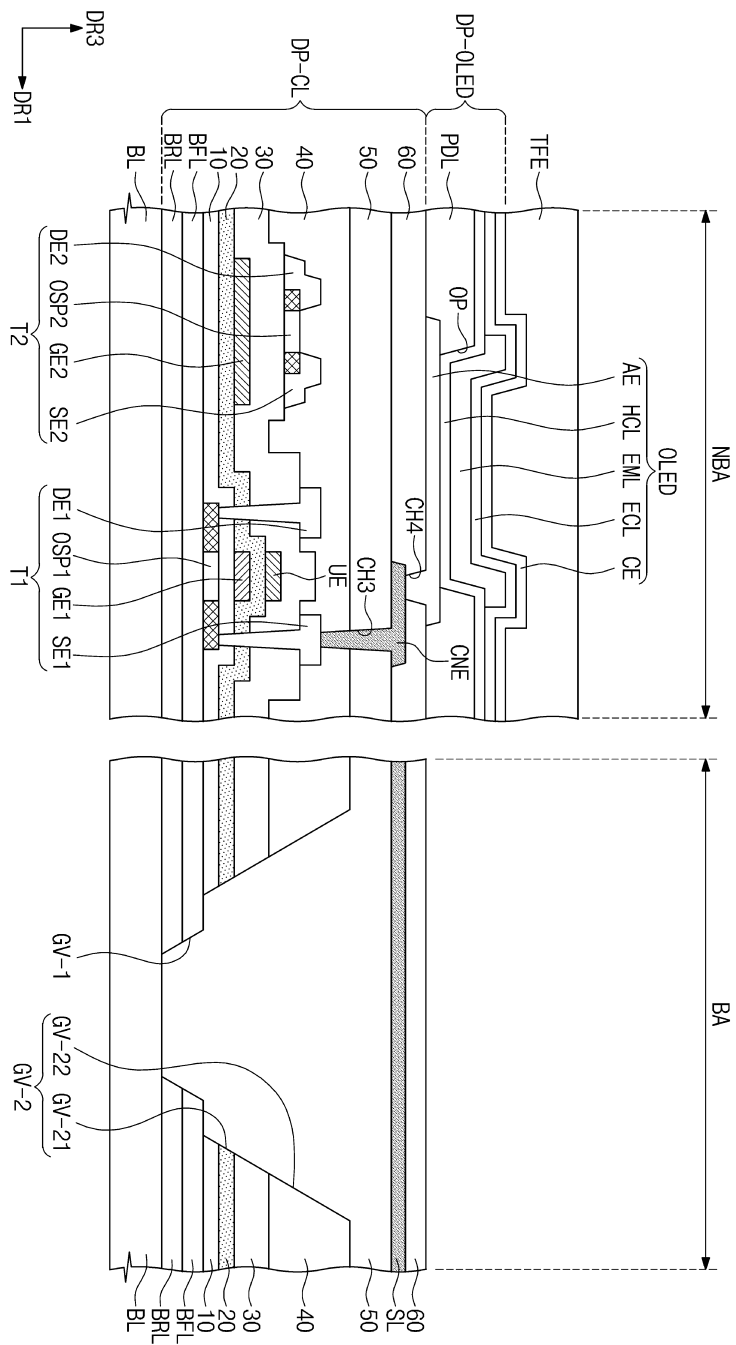
도면70



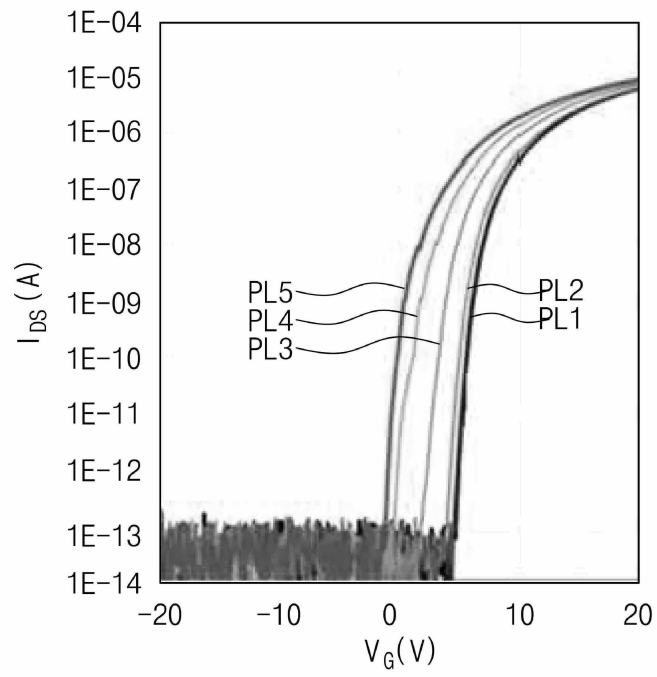
도면7p



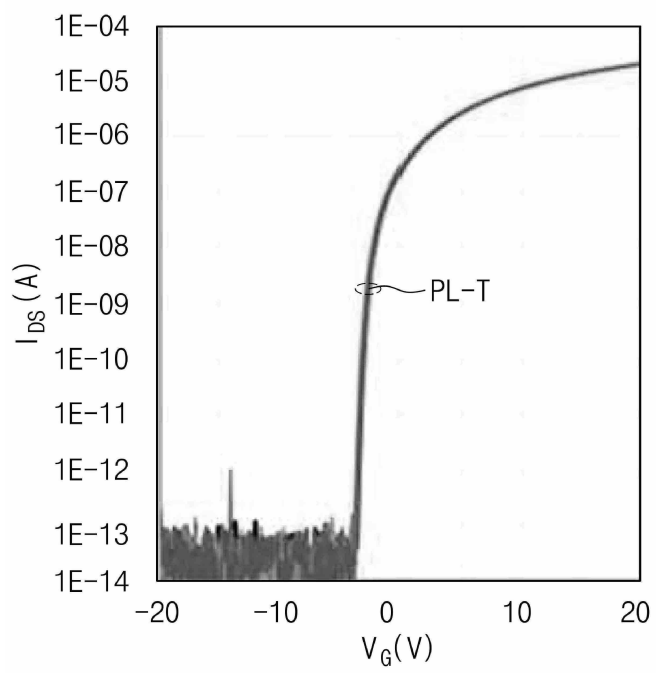
도면7q



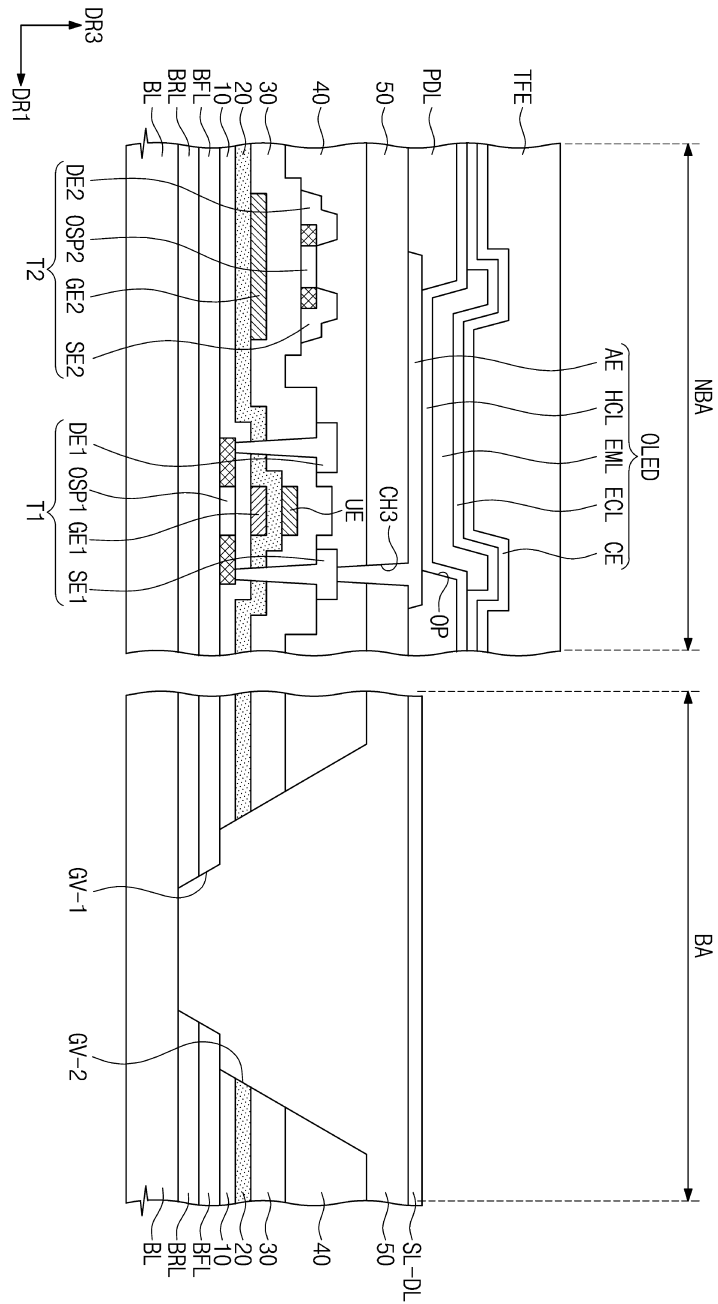
도면8a



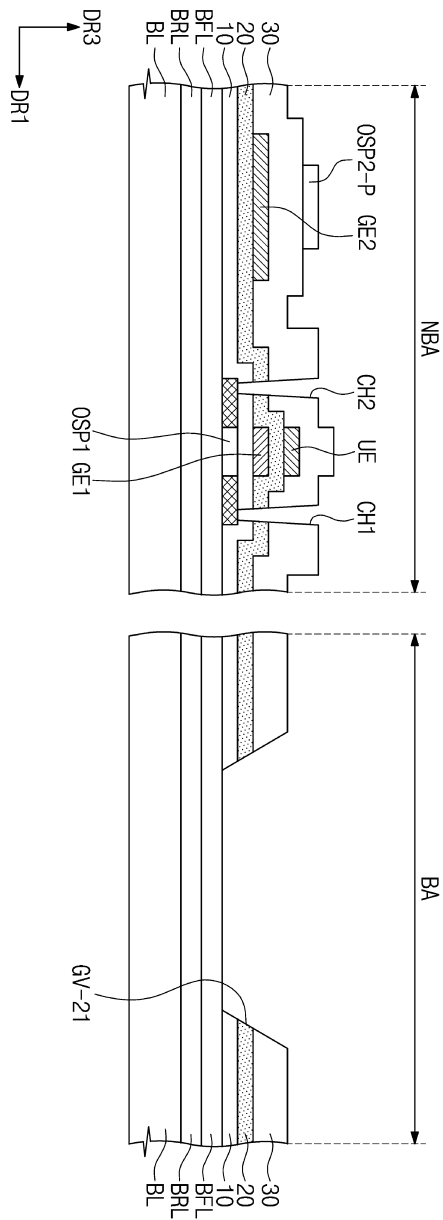
도면8b



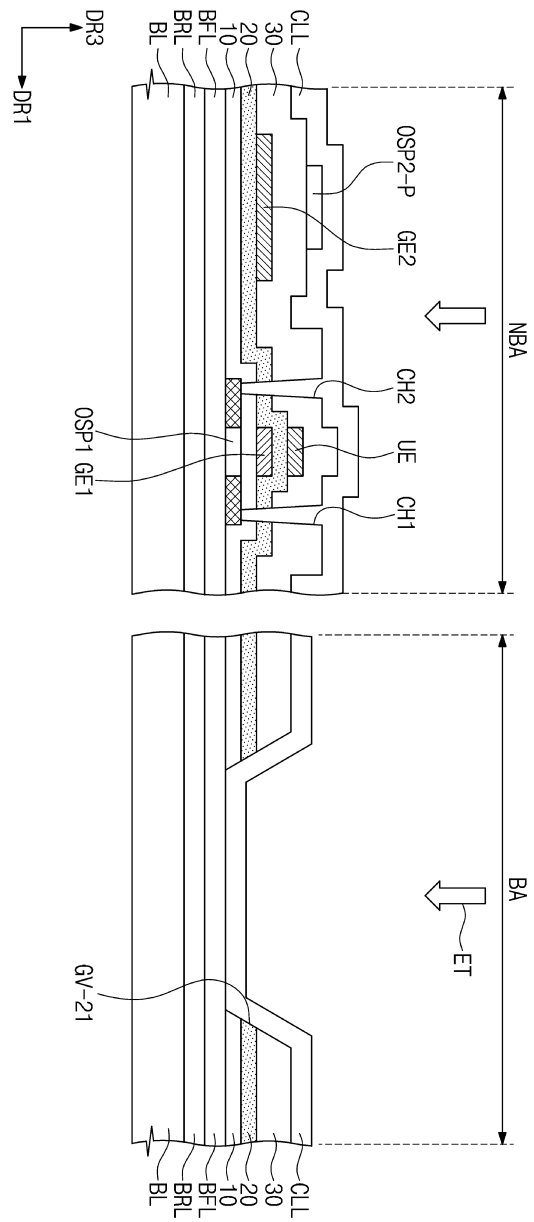
도면9



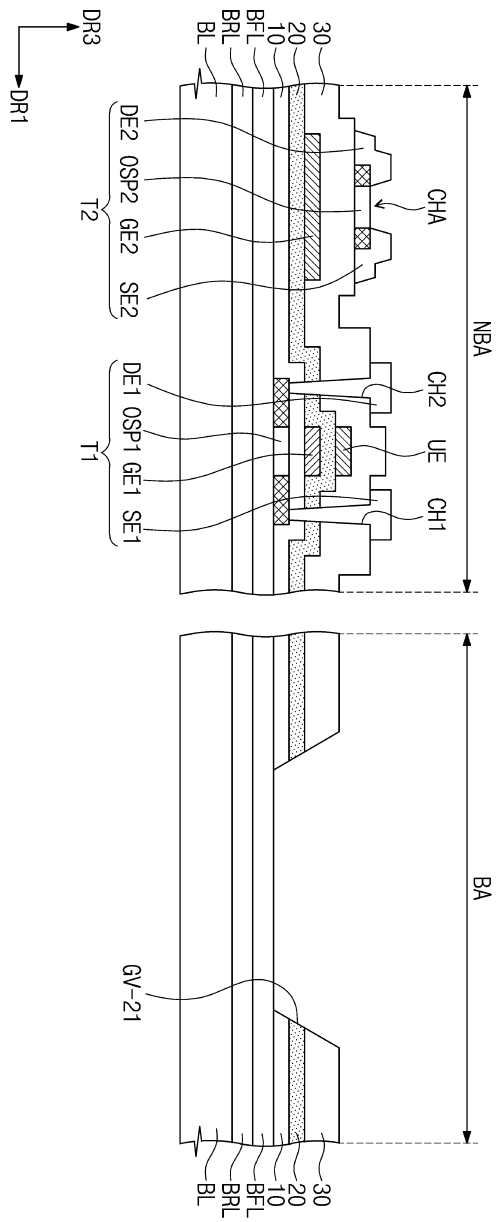
도면10a



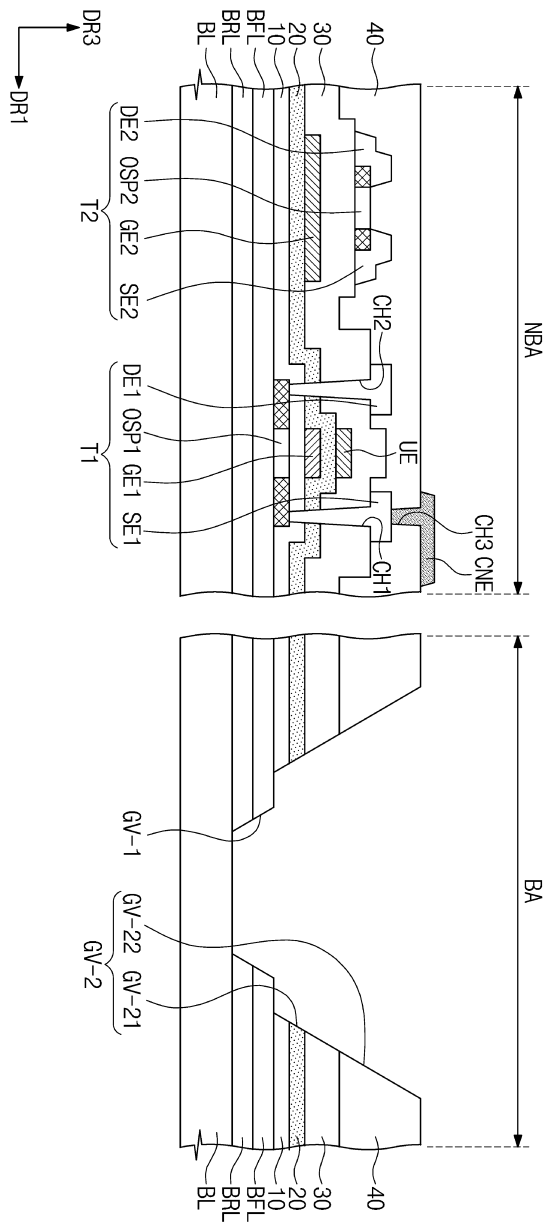
도면10b



도면10c



도면10d



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020190068674A	公开(公告)日	2019-06-19
申请号	KR1020170168681	申请日	2017-12-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	손경석 김명화 김억수 김태상		
发明人	손경석 김명화 김억수 김태상 카노, 마사타카		
IPC分类号	H01L51/56 H01L27/32 H01L51/00 H01L51/52		
CPC分类号	H01L51/56 H01L27/3246 H01L27/3258 H01L27/3262 H01L51/0014 H01L51/5203 H01L51/5237 H01L27/1214 H01L51/0097 H01L51/5253 H01L2227/323 H01L2251/5338 H01L27/1225 H01L27/124 H01L27/1288 H01L27/3248 H01L27/3276 H01L51/5012		
外部链接	Espacenet		

摘要(译)

在根据本发明实施例的制造显示面板的方法中，该方法可以包括在包括第一区域和第二区域的基层上形成氧化物半导体图案，以及形成与第二区域重叠的第一凹槽。蚀刻第三绝缘层，在第三绝缘层上形成电极，形成覆盖第三绝缘层上的电极的第四绝缘层，对第四绝缘层进行热处理，以及如图4所示，形成覆盖绝缘层的有机层，并在有机层上形成有机发光二极管。

