



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0067297
(43) 공개일자 2019년06월17일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0166890

(22) 출원일자 2017년12월06일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

양건우

서울특별시 강남구 논현로 205, 2동 1006호

김철호

경기도 수원시 영통구 센트럴타운로22번길 36, 6005동 802호

이원준

경기도 화성시 동탄대로시범길 276, 911동 801호

(74) 대리인

박영우

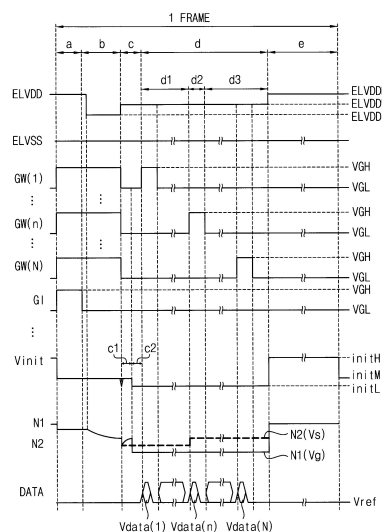
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 이의 구동 방법

(57) 요약

표시 장치는 3개의 트랜지스터와 2개의 커패시터로 유기 발광 다이오드를 구동하는 화소를 포함하는 표시부, 복수의 게이트 라인들에 복수의 게이트 신호들을 제공하는 게이트 구동부 및 하이 전압, 중간 전압 및 로우 전압을 갖는 초기화 구동 신호를 생성하고, 상기 복수의 게이트 신호들이 하이 전압에서 로우 전압으로 동시에 떨어진 후 상기 초기화 구동 신호를 중간 전압에서 로우 전압으로 스위칭하는 전압 발생부를 포함한다.

대표도 - 도3



(52) CPC특허분류

G09G 2320/0214 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

초기화 구동 신호를 수신하는 제1 전압 라인과 제1 노드 사이에 연결된 제1 커패시터, 상기 제1 노드에 연결된 제어 전극, 제1 전원 신호를 수신하는 제2 전압 라인과 연결된 제1 전극 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 상기 제2 노드에 연결된 애노드 전극과 제2 전원 신호를 수신하는 캐소드 전극을 포함하는 유기 발광 다이오드, 제 m (m 은 자연수)데이터 라인과 상기 제2 노드 사이에 연결된 제2 커패시터, 제 n (n 은 자연수) 게이트 라인과 연결된 제어 전극, 상기 제1 노드와 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 및 초기화 제어 신호를 수신하는 제3 전압 라인에 연결된 제어 전극, 상기 제1 전압 라인에 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터를 포함하는 화소를 포함하는 표시부;

복수의 게이트 라인들에 복수의 게이트 신호들을 제공하는 게이트 구동부; 및

하이 전압, 중간 전압 및 로우 전압을 갖는 초기화 구동 신호를 생성하고, 상기 복수의 게이트 신호들이 하이 전압에서 로우 전압으로 동시에 떨어진 후 상기 초기화 구동 신호를 중간 전압에서 로우 전압으로 스위칭하는 전압 발생부를 포함하는 표시 장치.

청구항 2

제1항에 있어서, 프레임의 제1 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 하이 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 3

제2항에 있어서, 상기 프레임의 제2 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 복수의 게이트 라인들에 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 4

제3항에 있어서, 상기 프레임의 제3 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압에서 상기 초기화 구동 신호의 로우 전압으로 스위칭하는 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 로우 전압을 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 5

제4항에 있어서, 상기 초기화 구동 신호의 하이 전압은 양의 전압이고, 상기 중간 전압 및 상기 로우 전압은 음

의 전압인 것을 특징으로 하는 표시 장치.

청구항 6

제1항에 있어서, 프레임의 제1 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 하이 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 7

제6항에 있어서, 상기 프레임의 제2 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압에서 상기 초기 구동 신호의 중간 전압으로 스위칭하는 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 복수의 게이트 라인들에 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 8

제7항에 있어서, 상기 프레임의 제3 구간 동안

상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압에서 상기 초기화 구동 신호의 로우 전압으로 스위칭하는 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고,

상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 로우 전압을 동시에 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 9

제8항에 있어서, 상기 초기화 구동 신호의 하이 전압 및 중간 전압은 양의 전압이고, 상기 로우 전압은 음의 전압인 것을 특징으로 하는 표시 장치.

청구항 10

제1항에 있어서, 상기 초기화 구동 신호의 로우 전압은 약 -6 V 인 것을 특징으로 하는 표시 장치.

청구항 11

제1항에 있어서, 상기 프레임의 제4 구간 동안,

상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압을 수신하고,

상기 제n 게이트 라인은 상기 제n 게이트 신호의 하이 전압을 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하고,

상기 제m 데이터 라인은 상기 화소에 대응하는 데이터 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 12

제11항에 있어서, 상기 제n 수평 주기 동안 상기 제1 및 제2 커패시터들은 서로 직렬로 연결되고,

상기 데이터 전압은 상기 제1 및 제2 커패시터들에 의해 분배되어 상기 제1 노드에 인가되는 것을 특징으로 하

는 표시 장치.

청구항 13

제11항에 있어서, 상기 제4 구간 동안,

상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압과 로우 전압의 사이의 중간 전압을 수신하는 것을 특징으로 하는 표시 장치.

청구항 14

제1항에 있어서, 상기 프레임의 제5 구간 동안,

상기 제1 전압 라인은 상기 초기화 구동 신호의 하이 전압을 수신하고,

상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고,

상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하고,

상기 복수의 게이트 라인들은 복수의 게이트 신호들의 로우 전압을 동시에 수신하고,

상기 제1 노드에 인가된 데이터 전압에 대응하는 구동 전류가 상기 발광 다이오드에 흐르는 것을 특징으로 하는 표시 장치.

청구항 15

초기화 구동 신호를 수신하는 제1 전압 라인과 제1 노드 사이에 연결된 제1 커패시터, 상기 제1 노드에 연결된 제어 전극, 제1 전원 신호를 수신하는 제2 전압 라인과 연결된 제1 전극 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 상기 제2 노드에 연결된 애노드 전극과 제2 전원 신호를 수신하는 캐소드 전극을 포함하는 유기 발광 다이오드, 제 m (m 은 자연수)데이터 라인과 상기 제2 노드 사이에 연결된 제2 커패시터, 제 n (n 은 자연수) 게이트 라인과 연결된 제어 전극, 상기 제1 노드와 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 및 초기화 제어 신호를 수신하는 제3 전압 라인에 연결된 제어 전극, 상기 제1 전압 라인에 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터를 포함하는 화소를 포함하는 표시 장치의 구동 방법에서,

하이 전압, 중간 전압 및 로우 전압을 갖는 초기화 구동 신호를 생성하는 단계;

제1 전압 라인을 통해 초기화 구동 신호를 수신하여 제1 트랜지스터의 제1 전극에 연결된 상기 유기 발광 다이오드의 애노드 전극을 초기화하는 제1 단계;

제1 전원 신호의 로우 전압을 상기 제1 트랜지스터의 제1 전극에 인가하여 상기 제1 트랜지스터를 다이오드 연결하여 상기 제1 트랜지스터의 문턱 전압을 보상하는 제2 단계;

상기 복수의 게이트 라인들에 인가되는 복수의 게이트 신호들이 하이 전압에서 로우 전압으로 동시에 떨어진 후 상기 제1 전압 라인은 상기 초기화 구동 신호를 중간 전압에서 로우 전압으로 스위칭하는 전압을 수신하는 제3 단계;

상기 제 n 수평 주기 동안 상기 제1 트랜지스터의 제어 전극에 제1 커패시터 및 제2 커패시터에 의해 분배된 데이터 전압을 인가하는 제4 단계; 및

상기 제1 전압 라인을 통해 수신된 상기 초기화 구동 신호의 제1 레벨 전압에 응답하여 상기 제1 트랜지스터의 제어 전극에 인가된 데이터 전압에 따라 상기 유기 발광 다이오드를 발광하는 제5 단계를 포함하는 표시 장치의 구동 방법.

청구항 16

제15항에 있어서, 상기 제1 전압 라인은 상기 제1 및 제2 단계에서는 상기 초기화 구동 신호의 중간 전압을 수신하고,

상기 제4 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고,

상기 제5 단계에서는 상기 초기화 구동 신호의 하이 전압을 수신하는 것을 특징으로 하는 표시 장치의 구동 방법.

법.

청구항 17

제16항에 있어서, 상기 초기화 구동 신호의 하이 전압은 양의 전압이고, 상기 중간 전압 및 상기 로우 전압은 음의 전압인 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 18

제15항에 있어서, 상기 제1 전압 라인은 상기 제1 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제2 단계에서는 상기 초기화 구동 신호의 로우 전압에서 중간 전압으로 스윙하는 전압을 수신하고, 상기 제4 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제5 단계에서는 상기 초기화 구동 신호의 하이 전압을 수신하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 19

제18항에 있어서, 상기 초기화 구동 신호의 하이 전압 및 중간 전압은 양의 전압이고, 상기 로우 전압은 음의 전압인 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 20

제15항에 있어서, 상기 제2 전압 라인은 상기 제1 및 제5 단계에서는 상기 제1 전원 신호의 하이 전압을 수신하고, 상기 제2 및 제3 단계에서는 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 제4 단계에서는 상기 제1 전원 신호의 중간 전압을 수신하는 것을 특징으로 하는 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 이의 구동 방법에 관한 것으로, 보다 상세하게는 표시 품질을 개선하기 위한 표시 장치 및 이의 구동 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 전계 방출 표시 장치(Field Emission Display; FED), 플라즈마 표시부(Plasma Display Panel; PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display; OLED) 등이 있다.

[0003] 평판 표시 장치 중 유기 발광 표시 장치(OLED)는 전자와 정공의 재결합에 의하여 발광하는 유기발광 다이오드(Organic Light Emitting Display: OLED)를 이용하여 영상을 표시한다. 이러한 유기 발광 표시 장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되기 때문에 차세대 디스플레이로 각광받고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 트랜지스터의 누설 전류를 차단하여 표시 품질을 개선하기 위한 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 표시 장치의 구동 방법을 제공하는 것이다.

과제의 해결 수단

- [0006] 상기 일 목적을 달성하기 위해, 본 발명의 실시예에 따른 표시 장치는 초기화 구동 신호를 수신하는 제1 전압 라인과 제1 노드 사이에 연결된 제1 커패시터, 상기 제1 노드에 연결된 제어 전극, 제1 전원 신호를 수신하는 제2 전압 라인과 연결된 제1 전극 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 상기 제2 노드에 연결된 애노드 전극과 제2 전원 신호를 수신하는 캐소드 전극을 포함하는 유기 발광 다이오드, 제 m (m 은 자연수)데이터 라인과 상기 제2 노드 사이에 연결된 제2 커패시터, 제 n (n 은 자연수) 게이트 라인과 연결된 제어 전극, 상기 제1 노드와 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 및 초기화 제어 신호를 수신하는 제3 전압 라인에 연결된 제어 전극, 상기 제1 전압 라인에 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터를 포함하는 화소를 포함하는 표시부, 복수의 게이트 라인들에 복수의 게이트 신호들을 제공하는 게이트 구동부, 및 하이 전압, 중간 전압 및 로우 전압을 갖는 초기화 구동 신호를 생성하고, 상기 복수의 게이트 신호들이 하이 전압에서 로우 전압으로 동시에 떨어진 후 상기 초기화 구동 신호를 중간 전압에서 로우 전압으로 스위칭하는 전압 발생부를 포함한다.
- [0007] 일 실시예에서, 프레임의 제1 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 하이 전압을 수신할 수 있다.
- [0008] 일 실시예에서, 상기 프레임의 제2 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 복수의 게이트 라인들에 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신할 수 있다.
- [0009] 일 실시예에서, 상기 프레임의 제3 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압에서 상기 초기화 구동 신호의 로우 전압으로 스위칭하는 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 로우 전압을 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신할 수 있다.
- [0010] 일 실시예에서, 상기 초기화 구동 신호의 하이 전압은 양의 전압이고, 상기 중간 전압 및 상기 로우 전압은 음의 전압일 수 있다.
- [0011] 일 실시예에서, 프레임의 제1 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 하이 전압을 수신할 수 있다.
- [0012] 일 실시예에서, 상기 프레임의 제2 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압에서 상기 초기 구동 신호의 중간 전압으로 스위칭하는 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 하이 전압을 복수의 게이트 라인들에 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신할 수 있다.
- [0013] 일 실시예에서, 상기 프레임의 제3 구간 동안 상기 제1 전압 라인은 상기 초기화 구동 신호의 중간 전압에서 상기 초기화 구동 신호의 로우 전압으로 스위칭하는 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 복수의 게이트 라인들은 상기 복수의 게이트 신호들의 로우 전압을 동시에 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신할 수 있다.
- [0014] 일 실시예에서, 상기 초기화 구동 신호의 하이 전압 및 중간 전압은 양의 전압이고, 상기 로우 전압은 음의 전압일 수 있다.
- [0015] 일 실시예에서, 상기 초기화 구동 신호의 로우 전압은 약 -6 V일 수 있다.
- [0016] 일 실시예에서, 상기 프레임의 제4 구간 동안, 상기 제1 전압 라인은 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제 n 게이트 라인은 상기 제 n 게이트 신호의 하이 전압을 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하고, 상기 제 m 데이터 라인은 상기 화소에 대응하는 데이터 전압을 수신할 수 있다.
- [0017] 일 실시예에서, 상기 제 n 수평 주기 동안 상기 제1 및 제2 커패시터들은 서로 직렬로 연결되고, 상기 데이터 전압은 상기 제1 및 제2 커패시터들에 의해 분배되어 상기 제1 노드에 인가될 수 있다.

- [0018] 일 실시예에서, 상기 제4 구간 동안, 상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압과 로우 전압의 사이의 중간 전압을 수신할 수 있다.
- [0019] 일 실시예에서, 상기 프레임의 제5 구간 동안, 상기 제1 전압 라인은 상기 초기화 구동 신호의 하이 전압을 수신하고, 상기 제2 전압 라인은 상기 제1 전원 신호의 하이 전압을 수신하고, 상기 제3 전압 라인은 상기 초기화 제어 신호의 로우 전압을 수신하고, 상기 복수의 게이트 라인들은 복수의 게이트 신호들의 로우 전압을 동시에 수신하고, 상기 제1 노드에 인가된 데이터 전압에 대응하는 구동 전류가 상기 발광 다이오드에 흐를 수 있다.
- [0020] 상기 일 목적을 달성하기 위해, 본 발명의 실시예에 따른 복수의 화소를 포함하고, 각 화소는 초기화 구동 신호를 수신하는 제1 전압 라인과 제1 노드 사이에 연결된 제1 커패시터, 상기 제1 노드에 연결된 제어 전극, 제1 전원 신호를 수신하는 제2 전압 라인과 연결된 제1 전극 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 상기 제2 노드에 연결된 애노드 전극과 제2 전원 신호를 수신하는 캐소드 전극을 포함하는 유기 발광 다이오드, 제 m (m 은 자연수)데이터 라인과 상기 제2 노드 사이에 연결된 제2 커패시터, 제 n (n 은 자연수) 게이트 라인과 연결된 제어 전극, 상기 제1 노드와 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 및 초기화 제어 신호를 수신하는 제3 전압 라인에 연결된 제어 전극, 상기 제1 전압 라인에 연결된 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터를 포함하는 화소를 포함하는 표시 장치의 구동 방법은 하이 전압, 중간 전압 및 로우 전압을 갖는 초기화 구동 신호를 생성하는 단계, 제1 전압 라인을 통해 초기화 구동 신호를 수신하여 제1 트랜지스터의 제1 전극에 연결된 상기 유기 발광 다이오드의 애노드 전극을 초기화하는 제1 단계, 제1 전원 신호의 로우 전압을 상기 제1 트랜지스터의 제1 전극에 인가하여 상기 제1 트랜지스터를 다이오드 연결하여 상기 제1 트랜지스터의 문턱 전압을 보상하는 제2 단계, 상기 복수의 게이트 라인들에 인가되는 복수의 게이트 신호들이 하이 전압에서 로우 전압으로 동시에 떨어진 후 상기 제1 전압 라인은 상기 초기화 구동 신호를 중간 전압에서 로우 전압으로 스위칭하는 전압을 수신하는 제3 단계, 상기 제 n 수평 주기 동안 상기 제1 트랜지스터의 제어 전극에 제1 커패시터 및 제2 커패시터에 의해 분배된 데이터 전압을 인가하는 제4 단계 및 상기 제1 전압 라인을 통해 수신된 상기 초기화 구동 신호의 제1 레벨 전압에 응답하여 상기 제1 트랜지스터의 제어 전극에 인가된 데이터 전압에 따라 상기 유기 발광 다이오드를 발광하는 제5 단계를 포함한다.
- [0021] 일 실시예에서, 상기 제1 전압 라인은 상기 제1 및 제2 단계에서는 상기 초기화 구동 신호의 중간 전압을 수신하고, 상기 제4 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제5 단계에서는 상기 초기화 구동 신호의 하이 전압을 수신할 수 있다.
- [0022] 일 실시예에서, 상기 초기화 구동 신호의 하이 전압은 양의 전압이고, 상기 중간 전압 및 상기 로우 전압은 음의 전압일 수 있다.
- [0023] 일 실시예에서, 상기 제1 전압 라인은 상기 제1 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제2 단계에서는 상기 초기화 구동 신호의 로우 전압에서 중간 전압으로 스위칭하는 전압을 수신하고, 상기 제4 단계에서는 상기 초기화 구동 신호의 로우 전압을 수신하고, 상기 제5 단계에서는 상기 초기화 구동 신호의 하이 전압을 수신할 수 있다.
- [0024] 일 실시예에서, 상기 초기화 구동 신호의 하이 전압 및 중간 전압은 양의 전압이고, 상기 로우 전압은 음의 전압일 수 있다.
- [0025] 일 실시예에서, 상기 제2 전압 라인은 상기 제1 및 제5 단계에서는 상기 제1 전원 신호의 하이 전압을 수신하고, 상기 제2 및 제3 단계에서는 상기 제1 전원 신호의 로우 전압을 수신하고, 상기 제4 단계에서는 상기 제1 전원 신호의 중간 전압을 수신할 수 있다.

발명의 효과

- [0026] 상기와 같은 본 발명의 실시예들에 따르면, 3개의 트랜지스터와 2개의 커패시터로 유기 발광 다이오드를 구동하는 고해상도의 화소 회로를 포함하는 표시 장치에서, 트랜지스터의 누설 전류를 차단하여 표시 장치의 표시 불량량을 막을 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
도 2는 본 발명의 일 실시예에 따른 화소 회로도이다.

도 3은 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다.

도 4는 도 3의 초기화 구간의 구동 방법을 설명하기 위한 개념도이다.

도 5는 도 3의 문턱 전압 보상 구간의 구동 방법을 설명하기 위한 개념도이다.

도 6은 도 3의 리플 제어 구간의 구동 방법을 설명하기 위한 개념도이다.

도 7은 도 3의 데이터 프로그래밍 구간의 구동 방법을 설명하기 위한 개념도이다.

도 8은 도 3의 발광 구간의 구동 방법을 설명하기 위한 개념도이다.

도 9는 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다.

도 10은 도 9의 문턱 전압 보상 구간의 구동 방법을 설명하기 위한 개념도이다.

도 11은 도 9의 리플 제어 구간의 구동 방법을 설명하기 위한 개념도이다.

도 12는 비교예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예를 보다 상세하게 설명하고자 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- [0030] 도 1을 참조하면, 상기 표시 장치는 제어부(100), 표시부(110), 데이터 구동부(130), 게이트 구동부(150) 및 전압 발생부(170)를 포함한다.
- [0031] 상기 제어부(100)는 상기 표시부(110)에 영상을 표시하기 위해 상기 표시 장치의 전반적인 구동을 제어한다. 상기 제어부(100)는 제어 신호(101c) 및 영상 데이터(101d)를 수신한다. 상기 제어부(100)는 상기 데이터 구동부(130)를 구동하기 위한 제1 제어 신호(103c) 및 영상 데이터(103d)를 제공하고, 상기 게이트 구동부(150)를 구동하기 위한 제2 제어 신호(105c)를 제공하고, 상기 전압 발생부(170)를 구동하기 위한 제4 제어 신호(107c)를 제공한다.
- [0032] 상기 제어부(100)는 상기 표시부(110)을 프레임 구간에서 초기화 구간, 문턱 전압 보상 구간, 리플 제어 구간, 데이터 프로그래밍 구간 및 발광 구간으로 구동할 수 있다.
- [0033] 상기 표시부(110)은 화소(P), 복수의 데이터 라인들(DL1, ..., DLm, ..., DLM), 복수의 게이트 라인들(GWL1, ..., GWLn, ..., GWLN), 제1 전압 라인, 제2 전압 라인 및 제3 전압 라인을 포함한다(n, N, m 및 M은 자연수).
- [0034] 상기 복수의 화소들(P) 각각은 유기 발광 다이오드와, 상기 유기 발광 다이오드를 구동하는 3개의 트랜지스터들 및 2개의 커패시터들로 구성된 화소 회로를 포함한다.
- [0035] 상기 데이터 라인들(DL1, ..., DLm, ..., DLM)은 제1 방향(D1)으로 연장되고, 제1 방향(D1)과 교차하는 제2 방향(D2)으로 배열된다. 각 데이터 라인(DLm)은 상기 제1 방향(D1)으로 배열된 동일 화소 열 내의 화소(P)에 데이터 전압을 전달한다.
- [0036] 상기 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 배열된다. 각 게이트 라인(GWLn)은 상기 제2 방향(D2)으로 배열된 동일 화소 행 내의 화소(P)에 게이트 신호를 전달한다. 상기 데이터 프로그래밍 구간 동안, 상기 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)은 상기 복수의 화소 행들에 복수의 게이트 신호들을 순차적으로 전달한다.
- [0037] 상기 제1 전압 라인은 상기 복수의 화소들(P)에 초기화 구동 신호(Vinit)를 전달한다.
- [0038] 상기 제2 전압 라인은 복수의 화소들(P)에 제1 전원 신호(ELVDD)를 전달한다.
- [0039] 상기 제3 전압 라인은 복수의 화소들(P)에 초기화 제어 신호(GI)를 전달한다.
- [0040] 상기 데이터 구동부(130)는 상기 데이터 프로그래밍 구간 동안 영상 데이터에 대응하는 데이터 전압을 상기 데이터 라인들(DL1, ..., DLm, ..., DLM)에 출력한다.
- [0041] 또한, 상기 데이터 구동부(130)는 상기 데이터 라인들(DL1, ..., DLm, ..., DLM)에 기준 전압을 출력할 수 있다. 상

기 기준 전압은 블랙 계조에 대응하는 블랙 전압일 수 있고, 또는 상기 블랙 전압 보다 낮은 레벨의 전압일 수 있다.

- [0042] 상기 게이트 구동부(150)는 상기 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)에 게이트 신호들을 출력한다. 상기 게이트 신호는 하이 전압 및 로우 전압을 가진다.
- [0043] 상기 전압 발생부(170)는 상기 초기화 구동 신호(Vinit), 제1 전원 신호(ELVDD), 제2 전원 신호(ELVSS) 및 초기화 제어 신호(GI)를 생성한다.
- [0044] 상기 초기화 구동 신호(Vinit)는 상기 제1 전압 라인에 제공되고, 하이 전압, 중간 전압 및 로우 전압을 가진다.
- [0045] 상기 제1 전원 신호(ELVDD)는 상기 제2 전압 라인에 제공되고 하이 전압, 중간 전압 및 로우 전압을 가진다.
- [0046] 상기 제2 전원 신호(ELVSS)는 화소의 유기 발광 다이오드의 캐소드 전극에 제공되고, 일반적인 로우 레벨의 전원 전압을 갖는다.
- [0047] 상기 초기화 제어 신호(GI)는 상기 제3 전압 라인 (GIL)에 제공되고, 하이 전압 및 로우 전압을 가질 수 있다.
- [0048] 상기 게이트 구동부(150)는 하이 전압의 게이트 신호를 상기 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)에 순차적으로 제공할 수 있다.
- [0049] 도 2는 본 발명의 일 실시예에 따른 화소 회로도이다.
- [0050] 도 1 및 도 2를 참조하면, 상기 화소 회로(PC)는 표시부(110)의 화소(P)에 포함된다.
- [0051] 상기 화소 회로(PC)는 유기 발광 다이오드(OLED)와 상기 유기 발광 다이오드(OLED)를 구동하기 위한 3개의 트랜지스터들 및 2개의 커패시터들로 이루어진다. 상기 화소 회로(PC)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제1 커패시터(Cst), 제2 커패시터(Cpr) 및 유기 발광 다이오드(OLED)를 포함한다.
- [0052] 본 실시예에 따르면, 상기 제1, 제2 및 제3 트랜지스터들(T1, T2, T3)은 N형 트랜지스터일 수 있다. 상기 N형 트랜지스터인 제1, 제2 및 제3 트랜지스터들(T1, T2, T3)은 제어 전극에 하이 전압이 인가될 경우 턴-온 되고, 로우 전압이 인가될 경우 턴-오프 될 수 있다. 이에 한정하지 않고, 상기 제1, 제2 및 제3 트랜지스터들(T1, T2, T3)은 P형 트랜지스터일 수 있다.
- [0053] 상기 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 제어 전극(CE1), 제2 전압 라인(VL2)에 연결된 제1 전극(E11), 제2 노드(N2)에 연결된 제2 전극(E12)을 포함한다. 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)를 수신한다.
- [0054] 상기 제1 전원 신호(ELVDD)는 일반적인 전원 전압의 하이 레벨에 대응하는 하이 전압과 상기 화소 회로(PC)의 구동을 위해 설정된 레벨의 로우 전압 및 트랜지스터의 누설 전류를 줄이기 위한 트랜지스터의 오프 조건을 만족하는 레벨의 중간 전압을 가질 수 있다.
- [0055] 상기 제2 트랜지스터(T2)는 제n 게이트 라인(GWLn)에 연결된 제어 전극(CE2), 상기 제1 노드(N1)에 연결된 제1 전극(E21) 및 상기 제2 노드(N2)에 연결된 제2 전극(E22)을 포함한다. 상기 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))를 수신한다. 상기 제n 게이트 신호(GW(n))는 상기 제2 트랜지스터(T2)를 턴-온 및 턴-오프 하기 위한 하이 전압 및 로우 전압을 가질 수 있다. 상기 제2 트랜지스터(T2)는 도시된 바와 같이 직렬로 연결된 복수의 트랜지스터들을 포함할 수 있다.
- [0056] 상기 제3 트랜지스터(T3)는 제3 전압 라인(GIL)에 연결된 제어 전극(CE3), 제1 전압 라인(VL1)에 연결된 제1 전극(E31) 및 상기 제2 노드(N2)에 연결된 제2 전극(E32)을 포함한다. 상기 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)를 수신한다.
- [0057] 상기 초기화 구동 신호(Vinit)는 상기 화소 회로(PC)를 구동하기 위해 설정된 레벨의 하이 전압, 중간 전압 및 로우 전압을 가질 수 있다. 상기 초기화 구동 신호(Vinit)의 하이 전압은 트랜지스터를 턴-온하기 위한 레벨로 설정될 수 있고, 상기 초기화 구동 신호(Vinit)의 중간 전압 및 로우 전압은 상기 유기 발광 다이오드(OLED)의 애노드 전극을 초기화 및 트랜지스터의 누설 전류를 차단하기 위한 레벨들로 설정될 수 있다.
- [0058] 상기 초기화 구동 신호(Vinit)의 하이 전압(initH), 중간 전압(initM) 및 로우 전압(initL)은 $initH > 0 > initM > initL$ 와 같은 레벨을 가질 수 있다.

- [0059] 또는 상기 초기화 구동 신호(Vinit) 하이 전압(initH), 중간 전압(initM) 및 로우 전압(initL)은 $\text{initH} > \text{initM} > 0 > \text{initL}$ 와 같은 레벨을 가질 수 있다.
- [0060] 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)를 수신하고, 상기 초기화 제어 신호(GI)는 상기 제3 트랜지스터(T3)의 턴-온 및 턴-오프 하기 위한 하이 전압 및 로우 전압을 가질 수 있다.
- [0061] 상기 제1 커패시터(Cst)는 상기 제1 전압 라인(VL1) 및 상기 제1 노드(N1) 사이에 연결된다. 상기 제1 커패시터(Cst)는 상기 제1 노드(N1)의 전압을 저장할 수 있다.
- [0062] 상기 제2 커패시터(Cpr)는 상기 제2 노드(N2) 및 제m 데이터 라인(DLm) 사이에 연결된다. 상기 제2 커패시터(Cpr)은 상기 제m 데이터 라인(DLm)에 인가된 데이터 전압을 저장할 수 있다.
- [0063] 상기 제1 및 제2 커패시터들(Cst, Cpr) 각각은 상기 제2 트랜지스터(T2)에 의해 제1 노드(N1)와 직렬로 연결될 수 있고, 상기 데이터 전압은 상기 제1 및 제2 커패시터들(Cst, Cpr)에 의한 분배비만큼 분배되어 상기 제1 노드(N1)에 인가될 수 있다.
- [0064] 상기 유기 발광 다이오드(OLED)는 상기 제2 노드(N2)에 연결된 애노드 전극과 상기 제2 전원 전압(ELVSS)을 수신하는 캐소드 전극을 포함한다.
- [0065] 상기 유기 발광 다이오드(OLED)는 상기 트랜지스터(T1)가 턴-온 되면 상기 제1 노드(N1)에 인가된 데이터 전압에 대응하는 구동 전류가 상기 유기 발광 다이오드(OLED)에 흐르면서 상기 유기 발광 다이오드(OLED)는 발광할 수 있다.
- [0066] 도 3은 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다.
- [0067] 도 1, 도 2 및 도 3을 참조하면, 상기 표시부의 복수의 입력 신호들은 제1 전압 라인(VL1)에 인가되는 초기화 구동 신호(Vinit), 제2 전압 라인(VL2)에 인가되는 제1 전원 신호(ELVDD), 복수의 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)에 인가되는 복수의 게이트 신호들(GW(1), ..., GW(n), ..., GW(N)), 제3 전압 라인(GIL)에 인가되는 초기화 제어 신호(GI) 및 복수의 데이터 라인들에 인가되는 데이터 전압(DATA)을 포함하고, 상기 표시부(110)의 유기 발광 다이오드들(OLED)의 캐소드 전극에 공통으로 인가되는 제2 전원 신호(ELVSS)을 포함한다. 상기 데이터 전압(DATA)은 복수의 데이터 라인들 중 제m 데이터 라인(DLm)에 인가되는 데이터 전압으로 대신 설명한다.
- [0068] 본 실시예 따르면, 상기 초기화 구동 신호(Vinit)의 하이 전압(VinH), 중간 전압(VinM) 및 로우 전압(VinL)은 $\text{VinH} > 0 > \text{VinM} > \text{VinL}$ 와 같은 레벨을 가질 수 있다.
- [0069] 상기 프레임 구간은 유기 발광 다이오드(OLED)의 애노드 전극을 초기화하는 제1 구간(a), 제1 트랜지스터(T1)의 문턱 전압을 보상하는 제2 구간(b), 제1 노드(N1)의 리플을 제어하는 제3 구간(c), 데이터 전압을 프로그래밍하는 제4 구간(d) 및 유기 발광 다이오드(OLED)를 발광하는 제5 구간(e)을 포함할 수 있다.
- [0070] 상기 제1 구간(a)을 살펴보면, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신한다. 예를 들면, 상기 초기화 구동 신호(Vinit)의 중간 전압(initM)은 약 -2.2 V 일 수 있다.
- [0071] 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)을 수신한다. 예를 들면, 상기 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)은 약 7 V 일 수 있다.
- [0072] 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 하이 전압(VGH)을 수신한다. 상기 초기화 제어 신호(GI)의 하이 전압(VGH)은 상기 제3 트랜지스터(T3)를 턴-온 하기 위한 레벨을 가질 수 있다. 예를 들면, 상기 초기화 제어 신호(GI)의 하이 전압(VGH)의 약 8 V 일 수 있다.
- [0073] 예를 들면, 상기 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)은 약 7 V 일 수 있고, 상기 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)은 약 -7 V 일 수 있고, 상기 제2 전원 신호(ELVSS)은 약 0 V 일 수 있다.
- [0074] 상기 복수의 게이트 라인들(GWL1, ..., GWLn, ..., GWLN)은 복수의 게이트 신호들(GW(1), ..., GW(n), ..., GW(N))의 하이 전압(VGH)을 동시에 수신한다. 상기 게이트 신호의 하이 전압(VGH)은 상기 제2 트랜지스터(T2)를 턴-온 하기 위한 레벨을 가질 수 있다. 예를 들면, 상기 게이트 신호의 하이 전압(VGH)은 약 8 V 일 수 있다.
- [0075] 상기 복수의 데이터 라인들(DL1, ..., DLm, ..., DLM)은 기준 전압(Vref)을 수신한다. 상기 기준 전압(Vref)은 데이터 전압 범위에서 가장 낮은 레벨과 같거나 보다 낮은 레벨로 설정될 수 있다.

- [0076] 상기 제1 구간(a) 동안 상기 복수의 화소 회로들에 포함된 상기 유기 발광 다이오드들(OLED)의 애노드 전극은 상기 초기화 구동 신호(Vinit)의 중간 전압(initM)으로 초기화될 수 있다.
- [0077] 상기 제2 구간(b)을 살펴보면, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신한다.
- [0078] 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)을 수신한다. 예를 들면, 상기 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)은 약 -5 V 일 수 있다.
- [0079] 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다. 상기 초기화 제어 신호(GI)의 로우 전압(VGL)은 상기 제3 트랜지스터(T3)를 턴-오프 하기 위한 레벨을 가질 수 있다. 예를 들면, 상기 초기화 제어 신호(GI)의 로우 전압(VGL)은 약 -8 V 일 수 있다.
- [0080] 상기 복수의 게이트 라인들(GWL1,...,GWLn,...,GWLN)은 상기 제1 구간(a)에 연속하여 복수의 게이트 신호들(GW(1),...,GW(n),...,GW(N))의 하이 전압(VGH)을 동시에 수신한다.
- [0081] 상기 복수의 데이터 라인들(DL1,...,DLm,...,DLM)은 상기 제1 구간(a)에 연속하여 상기 기준 전압(Vref)을 수신한다.
- [0082] 상기 제2 구간(b) 동안, 상기 복수의 화소들 각각에 포함된 상기 제1 트랜지스터(T1)의 제어 전극에는 상기 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)과 상기 제1 트랜지스터(T1)의 문턱 전압(Vth, T1)의 합에 대응하는 문턱 보상 전압(ELVDDL+ Vth, T1)이 인가된다.
- [0083] 상기 제3 구간(c)을 살펴보면, 상기 제3 구간(c) 동안 제1 전압 라인(VL1)은 초기 구간(C1)에는 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신하고, 후기 구간(C2)에는 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신한다. 상기 초기화 구동 신호(Vinit)의 로우 전압(initL)은 상기 제1 트랜지스터(T1)가 턴-온 되는 것을 제어하기 위한 레벨로 설정될 수 있다. 예를 들면, 상기 초기화 구동 신호(Vinit)의 로우 전압(initL)은 약 -6 V 이상의 레벨로 설정할 수 있다.
- [0084] 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)을 수신한다. 예를 들면, 상기 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)은 약 -5 V 일 수 있다.
- [0085] 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다. 상기 초기화 제어 신호(GI)의 로우 전압(VGL)은 상기 제3 트랜지스터(T3)를 턴-오프 하기 위한 레벨을 가질 수 있다. 예를 들면, 상기 초기화 제어 신호(GI)의 로우 전압(VGL)은 약 -8 V 일 수 있다.
- [0086] 상기 복수의 게이트 라인들(GWL1,...,GWLn,...,GWLN)은 상기 제1 구간(a)에 연속하여 복수의 게이트 신호들(GW(1),...,GW(n),...,GW(N))의 하이 전압(VGH)을 동시에 수신한다.
- [0087] 상기 복수의 데이터 라인들(DL1,...,DLm,...,DLM)은 상기 제1 구간(a)에 연속하여 상기 기준 전압(Vref)을 수신한다.
- [0088] 상기 제3 구간(c)의 초기 구간(c1)에서 상기 복수의 게이트 신호들(GW(1),...,GW(n),...,GW(N))이 동시에 하이 전압(VGH)에서 로우 전압(VGL)으로 떨어지는 지점에서 상기 게이트 신호와의 커플링에 의해 상기 초기화 구동 신호(Vinit)에 리플이 발생한다. 상기 초기화 구동 신호(Vinit)의 리플에 의해 제1 노드(N1)의 전압이 순간적으로 떨어졌다 상승하는 리플이 발생한다.
- [0089] 상기 후기 구간(c2)에서 초기화 구동 신호(Vinit)의 중간 전압(initM) 보다 낮은 레벨의 로우 전압(initL)이 인가됨으로써 원복하는 제1 노드(N1)의 전압은 상기 초기화 구동 신호(Vinit)의 로우 전압(initL)에 기초하여 상기 제2 노드(N2)의 전압 보다 낮은 전압으로 떨어진다. 상기 제3 구간(c)의 상기 후기 구간(c2)부터 상기 데이터 프로그래밍 구간인 제4 구간(d) 동안 상기 제1 전압 라인(VL1)에는 초기화 구동 신호(Vinit)의 로우 전압(initL)이 인가되어 상기 제1 노드(N1)의 전압을 상기 제2 노드(N2)의 전압 보다 낮게 유지할 수 있다.
- [0090] 상기 제4 구간(d)을 살펴보면, 상기 제4 구간(d)은 제1 홀딩 구간(d1), 기록 구간(d2) 및 제2 홀딩 구간(d3)을 포함한다.
- [0091] 도 2에 도시된 제n 수평 라인의 화소 회로(PC)를 참조하면, 상기 제1 홀딩 구간(c1) 동안, 상기 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신하고, 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 중간 전압(ELVDDM)을 수신하고, 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압을 수신한다. 제n 게이트 라인(GWL(n))은 제n 게이트 신호(GW(n))의 로우 전압(VGL)을 수신하고, 제m 데이터 라인

(DLm)은 제1 내지 제n-1 수평 라인들의 데이터 전압(Vdata(1),...,Vdata(n-1))을 수신한다.

- [0092] 상기 제1 홀딩 구간(c1) 동안, 상기 제3 구간(c)에서 상기 제1 노드(N1)의 리플이 제어됨으로써 상기 제1 노드(N1)의 전압(Vg)은 상기 제2 노드(N2)의 전압(Vs) 보다 낮게 유지될 수 있다. 따라서, 상기 제1 홀딩 구간(d1) 동안 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)을 0V 보다 작게 유지함으로써 상기 제1 트랜지스터(T1)의 누설 전류를 막을 수 있다.
- [0093] 상기 기록 구간(d2) 동안, 상기 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신하고, 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 중간 전압(ELVDDM)을 수신하고, 상기 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))의 하이 전압(VGH)를 수신한다. 상기 제m 데이터 라인(DLm)은 제n 수평 라인의 데이터 전압(Vdata(n))을 수신한다.
- [0094] 상기 제2 트랜지스터(T2)는 턴-온 되고 상기 제1 및 제2 커패시터들(Cst, Cpr)는 직렬로 연결된다. 상기 제m 데이터 라인(DLm)에 수신된 데이터 전압은 상기 제1 및 제2 커패시터들(Cst, Cpr)에 의해 분배되고, 분배된 데이터 전압은 상기 제1 노드(N1)에 인가될 수 있다.
- [0095] 상기 제2 홀딩 구간(d3)은 상기 제1 노드(N1)에 인가된 데이터 전압을 홀딩하는 구간이다. 상기 제2 홀딩 구간(d3) 동안 상기 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))의 로우 전압(VGL)를 수신한다. 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압을 수신한다. 상기 제1 및 제2 트랜지스터들(T1, T2)는 턴-오프 되고, 상기 제1 노드(N1)에 인가된 분배된 데이터 전압은 상기 제1 커패시터(Cst)에 의해 유지된다.
- [0096] 상기 제5 구간(e)을 살펴보면, 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)을 수신한다.
- [0097] 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 하이 전압(initH)을 수신한다. 상기 초기화 구동 신호(Vinit)의 하이 전압(initH)은 상기 제1 트랜지스터(T1)를 턴-온 시킬 수 있는 하이 레벨의 설정될 수 있다. 상기 초기화 구동 신호(Vinit)의 하이 전압(initH)은 약 5 V 일 수 있다.
- [0098] 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)을 수신하고, 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다.
- [0099] 상기 복수의 게이트 라인들(GWL1,...,GWLn,...,GWLN)은 복수의 게이트 신호들(GW(1),...,GW(n),...,GW(N))의 로우 전압(VGL)을 동시에 수신한다.
- [0100] 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)를 수신한다.
- [0101] 상기 제5 구간(e) 동안, 상기 화소 회로의 제1 노드(N1)에 인가된 데이터 전압에 대응하는 구동 전류가 상기 유기 발광 다이오드(OLED)에 흐르면서 상기 유기 발광 다이오드(OLED)는 발광할 수 있다. 상기 복수의 화소들은 동시에 발광할 수 있다.
- [0102] 이상의 본 실시예에 따르면, 화소 회로의 구동 방법은 문턱 전압 보상 구간(b)과 데이터 프로그래밍 구간(d) 사이에 제1 트랜지스터의 게이트 리플을 제어하기 위한 리플 제어 구간(c)을 포함함으로써 제1 트랜지스터의 누설 전류에 의한 크로스토크와 같은 화질 불량을 막을 수 있다.
- [0103] 도 4는 도 3의 초기화 구간의 구동 방법을 설명하기 위한 개념도이다.
- [0104] 도 3 및 도 4를 참조하면, 상기 제1 구간(a)은 유기 발광 다이오드(OLED)의 애노드 전극을 초기화 하는 구간에 대응한다.
- [0105] 제1 구간(a)에서, 초기화 구동 신호(Vinit)의 중간 전압(initM)은 제1 전압 라인(VL1)에 인가되고, 초기화 제어 신호(GI)의 하이 전압(VGH)은 제3 전압 라인(GIL)에 인가되고, 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)은 상기 제2 전압 라인(VL2)에 인가된다. 제n 게이트 라인(GWLn)은 제n 게이트 신호(GWn)의 하이 전압(VGH)을 수신한다. 상기 제m 데이터 라인(DLm)은 기준 전압(Vref)을 수신한다.
- [0106] 상기 화소 회로(PC)의 구동을 살펴보면, 초기화 구동 신호(Vinit)의 중간 전압(initM)은 제1 노드(N1)에 인가된다. 제2 트랜지스터(T2)는 제n 게이트 신호(GWn)의 하이 전압(VGH)에 의해 턴-온 되고, 상기 제1 노드(N1)에 인가된 초기화 구동 신호의 중간 전압(initM)은 제2 노드(N2)에 인가한다.
- [0107] 제3 트랜지스터(T3)는 초기화 제어 신호(GI)의 하이 전압(VGH)에 의해 턴-온 되고, 초기화 구동 신호(Vinit)의 중간 전압(initM)을 상기 제2 노드(N2)에 인가한다. 상기 제2 노드(N2)에 연결된 상기 유기 발광 다이오드

(OLED)의 애노드 전극은 상기 초기화 구동 신호(Vinit)의 중간 전압(initM)으로 초기화될 수 있다. 예를 들면, 상기 초기화 구동 신호(Vinit)의 중간 전압(initM)은 약 -2.2 V 일 수 있다.

[0108] 따라서, 상기 제1 구간(a) 동안 상기 유기 발광 다이오드(OLED)의 애노드 전극은 초기화될 수 있다.

[0109] 도 5는 도 3의 문턱 전압 보상 구간의 구동 방법을 설명하기 위한 개념도이다.

[0110] 도 3 및 도 5를 참조하면, 상기 제2 구간(b)은 제1 트랜지스터(T1)의 문턱 전압을 보상하는 단계에 대응한다.

[0111] 상기 제2 구간(b)에서, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신한다. 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신하고, 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))의 하이 전압(VGH)을 수신한다. 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)을 수신한다. 상기 제m 데이터 라인은 기준 전압(Vref)을 수신한다.

[0112] 상기 화소 회로(PC)의 구동을 살펴보면, 상기 초기화 구동 신호(Vinit)의 중간 전압(initM)은 상기 제1 노드(N1)에 인가된다. 제2 트랜지스터(T2)는 제n 게이트 신호(GWn)의 하이 전압(VGH)에 의해 턴-온 되고, 상기 제1 노드(N1)에 인가된 초기화 구동 신호(Vinit) 중간 전압(initM)을 제2 노드(N2)에 인가한다. 제3 트랜지스터(T3)는 초기화 제어 신호(GI)의 로우 전압(VGL)에 의해 턴-오프 된다.

[0113] 상기 제1 트랜지스터(T1)의 제어 전극(CE1)과 제2 전극(E12)은 상기 제2 트랜지스터(T2)에 의해 연결되고 제1 전극(CE11)은 제1 전원 신호의 로우 전압(ELVDDL)가 인가된다.

[0114] 상기 제1 트랜지스터(T1)의 상기 제1 전극(E11)에 제1 전원 신호의 로우 전압(ELVDDL)을 인가함으로써 상기 제1 트랜지스터(T1)의 제1 전극(E11)을 소스로, 제2 전극(E12)을 드레인으로 구동한다.

[0115] 따라서, 상기 제2 트랜지스터(T2)가 턴-온 되면 제1 트랜지스터(T1)의 게이트와 드레인이 연결되므로 상기 제1 트랜지스터(T1)는 다이오드 연결된다.

[0116] 상기 제1 트랜지스터(T1)가 다이오드 연결됨으로써 상기 제1 트랜지스터(T1)의 제어 전극(CE1)과 연결된 제1 노드(N1)에는 상기 제1 전원 신호의 로우 전압(ELVDDL)과 상기 제1 트랜지스터(T1)의 문턱 전압(V_{th} , T1)의 합에 대응하는 문턱 보상 전압($ELVDDL + V_{th}$, T1)이 인가된다.

[0117] 도 6은 도 3의 리플 제어 구간의 구동 방법을 설명하기 위한 개념도이다.

[0118] 도 3 및 도 6을 참조하면, 상기 제3 구간(c)은 제1 트랜지스터(T1)의 제어 전극인 제1 노드(N1)의 리플 전압을 제어하는 단계에 대응한다.

[0119] 상기 제3 구간(c) 동안, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 중간 전압(initM)에서 초기화 구동 신호(Vinit)의 로우 전압(initL)으로 스위칭한다. 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 로우 전압(ELVDDL)을 수신하고, 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다. 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))의 로우 전압(VGL)을 수신하고, 상기 제m 데이터 라인은 기준 전압(Vref)을 수신한다.

[0120] 상기 제3 구간(c)의 초기 구간(c1)을 참조하면, 상기 제n 게이트 라인(GWLn)에 인가되는 전압이 하이 전압(VGH)에서 로우 전압(VGL)으로 떨어지는 지점에서 게이트 신호와의 커플링에 의해 상기 초기화 구동 신호(Vinit)에 리플이 발생한다. 상기 초기화 구동 신호(Vinit)의 리플에 의해 제1 노드(N1)의 전압이 순간적으로 떨어졌다 상승하는 리플이 발생한다.

[0121] 상기 제3 구간(c)의 후기 구간(c2)에서 초기화 구동 신호(Vinit)의 중간 전압(initM) 보다 낮은 레벨의 로우 전압(initL)이 인가됨으로써 원복하는 제1 노드(N1)의 전압(Vg)은 문턱 보상 전압($ELVDDL + V_{th}$, T1) 보다 중간 전압(initM)와 로우 전압(initL)의 차이 전압($initM - initL = \Delta V_{init1}$) 만큼 낮은 전압($ELVDDL + V_{th}$, T1 - ΔV_{init1})으로 떨어진다. 상기 제1 노드(N1)의 전압(Vg)을 상기 제2 노드(N2)의 전압(Vs) 보다 낮게 유지할 수 있다. 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)이 0V 보다 작게 설정될 수 있다.

[0122] 따라서, 상기 제4 구간(d)의 제1 홀딩 구간(d1) 동안 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)을 0V 보다 작게 유지함으로써 상기 제1 트랜지스터(T1)의 누설 전류를 막을 수 있다.

[0123] 도 7은 도 3의 데이터 프로그래밍 구간의 구동 방법을 설명하기 위한 개념도이다.

[0124] 도 3 및 도 7을 참조하면, 상기 제4 구간(d)은 복수의 화소들에 데이터 전압을 프로그래밍하는 구간에

대응한다.

- [0125] 상기 제4 구간(d)은 제1 홀딩 구간(d1), 기록 구간(d2) 및 제2 홀딩 구간(d2)을 포함한다.
- [0126] 상기 제1 홀딩 구간(d1) 동안, 상기 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신하고, 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 중간 전압(ELVDDM)을 수신하고, 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다. 제n 게이트 라인(GWL(n))은 제n 게이트 신호(GW(n))의 로우 전압(VGL)을 수신하고, 제m 데이터 라인(DLm)은 이전 수평 라인들에 대응하는 이전 데이터 전압들(Vdata(1),...,Vdata(n-1))을 연속적으로 수신한다.
- [0127] 상기 제1 트랜지스터(T1)는 상기 제1 노드(N1)의 전압에 응답하여 턴-오프 되고, 상기 제2 및 제3 트랜지스터들(T2, T3)은 상기 로우 전압(VGL)에 응답하여 턴-오프 된다.
- [0128] 상기 제1 홀딩 구간(d1) 동안, 상기 유기 전계 발광 다이오드(OLED)의 애노드 전극인 제2 노드(N2)의 전압(Vs)은 상기 이전 데이터 전압들의 레벨 변동에 따라 변동 전압(ELVDD_L+Vth, T1+ΔV)을 갖는다.
- [0129] 상기 제1 노드(N1)의 전압(Vg)은 상기 제3 구간(c)에서 인가된 상기 초기화 구동 신호(Vinit)의 로우 전압(initL)에 의해 상기 변동 전압(ELVDD_L+Vth, T1+ΔV) 보다 낮은 전압(ELVDDL+Vth, T1-ΔVinit1)을 유지할 수 있다. 따라서, 상기 제1 홀딩 구간(d1) 동안 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)을 0V 보다 작게 유지함으로써 상기 제1 트랜지스터(T1)의 누설 전류를 막을 수 있다.
- [0130] 또한, 상기 제1 트랜지스터(T1)에 상기 제1 전원 전압(ELVDD)을 하이 전압(ELVDDH) 보다 낮은 중간 전압(ELVDDM)이 인가됨으로써 상기 제1 트랜지스터(T1)의 드레인/소스 사이의 전압(Vds)를 감소시키고, 상기 제1 트랜지스터(T1)의 누설 전류를 감소시킬 수 있다.
- [0131] 상기 기록 구간(d2) 동안, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신한다. 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 중간 전압(ELVDDM)을 수신한다. 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다. 상기 제n 게이트 라인(GWL(n))은 제n 게이트 신호(GW(n))의 하이 전압(VGH)을 수신한다. 상기 제2 전압 라인(VL2)은 제1 전원 신호(ELVDD)의 중간 전압(ELVDDM)을 수신한다. 상기 복수의 데이터 라인들(DL1,...,DLm,...,DLM)은 제n 수평 라인의 데이터 전압(Vdata(n))을 수신한다.
- [0132] 상기 제m 데이터 라인(DLm)은 제n 수평 라인의 화소 회로(PC)에 대응하는 데이터 전압(Vdata(n))을 수신한다.
- [0133] 상기 화소 회로(PC)의 구동을 살펴보면, 초기화 구동 신호(Vinit)의 로우 전압(initL)은 상기 제1 노드(N1)에 인가된다. 상기 제1 노드(N1)에 제어 전극(CE1)에 연결된 제1 트랜지스터(T1)는 턴-오프 된다. 상기 제3 트랜지스터(T3)는 초기화 제어 신호(GI)의 로우 전압(VGL)에 의해 턴-오프 된다.
- [0134] 상기 제2 트랜지스터(T2)는 상기 제n 게이트 신호(GWn)의 하이 전압(VGH)에 의해 턴-온 되고, 상기 제1 노드(N1)와 상기 제2 노드(N2)를 서로 연결한다. 상기 제1 커패시터(Cst)와 상기 제2 커패시터(Cpr)는 턴-온 된 제2 트랜지스터(T2)에 의해 제1 노드(N1)에 직렬로 연결된다.
- [0135] 상기 제m 데이터 라인(DLm)에는 상기 화소 회로(PC)에 대응하는 제n 데이터 전압(Vdata(n))이 인가된다. 상기 제m 데이터 라인(DLm)은 상기 제n 데이터 전압(Vdata(n))과 상기 기준 전압(Vref)의 차이 전압(ΔVdata)을 가진다.
- [0136] 상기 제1 노드(N1)에 직렬로 연결된 상기 제1 및 제2 커패시터들(Cst, Cpr)는 상기 제1 노드(N1)에 대해 분배비(β)를 가진다. 상기 분배비(β) 및 상기 차이 전압(ΔVdata)은 아래 수학적 식 2와 같이 정의될 수 있다.
- [0137] 수학적 식 2
- [0138]
$$\beta = Cpr / (Cst + Cpr)$$
- [0139]
$$\Delta V_{data} = V_{data(n)} - V_{ref}$$
- [0140] 결과적으로, 상기 차이 전압(ΔVdata)은 상기 제1 및 제2 커패시터들(Cst, Cpr)의 분배비(β)만큼 분배되고, 분배 전압(β (ΔVdata))은 상기 제1 노드(N1)에 인가된다.
- [0141] 결과적으로, 제n 수평 구간(Hn)에 상기 제1 노드(N1)는 아래 수학적 식 3과 같은 데이터 전압을 가질 수 있다.

[0142] 수학적식 3

[0143]
$$\gamma + \beta \Delta V_{data}$$

[0144]
$$\gamma = [(ELVDDL + V_{th} T1 - \Delta V_{init1}) Cst + V_{RES} (Cpr + Cel)] / (Cst + Cpr + Cel)$$

[0145] 상기 수학적식 3에서, Cel 은 유기 발광 다이오드(OLED)의 기생 커패시턴스이다.

[0146] 이후, 제3 홀딩 구간(d3) 동안 상기 제n 게이트 라인(GWLn)은 제n 게이트 신호(GW(n))의 로우 전압(VGL)을 수신하고, 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신한다.

[0147] 상기 제1 및 제2 트랜지스터들(T1, T2)는 상기 로우 전압(VGL)에 응답하여 턴-오프 되고, 상기 제1 노드(N1)에 인가된 분배된 데이터 전압은 상기 제1 커패시터(Cst)에 의해 유지된다.

[0148] 도 8은 도 3의 발광 구간의 구동 방법을 설명하기 위한 개념도이다.

[0149] 도 3 및 도 8을 참조하면, 제5 구간(e)은 유기 발광 다이오드(OLED)를 발광하는 구간에 대응한다.

[0150] 상기 제5 구간(e)을 살펴보면, 상기 제1 전압 라인(VL1)은 상기 초기화 구동 신호(Vinit)의 하이 전압(initH)을 수신하고, 상기 제2 전압 라인(VL2)은 상기 제1 전원 신호(ELVDD)의 하이 전압(ELVDDH)을 수신하고, 상기 제3 전압 라인(GIL)은 초기화 제어 신호(GI)의 로우 전압(VGL)을 수신하고, 상기 제n 게이트 라인(GWLn)은 제n 게이트 신호(GWn)의 로우 전압(VGL)을 수신한다. 상기 제m 데이터 라인(DLm)은 상기 기준 전압(Vref)을 수신한다.

[0151] 상기 화소 회로(PC)의 구동을 살펴보면, 초기화 구동 신호(Vinit)의 하이 전압(initH)은 상기 제1 노드(N1)에 인가됨으로써 상기 제1 노드(N1)는 아래 수학적식 4와 같은 전압을 가진다.

[0152] 수학적식 4

[0153]
$$\gamma + \beta \Delta V_{data} + \Delta V_{init2}$$

[0154] 여기서, 차이 전압(ΔV_{init2})은 상기 구동 신호(Vinit)의 로우 전압(initL)과 하이 전압(initH)의 차이 전압에 대응한다.

[0155] 수학적식 4와 같은 전압이 상기 제1 트랜지스터(T1)의 제어 전극(CE1)에 인가되고, 상기 차이 전압(ΔV_{init2})에 의해 상기 제1 트랜지스터(T1)는 턴-온 된다.

[0156] 상기 제2 트랜지스터(T2)는 제n 게이트 신호(GW(n))의 로우 전압(VGL)이 인가되어 턴-오프 되고, 상기 제3 트랜지스터(T3) 역시 초기화 제어 신호(GI)의 로우 전압(VGL)이 인가되어 턴-오프 된다.

[0157] 상기 제1 트랜지스터(T1)가 턴-온 됨으로써 상기 제1 노드(N1)에 인가된 데이터 전압에 대응하는 구동 전류(ID)가 상기 유기 발광 다이오드(OLED)에 흐를 수 있다. 상기 구동 전류(ID)에 의해 상기 유기 발광 다이오드(OLED)는 발광할 수 있다.

[0158] 도 9는 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다. 도 10은 도 9의 문턱 전압 보상 구간의 구동 방법을 설명하기 위한 개념도이다. 도 11은 도 9의 리플 제어 구간의 구동 방법을 설명하기 위한 개념도이다.

[0159] 본 실시예에 따른 상기 초기화 구동 신호(Vinit)는 하이 전압(initH), 중간 전압(initM) 및 로우 전압(initL)을 갖는다. 상기 초기화 구동 신호(Vinit)는 $initH > initM > 0 > initL$ 와 같은 조건의 하이 전압(initH), 중간 전압(initM) 및 로우 전압(initL)을 가질 수 있다.

[0160] 도 9를 참조하면, 상기 프레임 구간은 유기 발광 다이오드(OLED)의 애노드 전극을 초기화하는 제1 구간(a), 제1 트랜지스터(T1)의 문턱 전압을 보상하는 제2 구간(b), 제1 노드(N1)의 리플을 제어하는 제3 구간(c), 데이터 전압을 프로그래밍하는 제4 구간(d) 및 유기 발광 다이오드(OLED)를 발광하는 제5 구간(e)을 포함할 수 있다.

[0161] 본 실시예는 이전 실시예와 비교하여 초기화 구동 신호(Vinit)를 제외하고 다른 신호의 파형도는 실질적으로 동일하다. 이에 반복되는 설명은 생략한다.

[0162] 상기 제1 구간(a) 동안, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신한다. 예를

들면, 상기 초기화 구동 신호(Vinit)의 로우 전압(initL)은 약 -6 V 보다 작은 레벨로 설정할 수 있다. 상기 제 1 구간(a) 동안 상기 유기 발광 다이오드(OLED)의 애노드 전극은 초기화 구동 신호(Vinit)의 로우 전압(initL)으로 초기화될 수 있다.

- [0163] 도 9 및 도 10을 참조하면, 제2 구간(b) 동안, 제1 전압 라인(VL1)은 초기 구간(b1)에는 초기화 구동 신호(Vinit)의 로우 전압(initL)을 수신하고 후기 구간(b2)에는 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신한다.
- [0164] 본 실시예에 따른 초기화 구동 신호(Vinit)의 중간 전압(initM)은 약 1 V 내지 5 V 일 수 있다.
- [0165] 도 9 및 도 11을 참조하면, 상기 제3 구간(c)의 초기 구간(c1) 동안, 제1 전압 라인(VL1)은 초기화 구동 신호(Vinit)의 중간 전압(initM)을 수신하고, 상기 제3 구간(c)의 후기 구간(c2) 동안 초기화 구동 신호(Vinit)의 중간 전압(initL)을 수신한다.
- [0166] 상기 초기 구간(c1)에 상기 제n 게이트 라인(GWLn)가 동시에 하이 전압(VGH)에서 로우 전압(VGL)으로 떨어지는 지점에서 게이트 신호와의 커플링에 의해 상기 초기화 구동 신호(Vinit)에 리플이 발생한다. 상기 초기화 구동 신호(Vinit)의 리플에 의해 제1 노드(N1)의 전압이 순간적으로 떨어졌다 상승하는 리플이 발생한다.
- [0167] 상기 제3 구간(c)의 후기 구간(c2)에서 초기화 구동 신호(Vinit)의 중간 전압(initM) 보다 낮은 레벨의 로우 전압(initL)이 인가됨으로써 원복하는 제1 노드(N1)의 전압(Vg)은 문턱 보상 전압($ELVDDL+V_{th}$, T1) 보다 중간 전압(initM)과 로우 전압(initL)의 차이 전압(ΔV_{init1}) 만큼 낮은 전압($ELVDDL+V_{th}$, T1- ΔV_{init1})으로 떨어진다. 상기 제1 노드(N1)의 전압(Vg)을 상기 제2 노드(N2)의 전압(Vs) 보다 낮게 유지할 수 있다. 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)이 0V 보다 작게 설정될 수 있다.
- [0168] 따라서, 상기 제4 구간(d)의 제1 홀딩 구간(d1) 동안 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)을 0V 보다 작게 유지함으로써 상기 제1 트랜지스터(T1)의 누설 전류를 막을 수 있다.
- [0169] 도 12는 비교예에 따른 화소 회로의 구동 방법을 설명하기 위한 신호 파형도이다.
- [0170] 도 12를 참조하면, 비교예에 따르면, 상기 프레임 구간은 유기 발광 다이오드(OLED)의 애노드 전극을 초기화하는 초기화 구간(a), 제1 트랜지스터(T1)의 문턱 전압을 보상하는 보상 구간(b), 데이터 전압을 프로그래밍하는 데이터 프로그래밍 구간(d) 및 유기 발광 다이오드(OLED)를 발광하는 발광 구간(e)을 포함할 수 있다.
- [0171] 비교예의 보상 구간(b) 직후, 제n 게이트 라인(GWLn)의 전압이 하이 전압(VGH)에서 로우 전압(VGL)으로 떨어지는 지점에서 게이트 신호와의 커플링에 의해 상기 초기화 구동 신호(Vinit)에 리플이 발생한다. 상기 초기화 구동 신호(Vinit)의 리플에 의해 제1 노드(N1)의 전압은 순간적으로 떨어졌다 원복을 위해 점진적으로 상승한다.
- [0172] 상기 제1 노드(N1)의 전압은 데이터 프로그래밍 구간(d) 중 데이터(Vdata(n))가 기록되는 기록 구간(d2) 이전의 제1 홀딩 구간(d1) 동안 원복된다.
- [0173] 도 12에 도시된 바와 같이, 상기 제1 홀딩 구간(d1) 동안 상기 제1 노드(N1)의 전압이 상기 제2 노드(N2)의 전압 보다 높은 레벨을 갖는다. 상기 제1 트랜지스터(T1)의 게이트/소스 전압(Vgs)이 0V 보다 크게 되어 누설 전류가 발생한다.
- [0174] 이와 같은 상기 제1 홀딩 구간(d1) 동안의 상기 제1 트랜지스터(T1)의 누설 전류는 크로스토크와 같은 화질 불량을 발생한다.
- [0175] 본 발명의 실시예들에 따르면, 상기 보상 구간과 상기 데이터 프로그래밍 구간 사이에 초기화 구동 신호의 레벨을 중간 전압에서 로우 전압으로 스위칭시켜 제1 트랜지스터의 게이트 리플을 제어함으로써 데이터 프로그래밍 구간 동안 트랜지스터의 누설 전류에 의한 화질 불량을 막을 수 있다.
- [0176] 이상의 본 실시예들에 따르면, 3개의 트랜지스터와 2개의 커패시터로 유기 발광 다이오드를 구동하는 고해상도의 화소 회로에서, 트랜지스터의 제어단의 리플을 제어함으로써 트랜지스터의 누설 전류에 의한 화질 불량을 막을 수 있다.

산업상 이용가능성

- [0177] 본 발명은 표시 장치 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서 본 발명은 휴대폰, 스마트폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 시스템, 스마트 카드, 프린터 등과 같은 다양한 전자 기기에 유용

하게 이용될 수 있다.

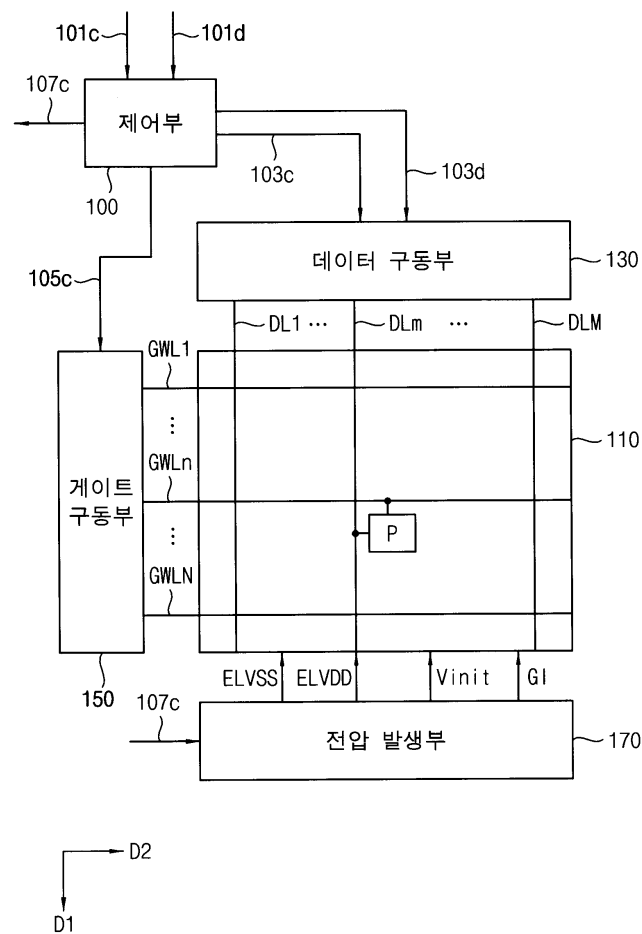
[0178] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

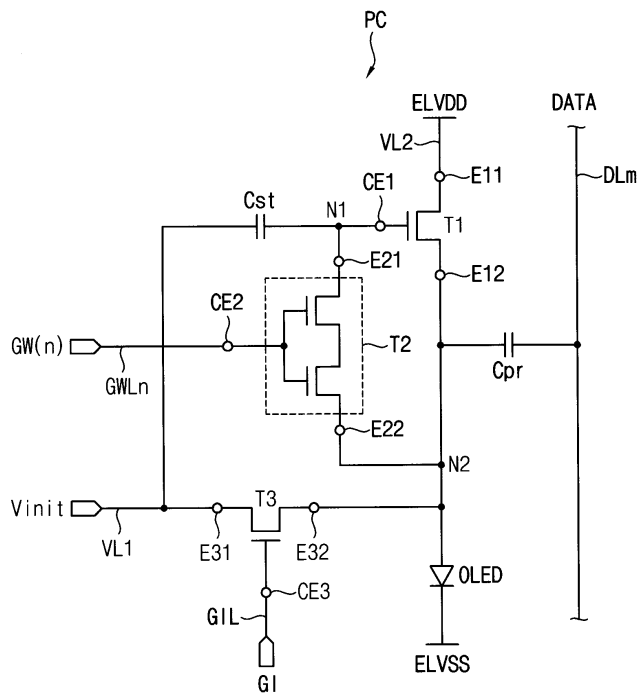
[0179] 100: 제어부 110: 표시부
130: 데이터 구동부 150: 게이트 구동부
170: 전압 발생부

도면

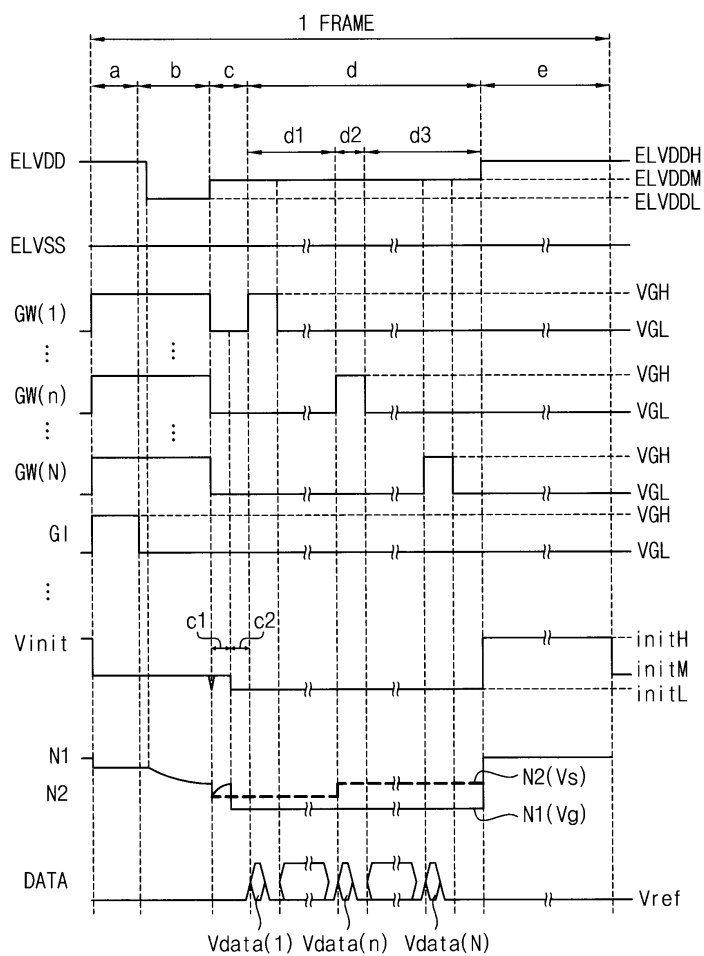
도면1



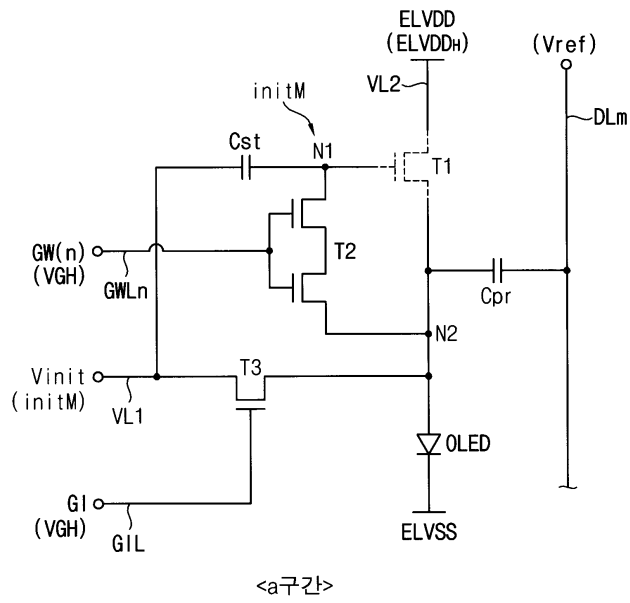
도면2



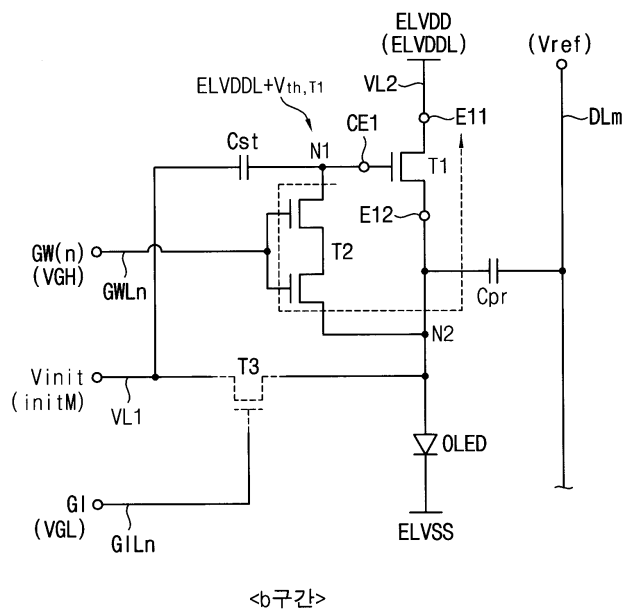
도면3



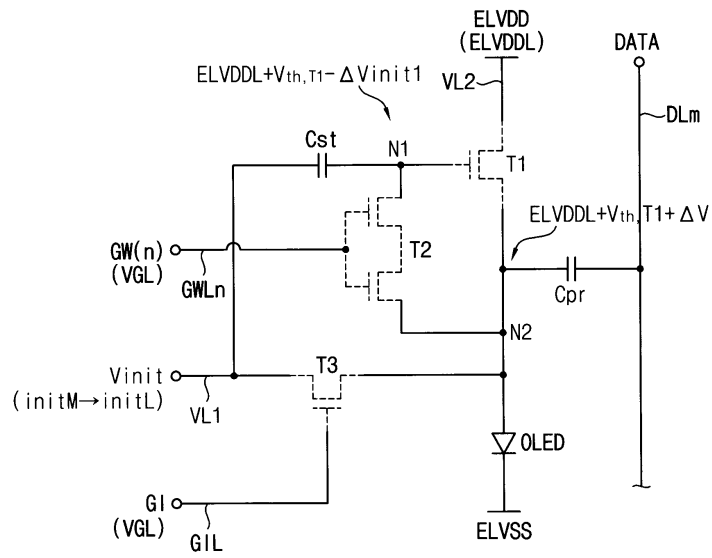
도면4



도면5

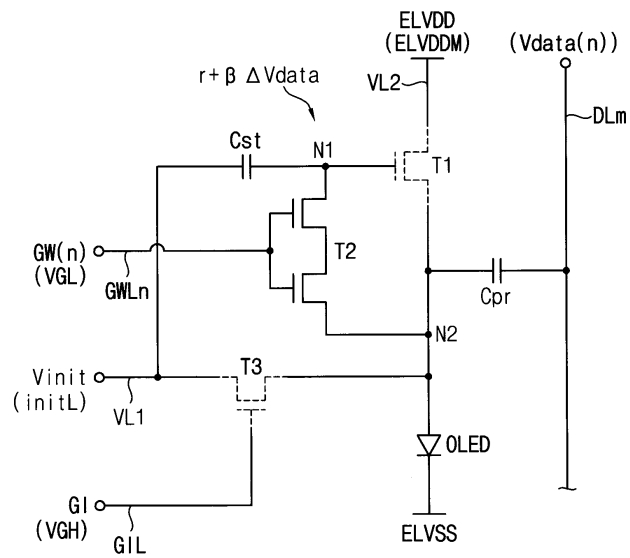


도면6



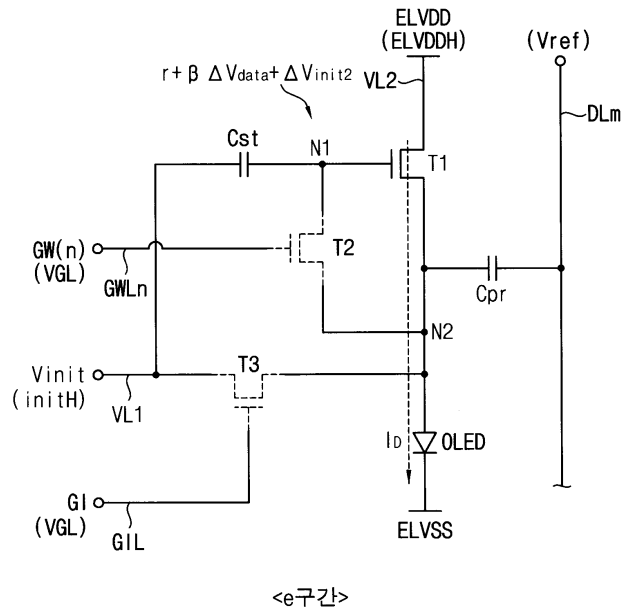
<c구간>

도면7

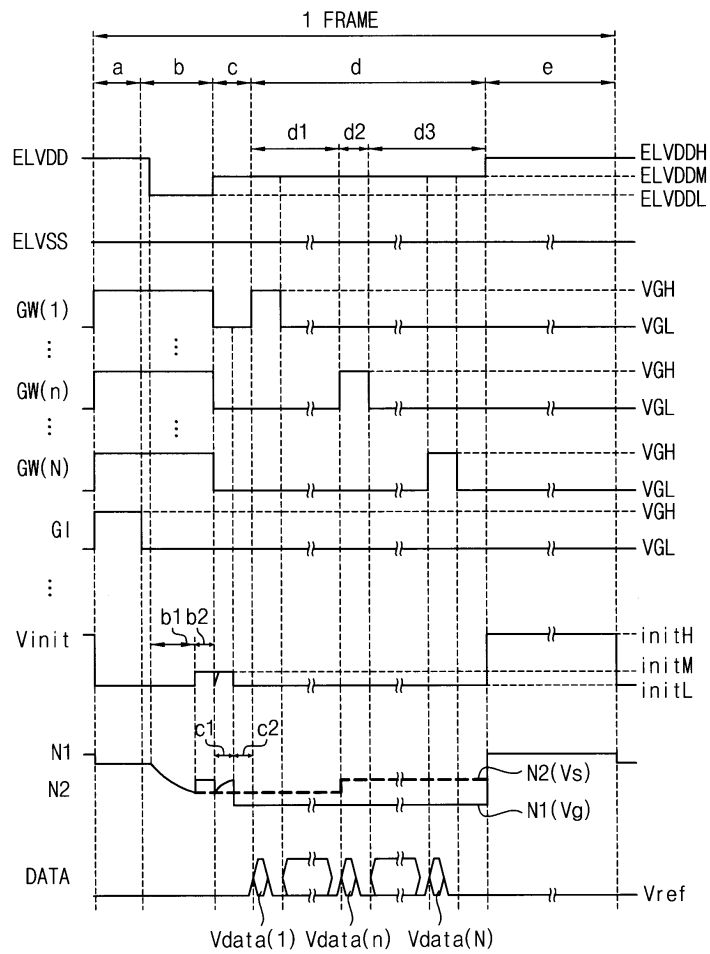


<d구간>

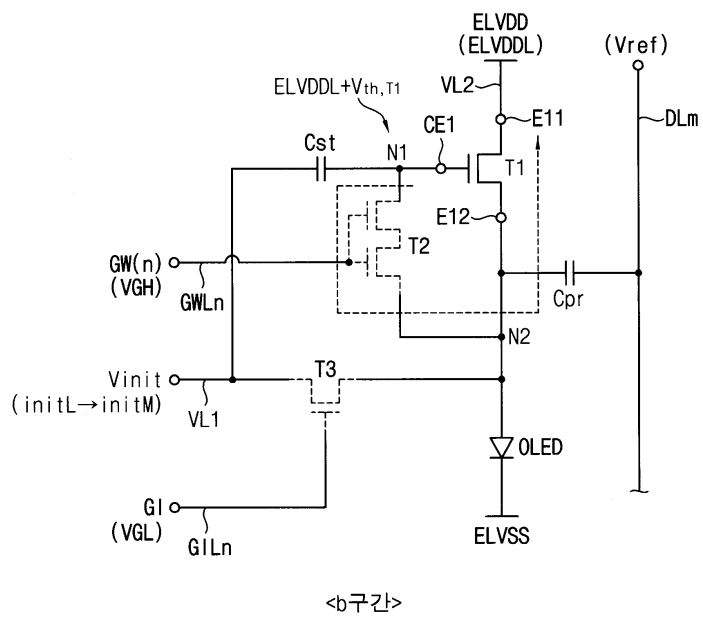
도면8



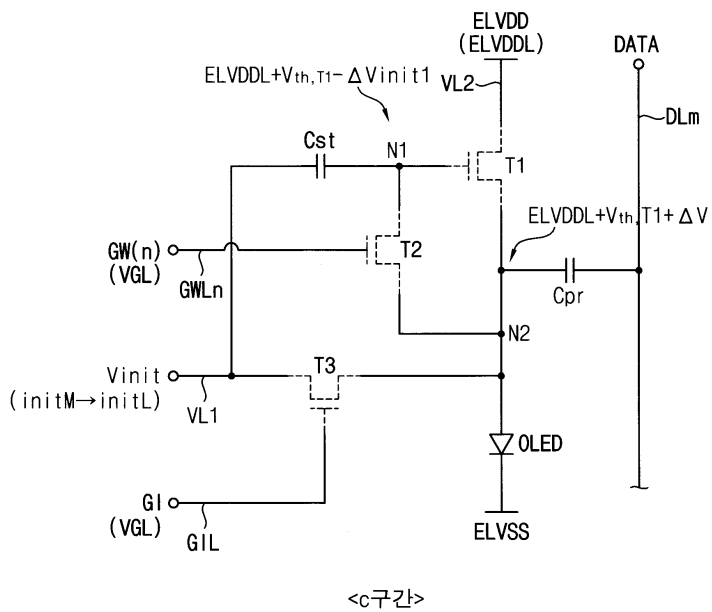
도면9



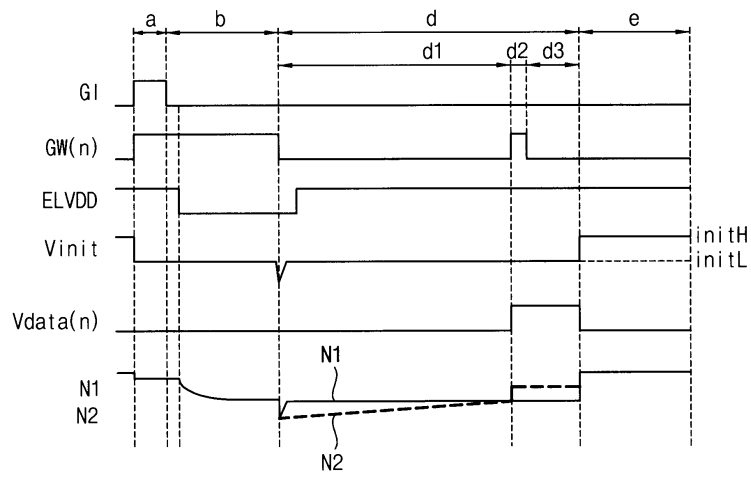
도면10



도면11



도면12



<비교예>

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR1020190067297A	公开(公告)日	2019-06-17
申请号	KR1020170166890	申请日	2017-12-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	양건우 김철호 이원준		
发明人	양건우 김철호 이원준		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2320/0214 G09G2330/028 G09G2300/043 G09G2300/0819 G09G2300/0852 G09G2310/08 G09G2320/045 G09G3/3258 G09G2300/0876		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

该显示装置包括：显示器，其包括用于驱动具有三个晶体管 and 两个电容器的有机发光二极管的像素；向多个栅极线提供多个栅极信号的栅极驱动器；以及具有高电压，中间电压和低电压的初始化。以及电压产生器，其用于在多个栅极信号同时从高电压下降到低电压之后产生驱动信号并使初始化驱动信号从中间电压摆动到低电压。

