



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0064104
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0163401
(22) 출원일자 2017년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한예슬
경기도 파주시 월롱면 엘지로 245
조정옥
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

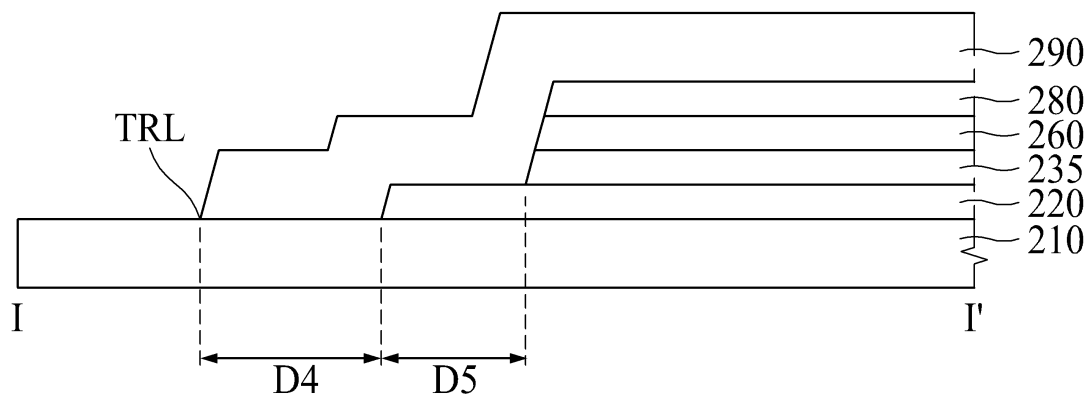
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 출원은 표시 패널의 외곽에서 크랙이 발생하는 것을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다. 본 출원에 따른 유기 발광 표시 장치는 베이스층, 베이스층의 상부에 배치된 버퍼층, 버퍼층의 상부에 배치된 게이트 절연층, 게이트 절연층의 상부에 배치된 제 1 층간 절연막, 제 1 층간 절연막의 상부에 배치된 제 2 층간 절연막 및 제 2 층간 절연막의 상부에 배치된 평탄화막을 포함한다. 버퍼층은 게이트 절연층, 제 1 층간 절연막, 및 제 2 층간 절연막보다 외곽 방향으로 연장되고, 베이스층은 버퍼층보다 외곽 방향으로 연장된다. 평탄화층은 제 2 층간 절연막보다 외곽 방향으로 연장되어 베이스층 및 버퍼층의 상부를 덮는다.

대표도 - 도7



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/0014 (2013.01)

명세서

청구범위

청구항 1

베이스층;

상기 베이스층의 상부에 배치된 버퍼층;

상기 버퍼층의 상부에 배치된 게이트 절연층;

상기 게이트 절연층의 상부에 배치된 제 1 층간 절연막;

상기 제 1 층간 절연막의 상부에 배치된 제 2 층간 절연막; 및

상기 제 2 층간 절연막의 상부에 배치된 평탄화막을 포함하며,

상기 버퍼층은 상기 게이트 절연층, 상기 제 1 층간 절연막, 및 상기 제 2 층간 절연막보다 외곽 방향으로 연장되고,

상기 베이스층은 상기 버퍼층보다 외곽 방향으로 연장되고,

상기 평탄화층은 상기 제 2 층간 절연막보다 외곽 방향으로 연장되어 상기 베이스층 및 상기 버퍼층의 상부를 덮는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 평탄화층은 상기 베이스층과 상기 버퍼층의 경계선 및 상기 버퍼층과 상기 제 2 층간 절연막의 경계선 상에서 단차를 갖는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 평탄화층의 상부면은 상기 베이스층의 상부면보다 상기 버퍼층의 상부면에서 높은 높이를 갖는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 평탄화층의 상부면은 상기 버퍼층의 상부면보다 상기 제 2 층간 절연막의 상부면에서 높은 높이를 갖는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 버퍼층 및 상기 제 2 층간 절연막의 측면과 상면이 각각 상기 평탄화막에 접하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 평탄화층은 상기 베이스층의 일 측 단부까지 연장된 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 평탄화층은 상기 버퍼층의 상부면과 상기 게이트 절연막, 상기 제 1 층간 절연막, 및 상기 제 2 층간 절연막의 측면 상에 일체로 형성된 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 베이스층의 상부 면 중 외곽 영역에 마련된 제 1 폴딩 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 폴딩 패턴 중 제 1 방향으로 서로 인접한 제 1 폴딩 패턴은 상기 제 1 방향으로 어긋나도록 배치된 유기 발광 표시 장치.

청구항 10

제 8 항에 있어서,

상기 제 1 폴딩 패턴으로부터 표시 영역 방향으로 이격되어 상기 버퍼층의 외곽으로 마련된 제 2 폴딩 패턴을 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시 장치 분야 기술이 많이 개발되고 있다. 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 화상을 표시한다. 유기 발광 표시 장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력이 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 유기 발광 표시 장치는 화상을 표시하는 화소들이 마련된 표시 영역과 표시 영역의 외곽에 배치되어 화상을 표시하지 않는 비표시 영역을 갖는 표시 패널을 포함한다.

[0004] 특히, 최근에는 표시 패널이 휘 수 있는 플렉서블 유기 발광 표시 장치의 수요가 증가하고 있다. 가요성을 갖는 표시 패널을 이용하여 폴더블 표시 장치를 개발하고 있다. 가요성이 있는 표시 패널의 반복적인 폴딩 또는 벤딩 시 발생 가능한 불량 중 가장 치명적인 것은 표시 패널 자체가 구동되지 않도록 하는 크랙(Crack)이다.

[0005] 크랙들은 표시 패널의 외곽 테두리에서 생성되어 내부로 전파된다. 표시 패널을 반복적으로 폴딩하게 되면 표시 패널을 구성하는 층 또는 막들에 물리적인 스트레스가 전달된다. 전달되는 스트레스를 견디지 못하게 되면 막들이 깨지는 크랙이 발생되어 표시 패널 자체가 구동이 불가능하게 된다. 크랙 발생률을 감소시켜야 표시 패널의 불량률을 감소시킬 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 표시 패널의 외곽에서 크랙이 발생하는 것을 방지할 수 있는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 출원에 따른 유기 발광 표시 장치는 베이스층, 베이스층의 상부에 배치된 버퍼층, 버퍼층의 상부에 배치된 게이트 절연층, 게이트 절연층의 상부에 배치된 제 1 층간 절연막, 제 1 층간 절연막의 상부에 배치된 제 2 층간 절연막 및 제 2 층간 절연막의 상부에 배치된 평탄화막을 포함한다. 버퍼층은 게이트 절연층, 제 1 층간 절

연막, 및 제 2 층간 절연막보다 외곽 방향으로 연장되고, 베이스층은 버퍼층보다 외곽 방향으로 연장된다. 평탄화층은 제 2 층간 절연막보다 외곽 방향으로 연장되어 베이스층 및 버퍼층의 상부를 덮는다.

발명의 효과

[0008] 본 출원은 버퍼층과 베이스층을 계단 형태로 단계적으로 외곽 방향으로 연장시키고, 계단 구조의 상부면을 가요성이 있는 평탄화막으로 덮는다. 이에 따라, 본 출원은 상부의 평탄화막과 하부의 베이스층의 유기 물질 사이의 접합력을 높일 수 있어, 크랙이 발생하거나 외곽으로부터 크랙이 전파되는 현상을 방지할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 출원에 따른 유기 발광 표시 장치의 개념적 블록도이다.

도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.

도 3은 본 출원의 일 예에 따른 화소의 단면도이다.

도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 평면도이다.

도 5는 도 4의 확대도이다.

도 6은 일 예에 따른 도 5의 I-I'의 단면도이다.

도 7은 다른 예에 따른 도 5의 I-I'의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0011] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0012] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0015] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0016] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.

[0017] "제 1 수평 축 방향", "제 2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0018] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또

는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

- [0019] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0020] 이하에서는 본 출원에 따른 유기 발광 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.
- [0021] 도 1은 본 출원에 따른 유기 발광 표시 장치의 개념적 블록도이다. 본 출원에 따른 유기 발광 표시 장치는 표시 패널(100), 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(Timing Controller, T-CON)(130)를 포함한다.
- [0022] 표시 패널(100)은 표시 영역과 표시 영역의 주변에 마련된 비표시 영역을 포함한다. 표시 영역은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 비표시 영역은 표시 패널(100)의 외곽에 있으며, 표시 영역을 외부의 충격으로부터 보호하는 영역이다. 표시 패널(100)에는 게이트 라인들(GL1~GLp, p는 2 이상의 양의 정수), 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수) 및 센싱 라인들(SL1~SLq)이 마련된다.
- [0023] 데이터 라인들(DL1~DLq) 및 센싱 라인들(SL1~SLq)은 게이트 라인들(GL1~GLp)과 교차할 수 있다. 데이터 라인들(DL1~DLq)과 센싱 라인들(SL1~SLq)은 서로 평행할 수 있다. 표시 패널(100)은 화소(P)들이 마련되는 하부기판과 외부의 이물질로부터 화소(P)들을 보호하기 위한 봉지(Encapsulation) 기능을 수행하는 상부기판을 포함할 수 있다. 화소(P)들 각각은 게이트 라인들(GL1~GLp) 중 어느 하나, 데이터 라인들(DL1~DLq) 중 어느 하나 및 센싱 라인들(SL1~SLq) 중 어느 하나에 접속될 수 있다.
- [0024] 게이트 구동부(120)는 타이밍 컨트롤러(130)로부터 게이트 구동부 제어 신호(GCS)를 공급받고, 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 생성하여 게이트 라인들(GL1~GLp)에 공급한다.
- [0025] 데이터 구동부(120)는 타이밍 컨트롤러(130)로부터 데이터 구동부 제어 신호(DCS)를 공급받고, 데이터 구동부 제어 신호(DCS)에 따라 데이터전압들을 생성하여 데이터 라인들(DL1~DLq)에 공급한다. 또한, 데이터 구동부(120)는 화소(P)들 각각의 전압 및 전류 특성을 센싱하여 센싱 데이터(SEN)를 생성하여 타이밍 컨트롤러(130)로 공급한다.
- [0026] 타이밍 컨트롤러(130)는 외부로부터 화상의 표시 타이밍을 제어하는 타이밍 신호(TS)와 화상을 구현하기 위한 색상 별 정보를 포함하고 있는 디지털 비디오 데이터(DATA)를 공급받는다. 타이밍 컨트롤러(130)의 입력단에는 타이밍 신호(TS)와 디지털 비디오 데이터(DATA)가 설정된 프로토콜에 의해 입력된다. 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120)로부터 화소(P)들 각각의 전압 및 전류 특성에 따른 센싱 데이터(SEN)를 공급받는다.
- [0027] 타이밍 신호(TS)는 수직 동기 신호(Vertical sync signal, Vsync), 수평 동기 신호(Horizontal sync signal, Hsync), 데이터 인에이블 신호(Data Enable signal, DE), 및 도트 클럭(Dot clock, DCLK)을 포함한다. 타이밍 컨트롤러(130)는 센싱 데이터(SEN)에 기초하여 디지털 비디오 데이터(DATA)를 보상한다.
- [0028] 타이밍 컨트롤러(130)는 게이트 구동부(110), 데이터 구동부(120), 스캔 구동부 및 센싱 구동부의 동작 타이밍을 제어하기 위한 구동부 제어 신호들을 생성한다. 구동부 제어 신호들은 게이트 구동부(110)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS), 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS), 스캔 구동부의 동작 타이밍을 제어하기 위한 스캔 구동부 제어 신호 및 센싱 구동부의 동작 타이밍을 제어하기 위한 센싱 구동부 제어 신호를 포함한다.
- [0029] 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다. 표시 모드는 표시 패널(100)의 화소(P)들이 화상을 표시하는 모드이고, 센싱 모드는 표시 패널(100)의 화소(P)들 각각의 구동 트랜지스터(DT)의 전류를 센싱하는 모드이다. 표시 모드와 센싱 모드 각각에서 화소(P)들 각각에 공급되는 스캔 신호의 파형과 센싱 신호의 파형이 변경되는 경우, 표시 모드와 센싱 모드 각각에서 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호 역시 변경될 수 있다. 따라서, 타이밍 컨트롤러(130)는 표시 모드와 센싱 모드 중 어느 모드인지에 따라 해당하는 모드에 대응하여 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호를

생성한다.

- [0030] 타이밍 컨트롤러(130)는 게이트 구동부 제어 신호(GCS)를 게이트 구동부(110)로 출력한다. 타이밍 컨트롤러(130)는 보상 디지털 비디오 데이터와 데이터 구동부 제어 신호(DCS)를 데이터 구동부(120)로 출력한다. 타이밍 컨트롤러(130)는 스캔 구동부 제어 신호를 스캔 구동부로 출력한다. 타이밍 컨트롤러(130)는 센싱 구동부 제어 신호를 센싱 구동부로 출력한다.
- [0031] 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 표시 모드와 센싱 모드 중에 어느 모드로 구동할지에 따라 해당 모드를 구동하기 위한 모드 신호를 생성한다. 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다.
- [0032] 도 2는 본 출원의 일 예에 따른 화소(P)의 내부 회로도이다. 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 발광 소자(EL), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 트랜지스터(T1~T6)를 포함한다. 이하의 설명에서, 본 출원의 일 예에 따른 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)는 게이트(gate) 전극, 소스(source) 전극, 및 드레인(drain) 전극을 갖는 P형 MOSFET으로 구현되는 것으로 가정하기로 한다.
- [0033] 구동 트랜지스터(DT)의 게이트 전극은 스토리지 커패시터(Cst)의 일 측 전극, 제 1 트랜지스터(T1)의 드레인 전극, 및 제 5 트랜지스터(T5)의 드레인 전극이 연결된 제 1 노드(Node)(N1)에 접속된다. 구동 트랜지스터(DT)의 소스 전극은 화소 구동 전원(ELVDD)을 소스 전극으로 공급받는 제 3 트랜지스터(T3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 트랜지스터(T4)의 소스 전극과 연결된다.
- [0034] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.
- [0035] 발광 소자(EL)는 애노드 전극 및 캐소드 전극을 포함한다. 발광 소자(EL)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 발광 소자(EL)의 애노드 전극은 제 4 트랜지스터(T4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 발광 소자(EL)의 캐소드 전극은 저전위 전원 전압(ELVSS)이 형성된 접지 라인에 캐소드 전극이 연결된다. 발광 소자(EL)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.
- [0036] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(ELVDD) 라인에 연결된다.
- [0037] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 트랜지스터(T5)가 턴-온 된 경우 화소 구동 전원(ELVDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 트랜지스터(T5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.
- [0038] 제 1 트랜지스터(T1)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 1 트랜지스터(T1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 트랜지스터(T1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 $Vdata+Vtp$ 까지 상승시킨다.
- [0039] 제 2 트랜지스터(T2)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 2 트랜지스터(T2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(Vdata)을 공급받는다. 제 2 트랜지스터(T2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 트랜지스터(T2)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)을 공급한다.
- [0040] 제 3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 트랜지스터(T3)의 소스 전극은 화소 구동 전원(ELVDD)을 공급받는다. 제 3 트랜지스터(T3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 트랜지스터(T3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(ELVDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.
- [0041] 제 4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 트랜지스터(T4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 발광 소자(EL)를 흐르게 하여 발광 소자(EL)를 발광시킨다.

- [0042] 제 5 트랜지스터(T5)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 5 트랜지스터(T5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 트랜지스터(T5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 트랜지스터(T5)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0043] 제 6 트랜지스터(T6)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 6 트랜지스터(T6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 트랜지스터(T6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 트랜지스터(T6)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0044] 본 발명의 제 1 실시예에 따른 화소(P)는 7개의 박막 트랜지스터(Thin Film Transistor, TFT)와 1개의 커패시터(Capacitor)로 이루어져 있어 7T1C 보상 회로로 통칭한다. 또한, 본 발명의 제 1 실시예에 따른 화소(P)는 2종류의 스캔 신호(Scan)와 1종류의 발광 제어 신호(EM)로 동작한다.
- [0045] 임의의 프레임(Frame)이 시작하는 시점에 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차전압(Vgs)은 게이트 로우 전압(VGL) 상태를 유지하고 있다. 또한, 발광 제어 신호(EM) 역시 게이트 로우 전압(VGL) 상태이다. 이에 따라, 제 3 및 제 4 트랜지스터(T3, T4)가 턴-온 된다. 이에 따라 구동 트랜지스터(DT)에 일정량의 구동 전류가 흐르게 되어 발광 소자(EL)를 발광시킨다.
- [0046] 이후, 발광 제어 신호(EM)가 게이트 하이 전압(VGH)을 갖고, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극은 플로팅(Floating) 상태가 된다.
- [0047] 이후, 화소(P)는 초기화(Initialization) 단계를 갖는다. 초기화 단계에서, 제 1 스캔 신호(Scan1)가 게이트 로우 전압(VGL)이 되면 제 5 트랜지스터(T5)가 턴-온 되고, 초기화 전압(Vinit)이 제 1 노드(N1)에 인가된다. 초기화 단계 후 제 1 스캔 신호(Scan1)가 다시 게이트 하이 전압(VGH)이 되면 제 5 트랜지스터(T5)는 턴-오프 되고 제 1 노드(N1)는 플로팅 상태가 된다.
- [0048] 이후, 화소(P)는 프로그래밍(Programming) 단계를 갖는다. 프로그래밍 단계에서, 제 2 스캔 신호(Scan2)가 게이트 로우 전압(VGL)이 되면 제 1, 2, 6 트랜지스터(T1, T2, T6)가 턴-온 된다. 제 6 트랜지스터(T6)에 의해 발광 소자(EL)는 리셋된다. 또한, 제 2 트랜지스터(T2)가 턴-온 되어 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급된다.
- [0049] 본 출원의 일 예에 따른 화소(P)의 초기화 전압(Vinit)은 데이터 전압(Vdata)보다 낮다. 또한, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급되고, 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압이 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차전압(Vgs)은 음(negative, -)의 전압 값을 갖게 된다.
- [0050] 게이트 전압과 소스 전압의 차전압(Vgs)이 음의 전압 값을 갖는 경우 구동 트랜지스터(DT)는 선형(Linear) 영역에서 동작한다. 이에 따라, 구동 트랜지스터(DT)의 드레인 전극의 전압은 상승한다. 제 1 트랜지스터(T1)가 턴-온 되어 있는 상태이기 때문에 구동 트랜지스터의 드레인 전극과 게이트 전극은 전기적으로 동일한 노드로 볼 수 있다. 결과적으로, 제1 노드(N1)의 전압은 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값인 Vdata+Vth까지 상승한다. 여기에서 문턱 전압(Vth)은 음의 전압 값을 갖는다.
- [0051] 이후, 화소(P)는 문턱 전압(Vth) 센싱(sensing) 단계를 갖는다. 문턱 전압(Vth) 센싱 단계에서, 제1 노드(N1)의 전압이 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값까지 상승한 상태이므로, 구동 트랜지스터(DT)는 턴-오프되어 누설(Subthreshold) 전류만이 흐르는 상태가 된다.
- [0052] 이 때, 데이터 전압(Vdata)을 기준으로 구동 트랜지스터(DT)의 게이트 전극의 전압인 Vdata+Vth를 센싱하여 문턱 전압(Vth)을 센싱할 수 있다.
- [0053] 이후, 발광 제어 신호(EM)가 다시 게이트 로우 전압(VGL)이 될 때 구동 트랜지스터의 드레인 전극에 화소 구동 전압(ELVDD)이 공급된다. 이에 따라 다음 프레임이 시작하고, 발광 소자(EL)는 발광한다.
- [0054] 도 3은 본 출원의 일 예에 따른 화소(P)의 단면도이다. 일 예에 따른 화소(P)는 베이스층(210), 버퍼층(220), 반도체층(230), 게이트 절연층(235), 제 1 금속층(240), 제 2 금속층(250), 제 1 층간 절연막(260), 제 3 금속층(270), 제 2 층간 절연막(280), 평탄화막(290), 애노드 전극(300), 발광층(320), 캐소드 전극(330), 및 격벽(340)을 포함한다.

- [0055] 베이스층(210)은 유기 발광 표시 장치의 최하층을 형성한다. 베이스층(210)은 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 지지할 수 있다. 또는, 베이스층(210)은 가요성이 있는 폴리이미드(Polyimide, PI) 등의 고분자 화합물 또는 플라스틱으로 형성되어, 유기 발광 표시 장치가 가요성이 있도록 할 수 있다.
- [0056] 버퍼층(220)은 베이스층(210)의 상부를 덮는다. 버퍼층(220)은 절연성이 우수한 재료로 형성된다. 버퍼층(220)은 베이스층(210)의 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 외부의 충격 또는 정전기로부터 보호한다.
- [0057] 반도체층(230)은 버퍼층(220)의 상부에 배치된다. 반도체층(230)은 도핑된 반도체로 이루어진다. 반도체층(230)은 화소(P)를 구성하는 박막 트랜지스터의 채널을 형성한다. 반도체층(230)은 게이트 채널(231), 제 1 채널(232), 및 제 2 채널(233)을 포함한다. 게이트 채널(231)은 박막 트랜지스터의 게이트 전극의 채널을 형성한다. 제 1 및 제 2 전극층(233)은 박막 트랜지스터의 소스 전극 및 드레인 전극의 채널을 형성한다.
- [0058] 게이트 절연층(235)은 버퍼층(220) 및 반도체층(230)의 상부에 배치된다. 게이트 절연층(235)은 버퍼층(220) 및 반도체층(230)을 전체적으로 덮는다. 게이트 절연층(235)은 절연성이 우수한 재료로 형성된다. 게이트 절연층(235)은 반도체층(230)이 제 1 금속층(240)과 단락되는 것을 방지하고, 반도체층(230)이 이루는 박막 트랜지스터의 채널을 구분한다.
- [0059] 제 1 금속층(240)은 게이트 절연층(235)의 상부에 배치된다. 제 1 금속층(240)은 박막 트랜지스터의 게이트 전극 및 게이트 라인(GL1~GLp)을 형성하는 게이트 금속층이다. 제 1 금속층(240)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0060] 제 1 층간 절연막(260)은 제 1 금속층(240)의 상부에 배치된다. 제 1 층간 절연막(260)은 전기 절연성이 우수한 물질로 형성된다.
- [0061] 제 3 금속층(270)은 제 1 층간 절연막(260)의 상부에 배치된다. 제 3 금속층(270)은 제 1 금속층(240) 중 박막 트랜지스터의 게이트 전극을 형성하는 제 1 금속층(240)과 중첩되어 배치된다. 제 3 금속층(270)은 박막 트랜지스터의 게이트 전극을 형성하는 제 1 금속층(240)과 상호 정전 용량을 형성한다. 제 3 금속층(270)은 스토리지 커패시터의 일 측 전극의 기능을 수행한다.
- [0062] 제 2 층간 절연막(280)은 제 1 층간 절연막(260) 및 제 3 금속층(270)의 상부에 배치된다. 제 2 층간 절연막(280)은 전기 절연성이 우수한 물질로 형성된다.
- [0063] 제 2 금속층(250)은 제 2 층간 절연막(280)의 상부에 배치된다. 제 2 금속층(250)은 화소(P)를 이루는 박막 트랜지스터의 제 1 전극(251) 및 제 2 전극(252)을 형성한다. 제 2 금속층(250)은 제 1 금속층(240)의 상부에 배치된 소스/드레인 금속층이다. 제 2 금속층(250)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0064] 평탄화막(290)은 제 2 층간 절연막(280) 및 제 2 금속층(250)의 상부에 배치된다. 평탄화막(290)은 상부면의 높이 차이를 감소시킨다. 이에 따라, 평탄화막(290)은 베이스층(210)을 기준으로 Z축 방향으로의 높이가 영역에 따라 편차가 발생하는 것을 해결할 수 있다.
- [0065] 애노드 전극(300)은 평탄화막(290)의 상부에 배치된다. 애노드 전극(300)은 화소(P)를 이루는 박막 트랜지스터의 제 2 전극(252)과 연결된다. 애노드 전극(300)은 박막 트랜지스터의 제 2 전극(252)에 구동 전압 또는 데이터 전압을 공급한다. 애노드 전극(300)은 화소(P) 별로 구분될 수 있다. 서로 인접한 애노드 전극(300) 사이는 격벽(340)으로 인하여 전기적으로 절연될 수 있다.
- [0066] 발광층(320)은 애노드 전극(300) 상에 마련된다. 발광층(320)은 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 전자 수송층(electron transporting layer)을 포함할 수 있다. 발광층(320)은 애노드 전극(300)과 캐소드 전극(330)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되어 유기 발광층에서 서로 결합하여 발광하게 된다.
- [0067] 캐소드 전극(330)은 발광층(320) 및 बैं크(340) 상에 마련된다. 캐소드 전극(330)은 구동 전압을 공급한다.
- [0068] बैं크(340)는 화소(P)들의 애노드 전극(300) 사이에 마련된다. बैं크(340)는 화소(P)들을 구획한다.
- [0069] 도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 평면도이다.
- [0070] 일 예에 따른 유기 발광 표시 장치는 표시 패널(100), 구동 집적 회로(400), 및 트리밍 라인(TRL)을 포함한다.
- [0071] 표시 패널(100)은 표시 영역(DA)과 표시 영역의 주변에 마련된 비표시 영역을 포함한다. 표시 영역(DA)은 화소

(P)들이 마련되어 화상을 표시하는 영역이다. 비표시 영역은 표시 패널(100)의 외곽에 있으며, 표시 영역을 외부의 충격으로부터 보호하는 영역이다.

- [0072] 구동 집적 회로(400)는 표시 패널(100)의 비표시 영역에 배치된다. 일 예로, 구동 집적 회로(400)는 표시 패널(100)의 상부 중앙에 마련된 비표시 영역에 배치될 수 있다. 구동 집적 회로(400)는 도 1의 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(130)의 기능의 일부 또는 전부를 가질 수 있다. 일 예로, 구동 집적 회로(400)가 데이터 구동부(120) 및 타이밍 컨트롤러(130)의 기능을 전부 갖는 경우, 구동 집적 회로(400)가 데이터 구동부(120) 및 타이밍 컨트롤러(130)의 기능을 구현하고, 게이트 구동부(110)는 비표시 영역의 일 측 또는 양 측에 내장된 게이트 인 패널(Gate In Panel, GIP) 회로로 구현될 수 있다.
- [0073] 트리밍 라인(TRL)은 표시 패널(100)의 비표시 영역 상에 형성된다. 일 예에 따른 트리밍 라인(TRL)은 표시 패널(100)의 표시 영역(DA)을 둘러싸도록 마련될 수 있다. 트리밍 라인(TRL)은 표시 패널(100)을 이루는 유리 또는 플라스틱으로 이루어진 기관의 양 측 단부를 정의한다. 비표시 영역 중 트리밍 라인(TRL)의 내부 영역에는 게이트 인 패널 회로 등의 구동 회로 및 구동 라인들이 배치할 수 있다. 비표시 영역 중 트리밍 라인(TRL)의 외곽 영역에는 폴딩 패튼을 배치할 수 있다. 트리밍 라인(TRL)을 갖는 유기 발광 표시 장치는 외곽 영역에서 가요성을 증가시킬 수 있다. 이에 따라, 유기 발광 표시 장치를 반복적으로 폴딩하더라도 외곽 영역에서부터 크랙이 발생하는 현상을 방지할 수 있다.
- [0074] 도 5는 도 4의 확대도이다. 도 6은 일 예에 따른 도 5의 I-I'의 단면도이다. 도 7은 다른 예에 따른 도 5의 I-I'의 단면도이다.
- [0075] 일 예에 따른 유기 발광 표시 장치는 비표시 영역에서 베이스층(210), 버퍼층(220), 게이트 절연층(235), 제 1 층간 절연막(260), 제 2 층간 절연막(280), 및 평탄화막(290)을 포함한다.
- [0076] 베이스층(210)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 유기 발광 표시 장치의 하부면을 형성한다. 베이스층(210)은 가요성이 있는 폴리이미드 등의 고분자 화합물 또는 플라스틱으로 형성될 수 있다. 이에 따라, 베이스층(210)은 비표시 영역의 외곽 영역이 가요성이 있도록 할 수 있다. 베이스층(210)은 비표시 영역의 외곽 중 스크라이빙 라인(SCL)을 기준으로 절단된다.
- [0077] 버퍼층(220)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 베이스층(210)의 상부에 배치된다. 버퍼층(220)은 절연성이 우수한 재료로 형성된다. 버퍼층(220)은 비표시 영역에 배치된 베이스층(210)의 외곽 일부 영역을 제외하고 베이스층(210)을 덮는다. 버퍼층(220)은 무기막층으로 형성될 수 있다.
- [0078] 게이트 절연층(235)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 버퍼층(220)의 상부에 배치된다. 게이트 절연층(235)은 절연성이 우수한 재료로 형성된다. 게이트 절연층(235)은 비표시 영역에 배치된 버퍼층(220)의 외곽 일부 영역을 제외하고 버퍼층(220)을 덮는다. 게이트 절연층(235)은 소정의 경도를 갖는다. 게이트 절연층(235)은 무기막층으로 형성될 수 있다.
- [0079] 제 1 층간 절연막(260)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 게이트 절연층(235)의 상부에 배치된다. 제 1 층간 절연막(260)은 절연성이 우수한 재료로 형성된다. 제 1 층간 절연막(260)은 게이트 절연층(235) 상부 전체를 덮는다. 제 1 층간 절연막(260)은 소정의 경도를 갖는다. 제 1 층간 절연막(260)은 무기막층으로 형성될 수 있다.
- [0080] 제 2 층간 절연막(280)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 제 1 층간 절연막(260)의 상부에 배치된다. 제 2 층간 절연막(280)은 절연성이 우수한 재료로 형성된다. 제 2 층간 절연막(280)은 제 1 층간 절연막(260) 상부 전체를 덮는다. 제 2 층간 절연막(280)은 소정의 경도를 갖는다. 제 2 층간 절연막(280)은 무기막층으로 형성될 수 있다.
- [0081] 평탄화막(290)은 표시 영역(DA)과 비표시 영역에서 일체로 형성되어, 제 2 층간 절연막(280)의 상부에 배치된다. 평탄화막(290)은 유기막층으로 형성될 수 있다. 일 예에 따른 평탄화막(290)은 가요성이 있는 폴리이미드 등의 고분자 화합물로 형성될 수 있다.
- [0082] 일 예에 따른 버퍼층(220)은 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)보다 외곽 방향으로 연장된다. 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)은 비표시 영역의 외곽에서 일부 제거된다.
- [0083] 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)은 표시 영역(DA)에서는 화소(P)를 구성하는 박막 트랜지스터를 이루는 금속층 간의 절연을 위해 필요한 층이다. 그러나, 비표시 영역의 외곽에 게이트

절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)이 버퍼층(220)이 배치된 영역 전체에 배치되는 경우, 소정의 경도를 갖는 층들이 비표시 영역의 외곽에 배치된다.

[0084] 경도를 갖는 층들이 비표시 영역의 외곽에 배치되는 경우 반복적인 폴딩에 의해 비표시 영역의 외곽에서 크랙이 발생하기 쉬운 문제가 발생한다. 또한, 경도를 갖는 층들이 비표시 영역의 외곽에 배치되는 경우, 외곽에서 발생한 크랙이 표시 영역(DA) 방향으로 전파되어 구동 회로 및 배선들을 손상시키는 문제가 발생한다.

[0085] 일 예에 따라 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)을 비표시 영역의 외곽에서 제거하여, 버퍼층(220)이 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)보다 외곽 방향으로 돌출되도록 한다. 버퍼층(220)이 외곽으로 돌출되는 경우, 비표시 영역의 외곽에서 크랙이 발생할 가능성이 감소한다. 또한, 버퍼층(220)이 외곽으로 돌출되는 경우, 외곽에서 크랙이 발생하더라도 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)까지 크랙이 전파될 가능성이 감소한다.

[0086] 또한, 일 예에 따른 베이스층(210)은 버퍼층(220)보다 외곽 방향으로 연장된다. 베이스층(210)은 버퍼층(220)은 비표시 영역의 외곽에서 일부 제거된다.

[0087] 베이스층(210)은 연성이 우수한 가요성 플라스틱 또는 폴리이미드로 이루어지며, 버퍼층(220)은 베이스층(210)보다 연성이 낮은 물질로 형성된다. 따라서, 최외곽부에 베이스층(210)만 배치되는 것이 베이스층(210)과 버퍼층(220)이 적층 구조를 이루는 것보다 크랙의 발생 가능성이 낮다.

[0088] 본 출원의 일 예는 베이스층(210)이 비표시 영역의 외곽 방향으로 많이 연장된다. 버퍼층(220)은 베이스층(210)보다 비표시 영역의 외곽 방향으로 적게 연장되고, 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)보다 많이 연장된다. 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)은 비표시 영역의 외곽 방향에서 가장 조금 연장된다. 즉, 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)은 비표시 영역의 외곽 방향에서 일부 제거된다.

[0089] 이러한 구조로 인하여 비표시 영역의 외곽에서 크랙이 발생하는 것을 방지할 수 있고, 외곽 영역의 크랙이 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)을 통해 표시 영역(DA) 방향으로 전파되는 것을 방지할 수 있다.

[0090] 일 예에 따른 유기 발광 표시 장치의 평탄화막(290)은 도 5 및 도 6과 같이 제 2 층간 절연막(280)의 상부에 배치될 수 있다. 평탄화막(290)은 제 2 층간 절연막(280)의 상부 중 비표시 영역의 외곽 방향으로 일부 제거될 수 있다. 이 경우, 크랙의 발생 및 전파는 제 1 및 제 2 폴딩 패턴(FP1, FP2)에 의해 차단된다.

[0091] 그러나, 이와 같은 구조의 경우, 비표시 영역의 외곽에서 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)이 측면으로 노출된다. 보다 구체적으로, 버퍼층(220)이 노출된 영역에서 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)이 측면으로 노출된다. 이 경우, 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면을 통하여 크랙이 전파될 가능성이 있다.

[0092] 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면을 통한 크랙의 전파 현상을 방지하기 위해, 도 7과 같은 다른 예에 따른 유기 발광 표시 장치를 구현할 수 있다.

[0093] 다른 예에 따른 유기 발광 표시 장치의 평탄화층(290)은 제 2 층간 절연막(280)보다 외곽 방향으로 연장된다. 연장된 평탄화층(290)은 베이스층(210) 및 버퍼층(220)을 덮는다. 평탄화층(290)은 비표시 영역의 외곽 방향으로 연장되면서 버퍼층(220)의 상부 전체를 덮고, 베이스층(210)의 상부 일부를 덮는다.

[0094] 일 예에 따른 평탄화층(290)은 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면을 덮는다. 평탄화층(290)은 가요성이 있는 유기물로 이루어질 수 있다. 평탄화층(290)이 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면을 덮는 경우, 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면에 완충막이 형성된 구조를 갖는다. 이에 따라, 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면에 크랙이 발생하는 것을 방지할 수 있다.

[0095] 일 예에 따른 평탄화층(290)은 베이스층(210)과 버퍼층(220)의 경계선 상에서 단차를 갖는다. 베이스층(210)과 버퍼층(220)의 경계선은 비표시 영역 상의 버퍼층(220)의 외곽 테두리 경계선을 의미한다. 평탄화층(290)은 본래 상부면의 단차가 없도록 하는 층이다. 그러나, 베이스층(210)과 버퍼층(220)의 경계선 상에서는 평탄화층(290)은 상부면에 단차가 있는 구조를 갖는다.

[0096] 일 예에 따른 평탄화층(290)의 상부면의 높이는 베이스층(210)의 상부면과 중첩된 영역과 버퍼층(220)의 상부면

과 중첩된 영역에서 상이하다. 평탄화층(290)의 상부면의 높이는 베이스층(210)의 상부면이 노출된 영역에서 버퍼층(220)의 상부면이 노출된 영역으로 전환될 때 상승한다. 이에 따라, 평탄화층(290)은 베이스층(210)과 버퍼층(220)의 경계선 상에서 계단 형태의 구조를 갖는다.

[0097] 일 예에 따른 평탄화층(290)은 버퍼층(220)과 제 2 층간 절연막(280)의 경계선 상에서 단차를 갖는다. 버퍼층(220)과 제 2 층간 절연막(280)의 경계선은 비표시 영역 상의 제 2 층간 절연막(280)의 외곽 테두리 경계선을 의미한다.

[0098] 일 예에 따른 평탄화층(290)의 상부면의 높이는 버퍼층(220)의 상부면과 중첩된 영역과 제 2 층간 절연막(280)의 상부면과 중첩된 영역에서 상이하다. 평탄화층(290)의 상부면의 높이는 버퍼층(220)의 상부면이 노출된 영역에서 제 2 층간 절연막(280)의 상부면이 노출된 영역으로 전환될 때 상승한다. 이에 따라, 평탄화층(290)은 버퍼층(220)과 제 2 층간 절연막(280)의 경계선 상에서 계단 형태의 구조를 갖는다.

[0099] 이와 같이, 비표시 영역의 외곽 영역에 마련된 베이스층(210)과 버퍼층(220)의 적층 형태 및 버퍼층(220)과 제 2 층간 절연막(280)의 적층 형태에서 계단 형태로 무기막의 적층 구조를 순차적인 단차가 있는 구조로 형성할 수 있다. 또한, 비표시 영역의 외곽 영역에 마련된 무기막의 적층 구조 표면 전체에 유기막인 평탄화막(290)을 덮을 수 있다. 이 경우, 크랙의 전달 매개체가 되는 무기막이 제거된다. 아울러, 상부 및 하부에 배치된 유기막인 평탄화막(290)이 커버층의 역할을 수행한다. 이에 따라, 외곽에서 유입될 수 있는 크랙 또는 발생한 크랙의 전파 경로를 완벽하게 차단할 수 있어, 크랙의 발생을 최소화할 수 있다.

[0100] 일 예에 따른 버퍼층(220)의 측면과 상면이 각각 평탄화막(290)에 접한다. 또한, 제 2 층간 절연막(280)의 측면과 상면이 각각 평탄화막(290)에 접한다. 평탄화막(290)은 제 2 층간 절연막(280)의 상면에 접하며, 제 2 층간 절연막(280)의 상면으로부터 표시 장치의 외곽 방향으로 연장되어 제 2 층간 절연막(280)의 측면에 접하도록 형성된다. 또한, 평탄화막(290)은 제 2 층간 절연막(280)의 측면으로부터 표시 장치의 외곽 방향으로 연장되어 버퍼층(220)의 상면에 접하도록 형성된다. 또한, 평탄화막(290)은 버퍼층(220)의 상면으로부터 표시 장치의 외곽 방향으로 연장되어 버퍼층(220)의 측면에 접하도록 형성된다.

[0101] 일 예에 따른 버퍼층(220) 및 제 2 층간 절연막(280)의 측면과 상면이 각각 평탄화막(290)에 접하는 경우, 평탄화막(290)은 버퍼층(220)과 제 2 층간 절연막(280)을 서로 결합시키는 구조를 갖는다. 특히, 평탄화막(290)은 버퍼층(220) 및 제 2 층간 절연막(280)의 측면과 상면에서 분리되어 있지 않고 일체로 연결되도록 형성되므로, 평탄화막(290)은 버퍼층(220), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)을 일체로 결합시키는 구조를 갖는다. 이에 따라, 평탄화막(290)이 접한 구조를 갖는 경우, 평탄화막(290)을 이용하여 버퍼층(220)과 제 2 층간 절연막(280) 사이의 결합력을 강화시킬 수 있다.

[0102] 일 예에 따른 평탄화층(290)은 베이스층(210)의 일 측 단부까지 연장된다. 베이스층(210)의 일 측 단부는 트리밍 라인(TRL)에 의해 정의되므로, 평탄화층(290)은 트리밍 라인(TRL)까지 연장된다. 평탄화층(290)은 베이스층(210)의 상부면과 버퍼층(220)의 상부면 상에 일체로 형성된다. 또한, 평탄화층(290)은 버퍼층(220)의 상부면과 게이트 절연막(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면 상에 일체로 형성된다. 이 경우, 베이스층(210)의 상부면과 버퍼층(220)의 상부면의 유동을 방지할 수 있다. 또한, 버퍼층(220)의 상부면과 게이트 절연막(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면 사이의 유동 역시 방지할 수 있다. 이에 따라, 평탄화층(290)은 무기막 층 사이의 접합력을 증가시킬 수 있다.

[0103] 상술한 바와 같이, 일 예에 따른 제 1 및 제 2 폴딩 패턴(FP1, FP2)이 배치되어 크랙의 발생 및 전파를 차단할 수 있다.

[0104] 일 예에 따른 제 1 폴딩 패턴(FP1)은 베이스층(210)의 상부 면에 마련된다. 제 1 폴딩 패턴(FP1)은 제 1 거리(D1)만큼의 폭을 갖도록 베이스층(210)의 외곽 영역 상에 마련된다. 제 1 거리(D1)는 190 μ m 이상 210 μ m 이하일 수 있다.

[0105] 제 1 폴딩 패턴(FP1)은 복수 개 형성될 수 있으며, 그 형상은 도 5에 도시한 바와 같이 사각형일 수 있다. 그러나 이에 한정되지 않으며, 제 1 폴딩 패턴(FP1)의 형상은 다각형 또는 곡선을 포함한 패턴일 수 있다. 제 1 폴딩 패턴(FP1)은 양각 또는 음각의 패턴일 수 있다.

[0106] 제 1 폴딩 패턴(FP1)은 베이스층(210) 상에 형성된다. 제 1 폴딩 패턴(FP1)은 베이스층(210)의 외곽 영역이 보다 잘 벤딩되거나 휘어질 수 있도록 한다. 제 1 폴딩 패턴(FP1)은 베이스층(210)의 외곽 영역이 외부의 충격을 보다 잘 흡수할 수 있도록 한다. 제 1 폴딩 패턴(FP1)이 배치되는 경우 유기 발광 표시 장치의 제조 공정, 특히 스크라이빙(scribing) 공정 중 베이스층(210)의 외곽에 크랙이 발생하는 경우를 감소시킬 수 있다. 또한, 제 1

폴딩 패턴(FP1)은 베이스층(210)의 외곽에서 발생한 크랙이 표시 영역(DA) 방향으로 전파하는 문제를 더욱 효과적으로 방지할 수 있다.

[0107] 일 예에 따른 제 1 폴딩 패턴(FP1) 중 제 1 방향인 X축 방향 또는 가로 방향으로 서로 인접한 제 1 폴딩 패턴(FP1)은 평행하게 배치되지 않고 서로 어긋나도록 배치될 수 있다. 제 1 폴딩 패턴(FP1)은 제 1 방향으로 지그재그 구조로 배치된다. 제 1 폴딩 패턴(FP1)은 제 1 방향과 교차하는 제 2 방향으로는 평행하게 배치된다.

[0108] 제 1 방향으로 서로 인접한 제 1 폴딩 패턴(FP1)이 제 1 방향으로 어긋나도록 배치되는 경우, 제 1 방향으로 전파되는 충격을 보다 효율적으로 흡수할 수 있다. 제 1 폴딩 패턴(FP1)은 제 1 방향으로 충격이 가해지더라도 이를 효율적으로 분산시킬 수 있어, 크랙이 제 1 방향으로 전파되는 현상을 방지할 수 있다.

[0109] 제 2 폴딩 패턴(FP2)은 버퍼층(220)의 외곽으로 배치된다. 제 2 폴딩 패턴(FP2)은 제 1 폴딩 패턴(FP1)보다 표시 영역(DA)에 인접하게 배치된다. 제 2 폴딩 패턴(FP2)은 베이스층(210)의 상부에 형성된다. 제 2 폴딩 패턴(FP2)은 제 1 폴딩 패턴(FP1)과 소정의 간격만큼 이격되어 배치된다. 제 2 폴딩 패턴(FP2)은 제 1 폴딩 패턴(FP1)보다 표시 영역(DA) 방향으로 이격된다.

[0110] 도 5에 도시한 바와 같이, 제 2 폴딩 패턴(FP2)의 외부 가장자리부터 제 2 층간 절연막(280)이 배치된 영역의 가장자리까지 제 2 거리(D2)를 갖는다. 제 2 거리(D2)는 $340\mu\text{m}$ 이상 $360\mu\text{m}$ 이하일 수 있다. 제 2 폴딩 패턴(FP2)은 버퍼층(220)의 외곽에 인접한 영역에 배치된다.

[0111] 제 2 폴딩 패턴(FP2)은 베이스층(210)의 외곽 영역에서 크랙이 발생하더라도, 버퍼층(220)에 크랙이 전파되는 것을 방지할 수 있다. 또한, 제 2 폴딩 패턴(FP2)은 반복적으로 폴딩 또는 구부리는 동작을 수행할 때 베이스층(210)과 버퍼층(220)의 사이가 분리되거나 갈라지는 현상 또한 방지할 수 있다.

[0112] 일 예에 따른 제 2 폴딩 패턴(FP2) 중 제 1 방향인 X축 방향 또는 가로 방향으로 서로 인접한 제 2 폴딩 패턴(FP2)은 평행하게 배치되지 않고 서로 어긋나도록 배치될 수 있다. 제 2 폴딩 패턴(FP2)은 제 1 방향으로 지그재그 구조로 배치된다. 제 2 폴딩 패턴(FP2)은 제 1 방향과 교차하는 제 2 방향으로는 평행하게 배치된다.

[0113] 제 1 방향으로 서로 인접한 제 2 폴딩 패턴(FP2)이 제 1 방향으로 어긋나도록 배치되는 경우, 제 1 방향으로 전파되는 충격을 보다 효율적으로 흡수할 수 있다. 제 2 폴딩 패턴(FP2)은 제 1 방향으로 충격이 가해지더라도 이를 효율적으로 분산시킬 수 있어, 크랙이 제 1 방향으로 전파되는 현상을 방지할 수 있다.

[0114] 도 5 및 도 6에 예시된 일 예에 따른 경우, 버퍼층(220)의 외부 가장자리부터 평탄화층(290)의 외부 가장자리까지는 제 3 거리(D3)를 갖는다. 제 3 거리는 0.9 mm 이상 1.1mm 이하일 수 있다. 이 경우에는 버퍼층(220)의 외부 가장자리부터 평탄화층(290)의 외부 가장자리까지 상대적으로 긴 거리를 갖고 있어, 평탄화층(290)이 아닌 제 1 및 제 2 폴딩 패턴(FP1, FP2)의 기능만을 이용하여 베이스층(210)과 버퍼층(220)의 크랙을 방지한다.

[0115] 반면, 도 7에 예시된 다른 예에 따른 경우, 평탄화층(290)이 배치되기 시작하는 트리밍 라인(TRL)부터 버퍼층(220)의 외부 가장자리까지 제 4 거리(D4)를 갖는다.

[0116] 제 4 거리(D4)는 0.9 mm 이상 1.1mm 이하일 수 있다. 제 4 거리(D4)는 제 3 거리(D3)와 동일할 수 있다. 이에 따라, 다른 예에 따른 유기 발광 표시 장치는 평탄화층(290)을 이용하여 베이스층(210)과 버퍼층(220)의 상부면을 덮는 구조를 구현하여 베이스층(210)과 버퍼층(220)의 상부면에 크랙이 발생하는 것을 방지할 수 있다.

[0117] 일 예 및 다른 예에 따른 버퍼층(220)은 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)보다 외곽으로 제 5 거리(D5)만큼 연장된다. 제 5 거리(D5)는 $90\mu\text{m}$ 이상 $110\mu\text{m}$ 이하일 수 있다. 버퍼층(220)을 외곽으로 연장시키는 경우, 버퍼층(220)과 제 2 층간 절연막(280) 간의 계단 구조를 형성할 수 있다. 계단 구조를 형성하는 경우, 평탄화막(290)이 베이스층(210)의 상부면, 버퍼층(220)의 상부면, 및 게이트 절연층(235), 제 1 층간 절연막(260), 및 제 2 층간 절연막(280)의 측면을 일체로 덮을 수 있다.

[0118] 본 출원은 버퍼층과 베이스층을 계단 형태로 단계적으로 외곽 방향으로 연장시키고, 계단 구조의 상부면을 가요성이 있는 평탄화막으로 덮는다. 이에 따라, 본 출원은 상부의 평탄화막과 하부의 베이스층의 유기 물질 사이의 접합력을 높일 수 있어, 크랙이 발생하거나 외곽으로부터 크랙이 전파되는 현상을 방지할 수 있다.

[0119] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

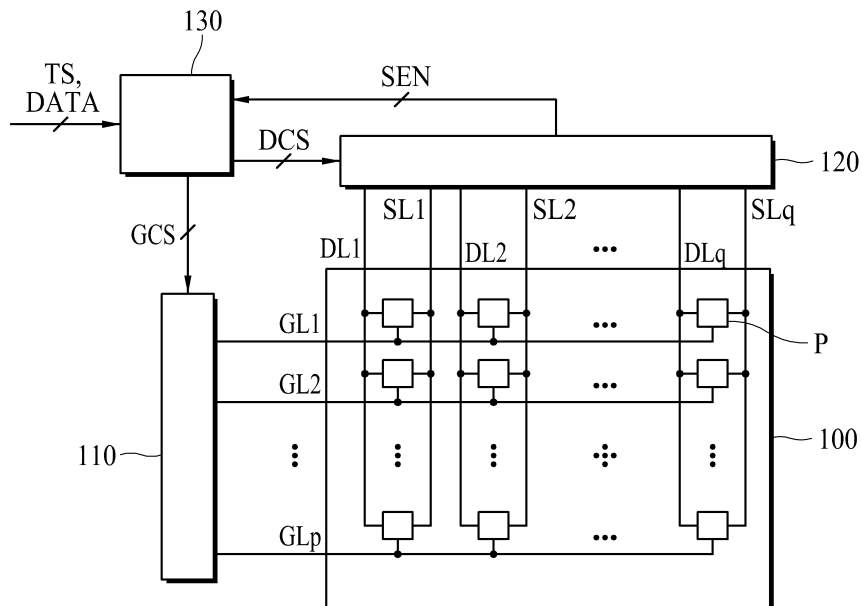
부호의 설명

[0120]

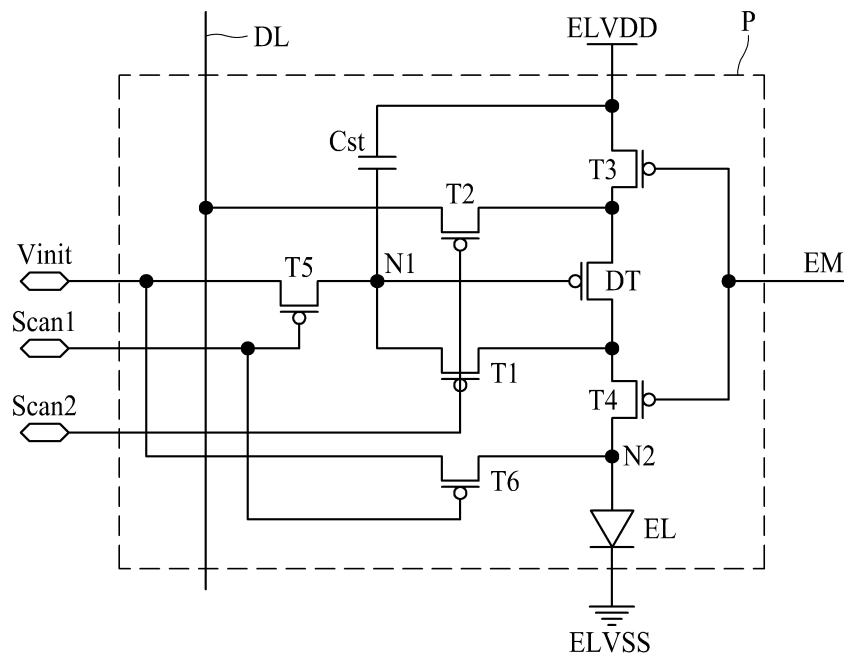
100: 표시 패널 110: 게이트 구동부
 120: 데이터 구동부 130: 타이밍 컨트롤러
 P: 화소 DT: 구동 트랜지스터
 EL: 발광소자 Cst: 스토리지 커패시터
 T1~T6: 제 1 내지 제 6 트랜지스터 210: 베이스층
 220: 버퍼층 230: 반도체층
 235: 게이트 절연층 240: 제 1 금속층
 250: 제 2 금속층 260: 제 1 층간 절연막
 270: 제 3 금속층 280: 제 2 층간 절연막
 290: 평탄화막 300: 애노드 전극
 320: 발광층 330: 캐소드 전극
 340: 격벽 400: 구동 집적 회로
 TRL: 트리밍 라인 SBL: 스크라이브 라인
 FP1, FP2: 제 1 및 제 2 폴딩 패턴

도면

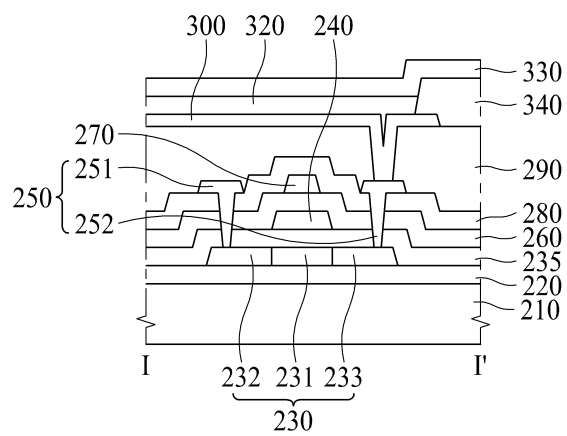
도면1



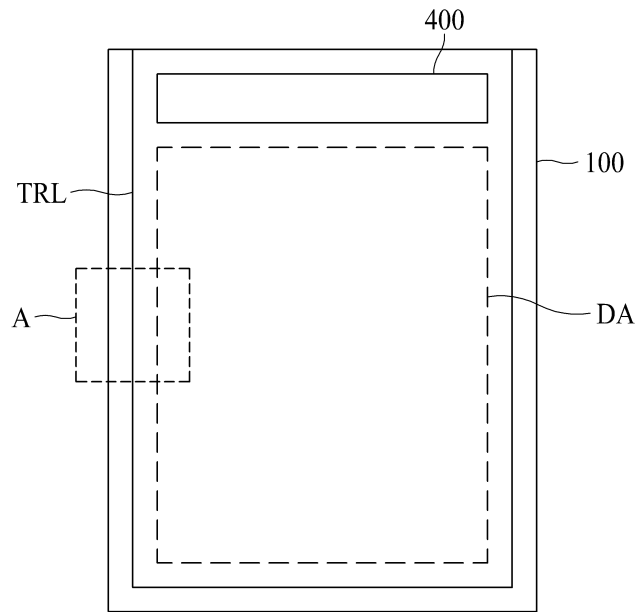
도면2



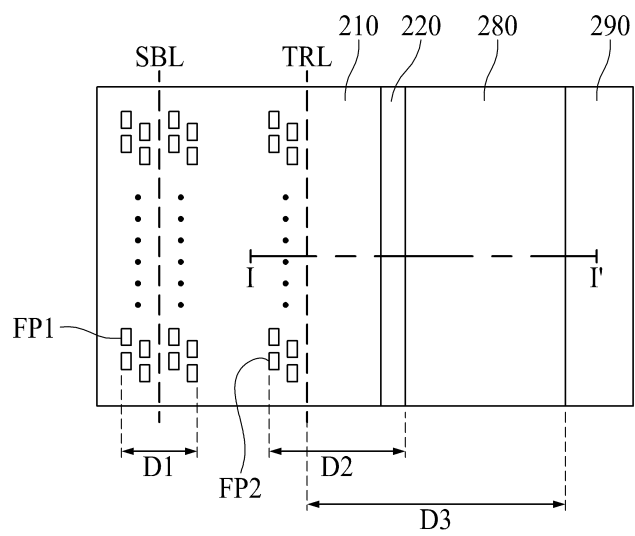
도면3



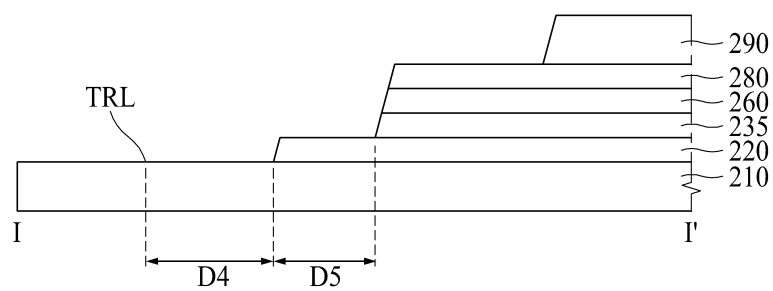
도면4



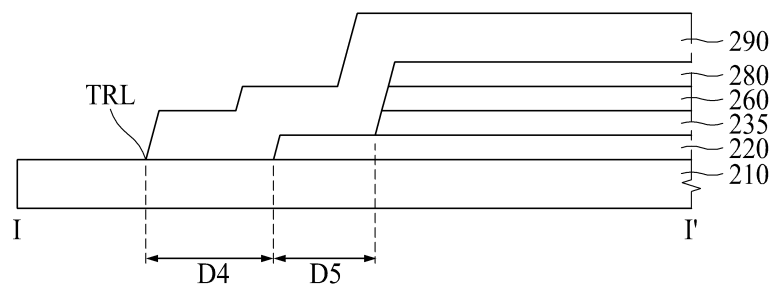
도면5



도면6



도면7



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190064104A	公开(公告)日	2019-06-10
申请号	KR1020170163401	申请日	2017-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	한예슬 조정옥		
发明人	한예슬 조정옥		
IPC分类号	H01L51/52 H01L27/32 H01L51/00		
CPC分类号	H01L51/5237 H01L27/3258 H01L27/3262 H01L51/0014		
外部链接	Espacenet		

摘要(译)

本申请涉及能够防止在显示面板的外侧出现裂纹的有机发光显示装置。根据本申请的有机发光二极管显示器包括：基础层，设置在基础层上的缓冲层，设置在缓冲层上的栅极绝缘层，设置在栅极绝缘层上的第一层间绝缘层以及第一层间绝缘层的上部。平坦化膜设置在第二层间绝缘膜上的第二层间绝缘膜上。缓冲层在比栅极绝缘层，第一层间绝缘膜和第二层间绝缘膜在向外的方向上延伸，并且基层在与缓冲层相比的向外的方向上延伸。平坦化层比第二层间绝缘层在向外方向上延伸，以覆盖基础层和缓冲层的顶部。

