



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0046135
(43) 공개일자 2019년05월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0139347

(22) 출원일자 2017년10월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

배정민

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

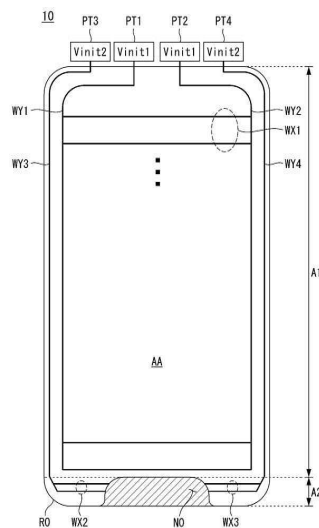
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 전계 발광 표시장치와 그 구동방법

(57) 요약

본 명세서에 따른 전계 발광 표시장치는 다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 표시패널; 및 일정 기간마다 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 초기화 단자부를 포함한다. 여기서, 상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다르다.

대표도 - 도10



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 표시패널; 및

일정 기간마다 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 초기화 단자부를 포함하고,

상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다른 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 비이형부 영역의 R-C 부하는 상기 이형부 영역의 R-C 부하보다 크고,

상기 비이형부 영역에 인가되는 초기화 전압1은 상기 이형부 영역에 인가되는 초기화 전압2보다 높은 전계 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 이형부 영역은 상기 액티브 영역의 모서리부에 배치되는 이형부를 포함하고,

상기 이형부는 상기 액티브 영역의 1번 바깥에 형성되는 노치부의 좌우에 배치되는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 이형부 영역은 상기 비이형부 영역과 접하는 제1 영역과, 상기 제1 영역보다 R-C 부하가 작은 제2 영역을 포함하고,

상기 제1 영역에 인가되는 상기 초기화 전압2는 상기 제2 영역에 인가되는 초기화 전압3과 서로 다른 전계 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 초기화 전압2는 상기 초기화 전압3보다 높은 전계 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 초기화 단자부는,

상기 초기화 전압1을 상기 액티브 영역의 제1 측 테두리를 따라 연장된 제1 Y 배선에 인가하는 제1 초기화 단자;

상기 초기화 전압1을 상기 제1 측 테두리와 마주하는 상기 액티브 영역의 제2 측 테두리를 따라 연장된 제2 Y 배선에 인가하는 제2 초기화 단자;

상기 초기화 전압2를 상기 제1 Y 배선에 나란한 제3 Y 배선에 인가하는 제3 초기화 단자; 및

상기 초기화 전압2를 상기 제2 Y 배선에 나란한 제4 Y 배선에 인가하는 제4 초기화 단자를 포함하는 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,
 상기 액티브 영역은,
 상기 비이형부 영역에서 상기 제1 Y 배선과 상기 제2 Y 배선을 서로 연결하는 다수의 제1 X 배선들과,
 상기 이형부 영역에서 상기 제3 Y 배선으로부터 분기되는 복수의 제2 X 배선들과,
 상기 이형부 영역에서 상기 제4 Y 배선으로부터 분기되는 복수의 제3 X 배선들을 더 포함하는 전계 발광 표시장치.

청구항 8

제 4 항에 있어서,
 상기 초기화 단자부는,
 상기 초기화 전압1을 상기 액티브 영역의 제1 측 테두리를 따라 연장된 제1 Y 배선에 인가하는 제1 초기화 단자;
 상기 초기화 전압1을 상기 제1 측 테두리와 마주하는 상기 액티브 영역의 제2 측 테두리를 따라 연장된 제2 Y 배선에 인가하는 제2 초기화 단자;
 상기 초기화 전압2를 상기 제1 Y 배선에 나란한 제3 Y 배선에 인가하는 제3 초기화 단자;
 상기 초기화 전압2를 상기 제2 Y 배선에 나란한 제4 Y 배선에 인가하는 제4 초기화 단자;
 상기 초기화 전압3을 상기 제1 Y 배선에 나란한 제5 Y 배선에 인가하는 제5 초기화 단자; 및
 상기 초기화 전압3을 상기 제2 Y 배선에 나란한 제6 Y 배선에 인가하는 제6 초기화 단자를 포함하는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,
 상기 액티브 영역은,
 상기 비이형부 영역에서 상기 제1 Y 배선과 상기 제2 Y 배선을 서로 연결하는 다수의 제1 X 배선들과,
 상기 제1 영역에서 상기 제3 Y 배선으로부터 분기되는 복수의 제2 X 배선들과,
 상기 제1 영역에서 상기 제4 Y 배선으로부터 분기되는 복수의 제3 X 배선들과,
 상기 제2 영역에서 상기 제5 Y 배선으로부터 분기되는 복수의 제4 X 배선들과,
 상기 제2 영역에서 상기 제6 Y 배선으로부터 분기되는 복수의 제6 X 배선들을 더 포함하는 전계 발광 표시장치.

청구항 10

제 1 항에 있어서,
 상기 초기화 전압은 매 프레임의 초기화 기간 동안 상기 화소들 각각에 구비된 구동 소자의 게이트전극에 인가되는 전계 발광 표시장치의 구동방법에 있어서,

청구항 11

다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 전계 발광 표시장치의 구동방법에 있어서,
 초기화 기간 동안 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 단계를 포

함하고,

상기 초기화 기간 동안, 상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다른 전계 발광 표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 비이형부 영역의 R-C 부하는 상기 이형부 영역의 R-C 부하보다 크고,

상기 비이형부 영역에 인가되는 초기화 전압1은 상기 이형부 영역에 인가되는 초기화 전압2보다 높은 전계 발광 표시장치의 구동방법.

청구항 13

제 12 항에 있어서,

상기 이형부 영역은, 제1 영역 및 상기 제1 영역보다 R-C 부하가 작은 제2 영역을 포함하고,

상기 초기화 전압2는 상기 제2 영역에 비해 상기 제1 영역에서 더 높은 전계 발광 표시장치의 구동방법.

청구항 14

제 11 항에 있어서,

상기 초기화 기간에 이은 샘플링 기간 동안 상기 화소들 각각에 구비된 구동 소자의 문턱전압을 샘플링하는 단계; 및

상기 샘플링 기간에 이은 발광 기간 동안 상기 문턱전압이 보상된 구동 전류로 상기 화소들 각각에 구비된 발광 소자를 구동시키는 단계를 더 포함하는 전계 발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 명세서는 전계 발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

발명의 내용

해결하려는 과제

[0003] 전계 발광 표시장치는 입력 영상을 표시하기 위한 화소들이 구비된 표시패널을 포함한다. 표시패널은 사용 환경이나 용도에 따라 다양한 디자인을 갖도록 설계될 수 있다. 예를 들어, 표시패널은 전통적인 단일의 사각형, 원형, 타원형뿐만 아니라 부분적인 곡면이나 노치(notch)와 같은 이형부(異形部)를 갖는 형태에 이르기까지 다양하게 설계될 수 있다.

[0004] 표시패널이 이형부를 갖거나 원형, 타원형 등으로 구현된 전계 발광 표시장치는 제품 디자인의 자유도를 높일 수 있다는 점에서 디자인적인 측면을 중요시하는 소비자들에게 어필할 수 있다.

[0005] 그러나, 표시패널에서 이형부와 비이형부(非異形部)는 수평 화소라인의 길이가 서로 다르므로, 이형부와 비이형부 간에 R-C 부하(Resistor-Capacitor load)의 차가 발생할 수 있다. 이러한 R-C 부하의 차는 표시패널의 휘도 균일성과 표시품질을 저하시킬 수 있다.

[0006] 따라서, 본 명세서는 표시패널의 이형부와 비이형부 간에 R-C 부하 차이로 인한 휘도 편차를 보상하고 표시품질을 향상시킬 수 있도록 한 전계 발광 표시장치와 그 구동방법을 제공한다.

과제의 해결 수단

[0007] 본 명세서에 따른 전계 발광 표시장치는 다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 표시패널; 및 일정 기간마다 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 초기화 단자부를 포함한다. 여기서, 상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다르다.

발명의 효과

[0008] 본 명세서의 전계 발광 표시장치와 그 구동방법에 따르면, 표시패널의 이형부와 비이형부 간에 R-C 부하 차이로 인한 휘도 편차를 보상하기 위해 이형부 영역에 인가되는 초기화 전압과 비이형부 영역에 인가되는 초기화 전압을 다르게 한다. 본 명세서에 따르면, 표시패널의 이형부와 비이형부 간에 R-C 부하 차이로 인한 휘도 편차를 보상하기 위해, 이형부 영역에 인가되는 초기화 전압과 비이형부 영역에 인가되는 초기화 전압을 다르게 함과 아울러, R-C 부하 차이를 고려하여 이형부 영역에 인가되는 초기화 전압을 세분화한다. 본 명세서에 따르면, R-C 부하가 상대적으로 큰 영역에 인가되는 초기화 전압을 R-C 부하가 상대적으로 작은 영역에 인가되는 초기화 전압에 비해 높인다.

[0009] 이를 통해, 본 명세서의 전계 발광 표시장치와 그 구동방법은 R-C 부하 차이로 인한 휘도 편차를 보상하고 표시 품질을 향상시킬 수 있다.

[0010] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0011] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치를 보여주는 블록도이다.
- 도 2는 본 명세서의 실시예에 따른 전계 발광 표시장치의 화소 어레이를 보여주는 도면이다.
- 도 3은 도 2의 화소 어레이를 구동하기 위한 게이트 드라이버의 일 예를 보여주는 도면이다.
- 도 4는 도 3에 도시된 화소의 일 등가회로를 보여 주는 도면이다.
- 도 5는 도 4의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 보여주는 파형도이다.
- 도 6a는 도 5의 초기화 기간에 대응되는 화소의 등가 회로도이다.
- 도 6b는 도 5의 보상 기간에 대응되는 화소의 등가 회로도이다.
- 도 6c는 도 5의 발광 기간에 대응되는 화소의 등가 회로도이다.
- 도 7은 이형부와 비이형부를 갖는 표시패널의 형상을 개략적으로 보여주는 도면이다.
- 도 8 및 도 9는 표시패널의 이형부와 비이형부에 초기화전압을 동일하게 인가할 때 생기는 휘도 편차를 설명하기 위한 도면들이다.
- 도 10 및 도 11은 표시패널의 이형부와 비이형부에 초기화전압을 다르게 인가하여 휘도 편차를 줄이는 일 예를 설명하기 위한 도면들이다.
- 도 12 및 도 13은 표시패널의 이형부와 비이형부에 초기화전압을 다르게 인가하여 휘도 편차를 줄이는 다른 예를 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서

가 속하는 기술분야에서 통상의 지식을 가진 자에게 명세서의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 명세서의 권리 범위는 청구항의 범주에 의해 정의될 뿐이다.

- [0013] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0014] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0015] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0016] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0017] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0018] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0019] 이하, 첨부된 도면을 참조하여 본 명세서의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 본 명세서의 실시예에서는 유기 발광 표시장치를 중심으로 기술한다.
- [0020] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치를 보여주는 블록도이다. 도 2는 본 명세서의 실시예에 따른 전계 발광 표시장치의 화소 어레이를 보여주는 도면이다. 그리고, 도 3은 도 2의 화소 어레이를 구동하기 위한 게이트 드라이버의 일 예를 보여주는 도면이다.
- [0021] 도 1 내지 도 3을 참조하면, 본 명세서에 따른 전계 발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12,13), 및 표시패널 구동회로(12,13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.
- [0022] 표시패널 구동회로(12,13)는 표시패널(10)의 화소들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동회로(12,13)는 화소들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12)와, 화소들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.
- [0023] 표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)이 매트릭스 형태로 배치된다. 화소들(PXL)은 OLED를 포함할 수 있다. 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.
- [0024] 표시패널(10)은 화소 어레이(Pixel array)가 구비된 액티브 영역(AA)과, 액티브 영역(AA) 바깥의 비 표시영역을 포함할 수 있다. 화소 어레이(Pixel array)에는 도 2와 같이 다수의 수평 화소 라인들(HL1~HL4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a,15b)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 집합을 의미한다. 화소 어레이에는 초기화 전압(Vinit)을 화소들(PXL)에 공급하는 초기화 전원라인(16), 고전위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 고전위 전원라인(17)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.

- [0025] 게이트 라인들(15) 각각은 스캔 신호(SC)가 공급되는 제1 게이트 라인(15a), 및 에미션 신호(EM)가 공급되는 제2 게이트 라인(15b)을 포함한다. 제 n 수평 화소 라인(L(n))에 배치된 각 화소(PXL)에는 제 n 수평 화소 라인(L(n))에 할당된 제 n 스캔 신호(SC(n))와 제 n 에미션 신호(EM(n)) 이외에 제 $n-1$ 수평 화소 라인(L(n-1))에 할당된 제 $n-1$ 스캔 신호(SC(n-1))가 더 공급될 수 있다. 다만, 각 화소(PXL)에 연결되는 게이트 라인들과 게이트 신호는 화소(PXL)의 회로 구성에 따라 다양하게 가변될 수 있다.
- [0026] 화소들(PXL) 각각은 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 컬러 구현을 위하여 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다. 화소들(PXL) 각각에는 하나의 데이터 라인(14), 하나의 제1 게이트 라인(15a), 하나의 제2 게이트 라인(15b), 초기화 전원 라인(16), 고전위 전원라인(17) 등이 연결될 수 있다. 화소들(PXL) 각각은 전단 수평 화소 라인에 배치된 제1 게이트 라인(15a)에 더 연결될 수 있다.
- [0027] 표시패널(10)은 그 일단부에 적어도 하나의 이형부(異形部, free form portion)를 포함할 수 있다. 이형부는 액티브 영역(AA)의 1변을 따라 일정 영역이 제거된 노치부에 의해 정의될 수 있다. 다시 말해, 이형부는 액티브 영역(AA)의 모서리부에서 라운드 형태를 가지며 노치부의 좌우에 배치된 적어도 하나 이상의 곡면부를 포함할 수 있다. 액티브 영역(AA)에서 이형부에 대응되는 영역은 이형부 영역이 되고, 이형부를 제외한 영역은 비이형부 영역이 된다.
- [0028] 액티브 영역(AA)에서 이형부와 비이형부(非異形部)는 수평 화소라인의 길이가 서로 다르므로, 이형부와 비이형부 간에 R-C 부하(Resistor-Capacitor load)의 차가 발생될 수 있다. 이러한 R-C 부하의 차는 표시패널(10)의 휘도 균일성과 표시품질을 저하시킬 수 있으므로, 본 명세서는 R-C 부하 차이를 고려하여 이형부와 비이형부 간에 초기화 전압(Vinit) 레벨을 다르게 설계하여 휘도 균일성을 확보한다. 표시패널(10)의 초기화 전압(Vinit) 제어 구성에 대해서는 도 7 내지 도 13을 통해 상세히 설명한다.
- [0029] 소스 드라이버(12)는 매 프레임 마다 타이밍 컨트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터 전압(Vdata)으로 변환한 후, 그 데이터 전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터 전압(Vdata)을 출력한다.
- [0030] 소스 드라이버(12)와 표시패널(10)의 데이터 라인들(14) 사이에는 멀티플렉서(미도시)가 더 배치될 수 있다. 멀티플렉서는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들로 분배함으로써, 데이터라인의 개수 대비 소스 드라이버(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.
- [0031] 소스 드라이버(12)는 초기화 전압(Vinit)을 생성하여 초기화 전원 라인(16)에 공급하고, 고전위 전원 전압(EVDD)을 생성하여 고전위 전원 라인(17)에 공급할 수 있다. 이를 위해, 소스 드라이버(12)는 전원 생성부(미도시)를 더 포함할 수 있다. 전원 생성부는 저전위 전원 전압(EVSS)을 더 생성할 수 있다. 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버에 전기적으로 연결될 수도 있다. 초기화 기간 및 샘플링 기간 동안에 불필요한 OLED의 발광이 방지되도록, 초기화 전압(Vinit)은 OLED의 동작점 전압보다 충분히 낮은 전압 범위 내에서 설계될 수 있다.
- [0032] 게이트 드라이버(13)는, 도 3과 같이 스캔 신호들(SC(1)~SC(n))을 생성하는 제1 게이트 구동부(13A)와 에미션 신호들(EM(1)~EM(n))을 생성하는 제2 게이트 구동부(13B)를 포함할 수 있다.
- [0033] 제1 게이트 구동부(13A)는 수평 화소 라인(L1~Ln)만큼의 제1 스테이지들(GSTG1~GSTGn)를 가지며, 타이밍 컨트롤러(11)의 제어 하에 스캔 신호들(SC(1)~SC(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)을 선택한다. 제1 게이트 구동부(13A)는 쉬프트 레지스터(Shift register)로 구현되고 다수의 제1 출력 노드들을 통해 스캔 신호들(SC(1)~SC(n))을 제1 게이트 라인들(15a(1)~15a(n))에 순차적으로 공급할 수 있다.
- [0034] 제2 게이트 구동부(13B)는 수평 화소 라인(L1~Ln)만큼의 제2 스테이지들(ESTG1~ESTGn)를 가지며, 타이밍 컨트롤러(11)의 제어 하에 에미션 신호들(EM(1)~EM(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)의 발광 타이밍을 제어한다. 제2 게이트 구동부(13B)는 쉬프트 레지스터와 인버터를 포함하고 다수의 제2 출력 노드들을 통해 에미션 신호들(EM(1)~EM(n))을 제2 게이트 라인들(15b(1)~15b(n))에 순차적으로 공급할 수 있다.

- [0035] 도 3에서, GDUM, EDUM, G-MNT, 및 E-MNT 은 더미 스테이지를 의미한다. L Dummy는 더미 화소라인을 지시한다. 그리고, 스테이지들에 인가되는 VGH 및 VGL은 스테이지 구동 전원을 의미하며, VGH는 게이트 하이전압을, 그리고 VGL은 게이트 로우전압을 지시한다. 더미 스테이지와 더미 화소라인은 선택적으로 포함하거나 제외될 수 있다. 더미 화소라인의 화소는 수평 화소라인의 화소(PXL)와 유사하나, 발광하지 않도록 구성될 수 있다. 즉, 더미 화소라인은 적어도 OLED를 포함하지 않거나 또는, 데이터전압을 인가받지 않도록 구성되거나 또는, 스캔신호와 에미션신호를 인가받지 않도록 구성될 수 있다.
- [0036] 게이트 드라이버(13)의 제1 출력 노드들 중 어느 하나와 제2 출력 노드들 중 어느 하나를 포함한 2개의 출력 노드들이 매 수평 화소 라인(L1~Ln)에 연결될 수 있다. 특히 게이트 드라이버(13)의 구성이 간소해지도록, 제1 출력 노드들 각각은 이웃한 2개의 수평 화소 라인들에 공통으로 연결될 수 있다. 도 4와 같은 화소(PXL)의 경우 서로 다른 온 타이밍을 갖는 3개의 게이트신호들이 필요하다. 예를 들어, 제n 수평 화소라인(Ln)의 화소들(PXL)은 2개의 스캔신호들과 1개의 에미션 신호가 필요하다. 여기서, 2개의 스캔신호들을 제n-1 스캔신호(SC(n-1))와 제n 스캔신호(SC(n))로 구성하고, 1개의 에미션 신호를 제n 에미션신호(EM(n))로 구성하면, 2개의 스테이지들로 제n 수평 화소라인(Ln)의 화소들(PXL)을 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성을 간소화할 수 있는 이점이 있다. 이 경우, 제n 스캔 신호(SC(n))와 제n-1 스캔 신호(SC(n-1))는 펄스 폭이 동일하고 위상이 서로 다르다.
- [0037] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.
- [0038] 타이밍 컨트롤러(11)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0039] 타이밍 컨트롤러(11)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수*i(i는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동회로(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0040] 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.
- [0041] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 컨트롤러(11)와 소스 드라이버(12)사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.
- [0042] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 에미션 쉬프트 클럭(Emission Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간의 초기에 발생되어 게이트 드라이버(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 스캔 신호(SC(1)~SC(n))와 에미션 신호(EM(1)~EM(n))가 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 드라이버(13)의 쉬프트 레지스터에 입력되어 쉬프트 레지스터의 쉬프트 타이밍(shift timing)을 제어한다. 에미션 쉬프트 클럭은 게이트 드라이버(13)의 인버터에 입력되어 인버터의 쉬프트 타이밍(shift timing)을 제어한다.
- [0043] 도 4는 도 3에 도시된 화소의 일 등가회로를 보여 주는 도면이다.
- [0044] 도 4를 참조하면, 본 명세서의 화소(PXL)는, OLED, 다수의 TFT들(Thin Film Transistor)(T1~T6, DT) 및 스토리지 커패시터(Cst)를 포함한다. TFT들(T1~T6, DT)은 PMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 명세서의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들

(T1~T6) 중에서 적어도 하나의 TFT는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.

- [0045] 이하, 제 n 수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.
- [0046] OLED는 구동 TFT(DT)의 게이트-소스 간 전압에 따라 조절되는 전류량으로 발광한다. OLED는 애노드 전극은 노드 N4에 연결되고, OLED의 캐소드 전극은 저전위 전원전압(EVSS)에 연결된다. 애노드 전극과 캐소드 전극 사이에는 유기 화합물층이 구비된다.
- [0047] 구동 TFT(DT)는 게이트-소스 간 전압(V_{gs})에 따라 OLED에 흐르는 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 노드 N1에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다.
- [0048] 제1 스위치 TFT(T1)는 데이터라인(14)과 노드 N1 사이에 접속되며, 제 n 스캔 신호(SC(n))에 따라 스위칭된다. 제1 스위치 TFT(T1)의 게이트 전극은 제 n 스캔 신호(SC(n))가 인가되는 n 번째 제1 게이트라인(15a(n))에 접속되고, 제1 스위치 TFT(T1)의 소스 전극은 데이터라인(14)에 접속되며, 제1 스위치 TFT(T1)의 드레인 전극은 노드 N1에 접속된다.
- [0049] 제2 스위치 TFT(T2)는 고전위 전원라인(17)과 노드 N1 사이에 접속되며, 제 n 에미션 신호(EM(n))에 따라 스위칭된다. 제2 스위치 TFT(T2)의 게이트 전극은 제 n 에미션 신호(EM(n))가 인가되는 n 번째 제2 게이트라인(15b(n))에 접속되고, 제2 스위치 TFT(T2)의 소스 전극은 고전위 전원라인(17)에 접속되며, 제2 스위치 TFT(T2)의 드레인 전극은 노드 N1에 접속된다.
- [0050] 제3 스위치 TFT(T3)는 노드 N2와 노드 N3 사이에 접속되며, 제 n 스캔 신호(SC(n))에 따라 스위칭된다. 제3 스위치 TFT(T3)의 게이트 전극은 제 n 스캔 신호(SC(n))가 인가되는 n 번째 제1 게이트라인(15b(n))에 접속되고, 제3 스위치 TFT(T3)의 소스 전극은 노드 N3에 접속되며, 제3 스위치 TFT(T3)의 드레인 전극은 노드 N2에 접속된다.
- [0051] 제4 스위치 TFT(T4)는 노드 N2와 초기화 전원라인(16) 사이에 접속되며, 제 $n-1$ 스캔 신호(SC($n-1$))에 따라 스위칭된다. 제4 스위치 TFT(T4)의 게이트 전극은 제 $n-1$ 스캔 신호(SC($n-1$))가 인가되는 $n-1$ 번째 제1 게이트라인(15a($n-1$))에 접속되고, 제4 스위치 TFT(T4)의 소스 전극은 노드 N2에 접속되며, 제4 스위치 TFT(T4)의 드레인 전극은 초기화 전원라인(16)에 접속된다.
- [0052] 제5 스위치 TFT(T5)는 노드 N3와 노드 N2 사이에 접속되며, 제 n 에미션 신호(EM(n))에 따라 스위칭된다. 제5 스위치 TFT(T5)의 게이트 전극은 제 n 에미션 신호(EM(n))가 인가되는 n 번째 제2 게이트라인(15b(n))에 접속되고, 제5 스위치 TFT(T5)의 소스 전극은 노드 N3에 접속되며, 제5 스위치 TFT(T5)의 드레인 전극은 노드 N4에 접속된다.
- [0053] 제6 스위치 TFT(T6)는 노드 N4와 초기화 전원라인(16) 사이에 접속되며, 제 n 스캔 신호(SC(n))에 따라 스위칭된다. 제6 스위치 TFT(T6)의 게이트 전극은 제 n 스캔 신호(SC(n))가 인가되는 n 번째 제1 게이트라인(15a(n))에 접속되고, 제6 스위치 TFT(T6)의 소스 전극은 노드 N4에 접속되며, 제6 스위치 TFT(T6)의 드레인 전극은 초기화 전원라인(16)에 접속된다.
- [0054] 스토리지 커패시터(Cst)는 고전위 전원라인(17)과 노드 N2 사이에 접속된다.
- [0055] 한편, 제3 및 제4 위치 TFT들(T3,T4)는 턴 오프시 누설 전류를 억제할 수 있도록 듀얼 게이트 구조로 설계될 수 있다. 듀얼 게이트 구조에서 2개의 게이트전극들은 동일한 전위를 가지도록 서로 연결되며, 채널 길이가 단일 게이트 구조에 비해 길어진다. 채널 길이가 길어지면 저항이 증가되므로 턴 오프시에 누설 전류가 감소되어, 동작의 안정성이 확보될 수 있다.
- [0056] 도 5는 도 4의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 보여주는 파형도이다. 도 6a는 도 5의 초기화 기간에 대응되는 화소의 등가 회로도이다. 도 6b는 도 5의 보상 기간에 대응되는 화소의 등가 회로도이다. 그리고, 도 6c는 도 5의 발광 기간에 대응되는 화소의 등가 회로도이다.
- [0057] 도 5를 참조하면, 제 n 수평 화소 라인(L_n) 상에 배치된 각 화소(PXL)는, 초기화 기간(①), 상기 초기화 기간(①)에 이은 샘플링 기간(②), 및 상기 샘플링 기간(②)에 이은 발광 기간(③)을 통해 구동될 수 있다.
- [0058] 도 5를 참조하면, 초기화 기간(①)에서, 제 $n-1$ 스캔 신호(SC($n-1$))는 온 레벨(ON)로 입력되고, 제 n 스캔 신호(SC(n))와 제 n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다.

- [0059] 도 6a를 참조하면, 초기화 기간(①) 동안 온 레벨(ON)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 온 된다. 제4 스위치 TFT(T4)의 턴 온에 의해 노드 N2에 초기화 전압(Vinit)이 인가된다. 초기화 기간(①) 동안 노드 N1은 이전 프레임의 전위, 즉 고전위 전원전압(EVDD)을 유지한다. 초기화 기간(①) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs) 즉, "EVDD-Vinit"은 구동 TFT(DT)의 문턱전압(Vth)보다 크므로 구동 TFT(DT)는 턴 온 조건을 만족한다.
- [0060] 도 6a를 참조하면, 초기화 기간(①) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제1 스위치 TFT(T1)와 제3 스위치 TFT(T3)와 제6 스위치 TFT(T6)가 턴 오프 된다. 또한, 초기화 기간(①) 동안 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제2 스위치 TFT(T2)와 제5 스위치 TFT(T5)가 턴 오프 된다.
- [0061] 도 6b를 참조하면, 샘플링 기간(②) 동안 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제1 스위치 TFT(T1)와 제3 스위치 TFT(T3)와 제6 스위치 TFT(T6)가 턴 온 된다. 제1 스위치 TFT(T1)의 턴 온에 의해 노드 N1의 전위가 고전위 전원전압(EVDD)에서 데이터전압(Vdata(n))으로 변경된다. 제6 스위치 TFT(T6)의 턴 온에 의해 노드 N4의 전위가 초기화 전압(Vinit)으로 리셋된다. 그리고, 제3 스위치 TFT(T3)의 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)된다. 구동 TFT(DT)가 다이오드 결선된 상태에서 구동 TFT(DT)에 전류가 흐르면, 구동 TFT(DT)의 문턱전압(Vth)이 샘플링되어 노드 N2 및 노드 N3에 저장된다. 즉, 노드 N2에는 "Vdata-Vth"가 저장된다.
- [0062] 도 6b를 참조하면, 샘플링 기간(②) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 오프 된다. 그리고, 샘플링 기간(②) 동안 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제2 스위치 TFT(T2)와 제5 스위치 TFT(T5)가 오프 상태를 유지한다.
- [0063] 도 6c를 참조하면, 발광 기간(③) 동안 온 레벨(ON)의 제n 에미션 신호(EM(n))에 응답하여 제2 스위치 TFT(T2)와 제5 스위치 TFT(T5)가 턴 온 된다. 발광 기간(③) 동안 제2 스위치 TFT(T2)의 턴 온에 의해 노드 N1의 전위가 데이터전압(Vdata(n))에서 고전위 전원전압(EVDD)으로 변경된다. 발광 기간(③) 동안 노드 N2는 플로팅되므로, 노드 N2의 전위는 샘플링 기간(②)에서 저장된 "Vdata-Vth"를 유지한다. 따라서, 발광 기간(③) 동안 구동 TFT(DT)에는 "(EVDD-Vdata)"의 제곱에 비례하는 구동전류가 흐른다. 이러한 구동전류는 제5 스위치 TFT(T5)를 경유하여 OLED에 인가된다.
- [0064] 발광 기간(③) 동안 OLED에 흐르는 구동 전류(Ioled)는 수학식 1과 같이 문턱전압 (Vth)에 무관한 함수가 된다.
- [0065] [수학식 1]
- [0066]
$$I_{oled} = K(V_{gs} - |V_{th}|)^2$$
- [0067]
$$= K(EVDD - \{V_{data} - |V_{th}|\} - |V_{th}|)^2$$
- [0068]
$$= K(EVDD - V_{data})^2$$
- [0069] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱 전압이다.
- [0070] 도 7은 이형부와 비이형부를 갖는 표시패널의 형상을 개략적으로 보여준다.
- [0071] 도 7을 참조하면, 표시패널(10)의 액티브 영역(AA)은 노치부(NO)로 인해 이형부를 가질 수 있다. 노치부(NO)는 액티브 영역(AA)의 1번 바깥에 형성되는 비 표시영역이다. 노치부(NO)에는 카메라, 수화기, 및 각종 센서 등이 설치될 수 있다. 이형부는 액티브 영역(AA)의 모서리부에서 라운드 형태를 가지며 노치부(NO)의 좌우에 배치된 적어도 하나 이상의 곡면부(RO)로 구현될 수 있다.
- [0072] 액티브 영역(AA)은 비이형부 영역(A1)과 이형부 영역(A2)으로 구분될 수 있다. 비이형부 영역(A1)은 노치부(NO)에 대응되지 않는 영역으로서, 수평 화소라인의 길이가 이형부 영역(A2)에 비해 길다. 따라서, 비이형부 영역(A1)의 R-C 부하는 이형부 영역(A2)의 R-C 부하보다 크다.
- [0073] 이형부 영역(A2)에서 R-C 부하는 이형부 영역(A2)의 형태에 따라 위치 별로 달라질 수 있다. 예를 들어, 도 7의 경우, 이형부 영역(A2)에서 R-C 부하는 비이형부 영역(A1)에 가까울수록 커지고 반대로 비이형부 영역(A1)에서 멀어질수록 작아질 수 있다. 구체적으로, 이형부 영역(A2)은 비이형부 영역(A1)과 접하는 제1 영역(A21)과, 제1 영역(A21)보다 R-C 부하가 작은 제2 영역(A22)을 포함할 수 있다. 제1 영역(A21)은 수평 화소라인 b부터 수평

화소라인 c까지의 영역이다. 그리고, 제2 영역(A22)은 수평 화소라인 a부터 수평 화소라인 b까지의 영역이다. 여기서, 수평 화소라인들의 길이는 $c > b > a$ 순서로 길고, 따라서 R-C 부하는 제2 영역(A22)보다 제1 영역(A21)에서 더 크다.

- [0074] 도 8 및 도 9는 표시패널의 이형부와 비이형부에 초기화전압을 동일하게 인가할 때 생기는 휘도 편차를 설명하기 위한 도면들이다.
- [0075] 도 8 및 도 9를 참조하면, 전계 발광 표시장치는 일정 기간마다 화소들에 초기화 전압(Vinit)을 인가하여 화소들의 각 특정 노드를 리셋시키는 초기화 단자부(PT1,PT2)를 포함할 수 있다. 초기화 단자부(PT1,PT2)는 일원화될 수 있다. 초기화 전압(Vinit)은 전술했듯이, 매 프레임의 초기화 기간 동안 화소들 각각에 구비된 구동 소자의 게이트전극에 인가되는 리셋 전압이다.
- [0076] 도 8 및 도 9를 참조하면, 비이형부 영역(A1)의 화소들에 인가되는 초기화 전압(Vinit)과, 이형부 영역(A2)의 화소들에 인가되는 초기화 전압(Vinit)은 서로 동일할 수 있다. 이 경우, 초기화 단자 PT1은 초기화 전압(Vinit)을 액티브 영역(AA)의 제1 측 테두리를 따라 연장된 제1 Y 배선(WY1)에 인가하고, 초기화 단자 PT2는 초기화 전압(Vinit)을 제1 측 테두리와 마주하는 액티브 영역(AA)의 제2 측 테두리를 따라 연장된 제2 Y 배선(WY2)에 인가한다. 이때, 비이형부 영역(A1)에서, 제1 Y 배선(WY1)과 제2 Y 배선(WY2)은 다수의 제1 X 배선들(WX1)에 의해 서로 연결된다. 그리고, 이형부 영역(A2)에서, 제1 Y 배선(WY1)은 복수의 제2 X 배선들(WX2)로 분기되고, 제2 Y 배선(WY2)은 복수의 제3 X 배선들(WX3)로 분기된다.
- [0077] 이와 같이, 액티브 영역(AA)의 이형부(A2)와 비이형부(A1)에 초기화전압(Vinit)을 동일하게 인가하는 경우, R-C 부하 차이로 인해 이형부(A2)와 비이형부(A1) 각각에서 화소의 노드 N2에 프로그래밍 되는 전압이 달라진다. 노치부(NO)에 대응되며 R-C 부하가 작은 이형부(A2)의 경우 화소의 노드 N2에 프로그래밍 되는 전압(VN2)이 상대적으로 높은 반면, 노치부(NO)에 비대응되며 R-C 부하가 큰 비이형부(A1)의 경우 화소의 노드 N2에 프로그래밍 되는 전압(VN2') $VN2' < VN2$ 이 상대적으로 낮다.
- [0078] 노드 N2에 프로그래밍 되는 전압이 달라지면, 구동전류가 달라지고 그로 인해 휘도가 달라진다. 발광 기간(③) 동안 구동 전류는 노드 N1의 전압에서 노드 N2의 전압을 뺀 값의 제곱에 비례하므로, 비이형부(A1)의 화소에 흐르는 구동전류가 이형부(A2)의 화소에 흐르는 구동 전류에 비해 더 크고, 비이형부(A1)의 휘도가 이형부(A2)의 휘도에 비해 더 높다.
- [0079] 이러한 휘도 불균일은 표시품질이 저하시키는 요인이 된다.
- [0080] 도 10 및 도 11은 표시패널의 이형부와 비이형부에 초기화전압을 다르게 인가하여 휘도 편차를 줄이는 일 예를 설명하기 위한 도면들이다.
- [0081] 도 10 및 도 11을 참조하면, 전계 발광 표시장치는 전술한 휘도 편차를 해결하기 위해 비이형부 영역(A1)의 화소들에 인가되는 초기화 전압1(Vinit1)과, 이형부 영역(A2)의 화소들에 인가되는 초기화 전압2(Vinit2)를 서로 다르게 할 수 있다. 비이형부 영역(A1)의 R-C 부하가 이형부 영역(A2)의 R-C 부하보다 크므로, 전계 발광 표시장치는 비이형부 영역(A1)에 인가되는 초기화 전압1(Vinit1)을 이형부 영역(A2)에 인가되는 초기화 전압2(Vinit2)보다 높게 설정할 수 있다.
- [0082] 이를 위해, 전계 발광 표시장치는 제1 내지 제4 초기화 단자들(PT1~PT4)을 갖는 초기화 단자부를 포함할 수 있다.
- [0083] 제1 초기화 단자(PT1)는 초기화 전압1(Vinit1)을 액티브 영역(AA)의 제1 측 테두리를 따라 연장된 제1 Y 배선(WY1)에 인가한다. 제2 초기화 단자(PT2)는 초기화 전압1(Vinit1)을 상기 제1 측 테두리에 마주하는 액티브 영역(AA)의 제2 측 테두리를 따라 연장된 제2 Y 배선(WY2)에 인가한다. 동일한 초기화 전압1(Vinit1)을 출력하는 제1 초기화 단자(PT1)와 제2 초기화 단자(PT2)는 일원화될 수 있다.
- [0084] 제3 초기화 단자(PT3)는 초기화 전압2(Vinit2)를 상기 제1 Y 배선(WY1)에 나란한 제3 Y 배선(WY3)에 인가한다. 제4 초기화 단자(PT4)는 초기화 전압2(Vinit2)를 상기 제2 Y 배선(WY2)에 나란한 제4 Y 배선(WY4)에 인가한다. 동일한 초기화 전압2(Vinit2)를 출력하는 제3 초기화 단자(PT3)와 제4 초기화 단자(PT4)는 일원화될 수 있다.
- [0085] 이때, 전계 발광 표시장치의 액티브 영역(AA)은 비이형부 영역(A1)에서 제1 Y 배선(WY1)과 제2 Y 배선(WY2)을 서로 연결하는 다수의 제1 X 배선들(WX1)과, 이형부 영역(A2)에서 제3 Y 배선(WY3)으로부터 분기되는 복수의 제2 X 배선들(WX2)과, 이형부 영역(A2)에서 제4 Y 배선(WY4)으로부터 분기되는 복수의 제3 X 배선들(WX3)을 더 포

함한다.

- [0086] 이와 같이, R-C 부하 차이를 고려하여 액티브 영역(AA)의 비이형부 영역(A1)과 이형부 영역(A2)에 서로 다른 초기화전압들(Vinit1, Vinit2)을 인가하는 경우, 이형부 영역(A2)과 비이형부 영역(A1)에서 화소의 노드 N2에 프로그래밍 되는 전압들 간의 차이가 최소화될 수 있다. 다시 말해, 상대적으로 R-C 부하가 큰 비이형부 영역(A1)에 인가되는 초기화 전압1(Vinit1)을, 상대적으로 R-C 부하가 작은 이형부 영역(A2)에 인가되는 초기화 전압 2(Vinit2)보다 높이면, 화소의 노드 N2에 프로그래밍 되는 전압 차이가 비이형부 영역(A1)과 이형부 영역(A2)에서 줄어들 수 있다.
- [0087] 노드 N2에 프로그래밍 되는 전압 차이가 줄어들면, 액티브 영역(AA)에서 위치별 구동전류 편차 및 휘도 편차가 최소화된다. 따라서, 휘도 불균일로 인한 표시품질 저하 문제가 해결될 수 있다.
- [0088] 도 12 및 도 13은 표시패널의 이형부와 비이형부에 초기화전압을 다르게 인가하여 휘도 편차를 줄이는 다른 예를 설명하기 위한 도면들이다.
- [0089] 도 12 및 도 13을 참조하면, 전계 발광 표시장치는 전술한 휘도 편차를 해결하기 위해 비이형부 영역(A1)의 화소들에 인가되는 초기화 전압1(Vinit1)과, 이형부 영역(A2)의 화소들에 인가되는 초기화 전압2(Vinit2)를 서로 다르게 할 수 있다. 비이형부 영역(A1)의 R-C 부하가 이형부 영역(A2)의 R-C 부하보다 크므로, 전계 발광 표시장치는 비이형부 영역(A1)에 인가되는 초기화 전압1(Vinit1)을 이형부 영역(A2)에 인가되는 초기화 전압 2(Vinit2)보다 높게 설정할 수 있다. 나아가, 전계 발광 표시장치는 이형부 영역(A2)에서 R-C 부하에 따라 초기화 전압을 더욱 세분화할 수 있다. 예컨대, 이형부 영역(A2)이 비이형부 영역(A1)과 접하는 제1 영역(A21)과, 제1 영역(A21)보다 R-C 부하가 작은 제2 영역(A22)을 포함하는 경우, 전계 발광 표시장치는 제1 영역(A21)에 초기화 전압2(Vinit2)을 인가하고, 제2 영역(A22)에 초기화 전압2(Vinit2)보다 낮은 초기화 전압3(Vinit3)을 인가할 수 있다.
- [0090] 이를 위해, 전계 발광 표시장치는 제1 내지 제6 초기화 단자들(PT1-PT6)을 갖는 초기화 단자부를 포함할 수 있다.
- [0091] 제1 초기화 단자(PT1)는 초기화 전압1(Vinit1)을 액티브 영역(AA)의 제1 측 테두리를 따라 연장된 제1 Y 배선(WY1)에 인가한다. 제2 초기화 단자(PT2)는 초기화 전압1(Vinit1)을 상기 제1 측 테두리에 마주하는 액티브 영역(AA)의 제2 측 테두리를 따라 연장된 제2 Y 배선(WY2)에 인가한다. 동일한 초기화 전압1(Vinit1)을 출력하는 제1 초기화 단자(PT1)와 제2 초기화 단자(PT2)는 일원화될 수 있다.
- [0092] 제3 초기화 단자(PT3)는 초기화 전압2(Vinit2)를 상기 제1 Y 배선(WY1)에 나란한 제3 Y 배선(WY3)에 인가한다. 제4 초기화 단자(PT4)는 초기화 전압2(Vinit2)를 상기 제2 Y 배선(WY2)에 나란한 제4 Y 배선(WY4)에 인가한다. 동일한 초기화 전압2(Vinit2)를 출력하는 제3 초기화 단자(PT3)와 제4 초기화 단자(PT4)는 일원화될 수 있다.
- [0093] 제5 초기화 단자(PT5)는 초기화 전압3(Vinit3)을 상기 제1 Y 배선(WY1)에 나란한 제5 Y 배선(WY5)에 인가한다. 제6 초기화 단자(PT6)는 초기화 전압3(Vinit3)을 상기 제2 Y 배선(WY2)에 나란한 제6 Y 배선(WY6)에 인가한다. 동일한 초기화 전압3(Vinit3)을 출력하는 제5 초기화 단자(PT5)와 제6 초기화 단자(PT6)는 일원화될 수 있다.
- [0094] 이때, 전계 발광 표시장치의 액티브 영역(AA)은 비이형부 영역(A1)에서 제1 Y 배선(WY1)과 제2 Y 배선(WY2)을 서로 연결하는 다수의 제1 X 배선들(WX1)과, 이형부 영역(A2)의 제1 영역(A21)에서 제3 Y 배선(WY3)으로부터 분기되는 복수의 제2 X 배선들(WX2)과, 이형부 영역(A2)의 제1 영역(A21)에서 제4 Y 배선(WY4)으로부터 분기되는 복수의 제3 X 배선들(WX3)과, 이형부 영역(A2)의 제2 영역(A22)에서 제5 Y 배선(WY5)으로부터 분기되는 복수의 제4 X 배선들(WX4)과, 이형부 영역(A2)의 제2 영역(A22)에서 제6 Y 배선(WY6)으로부터 분기되는 복수의 제5 X 배선들(WX5)을 더 포함한다.
- [0095] 이와 같이, R-C 부하 차이를 고려하여 액티브 영역(AA)의 비이형부 영역(A1)과 이형부 영역(A2)에 서로 다른 초기화전압들(Vinit1, Vinit2)을 인가함은 물론이거니와, R-C 부하 차이를 고려하여 이형부 영역(A2)의 제1 영역(A21)과 제2 영역(A22)에 서로 다른 초기화전압들(Vinit2, Vinit3)을 인가하는 경우, 이형부 영역(A2)과 비이형부 영역(A1)에서 그리고, 이형부 영역(A2)의 제1 영역(A21)과 제2 영역(A22)에서 화소의 노드 N2에 프로그래밍 되는 전압들 간의 차이가 최소화될 수 있다. 다시 말해, 상대적으로 R-C 부하가 큰 비이형부 영역(A1)에 인가되는 초기화 전압1(Vinit1)을, 상대적으로 R-C 부하가 작은 이형부 영역(A2)에 인가되는 초기화 전압2(Vinit2)보다 높이면, 화소의 노드 N2에 프로그래밍 되는 전압 차이가 비이형부 영역(A1)과 이형부 영역(A2)에서 줄어들 수 있다. 또한, 상대적으로 R-C 부하가 큰 제1 영역(A21)에 인가되는 초기화 전압2(Vinit2)을, 상대적으로 R-C 부하가 작은 제2 영역(A22)에 인가되는 초기화 전압3(Vinit3)보다 높이면, 화소의 노드 N2에 프로그래밍 되는

전압 차이가 이형부 영역(A2)의 제1 영역(A21)과 제2 영역(A22)에서 줄어들 수 있다.

- [0096] 노드 N2에 프로그래밍 되는 전압 차이가 줄어들면, 액티브 영역(AA)에서 위치별 구동전류 편차 및 휘도 편차가 최소화된다. 따라서, 휘도 불균일로 인한 표시품질 저하 문제가 해결될 수 있다.
- [0097] 본 명세서의 실시예에 따른 전계 발광 표시장치와 그 구동 방법은 다음과 같이 설명될 수 있다.
- [0098] 본 명세서의 실시예에 따른 전계 발광 표시장치는 다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 표시패널; 및 일정 기간마다 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 초기화 단자부를 포함하고, 상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다르다.
- [0099] 이 전계 발광 표시장치에서, 상기 비이형부 영역의 R-C 부하는 상기 이형부 영역의 R-C 부하보다 크고, 상기 비이형부 영역에 인가되는 초기화 전압1은 상기 이형부 영역에 인가되는 초기화 전압2보다 높다.
- [0100] 이 전계 발광 표시장치에서, 상기 이형부 영역은 상기 액티브 영역의 모서리부에 배치되는 이형부를 포함하고, 상기 이형부는 상기 액티브 영역의 1변 바깥에 형성되는 노치부의 좌우에 배치된다.
- [0101] 이 전계 발광 표시장치에서, 상기 이형부 영역은 상기 비이형부 영역과 접하는 제1 영역과, 상기 제1 영역보다 R-C 부하가 작은 제2 영역을 포함하고, 상기 제1 영역에 인가되는 상기 초기화 전압2는 상기 제2 영역에 인가되는 초기화 전압3과 서로 다르다.
- [0102] 이 전계 발광 표시장치에서, 상기 초기화 전압2는 상기 초기화 전압3보다 높다.
- [0103] 이 전계 발광 표시장치에서, 상기 초기화 단자부는 상기 초기화 전압1을 상기 액티브 영역의 제1 측 테두리를 따라 연장된 제1 Y 배선에 인가하는 제1 초기화 단자; 상기 초기화 전압1을 상기 제1 측 테두리와 마주하는 상기 액티브 영역의 제2 측 테두리를 따라 연장된 제2 Y 배선에 인가하는 제2 초기화 단자; 상기 초기화 전압2를 상기 제1 Y 배선에 나란한 제3 Y 배선에 인가하는 제3 초기화 단자; 및 상기 초기화 전압2를 상기 제2 Y 배선에 나란한 제4 Y 배선에 인가하는 제4 초기화 단자를 포함한다.
- [0104] 이 전계 발광 표시장치에서, 상기 액티브 영역은 상기 비이형부 영역에서 상기 제1 Y 배선과 상기 제2 Y 배선을 서로 연결하는 다수의 제1 X 배선들과, 상기 이형부 영역에서 상기 제3 Y 배선으로부터 분기되는 복수의 제2 X 배선들과, 상기 이형부 영역에서 상기 제4 Y 배선으로부터 분기되는 복수의 제3 X 배선들을 더 포함한다.
- [0105] 이 전계 발광 표시장치에서, 상기 초기화 단자부는 상기 초기화 전압1을 상기 액티브 영역의 제1 측 테두리를 따라 연장된 제1 Y 배선에 인가하는 제1 초기화 단자; 상기 초기화 전압1을 상기 제1 측 테두리와 마주하는 상기 액티브 영역의 제2 측 테두리를 따라 연장된 제2 Y 배선에 인가하는 제2 초기화 단자; 상기 초기화 전압2를 상기 제1 Y 배선에 나란한 제3 Y 배선에 인가하는 제3 초기화 단자; 상기 초기화 전압2를 상기 제2 Y 배선에 나란한 제4 Y 배선에 인가하는 제4 초기화 단자; 상기 초기화 전압3을 상기 제1 Y 배선에 나란한 제5 Y 배선에 인가하는 제5 초기화 단자; 및 상기 초기화 전압3을 상기 제2 Y 배선에 나란한 제6 Y 배선에 인가하는 제6 초기화 단자를 포함한다.
- [0106] 이 전계 발광 표시장치에서, 상기 액티브 영역은 상기 비이형부 영역에서 상기 제1 Y 배선과 상기 제2 Y 배선을 서로 연결하는 다수의 제1 X 배선들과, 상기 제1 영역에서 상기 제3 Y 배선으로부터 분기되는 복수의 제2 X 배선들과, 상기 제1 영역에서 상기 제4 Y 배선으로부터 분기되는 복수의 제3 X 배선들과, 상기 제2 영역에서 상기 제5 Y 배선으로부터 분기되는 복수의 제4 X 배선들과, 상기 제2 영역에서 상기 제6 Y 배선으로부터 분기되는 복수의 제6 X 배선들을 더 포함한다.
- [0107] 이 전계 발광 표시장치에서, 상기 초기화 전압은 매 프레임의 초기화 기간 동안 상기 화소들 각각에 구비된 구동 소자의 게이트전극에 인가된다.
- [0108] 또한, 본 명세서의 실시예에 따라 다수의 화소들이 구비된 액티브 영역을 가지며, 상기 액티브 영역이 이형부 영역과 비이형부 영역으로 구분되는 전계 발광 표시장치의 구동방법은, 초기화 기간 동안 상기 화소들에 초기화 전압을 인가하여 상기 화소들의 각 특정 노드를 리셋시키는 단계를 포함하고, 상기 초기화 기간 동안, 상기 비이형부 영역의 화소들에 인가되는 상기 초기화 전압과, 상기 이형부 영역의 화소들에 인가되는 상기 초기화 전압은 서로 다르다.
- [0109] 전술한 바와 같이, 본 명세서의 전계 발광 표시장치에 따르면, 표시패널의 이형부와 비이형부 간에 R-C 부하 차이로 인한 휘도 편차를 보상하기 위해 이형부 영역에 인가되는 초기화 전압과 비이형부 영역에 인가되는 초기화

전압을 다르게 한다. 본 명세서의 전계 발광 표시장치에 따르면, 표시패널의 이형부와 비이형부 간에 R-C 부하 차이로 인한 휘도 편차를 보상하기 위해, 이형부 영역에 인가되는 초기화 전압과 비이형부 영역에 인가되는 초기화 전압을 다르게 함과 아울러, R-C 부하 차이를 고려하여 이형부 영역에 인가되는 초기화 전압을 세분화한다. 본 명세서의 전계 발광 표시장치에 따르면, R-C 부하가 상대적으로 큰 영역에 인가되는 초기화 전압을 R-C 부하가 상대적으로 작은 영역에 인가되는 초기화 전압에 비해 높인다.

[0110] 이를 통해, 본 명세서의 전계 발광 표시장치는 R-C 부하 차이로 인한 휘도 편차를 보상하고 표시품질을 향상시킬 수 있다.

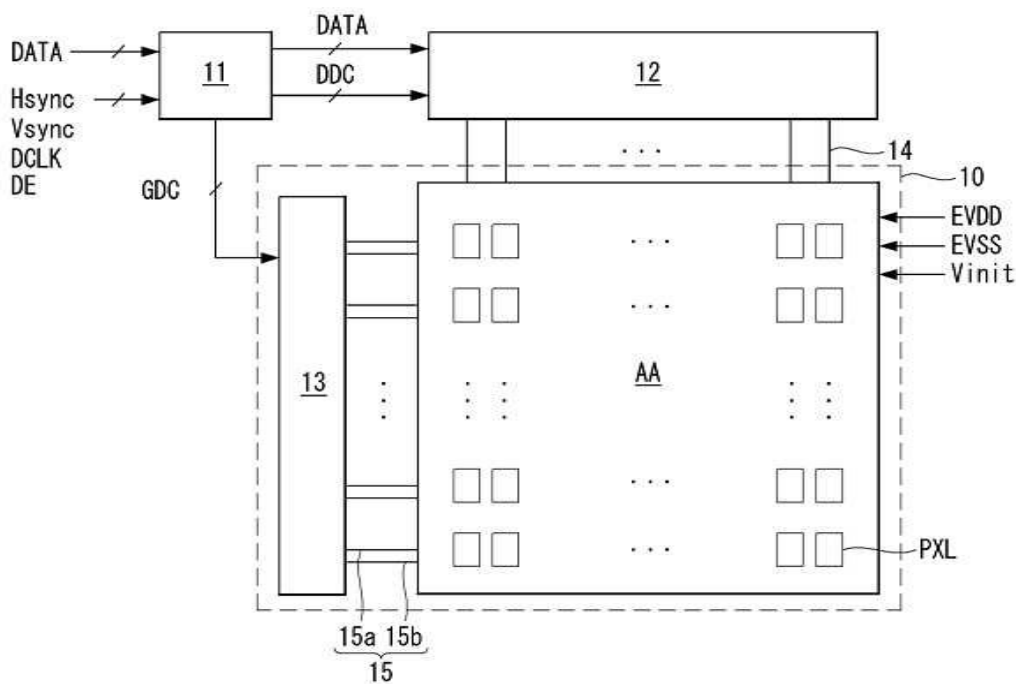
[0111] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

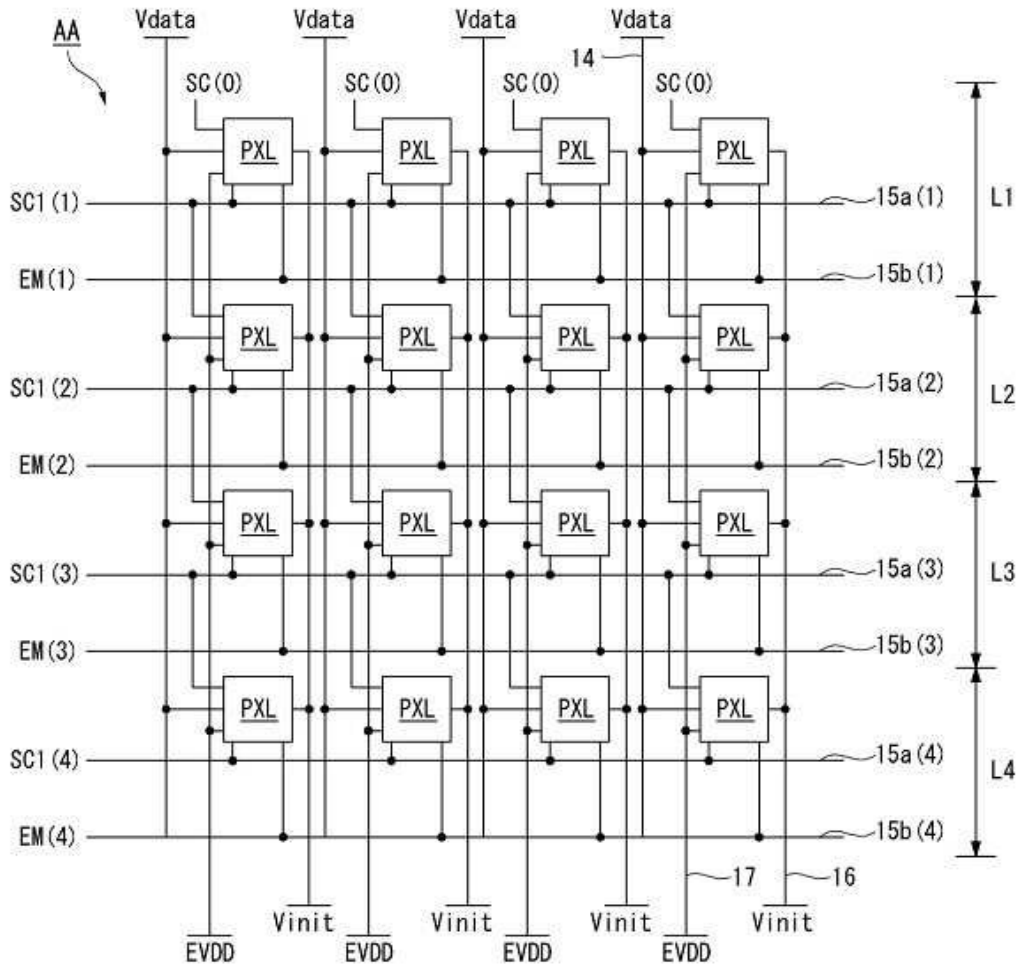
[0112] 10 : 표시패널 11 : 타이밍 컨트롤러
 12 : 소스 드라이버 13 : 게이트 드라이버

도면

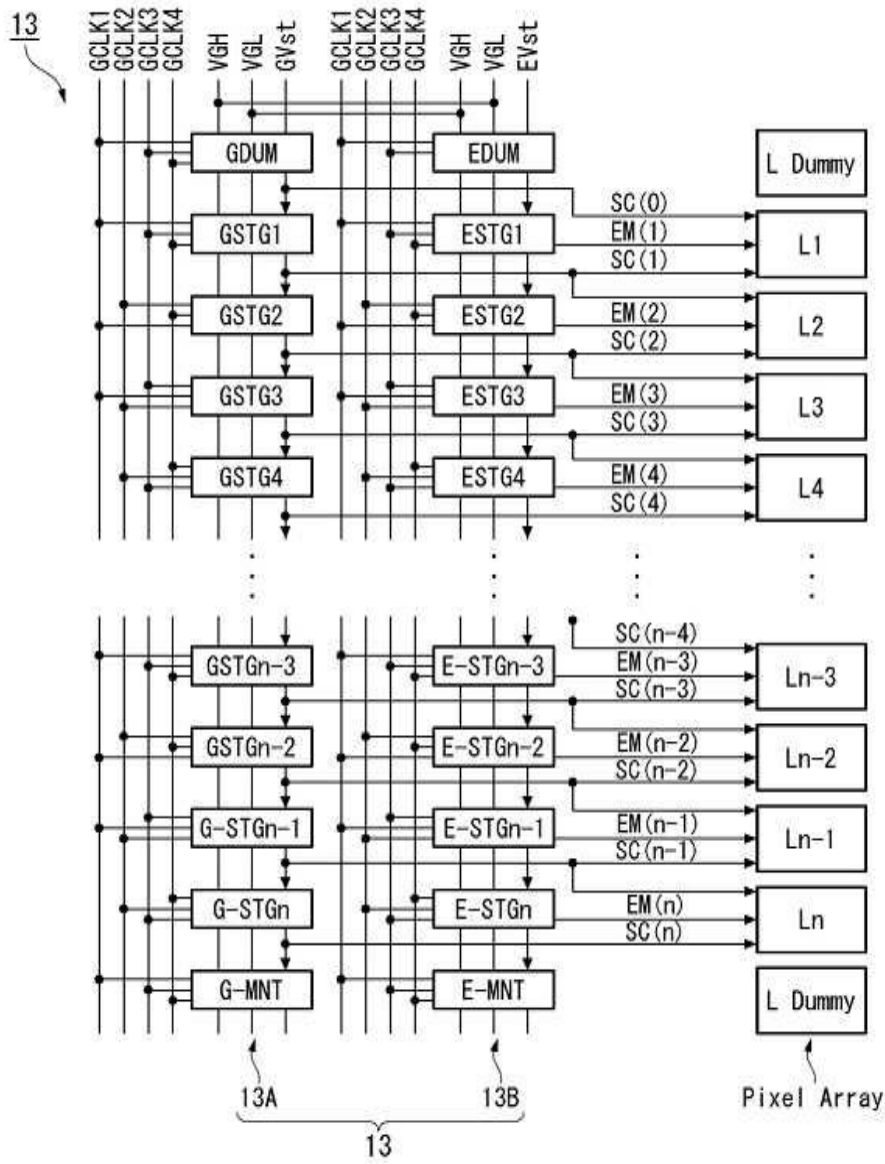
도면1



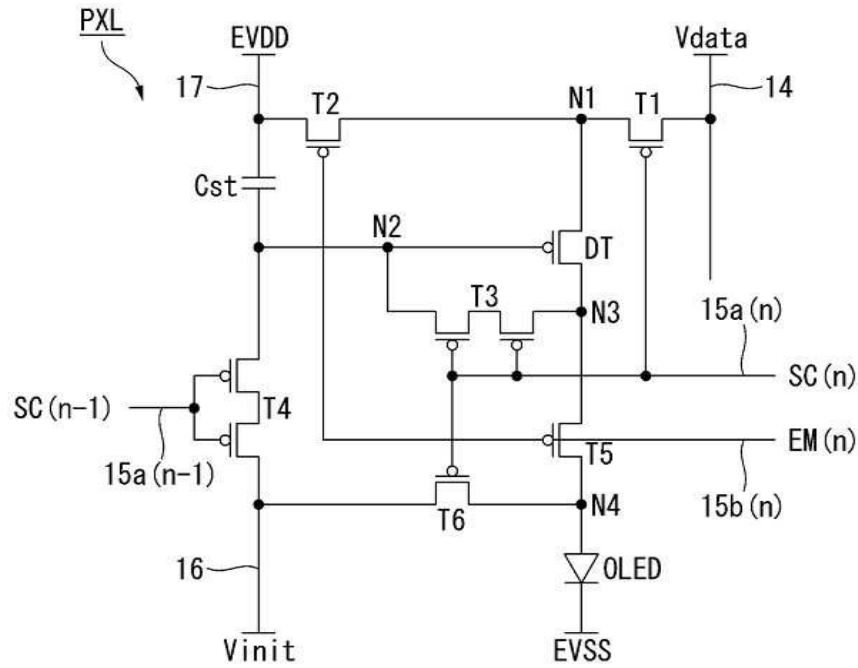
도면2



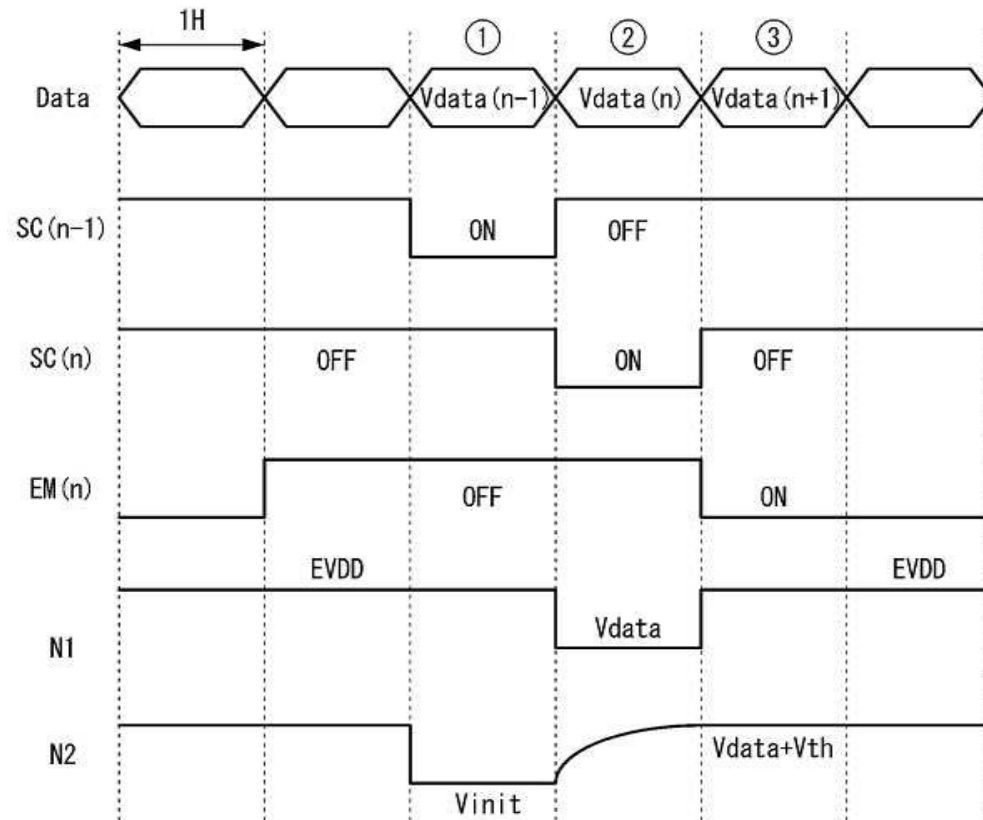
도면3



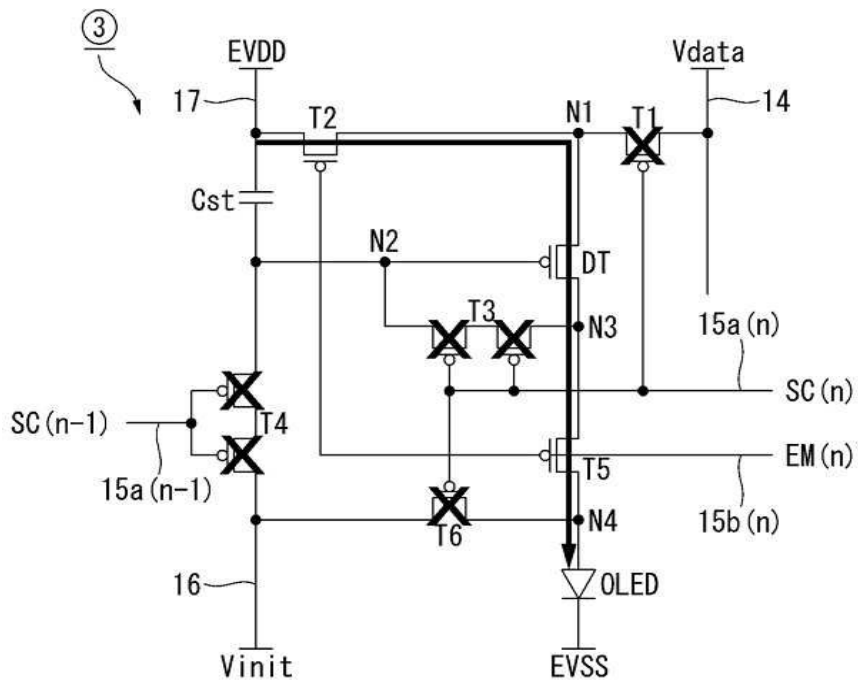
도면4



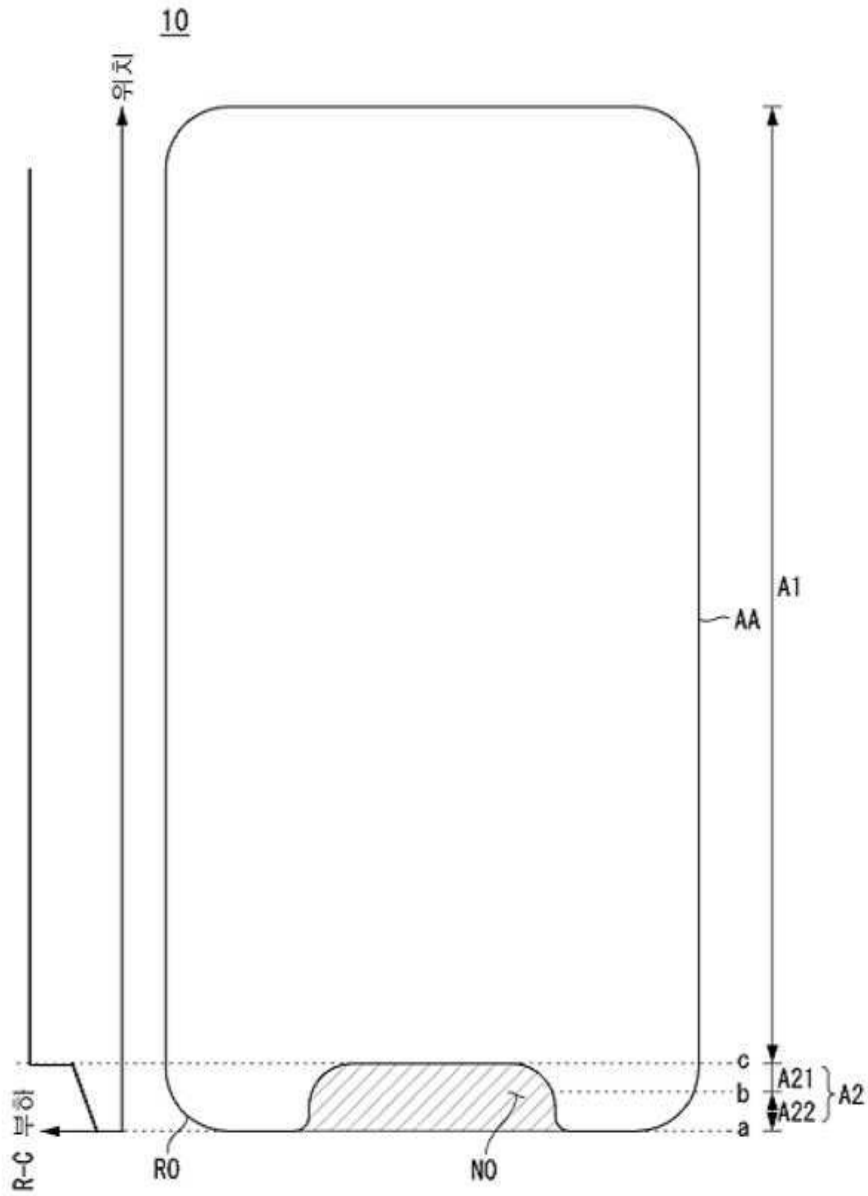
도면5



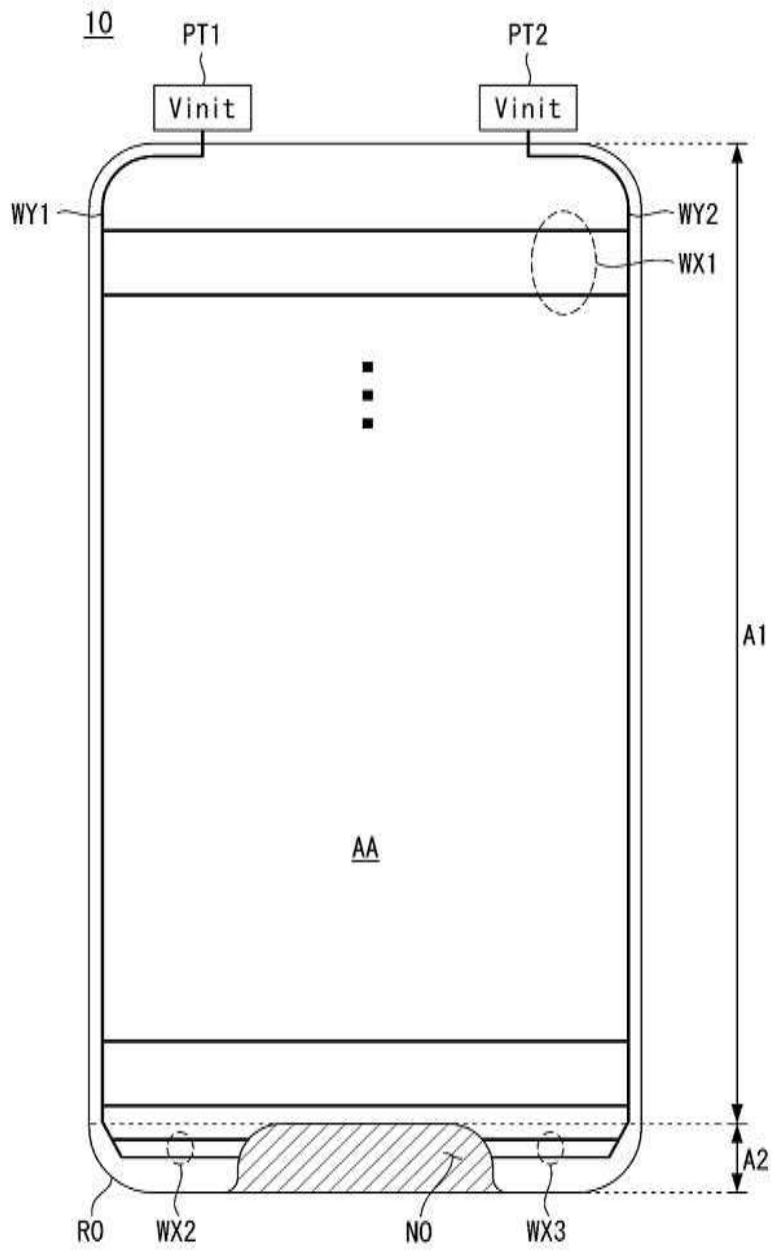
도면6c



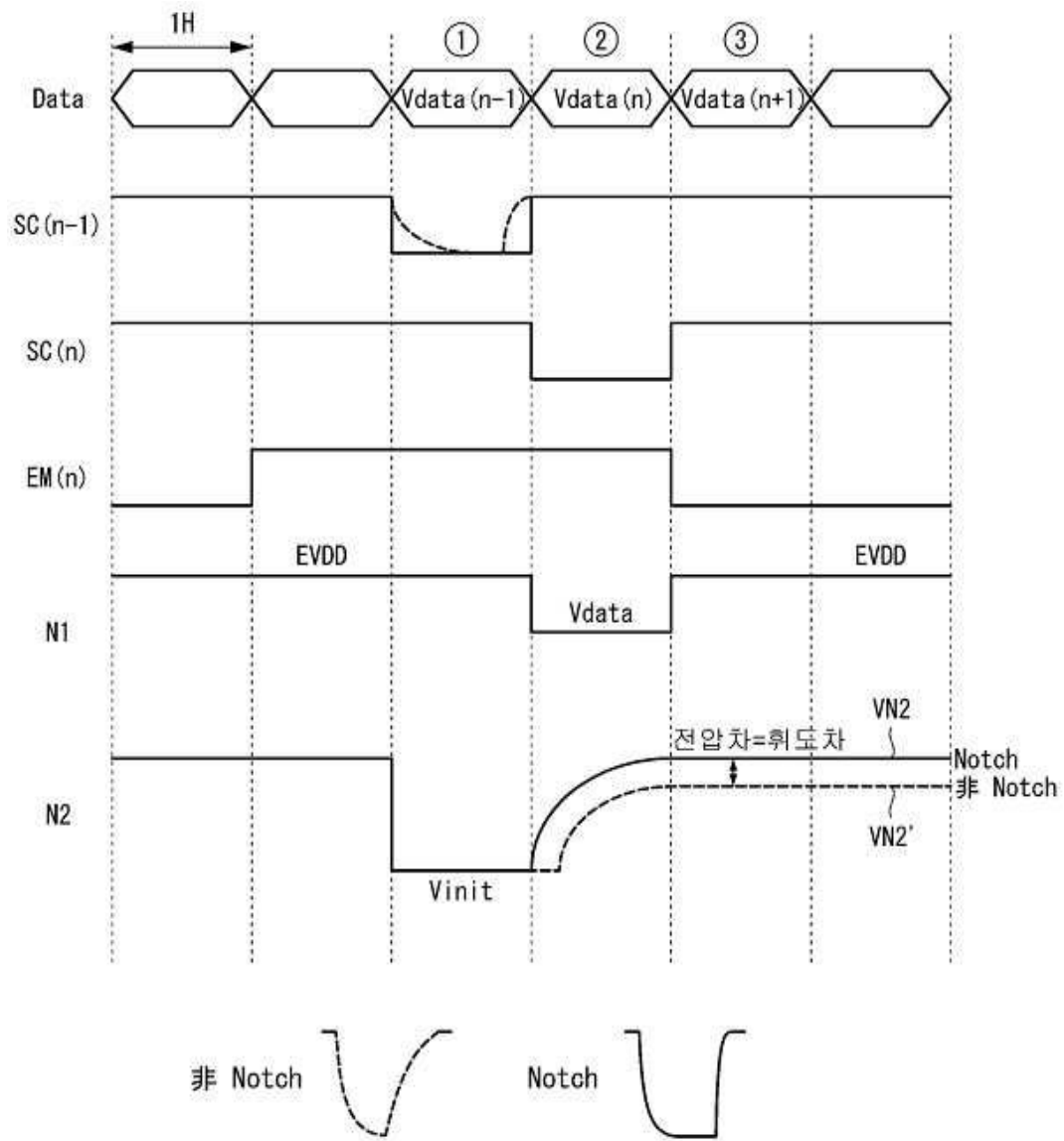
도면7



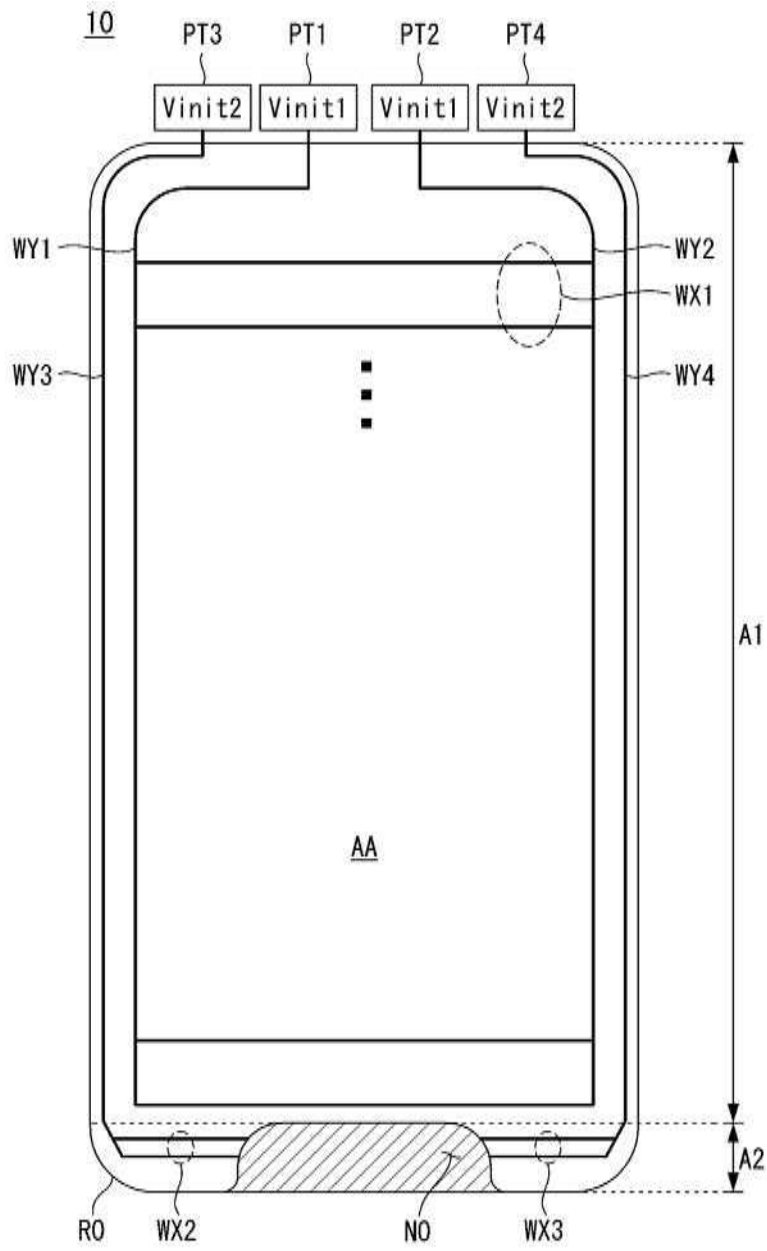
도면8



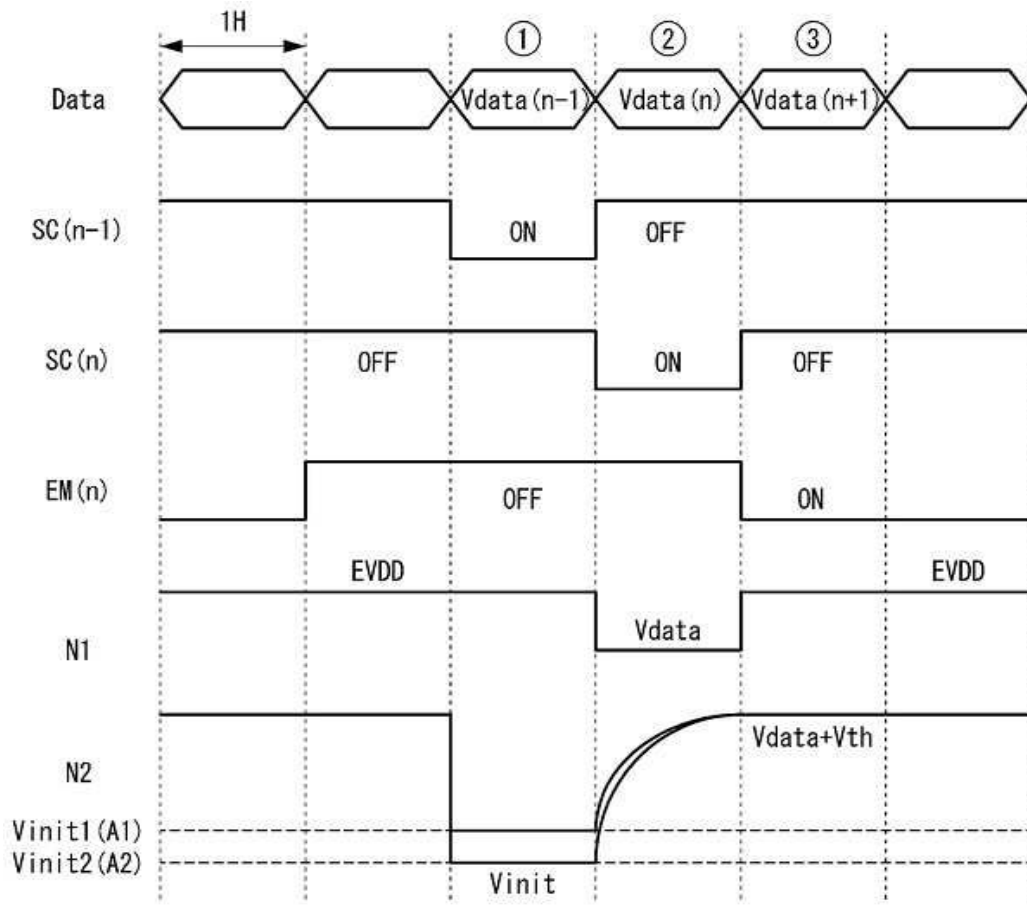
도면9



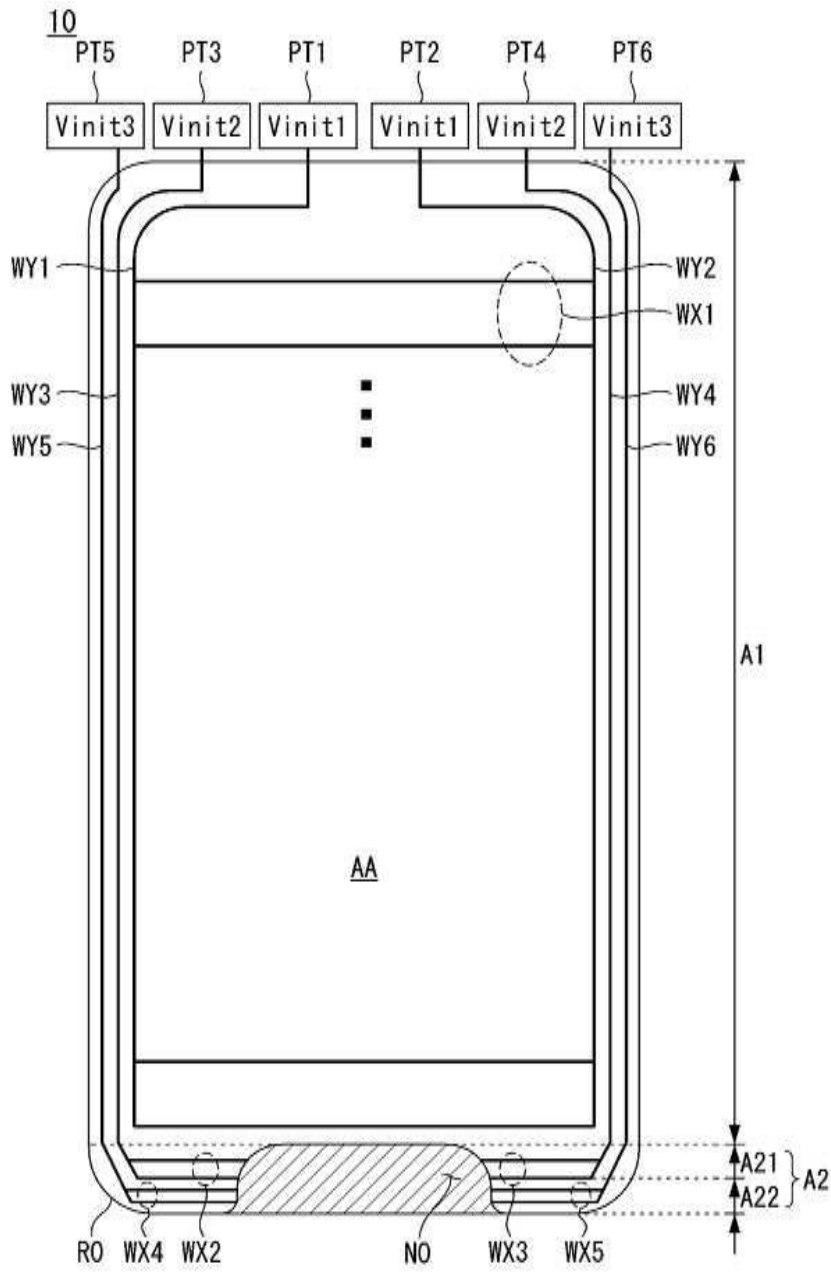
도면10



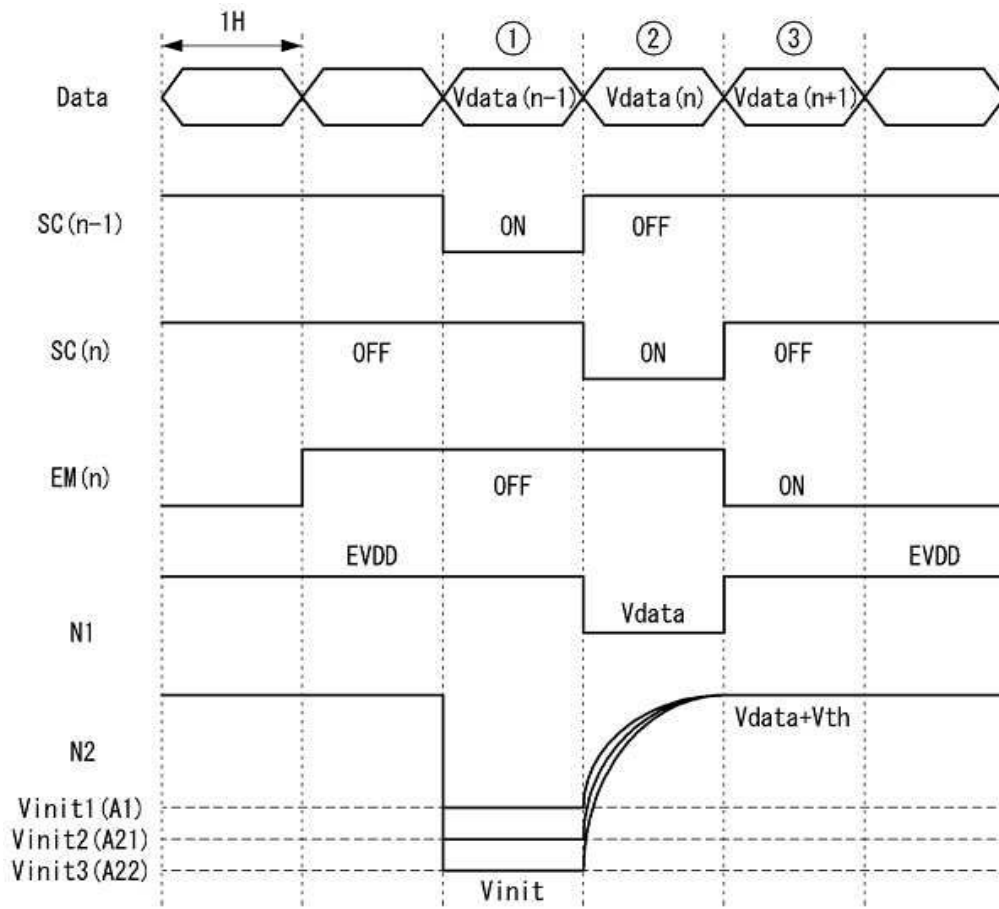
도면11



도면12



도면13



专利名称(译)	电致发光显示器及其驱动方法		
公开(公告)号	KR1020190046135A	公开(公告)日	2019-05-07
申请号	KR1020170139347	申请日	2017-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	배정민		
发明人	배정민		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

根据本公开的电致发光显示装置包括显示面板，该显示面板具有包括多个像素的有源区域，其中该有源区域被划分为释放区域和非释放区域；以及并且初始化终端单元通过每隔预定周期向像素施加初始化电压来重置像素的每个特定节点。这里，施加到非释放区域的像素的初始化电压和施加到释放区域的像素的初始化电压彼此不同。

