



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0042860  
(43) 공개일자 2019년04월25일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)  
H01L 51/52 (2006.01)
- (52) CPC특허분류  
G09G 3/3233 (2013.01)  
H01L 27/3258 (2013.01)
- (21) 출원번호 10-2017-0134429
- (22) 출원일자 2017년10월17일  
심사청구일자 없음

- (71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자  
김중철  
경기도 파주시 월롱면 엘지로 245  
박남길  
경기도 파주시 월롱면 엘지로 245  
정성웅  
경기도 파주시 월롱면 엘지로 245
- (74) 대리인  
특허법인천문

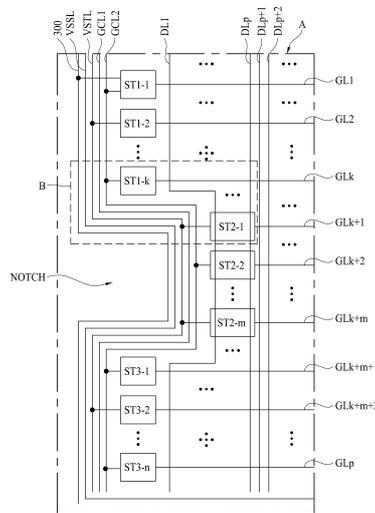
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 표시장치

**(57) 요약**

본 출원은 노치부에 인접한 영역에서의 데이터 라인들의 배치를 향상시켜 표시 품질을 향상시킨 유기발광 표시장치에 관한 것이다. 본 출원에 따른 유기발광 표시장치는 화상을 표시하며 일 측에 노치부가 형성된 표시패널, 복수의 데이터 라인들을 통해 표시패널을 구동시키는 드라이버 IC, 및 표시패널의 일 측에 배치되며 표시패널에 게이트 신호들을 공급하는 복수의 GIP 회로들을 포함하며, 복수의 데이터 라인들 중 적어도 하나의 데이터 라인은 복수의 GIP 회로들 중 적어도 하나의 GIP 회로와 중첩된다.

대표도 - 도4



(52) CPC특허분류

*H01L 51/5206* (2013.01)

*H01L 51/5221* (2013.01)

*G09G 2300/0426* (2013.01)

*G09G 2300/0842* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

화상을 표시하며 일 측에 노치부가 형성된 표시패널;

복수의 데이터 라인들을 통해 상기 표시패널을 구동시키는 드라이버 IC; 및

상기 표시패널의 일 측에 배치되며 상기 표시패널에 게이트 신호들을 공급하는 복수의 스테이지들로 구성된 게이트 구동회로부를 포함하며,

상기 복수의 데이터 라인들 중 적어도 하나의 데이터 라인은 상기 게이트 구동회로부에 마련된 복수의 스테이지들 중 적어도 하나의 스테이지와 중첩되는 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 드라이버 IC는 상기 표시패널 중 상기 노치부가 형성된 변과 수직인 변에 인접하게 배치된 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 적어도 하나의 데이터 라인은 상기 복수의 스테이지들 중 상기 노치부와 상기 게이트 라인 방향으로 인접하도록 배치된 스테이지들과 오버랩되도록 배치된 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 적어도 하나의 데이터 라인은 상기 복수의 스테이지들과 전기적으로 차단된 표시장치.

#### 청구항 5

제 1 항에 있어서, 상기 표시패널은,

제 1 층간 절연막의 상부에 배치된 전원 전압 라인;

상기 전원 전압 라인의 상부에 배치된 제 2 층간 절연막;

상기 제 2 층간 절연막의 상부에 배치된 연결 전극; 및

상기 연결 전극의 상부에 배치된 캐소드 전극을 포함하며,

상기 연결 전극은 상기 제 2 층간 절연막에 마련된 제 1 컨택 홀을 통해 상기 전원 전압 라인과 상기 캐소드 전극을 연결하는 표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 연결 전극은 상기 표시패널 내 표시영역 상에 마련된 애노드 전극과 동일한 층에 동일한 물질을 이용하여 형성된 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 적어도 하나의 데이터 라인은 상기 노치부에 인접한 영역에서 적어도 1회 이상 꺾이면서 상기 노치부에서 상기 데이터 라인 방향으로 배치된 스테이지와 인접한 영역에서 상기 노치부에서 게이트 라인 방향으로 배치된

스테이지와 인접한 영역으로 연장된 표시장치.

**청구항 8**

제 1 항에 있어서,

상기 노치부와 인접한 영역에서,

상기 노치부의 상부 및 하부에 배치된 전원 전압 라인;

상기 노치부에서 게이트 라인 방향으로 인접한 영역 상에 배치된 제 2 전원 전압 라인; 및

상기 전원 전압 라인과 상기 제 2 전원 전압 라인을 연결시키는 제 2 애노드 금속층을 포함하는 표시장치.

**청구항 9**

제 8 항에 있어서,

상기 제 2 애노드 금속층은 상기 전원 전압 라인 및 상기 제 2 전원 전압 라인의 상부에 배치된 제 2 층간 절연막을 관통하는 제 5 컨택 홀을 통해 상기 전원 전압 라인과 연결되고,

상기 제 2 층간 절연막을 관통하는 제 7 컨택 홀을 통해 상기 제 2 전원 전압 라인과 연결된 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 노치부를 포함하는 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시장치 분야 기술이 많이 개발되고 있다. 예를 들어, 표시장치는 액정 표시장치(liquid crystal display device; LCD), 전계방출 표시장치(field emission display device; FED), 전기영동 표시장치(electro phoretic display device; EPD), 전기습윤 표시장치(electro-wetting display device; EWD), 유기발광 표시장치(organic light emitting display device; OLED), 및 양자점 표시장치(quantum dot display device; QD) 등이 있다.

[0003] 표시장치는 화상을 표시하는 화소들이 마련된 표시패널 및 표시패널을 구동시키는 드라이버 IC를 포함한다. 최근 표시패널의 형상이 노치부(NOTCH)를 포함하여 통상적인 직사각형 형태가 아닌 이형 디스플레이가 등장하고 있다. 노치부로 인하여 노치부에 인접한 영역에서는 데이터 라인들의 배치가 제한될 수 있다. 노치부에 인접한 영역에서는 데이터 라인들이 적게 배치되는 경우, 노치부에 인접한 영역에서의 표시 품질이 저하될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 표시장치는 화소들의 집합인 화소 어레이가 배치되어 화상을 표시하는 표시영역과 화상을 표시하지 않는 비표시영역을 포함한다. 비표시영역은 베젤(bezel)이라고 일컫을 수 있고, 베젤은 표시영역의 둘레를 따라 형성될 수 있다. 베젤에는 화소를 구동시키는 드라이버 IC 및 게이트 구동부가 배치되고, 드라이버 IC는 데이터 구동부를 포함할 수 있다. 구체적으로, 베젤에는 데이터 구동부, 게이트 구동부, 및 데이터 구동부와 게이트 구동부로부터 연결되어 화소에 신호를 인가해주는 데이터 링크 배선 및 게이트 링크 배선, 그리고 복수의 전원 배선이 배치된다. 베젤의 크기는 균일하게 형성됨으로써 표시장치의 심미적 효과가 향상될 수 있으므로, 베젤에 배치된 데이터 구동부, 게이트 구동부, 데이터 링크 배선, 게이트 링크 배선, 복수의 전원 배선을 적절하게 배치해야 한다. 특히, 표시장치에 노치부가 포함되는 경우, 노치부에 인접한 베젤의 크기가 증가할 수 있다.

[0005] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 노치부를 포함하는 표시장치에 형성된 베젤영역을 균일하게 하기 위한 표시장치를 발명하였다.

[0006] 본 출원은 노치부에 인접한 영역에서의 데이터 라인들의 배치를 최적화하여 베젤 영역이 균일한 표시장치를 제공하고자 한다.

[0007] 본 출원은 노치부에 인접한 영역에서의 전원 배선들의 배치를 최적화하여 전원 안정성을 유지하고, 베젤 영역이 균일한 표시장치를 제공하고자 한다.

[0008] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 본 출원에 따른 표시장치는 화상을 표시하며 일 측에 노치부가 형성된 표시패널, 복수의 데이터 라인들을 통해 표시패널을 구동시키는 드라이버 IC, 및 표시패널의 일 측에 배치되며 표시패널에 게이트 신호들을 공급하는 게이트 구동회로부를 포함한다. 게이트 구동회로부는 복수의 스테이지들로 이루어진다. 복수의 스테이지들 각각은 복수의 GIP 회로들로 이루어진다. 복수의 데이터 라인들 중 적어도 하나의 데이터 라인은 복수의 스테이지들 중 적어도 하나의 스테이지와 중첩된다.

**발명의 효과**

[0010] 본 출원에 따른 표시장치는 복수의 스테이지들 중 적어도 하나의 스테이지와 적어도 하나의 데이터 라인을 중첩시킨다. 즉, 복수의 스테이지들 중 노치부(NOTCH)에 게이트 라인 방향으로 인접한 스테이지와 적어도 하나의 데이터 라인을 중첩시키는 구조를 통해 노치부(NOTCH)가 형성된 변의 베젤(Bezel)의 폭을 감소시킨다. 이에 따라, 본 출원은 균일한 베젤(Even Bezel) 폭을 갖는 표시장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 본 출원에 따른 표시장치의 개념적 블록도이다.
- 도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.
- 도 3은 본 출원의 일 예에 따른 표시장치의 블록도이다.
- 도 4는 도 3의 A 영역의 확대도이다.
- 도 5는 도 4의 B 영역의 확대도이다.
- 도 6은 도 5의 I-I`의 단면도이다.
- 도 7은 도 5의 II-II`의 단면도이다.
- 도 8은 본 출원의 다른 예에 따른 A 영역의 확대도이다.
- 도 9는 도 8의 B 영역의 확대도이다.
- 도 10은 도 6의 본 출원의 또 다른 예에 따른 B 영역의 확대도이다.
- 도 11은 도 10의 III-III`의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우, '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0021] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하에서는 본 출원에 따른 유기발광 표시장치의 예를 첨부된 도면을 참조하여 상세히 설명한다.
- [0023] 도 1은 본 출원에 따른 표시장치의 개념적 블록도이다. 도 2는 본 출원의 일 예에 따른 화소(P)의 내부 회로도이다. 이하에서 설명할 표시장치는 유기발광 표시장치를 예로 들어 설명하지만, 이에 한정되지는 않는다.
- [0024] 도 1 내지 도 2를 참조하면, 본 출원에 따른 표시장치는 표시영역(100), 게이트 구동부(210), 데이터 구동부(220), 및 타이밍 컨트롤러(Timing Controller, T-CON)(130)를 포함한다.
- [0025] 표시영역(100) 상에는 화소(P)들이 마련되어 화상을 표시한다. 표시영역(100)에는 게이트 라인들(GL1~GLp, p는 2 이상의 양의 정수), 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수), 및 센싱 라인들(SL1~SLq)이 마련된다. 데이터 라인들(DL1~DLq) 및 센싱 라인들(SL1~SLq)은 게이트 라인들(GL1~GLp)과 교차할 수 있다. 데이터 라인들(DL1~DLq)과 센싱 라인들(SL1~SLq)은 서로 평행할 수 있다. 표시영역(100)은 화소(P)들이 마련되는 하부기판과 외부의 이물질로부터 화소(P)들을 보호하기 위한 봉지(Encapsulation) 기능을 수행하는 상부기판을 포함할 수 있다.
- [0026] 화소(P)들 각각은 게이트 라인들(GL1~GLp) 중 어느 하나, 데이터 라인들(DL1~DLq) 중 어느 하나 및 센싱 라인들(SL1~SLq) 중 어느 하나에 접속될 수 있다. 화소(P)들 각각은 도 2와 같이 유기발광다이오드(organic light emitting diode, OLED)와 유기발광다이오드(OLED)에 전류를 공급하는 화소 구동부(PD)를 포함할 수 있다. 도 2에서는 설명의 편의를 위해 제j(j는 1≤j≤q를 만족하는 양의 정수) 데이터 라인(DLj), 제j 센싱 라인(SLj), 제k(k는 1≤k≤p를 만족하는 양의 정수) 스캔 라인(Sk), 및 제k 센싱 신호 라인(SSk)에 접속된 화소(P)를 도시하였다. 제k 스캔 라인(Sk) 및 제k 센싱 신호 라인(SSk)은 제k 게이트 라인(GLk)에 포함된다.
- [0027] 도 2를 참조하면, 화소(P)는 유기발광다이오드(OLED) 및, 유기발광다이오드(OLED)와 제j 센싱 라인(SLj)으로 전류를 공급하는 화소 구동부(PD)를 포함한다.
- [0028] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 고전위전원전압보다 낮은 저전위전원전압이 공급되는 저전위전압라인(ELVSSL)에 접속될 수 있다.
- [0029] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드 전극과 캐소드 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 정공과 전자가 서로

결합하여 발광하게 된다.

- [0030] 화소 구동부(PD)는 구동 트랜지스터(Driving Transistor)(DT), 제k 스캔 라인(Sk)의 스캔 신호에 의해 제어되는 제1 트랜지스터(ST1), 제k 센싱 신호 라인(SSk)의 센싱 신호에 의해 제어되는 제2 트랜지스터(ST2) 및 커패시터(capacitor)(C)를 포함할 수 있다. 화소 구동부(PD)는 표시 모드에서 화소(P)에 접속된 제k 스캔 라인(Sk)으로부터 스캔 신호가 공급될 때 화소(P)에 접속된 제j 데이터 라인(DLj)의 데이터 전압(VDATA)을 공급받고, 데이터 전압(VDATA)에 따른 구동 트랜지스터(DT)의 전류를 유기발광다이오드(OLED)에 공급한다. 화소 구동부(PD)는 센싱 모드에서 화소(P)에 접속된 제k 스캔 라인(Sk)으로부터 스캔 신호가 공급될 때 화소(P)에 접속된 제j 데이터 라인(DLj)의 센싱 전압을 공급받고, 구동 트랜지스터(DT)의 전류를 화소(P)에 접속된 제j 센싱 라인(SLj)으로 흘러간다.
- [0031] 구동 트랜지스터(DT)는 고전위전압라인(ELVDDL)과 유기발광다이오드(OLED) 사이에 마련된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극의 전압 차에 따라 고전위전압라인(ELVDDL)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 조정한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 고전위전원전압이 공급되는 고전위전압라인(ELVDDL)에 접속될 수 있다.
- [0032] 제1 트랜지스터(ST1)는 제k 스캔 라인(Sk)의 제k 스캔 신호에 의해 턴-온되어 제j 데이터 라인(DLj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 스캔 라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터 라인(DLj)에 접속될 수 있다. 제1 트랜지스터(ST1)는 스캔 트랜지스터로 통칭될 수 있다.
- [0033] 제2 트랜지스터(ST2)는 제k 센싱 신호 라인(SSk)의 제k 센싱 신호에 의해 턴-온되어 제j 센싱 라인(SLj)을 구동 트랜지스터(DT)의 소스 전극에 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 센싱 신호 라인(SSk)에 접속되고, 제1 전극은 제j 센싱 라인(SLj)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다. 제2 트랜지스터(ST2)는 센싱 트랜지스터로 통칭될 수 있다.
- [0034] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 마련된다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차전압을 저장한다.
- [0035] 도 2에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있다. 또한, 제1 전극은 소스 전극일 수 있고 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않는다. 예를 들면, 제1 전극은 드레인 전극일 수 있고 제2 전극은 소스 전극일 수 있다.
- [0036] 화소 구동부(PD)는 표시 모드 및 센싱 모드로 동작할 수 있다.
- [0037] 표시 모드에서, 제k 스캔 라인(Sk)에 스캔 신호가 공급될 때 제j 데이터 라인(DLj)의 데이터 전압(VDATA)이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제j 센싱 라인(SLj)의 초기화 전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 이로 인해, 표시 모드에서 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 유기발광다이오드(OLED)에 공급되며, 유기발광다이오드(OLED)는 구동 트랜지스터(DT)의 전류에 따라 발광한다. 이 경우, 데이터 전압(VDATA)은 구동 트랜지스터(DT)의 문턱 전압과 전자 이동도를 보상한 전압이므로, 구동 트랜지스터(DT)의 전류는 구동 트랜지스터(DT)의 문턱 전압과 전자 이동도에 의존하지 않는다.
- [0038] 센싱 모드에서, 제k 스캔 라인(Sk)에 스캔 신호가 공급될 때 제j 데이터 라인(DLj)의 센싱 전압이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제j 센싱 라인(SLj)의 초기화 전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 또한, 제k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제2 트랜지스터(ST2)가 턴-온되어 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 제j 센싱 라인(SLj)으로 흐르도록 한다.
- [0039] 게이트 구동부(210)는 타이밍 컨트롤러(230)로부터 게이트 구동부 제어 신호(GCS)를 공급받고, 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 생성하여 게이트 라인들(GL1~GLp)에 공급한다.
- [0040] 데이터 구동부(220)는 타이밍 컨트롤러(230)로부터 데이터 구동부 제어 신호(DCS)를 공급받고, 데이터 구동부 제어 신호(DCS)에 따라 데이터전압들을 생성하여 데이터 라인들(DL1~DLq)에 공급한다. 또한, 데이터 구동부

(220)는 화소(P)들 각각의 전압 및 전류 특성을 센싱하여 센싱 데이터(SEN)를 생성하여 타이밍 컨트롤러(230)로 공급한다.

- [0041] 타이밍 컨트롤러(230)는 외부로부터 화상의 표시 타이밍을 제어하는 타이밍 신호(TS)와 화상을 구현하기 위한 색상 별 정보를 포함하고 있는 디지털 비디오 데이터(DATA)를 공급받는다. 타이밍 컨트롤러(230)의 입력단에는 타이밍 신호(TS)와 디지털 비디오 데이터(DATA)가 설정된 프로토콜에 의해 입력된다. 또한, 타이밍 컨트롤러(230)는 데이터 구동부(220)로부터 화소(P)들 각각의 전압 및 전류 특성에 따른 센싱 데이터(SEN)를 공급받는다.
- [0042] 타이밍 신호(TS)는 수직 동기 신호(Vertical sync signal, Vsync), 수평 동기 신호(Horizontal sync signal, Hsync), 데이터 인에이블 신호(Data Enable signal, DE), 및 도트 클럭(Dot clock, DCLK)을 포함한다. 타이밍 컨트롤러(230)는 센싱 데이터(SEN)에 기초하여 디지털 비디오 데이터(DATA)를 보상한다.
- [0043] 타이밍 컨트롤러(230)는 게이트 구동부(210), 데이터 구동부(220), 및 센싱 구동부의 동작 타이밍을 제어하기 위한 구동부 제어 신호들을 생성한다. 구동부 제어 신호들은 게이트 구동부(210)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS), 데이터 구동부(220)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS), 및 센싱 구동부의 동작 타이밍을 제어하기 위한 센싱 구동부 제어 신호를 포함한다.
- [0044] 타이밍 컨트롤러(230)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(220) 및 센싱 구동부를 동작시킨다. 표시 모드는 표시패널(100)의 화소(P)들이 화상을 표시하는 모드이고, 센싱 모드는 표시패널(100)의 화소(P)들 각각의 구동 트랜지스터(DT)의 전류 또는 전압을 센싱하는 모드이다. 표시 모드와 센싱 모드 각각에서 화소(P)들 각각에 공급되는 스캔 신호의 파형과 센싱 신호의 파형이 변경되는 경우, 표시 모드와 센싱 모드 각각에서 데이터 구동부 제어 신호(DCS) 및 센싱 구동부 제어 신호 역시 변경될 수 있다. 따라서, 타이밍 컨트롤러(230)는 표시 모드와 센싱 모드 중 어느 모드인지에 따라 해당하는 모드에 대응하여 데이터 구동부 제어 신호(DCS) 및 센싱 구동부 제어 신호를 생성한다.
- [0045] 타이밍 컨트롤러(230)는 게이트 구동부 제어 신호(GCS)를 게이트 구동부(210)로 출력한다. 타이밍 컨트롤러(230)는 보상 디지털 비디오 데이터와 데이터 구동부 제어 신호(DCS)를 데이터 구동부(220)로 출력한다. 타이밍 컨트롤러(230)는 센싱 구동부 제어 신호를 센싱 구동부로 출력한다.
- [0046] 또한, 타이밍 컨트롤러(230)는 데이터 구동부(220) 및 센싱 구동부를 표시 모드와 센싱 모드 중에 어느 모드로 구동할지에 따라 해당 모드를 구동하기 위한 모드 신호를 생성한다. 타이밍 컨트롤러(230)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(220) 및 센싱 구동부를 동작시킨다.
- [0047] 도 3은 본 출원의 일 예에 따른 표시장치의 블록도이다. 본 출원의 일 예에 따른 표시장치는 표시패널(300), 드라이버 IC(Driver-IC)(400), 게이트 구동회로부(500)를 포함한다. 표시패널(300)은 표시영역(100)을 포함한다.
- [0048] 표시영역(100)은 화상을 표시한다. 본 출원의 일 예에 따른 표시영역(100)은 일 측에 노치부(NOTCH)가 형성된다. 노치부(NOTCH)는 표시 패널(300)의 네 변 중 길이가 짧은 변(단변)에 배치될 수 있다. 노치부(NOTCH)는 표시영역(100)의 일 측 변에 형성된 오목부이다. 노치부(NOTCH)는 사각형 형상으로 함몰된 형태를 가질 수 있다. 그러나 이에 한정되지 않으며, 노치부(NOTCH)는 다각형, 반원, 곡선을 포함하는 형상으로 함몰된 형태를 가질 수 있다.
- [0049] 노치부(NOTCH)에는 화상이 표시되지 않는다. 표시영역(100)은 노치부(NOTCH)의 형상에 따라 직사각형과 다른 형태로 화상을 표시한다. 이에 따라, 본 출원에 따른 표시영역(100)은 이형 디스플레이를 구현할 수 있다. 노치부(NOTCH)에는 외부의 입력을 감지하기 위한 입력부가 마련될 수 있다.
- [0050] 표시패널(300)은 표시영역(100) 및 비표시영역을 포함한다.
- [0051] 드라이버 IC(400)는 표시패널(300) 상에 배치되어 표시영역(100) 상에 마련된 화소(P)들을 구동시킨다. 드라이버 IC(400)는 표시패널(300) 상의 비표시영역에 배치될 수 있다.
- [0052] 드라이버 IC(400)는 복수의 데이터 라인들(DL1~DLq)을 통해 표시영역(100) 상에 배치된 화소(P)들에 데이터 전압을 공급한다. 본 출원에 따른 드라이버 IC(400)는 데이터 구동부(220) 및 타이밍 컨트롤러(230)의 기능을 하나의 칩 내에서 모두 가질 수 있다. 이에 따라, 본 출원의 일 예에 따른 드라이버 IC(400)를 적용한 표시장치는 휴대용 단말기, 스마트 워치(Smart Watch) 등 소형의 전자 기기에 적용될 수 있다.
- [0053] 드라이버 IC(400)는 전원 전압 라인(VSSL)을 통해 표시패널(300)에 전원 전압(VSS)을 공급한다. 전원 전압(VS

S)은 표시영역(100)에 화상을 표시하고, 게이트 구동회로부(500)를 구동하기 위해 사용된다. 전원 전압 라인(VSSL)은 드라이버 IC(400)에서 연장되어, 표시패널(300) 상의 비표시영역에 배치된다. 전원 전압 라인(VSSL)은 표시영역(100)을 둘러싸도록 배치될 수 있다.

- [0054] 또한, 드라이버 IC(400)는 스타트 신호 라인(VSTL)을 통해 게이트 구동회로부(500)에 스타트 신호(VST)를 공급한다. 스타트 신호(VST)는 게이트 구동회로부(500)의 구동을 시작하도록 제어한다. 스타트 신호 라인(VSTL)은 드라이버 IC(400)에서 연장되어 표시패널(300) 중 비표시영역에 배치된다. 스타트 신호 라인(VSTL)은 전원 전압 라인(VSSL)보다 안쪽에 배치된다.
- [0055] 또한, 드라이버 IC(400)는 복수의 게이트 클럭 라인(GCL)을 통해 게이트 구동회로부(500)에 게이트 클럭(GC)을 공급한다. 스타트 클럭(VST)은 게이트 구동회로부(500)가 게이트 신호들을 생성할 수 있도록 제어한다. 복수의 게이트 클럭 라인(GCL)은 드라이버 IC(400)에서 연장되어 표시패널(300) 중 비표시영역에 배치된다. 복수의 게이트 클럭 라인(GCL)은 전원 전압 라인(VSSL)보다 안쪽에 배치된다.
- [0056] 또한, 드라이버 IC(400)는 복수의 데이터 라인들(DL1-DLq)을 통해 표시영역(100) 상의 화소들에 데이터 전압을 공급한다. 복수의 데이터 라인들(DL1-DLq)은 드라이버 IC(400)에서 표시영역(100)으로 연장되어 표시영역(100) 상에서 평행하게 배치된다. 본 출원의 일 예에 따른 복수의 데이터 라인들(DL1-DLq)은 표시영역(100)에서 노치부(NOTCH)가 형성된 영역을 제외하고 배치된다.
- [0057] 게이트 구동회로부(500)는 표시패널(300)의 일 측 상에 배치된다. 게이트 구동회로부(500)는 게이트 구동부(210)의 역할을 수행한다. 본 출원에 따른 게이트 구동회로부(500)는 표시패널(300)의 일 측 상에 마련된 게이트 인 패널(Gate In Panel, GIP) 구조로 구현될 수 있다. 게이트 구동회로부(500)는 게이트 신호들을 생성한다. 게이트 구동회로부(500)는 표시영역(100) 상에 마련된 화소(P)들에 게이트 신호들을 공급한다.
- [0058] 기존의 노치부(NOTCH)가 형성된 표시패널(300)에서 드라이버 IC(400)는 노치부(NOTCH)가 형성된 변에 인접하게 배치된다. 드라이버 IC(400)를 노치부(NOTCH)가 형성된 길이가 짧은 변에 인접하게 배치하는 경우, 게이트 구동회로부(500)가 길이가 긴 변에 인접하도록 배치된다.
- [0059] 본 출원에 따른 표시장치는 고해상도 표시장치에 적용될 수 있다. 해상도가 증가하여 화소(P)열의 개수가 증가하는 경우, 게이트 구동회로부(500)에서 공급하는 게이트 신호의 개수 역시 증가하게 된다. 게이트 신호의 개수가 증가하는 경우, 게이트 구동회로부(500) 내 GIP 회로의 구조가 복잡해지고, 화소(P)의 보상시간이 줄어든다. 예를 들어, FHD 표시장치는 1920 X 1080의 해상도를 가진다. 1920개의 화소가 배열된 부분을 가로축, 1080개의 화소가 배열된 부분을 세로축이라고 할 경우, GIP 회로가 가로축에 배치되는 것 보다 세로축에 배치되었을 때 보상시간이 줄어든다.
- [0060] 본 출원에 따른 표시장치에 배치된 드라이버 IC(400)는 표시패널(100) 중 노치부(NOTCH)가 형성된 변과 수직인 변에 인접하게 배치된다. 드라이버 IC(400)를 노치부(NOTCH)가 형성된 변과 평행한 변인 길이가 짧은 변에 수직하게 배치하는 경우, 게이트 구동회로부(500)는 길이가 짧은 변에 인접하도록 배치된다.
- [0061] 이에 따라, 본 출원은 게이트 신호의 개수를 감소시킬 수 있어, GIP 회로로 구현된 게이트 구동회로부(500)의 구조를 단순화시킬 수 있다.
- [0062] 게이트 구동회로부(500)는 노치부(NOTCH)와 인접하도록 배치될 수 있다. 게이트 구동회로부(500)는 노치부(NOTCH)가 형성된 표시 패널(300)의 일 측과 대응하는 형상으로 형성될 수 있다. 게이트 구동회로부(500)는 표시 패널(300)의 일 측으로부터 소정의 폭을 갖도록 형성될 수 있다.
- [0063] 표시 패널(300)의 일 측 중 노치부(NOTCH)가 형성되지 않은 영역에서 표시영역(100) 방향으로 형성된 게이트 구동회로부(500)는 제 1 폭(W1)을 갖는다. 또한, 표시 패널(300)의 일 측 중 노치부(NOTCH)가 형성된 영역에서 표시영역(100) 방향으로 형성된 게이트 구동회로부(500)는 제 2 폭(W2)을 갖는다.
- [0064] 제 2 폭(W2)은 제 1 폭(W1)보다 작을 수 있다. 노치부(NOTCH)가 형성된 영역에서 표시영역(100) 방향으로 배치된 GIP 회로의 기능은 해당 영역에 게이트 신호를 공급하는 기능만 갖도록 설계하고, 다른 영역과의 게이트 신호 타이밍을 동기화하는 기능은 노치부(NOTCH)가 형성되지 않은 영역에 배치된 GIP 회로에서 수행하도록 설계할 수 있다. 이에 따라, 노치부(NOTCH)가 형성된 영역에서 표시영역(100) 방향으로 배치된 GIP 회로의 크기를 감소시킬 수 있다. 이에 따라, 노치부(NOTCH)가 형성된 영역에서 표시영역(100) 외곽에 형성되는 비표시영역의 폭을 감소시킬 수 있다.
- [0065] 캐소드 전극(CAT)은 표시영역(100) 및 게이트 구동회로부(500)의 영역 일부 상에 형성된다. 캐소드 전극(CAT)은

표시영역(100) 중 게이트 구동회로부(500)와 인접한 변을 향하는 방향으로 표시영역(100) 및 게이트 구동회로부(500)의 영역 일부와 중첩하도록 배치된다. 캐소드 전극(CAT)은 표시영역(100) 중 게이트 구동회로부(500)와 인접한 변을 제외한 방향으로 표시영역(100)의 모서리와 인접한 영역까지 배치된다. 캐소드 전극(CAT)은 전원 전압 라인(VSSL)을 통해 전원 전압(VSS)을 공급받는다. 캐소드 전극(CAT)은 표시영역(100)에 전원 전압(VSS)을 공급한다.

[0066] 캐소드 전극(CAT)은 표시패널(300)과 대응하는 형상을 갖는다. 캐소드 전극(CAT) 중 노치부(NOTCH)와 인접한 영역에는 노치부(NOTCH)와 대응하는 형상의 오목부가 형성된다. 캐소드 전극(CAT)이 노치부(NOTCH)와 인접한 영역에서 노치부(NOTCH)와 대응하는 형상을 갖는 경우, 직사각형 형상이 아닌 이형 디스플레이의 표시영역(100)에 균일하게 전원 전압(VSS)을 공급할 수 있다. 이에 따라, 표시영역(100)의 화상 품질을 균일하게 할 수 있다.

[0067] 도 4는 도 3의 A 영역의 확대도이다. 본 출원에 따른 본 출원의 일 예에 따른 표시장치는 제 1 스테이지 그룹(ST1-1~ST1-K), 제 2 스테이지 그룹(ST2-1~ST2-m), 제 3 스테이지 그룹(ST3-1~ST3-n)을 포함한다. 제 1 내지 제 3 스테이지 그룹(ST1-1~ST1-K, ST2-1~ST2-m, ST3-1~ST3-n)은 게이트 구동회로부(500)의 역할을 수행한다.

[0068] 제 1 스테이지 그룹(ST1-1~ST1-K)은 표시패널(300)의 일 측 중 노치부(NOTCH)에서 데이터 라인 방향으로 인접하도록 배치된다. 제 1 스테이지 그룹(ST1-1~ST1-K)은 복수의 게이트 라인들(GL1~GLk)로 복수의 게이트 신호들을 공급한다. 제 1 스테이지 그룹(ST1-1~ST1-K)은 복수의 GIP 회로로 구성될 수 있다. 제 1 스테이지 그룹(ST1-1~ST1-K)에 포함된 스테이지 중 드라이브 IC(400)와 인접한 스테이지(ST1-1)는 스타트 신호 라인(VSTL)으로부터 스타트 신호(VST)를 공급받는다. 제 1 스테이지 그룹(ST1-1~ST1-K)에 포함된 스테이지들 각각은 제 1 및 제 2 게이트 클럭 라인(GCL1, GCL2)을 통해 제 1 및 제 2 게이트 클럭(GC1, GC2)을 순차적으로 공급받는다.

[0069] 제 2 스테이지 그룹(ST2-1~ST2-m)은 표시패널(300)의 일 측 중 노치부(NOTCH)와 게이트 라인 방향으로 인접하도록 배치된다. 제 2 스테이지 그룹(ST2-1~ST2-m)은 복수의 게이트 라인들(GLk+1~GLk+m)로 복수의 게이트 신호들을 공급한다. 제 2 스테이지 그룹(ST2-1~ST2-m)은 복수의 GIP 회로로 구성될 수 있다. 제 2 스테이지 그룹(ST2-1~ST2-m)에 포함된 스테이지들 각각은 제 1 및 제 2 게이트 클럭 라인(GCL1, GCL2)을 통해 제 1 및 제 2 게이트 클럭(GC1, GC2)을 순차적으로 공급받는다.

[0070] 제 3 스테이지 그룹(ST3-1~ST3-n)은 표시패널(300)의 일 측 중 노치부(NOTCH)에서 데이터 라인 방향으로 인접하도록 배치된다. 제 3 스테이지 그룹(ST3-1~ST3-n)은 복수의 게이트 라인들(GLk+m1~GLp)로 복수의 게이트 신호들을 공급한다. 제 3 스테이지 그룹(ST3-1~ST3-n)은 복수의 GIP 회로로 구성될 수 있다. 제 3 스테이지 그룹(ST3-1~ST3-n)에 포함된 스테이지들 각각은 제 1 및 제 2 게이트 클럭 라인(GCL1, GCL2)을 통해 제 1 및 제 2 게이트 클럭(GC1, GC2)을 순차적으로 공급받는다.

[0071] 제 1 내지 제 3 스테이지 그룹(ST1-1~ST1-K, ST2-1~ST2-m, ST3-1~ST3-n)은 표시패널(300) 상에 배치된다. 또한, 노치부(NOTCH)의 상부 및 하부 영역에서도 화상을 표시하기 위한 화소가 마련된다. 이에 따라, 노치부(NOTCH)의 상부 및 하부 영역에 배치된 화소들 역시 데이터 전압을 공급받아야 한다. 본 출원의 표시장치는 드라이버 IC(400)는 표시패널(300) 중 노치부(NOTCH)가 형성된 변과 수직인 변에 인접하게 배치된다. 드라이버 IC(400)가 노치부(NOTCH)가 형성된 변과 수직인 변에 인접하게 배치된 구조에서는 노치부(NOTCH)로 인하여 노치부(NOTCH)와 인접한 데이터 라인들(DL1~DLp)의 배치가 제한된다.

[0072] 노치부(NOTCH)로 인하여 노치부(NOTCH)의 상부에 배치된 화소들에 데이터 신호를 전달해주는 데이터 라인과 노치부(NOTCH)의 하부에 배치된 화소들에 데이터 신호를 전달해주는 데이터 라인이 끊어지게 된다. 따라서, 하부에 배치된 화소들에 데이터 신호를 전달해주기 위하여 노치부(NOTCH) 상에 데이터 라인을 배치할 수 있다. 그리고, 데이터 라인들에 인접하여 GIP 회로가 배치될 수 있다. 이 경우, 데이터 라인들로 인하여 노치부(NOTCH)가 형성된 표시패널의 베젤이 커지게 된다. 따라서, 표시패널(300)은 노치부(NOTCH)의 형상을 갖지 못하고 직사각형의 형태로 구현되거나, 깊은 노치부(NOTCH)를 형성하지 못한다. 이에 따르면, 표시패널(300)은 균일한 베젤을 형성하지 못하고 노치부(NOTCH)에 인접한 베젤이 다른 영역에 형성된 베젤보다 크게 형성된다.

[0073] 또한, 노치부(NOTCH)로 인하여 제 2 스테이지 그룹(ST2-1~ST2-m)은 제 1 스테이지 그룹(ST1-1~ST1-K) 및 제 3 스테이지 그룹(ST3-1~ST3-n) 대비 표시패널(300)의 안쪽으로 배치된다. 이에 따라, 노치부(NOTCH)와 인접한 데이터 라인(DL1~DLp)들 역시 표시패널(300)의 안쪽으로 배치된다. 노치부(NOTCH)와 인접한 데이터 라인(DL1~DLp)들이 표시패널(300)의 안쪽으로 배치되는 경우, 노치부(NOTCH)와 인접한 영역의 표시패널(300)에는 데이터 라인이 배치되지 않거나 적게 배치된다.

[0074] 이와 같은 문제점들을 해결하기 위하여, 본 출원에 따른 표시장치는 노치부(NOTCH)에 인접한 베젤을 감소시키기

위하여 복수의 데이터 라인들(DL1~DLq)들 중 적어도 하나 이상의 데이터 라인과 복수의 스테이지들 중 적어도 하나의 스테이지를 중첩시켜서 배치할 수 있다.

- [0075] 본 출원에 따른 데이터 라인들(DL1~DLq) 중 적어도 하나 이상의 데이터 라인은 복수의 스테이지들 중 적어도 하나의 스테이지와 중첩된다.
- [0076] 본 출원의 일 예에 따른 노치부와 인접한 데이터 라인들(DL1~DLp)은 제 2 스테이지 그룹(ST2-1~ST2-m)과 오버랩 되도록 배치된다. 도 4에서는 제 2 스테이지 그룹(ST2-1~ST2-m) 상에 제 1 내지 제 p 데이터 라인들(DL1~DLp)이 오버랩되는 경우를 도시하였다. 그러나 이에 한정되지 않으며, 제 2 스테이지 그룹(ST2-1~ST2-m) 상에는 적어도 하나 이상의 데이터 라인들이 오버랩될 수 있다.
- [0077] 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 게이트 라인들(GL1~GLp)과 전기적으로 연결되지 않는다. 이에 따라, 제 1 내지 제 p 데이터 라인들(DL1~DLp)에 의해 공급되는 데이터 전압은 게이트 라인들(GL1~GLp)에 의해 전달되는 게이트 신호들에 영향을 주지 않는다. 또한, 게이트 라인들(GL1~GLp)에 의해 전달되는 게이트 신호들은 제 1 내지 제 p 데이터 라인들(DL1~DLp)에 의해 공급되는 데이터 전압에 영향을 주지 않는다.
- [0078] 또한, 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 제 2 스테이지 그룹(ST2-1~ST2-m)과 전기적으로 연결되지 않는다. 이에 따라, 제 1 내지 제 p 데이터 라인들(DL1~DLp)에 의해 공급되는 데이터 전압은 제 2 스테이지 그룹(ST2-1~ST2-m)에 의해 생성되는 게이트 신호들에 영향을 주지 않는다. 또한, 제 2 스테이지 그룹(ST2-1~ST2-m)에 의해 생성되는 게이트 신호들은 제 1 내지 제 p 데이터 라인들(DL1~DLp)에 의해 공급되는 데이터 전압에 영향을 주지 않는다.
- [0079] 도 5는 도 4의 B 영역의 확대도이다.
- [0080] 제 1 게이트 클럭 라인(GCL1)은 제 1-K 스테이지(ST1-K)에 제 1 또는 제 2 게이트 클럭(GC2)을 공급한다. 제 1-K 스테이지(ST1-K)에는 제 2 게이트 클럭(GC2)을 공급받는 게이트 클럭 입력 라인이 마련된다. 제 1 게이트 클럭 라인(GCL1)과 제 1-K 스테이지(ST1-K)의 게이트 클럭 입력 라인은 제 2 콘택 홀(CH2)을 통해 연결될 수 있다. 그러나 이에 한정되지 않고, 제 2 게이트 클럭 라인(GCL1)과 제 1-K 스테이지(ST1-K)의 게이트 클럭 입력 라인이 제 2 콘택 홀(CH2)을 통해 연결될 수 있다.
- [0081] 제 2 게이트 클럭 라인(GCL2)은 제 2-1 스테이지(ST2-1)에 제 1 또는 제 2 게이트 클럭(GC2)을 공급한다. 제 2-1 스테이지(ST2-1)에는 제 2 게이트 클럭(GC2)을 공급받는 게이트 클럭 입력 라인이 마련된다. 제 2 게이트 클럭 라인(GCL2)과 제 2-1 스테이지(ST2-1)의 게이트 클럭 입력 라인은 제 4 콘택 홀(CH4)을 통해 연결될 수 있다. 그러나 이에 한정되지 않고, 제 1 게이트 클럭 라인(GCL1)과 제 2-1 스테이지(ST2-1)의 게이트 클럭 입력 라인이 제 4 콘택 홀(CH4)을 통해 연결될 수 있다.
- [0082] 제 1 애노드 금속층(AND1)은 전원 전압 라인(VSSL)이 배치된 영역부터 제 1 데이터 라인(DL1)이 배치된 영역까지 배치된다. 제 1 애노드 금속층(AND1)은 전원 전압 라인(VSSL)과 캐소드 전극을 연결한다. 전원 전압 라인(VSSL)과 제 1 애노드 금속층(AND1)은 제 1 콘택 홀(CH1)을 통해 연결된다. 제 1 애노드 금속층(AND1)과 캐소드 전극은 제 3 콘택 홀(CH3)을 통해 연결된다. 제 1 애노드 금속층(AND1)은 전원 전압(VSS)을 캐소드 전극에 공급한다.
- [0083] 제 2 애노드 금속층(AND2)은 전원 전압 라인(VSSL)이 배치된 영역부터 제 2-1 스테이지(ST2-1)가 배치된 영역까지 배치된다. 제 2 애노드 금속층(AND2)은 전원 전압 라인(VSSL)과 캐소드 전극을 연결한다. 전원 전압 라인(VSSL)과 제 2 애노드 금속층(AND1)은 제 5 콘택 홀(CH5)을 통해 연결된다. 제 2 애노드 금속층(AND2)과 캐소드 전극은 제 6 콘택 홀(CH6)을 통해 연결된다. 제 2 애노드 금속층(AND2)은 전원 전압(VSS)을 캐소드 전극에 공급한다.
- [0084] 도 6은 도 5의 I-I'의 단면도이다. I-I'에서는 화소 또는 GIP 회로가 배치되지 않기 때문에, 박막 트랜지스터 구조가 나타나지 않는다. 이에 따라, 도 5에서는 박막 트랜지스터 구조의 상부에 배치되는 배선들에 관한 구조만 나타난다.
- [0085] 하부기판(110)은 표시패널(300)의 최하층에 배치된다. 하부기판(110)은 표시장치의 베이스 기판을 형성할 수 있다. 하부기판(110)은 유리 또는 플라스틱으로 형성될 수 있다.
- [0086] 버퍼층(125)은 하부기판(110)의 상부에 배치된다. 버퍼층(125)은 하부기판(110)에 가해진 외부의 충격이 상부의 배선들을 구성하는 층으로 전달되지 않도록 충격을 완화하는 역할을 수행한다.

- [0087] 게이트 절연막(135)은 버퍼층(125)의 상부에 배치된다. 게이트 절연막(135)은 게이트 절연막(135)의 하부층과 게이트 절연막(135)의 상부층 사이를 전기적으로 차단한다. 게이트 절연막(135)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다. 일 예로, 게이트 절연막(135)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 등의 무기막 또는 이들의 다중막으로 형성될 수 있다.
- [0088] 제 1 층간 절연막(145)은 게이트 절연막(135)의 상부에 배치된다. 제 1 층간 절연막(145)은 제 1 층간 절연막(145)의 하부층과 제 1 층간 절연막(145)의 상부층 사이를 전기적으로 차단한다. 제 1 층간 절연막(145)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0089] 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 및 제 2 게이트 클럭 라인(154)은 제 1 층간 절연막(145)의 상부에 배치된다. 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 및 제 2 게이트 클럭 라인(154)은 동일 층에 동일한 물질을 이용하여 형성할 수 있다. 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 및 제 2 게이트 클럭 라인(154)은 표시영역(100)의 소스/드레인층과 동일한 층에 소스/드레인층을 구성하는 금속과 동일한 금속을 이용하여 형성할 수 있다.
- [0090] 제 2 층간 절연막(155)은 제 1 층간 절연막(145), 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 및 제 2 게이트 클럭 라인(154)의 상부에 배치된다. 제 2 층간 절연막(155)은 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 및 제 2 게이트 클럭 라인(154)과 제 2 층간 절연막(155)의 상부층 사이를 전기적으로 차단한다. 제 2 층간 절연막(155)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0091] 제 1 전극 절연막(165)은 제 2 층간 절연막(155)의 상부에 배치된다. 제 1 전극 절연막(165)은 제 1 전극 절연막(165)의 하부층과 제 1 전극 절연막(165)의 상부층 사이를 전기적으로 차단한다. 제 1 전극 절연막(165)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0092] 연결 전극(170)은 제 1 전극 절연막(165)의 상부에 배치된다. 연결 전극(170)은 제 1 컨택 홀(CH1)을 통해 전원 전압 라인(151)과 연결된다. 연결 전극(170)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0093] 제 2 전극 절연막(175)은 연결 전극(170)의 상부 중 일부 영역에 배치된다. 제 2 전극 절연막(175)은 연결 전극(170)과 연결 전극(170)의 상부층 사이를 전기적으로 차단한다. 제 2 전극 절연막(175)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0094] 캐소드 전극(180)은 제 2 전극 절연막(175)의 상부에 배치된다. 캐소드 전극(180)은 제 3 컨택 홀(CH3)을 통해 연결 전극(170)과 연결된다. 캐소드 전극(180)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 캐소드 전극(180)이 반투과 금속 물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다.
- [0095] 본 출원은 연결 전극(170)을 이용하여 전원 전압 라인(151)과 캐소드 전극(180)을 연결한다. 이에 따라, 전원 전압 라인(151)의 전원 전압(VSS)을 캐소드 전극(180)에 공급할 수 있다. 연결 전극(170)은 표시영역(100)의 애노드 전극과 동일한 층에 동일한 금속을 이용하여 형성할 수 있다.
- [0096] 도 7은 도 5의 II-II`의 단면도이다. II-II`에서는 GIP 회로가 배치된다. 도 7에서는 GIP 회로에 배치된 박막 트랜지스터들 중 어느 하나의 박막 트랜지스터가 나타난 구조를 도시하였다.
- [0097] 하부기관(110)은 표시패널(300)의 최하층에 배치된다. 하부기관(110)은 표시장치의 베이스 기관을 형성할 수 있다. 하부기관(110)은 유리 또는 플라스틱으로 형성될 수 있다.
- [0098] 액티브층(120)은 하부기관(110)의 상부 중 일부에 형성된다. 액티브층(120)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.
- [0099] 버퍼층(125)은 액티브층(120)의 상부에 배치된다. 버퍼층(125)은 하부기관(110) 및 액티브층(120)으로 가해진 외부의 충격이 상부의 박막 트랜지스터를 구성하는 층으로 전달되지 않도록 충격을 완화하는 역할을 수행한다.
- [0100] 게이트층(130)은 버퍼층(125)의 상부 중 일부 영역에 배치된다. 게이트층(130)은 GIP 회로를 구성하는 박막 트랜지스터의 게이트 전극을 이룬다. 게이트층(130)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄

(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

- [0101] 게이트 절연막(135)은 게이트층(130)의 상부에 배치된다. 게이트 절연막(135)은 게이트층(130)과 게이트 절연막(135)의 상부층 사이를 전기적으로 차단한다.
- [0102] 소스/드레인층(140)은 게이트 절연막(135)의 상부 중 일부 영역에 배치된다. 소스/드레인층(140)은 콘택 홀을 통해 액티브층(120)과 연결된다. 소스/드레인층(140)은 소스층(141)과 드레인층(142)으로 분리되어 배치된다. 소스층(141)은 GIP 회로를 구성하는 박막 트랜지스터의 소스 전극을 이룬다. 드레인층(142)은 GIP 회로를 구성하는 박막 트랜지스터의 드레인 전극을 이룬다. 소스/드레인층(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0103] 제 1 층간 절연막(145)은 게이트 절연막(135)의 상부에 배치된다. 제 1 층간 절연막(145)은 제 1 층간 절연막(145)의 하부층과 제 1 층간 절연막(145)의 상부층 사이를 전기적으로 차단한다. 제 1 층간 절연막(145)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0104] 데이터 라인(150)은 제 1 층간 절연막(145)의 상부 중 일부 영역에 배치된다. 본 출원의 데이터 라인(150)은 게이트 구동회로부(500)를 구성하는 박막 트랜지스터와 중첩되도록 배치된다. 데이터 라인(150)을 게이트 구동회로부(500)를 구성하는 박막 트랜지스터와 중첩시키는 경우, 데이터 라인(150)을 노치부(NOTCH)와 인접하도록 배치할 수 있다. 이에 따라, 노치부(NOTCH)와 인접한 영역의 화소(P)들에 데이터 전압을 공급할 수 있어, 표시영역(100)의 표시 품질을 향상시킬 수 있고, 균일한 배젤을 구현할 수 있다.
- [0105] 제 2 층간 절연막(155)은 제 1 층간 절연막(145) 및 데이터 라인(150)의 상부에 배치된다. 제 2 층간 절연막(155)은 데이터 라인(150)과 제 2 층간 절연막(155) 상부 사이의 전기적인 신호 또는 전하의 흐름을 차단한다. 데이터 라인(150)은 제 1 층간 절연막(145)에 의해 게이트 구동회로부(500)를 구성하는 박막 트랜지스터와 전기적으로 연결되지 않는다. 또한, 데이터 라인(150)은 제 2 층간 절연막(155)에 의해 상부의 애노드 전극(160), 콘택 전극(170) 및 캐소드 전극(180)과 전기적으로 연결되지 않는다.
- [0106] 데이터 라인(150)을 게이트 구동회로부(500)를 구성하는 박막 트랜지스터와 전기적으로 차단시키는 경우, 데이터 라인(150)에 의해 표시영역(100)에 공급되는 데이터 전압은 게이트 구동회로부(500)를 구성하는 박막 트랜지스터에서 생성하는 게이트 신호들에 영향을 주지 않는다. 또한, 게이트 구동회로부(500)를 구성하는 박막 트랜지스터에서 생성하는 게이트 신호들은 데이터 라인(150)에 의해 표시영역(100)에 공급되는 데이터 전압에 영향을 주지 않는다. 이에 따라, 노치부(NOTCH)와 인접한 영역에서 데이터 전압과 게이트 신호들이 서로 영향을 주지 않도록 할 수 있다.
- [0107] 애노드 전극(160)은 제 2 층간 절연막(160)의 상부 중 일부에 배치된다. 애노드 전극(160)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)으로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0108] 제 1 전극 절연막(165)은 제 2 층간 절연막(155)의 상부에 배치된다. 제 1 전극 절연막(165)은 제 1 전극 절연막(165)의 하부층과 제 1 전극 절연막(165)의 상부층 사이를 전기적으로 차단한다. 제 1 전극 절연막(165)은 전기 전도도가 낮은 비금속 무기물 또는 유무기 복합물로 이루어진다.
- [0109] 연결 전극(170)은 제 1 전극 절연막(165)의 상부에 배치된다. 연결 전극(170)은 제 6 콘택 홀(CH6)을 통해 애노드 전극(160)과 연결된다. 연결 전극(170)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0110] 캐소드 전극(180)은 연결 전극(170)의 상부에 배치된다. 캐소드 전극(180)은 제 6 콘택 홀(CH6)을 통해 애노드 전극(160)과 연결된다. 캐소드 전극(180)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 캐소드 전극(180)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다.
- [0111] 본 출원은 연결 전극(170)을 이용하여 애노드 전극(160)과 캐소드 전극(180)을 연결한다. 이에 따라, 애노드 전

극(160)의 전원 전압(VSS)을 캐소드 전극(180)에 공급할 수 있다.

- [0112] 도 8은 본 출원의 다른 예에 따른 A 영역의 확대도이다. 도 8에서는 제 1 내지 제 p 데이터 라인들(DL1~DLp)을 제외하고는 도 4와 동일한 구성 요소 및 구조를 갖고 있으므로, 동일한 구성 요소 및 구조에 관한 설명은 생략하기로 한다.
- [0113] 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 제 1 스테이지 그룹(ST1-1~ST1-K) 및 제 3 스테이지 그룹(ST3-1~ST3-n)에 인접하도록 배치된다. 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 노치부(NOTCH)를 기준으로 데이터 라인 방향에 마련된 영역 상에 배치된다. 노치부(NOTCH)를 기준으로 데이터 라인 방향에 마련된 영역 상에 보다 많은 데이터 라인들을 배치할 수 있다. 이에 따라, 노치부(NOTCH)와 인접한 영역에서의 화질 및 해상도를 보다 향상시킬 수 있다.
- [0114] 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 제 2 스테이지 그룹(ST2-1~ST2-m)에 인접하도록 배치된다. 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 제 2 스테이지 그룹(ST2-1~ST2-m)과 중첩되지 않고, 제 2 스테이지 그룹(ST2-1~ST2-m)에서 연장된 게이트 라인들(GLk+1~GLk+m)과 교차하도록 배치된다.
- [0115] 제 2 스테이지 그룹(ST2-1~ST2-m)에는 적어도 하나 이상의 박막 트랜지스터가 배치된다. 제 2 스테이지 그룹(ST2-1~ST2-m)과 데이터 라인들을 중첩시키는 구조에서는 데이터 라인들이 복수의 박막 트랜지스터 상부 영역을 지나가 되어, 제 2 스테이지 그룹(ST2-1~ST2-m) 내 구조가 복잡하게 된다. 제 2 스테이지 그룹(ST2-1~ST2-m)과 중첩되지 않도록 데이터 라인들을 배치하는 경우, 제 2 스테이지 그룹(ST2-1~ST2-m) 상의 구조를 단순화할 수 있다. 이에 따라, 제 2 스테이지 그룹(ST2-1~ST2-m)의 물리적인 크기를 감소시켜, 노치부(NOTCH)와 인접한 베젤의 폭을 감소시킬 수 있다.
- [0116] 도 9는 도 8의 B 영역의 확대도이다. 도 9에서는 제 1 내지 제 p 데이터 라인들(DL1~DLp)을 제외하고는 도 5와 동일한 구성 요소 및 구조를 갖고 있으므로, 동일한 구성 요소 및 구조에 관한 설명은 생략하기로 한다.
- [0117] 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 적어도 1회 이상 꺾이면서 제 1-K 스테이지(ST1-K)와 인접한 영역에서 제 2-1 스테이지(ST2-1)와 인접한 영역으로 연장된다. 제 1 내지 제 p 데이터 라인들(DL1~DLp)은 제 1-K 스테이지(ST1-K) 및 제 2-1 스테이지(ST2-1)에서 연장된 게이트 라인들과 교차한다.
- [0118] 제 2 애노드 금속층(AND2)과 캐소드 전극은 제 6 콘택 홀(CH6)을 통해 연결된다. 제 6 콘택 홀(CH6)은 제 2-1 스테이지(ST2-1) 상에 형성될 수 있다. 제 6 콘택 홀(CH6)은 제 2 애노드 금속층(AND2)과 캐소드 전극을 연결한다. 제 6 콘택 홀(CH6)은 제 2-1 스테이지(ST2-1) 상에 배치된 박막 트랜지스터와 제 2 애노드 금속층(AND2)을 연결하지 않는다. 이에 따라, 제 2 애노드 금속층(AND2)은 캐소드 전극에 전원 전압(VSS)을 공급하는 제 6 콘택 홀(CH6)을 제 2-1 스테이지(ST2-1) 상에 형성할 수 있어, 제 6 콘택 홀(CH6)을 형성하기 위하여 필요한 면적을 감소시킬 수 있다.
- [0119] 도 10은 도 6의 본 출원의 또 다른 예에 따른 B 영역의 확대도이다. 도 10에서는 전원 전압 라인(VSSL), 제 2 전원 전압 라인(VSSL2), 및 제 2 애노드 금속층(AND2)을 제외한 구성 요소들은 도 5에서 설명한 구성 요소들과 동일하므로, 이하에서는 동일한 구성 요소들에 대한 설명은 생략하기로 한다.
- [0120] 전원 전압 라인(VSSL)은 노치부(NOTCH)와 인접하지 않은 영역에서 표시 패널(300)의 외곽에 마련된 비표시영역에 형성된다. 전원 전압 라인(VSSL)은 노치부(NOTCH)와 인접한 영역에서 노치부(NOTCH)의 상부 및 하부에 배치된다. 전원 전압 라인(VSSL)은 노치부(NOTCH)에서 게이트 라인 방향으로 인접한 영역 상에는 배치되지 않는다.
- [0121] 제 2 전원 전압 라인(VSSL2)은 노치부(NOTCH)에서 게이트 라인 방향으로 인접한 영역 상에 배치된다. 제 2 전원 전압 라인(VSSL2)은 제 2-1 스테이지(ST2-1)와 중첩되도록 배치된다.
- [0122] 제 2 애노드 금속층(AND2)은 전원 전압 라인(VSSL), 스타트 신호 라인(VSTL), 제 1 및 제 2 게이트 클럭 신호 라인(GCL1, GCL2), 및 제 2 전원 전압 라인(VSSL2)과 교차하며 배치된다. 제 2 애노드 금속층(AND2)은 전원 전압 라인(VSSL)의 일 측 및 제 2 전원 전압 라인(VSSL2)의 일 측과 중첩되도록 배치된다.
- [0123] 제 2 애노드 금속층(AND2)은 전원 전압 라인(VSSL)과 제 5 콘택 홀(CH5)을 통해 연결된다. 제 2 애노드 금속층(AND2)은 제 2 전원 전압 라인(VSSL2)과 제 7 콘택 홀(CH7)을 통해 연결된다.
- [0124] 본 출원의 또 다른 예는 전원 전압 라인(VSSL)을 노치부(NOTCH)에서 게이트 라인 방향으로 인접한 영역 상에서 생략하고, 제 2 애노드 금속층(AND2)과 연결되면서 제 2-1 스테이지(ST2-1)와 중첩된 제 2 전원 전압 라인(VSSL2)을 이용하여 전원 전압(VSS)을 공급한다. 이에 따라, 본 출원의 또 다른 예는 노치부(NOTCH)에서 게이트

라인 방향으로 인접한 영역 상에서 전원 전압 라인(VSSL)의 폭만큼 베젤의 폭을 감소시킬 수 있다.

- [0125] 도 11은 도 10의 III-III'의 단면도이다. 본 출원의 또 다른 예에 따른 하부기관(110), 버퍼층(125), 게이트 절연막(135), 제 1 층간 절연막(145)에 대한 설명은 본 출원의 일 예에 따른 하부기관(110), 버퍼층(125), 게이트 절연막(135), 제 1 층간 절연막(145)에 대한 설명과 동일하므로, 이에 대한 내용은 생략하기로 한다.
- [0126] 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 제 2 게이트 클럭 라인(154), 및 제 2 전원 전압 라인(156)은 제 1 층간 절연막(145)의 상부에 배치된다. 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 제 2 게이트 클럭 라인(154), 및 제 2 전원 전압 라인(156)은 동일 층에 동일한 물질을 이용하여 형성할 수 있다. 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 제 2 게이트 클럭 라인(154), 및 제 2 전원 전압 라인(156)은 표시영역(100)의 소스/드레인층과 동일한 층에 소스/드레인층을 구성하는 금속과 동일한 금속을 이용하여 형성할 수 있다.
- [0127] 제 2 층간 절연막(155)은 제 1 층간 절연막(145), 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 제 2 게이트 클럭 라인(154), 및 제 2 전원 전압 라인(156)의 상부에 배치된다. 제 2 층간 절연막(155)은 전원 전압 라인(151), 스타트 신호 라인(152), 제 1 게이트 클럭 라인(153), 제 2 게이트 클럭 라인(154), 및 제 2 전원 전압 라인(156)과 제 2 층간 절연막(155)의 상부층 사이를 전기적으로 차단한다. 제 2 층간 절연막(155)은 전기 전도도가 낮은 비금속 무기물 또는 유기 복합물로 이루어진다.
- [0128] 연결 전극(170)은 제 2 층간 절연막(155)의 상부에 배치된다. 연결 전극(170)은 제 1 컨택 홀(CH1)을 통해 전원 전압 라인(151)과 연결된다. 연결 전극(170)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0129] 제 2 전극 절연막(175)은 연결 전극(170)의 상부 중 일부 영역에 배치된다. 제 2 전극 절연막(175)은 연결 전극(170)과 연결 전극(170)의 상부층 사이를 전기적으로 차단한다. 제 2 전극 절연막(175)은 전기 전도도가 낮은 비금속 무기물 또는 유기 복합물로 이루어진다.
- [0130] 캐소드 전극(180)은 제 2 전극 절연막(175)의 상부에 배치된다. 캐소드 전극(180)은 제 3 컨택 홀(CH3)을 통해 연결 전극(170)과 연결된다. 캐소드 전극(180)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 캐소드 전극(180)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다.
- [0131] 본 출원은 연결 전극(170)을 이용하여 전원 전압 라인(151)과 제 2 전원 전압 라인(156)을 연결한다. 이에 따라, 전원 전압 라인(151)의 전원 전압(VSS)을 제 2 전원 전압 라인(156)에 공급할 수 있다. 연결 전극(170)은 표시영역(100)의 애노드 전극과 동일한 층에 동일한 금속을 이용하여 형성할 수 있다.
- [0132] 복수의 데이터 라인들(DL1~DLq) 모두 게이트 구동회로부(500)에 마련된 복수의 스테이지들(ST1-1~ST3-n)의 영향을 받으면 안 되므로 오버랩시키지 않는 경우, 노치부(NOTCH)가 형성된 변의 표시패널(300) 중 표시영역(100)을 제외한 영역의 폭인 베젤(Bezel)의 폭이 증가하게 된다. 베젤(Bezel)의 폭이 노치부(NOTCH)가 형성된 변에서만 증가하는 경우, 균일하지 않은 베젤(Bezel) 폭을 갖는 표시장치를 제공하는 문제가 있다.
- [0133] 본 출원은 복수의 스테이지들 중 노치부(NOTCH)에 게이트 라인 방향으로 인접한 스테이지와 적어도 하나의 데이터 라인을 중첩시키는 구조를 통해 노치부(NOTCH)가 형성된 변의 베젤(Bezel)의 폭을 감소시킨다. 이에 따라, 본 출원은 균일한 베젤(Even Bezel) 폭을 갖는 표시장치를 제공할 수 있다.
- [0134] 본 출원의 일 예에 따른 표시장치는 다음과 같이 설명될 수 있다.
- [0135] 본 출원에 따른 표시장치는 화상을 표시하며 일 측에 노치부(NOTCH)가 형성된 표시패널, 복수의 데이터 라인들을 통해 표시패널을 구동시키는 드라이버 IC, 및 표시패널의 일 측에 배치되며 표시패널에 게이트 신호들을 공급하는 복수의 스테이지들로 구성된 게이트 구동회로부를 포함하며, 복수의 데이터 라인들 중 적어도 하나의 데이터 라인은 게이트 구동회로부에 마련된 복수의 스테이지들 중 적어도 하나의 스테이지와 중첩된다.
- [0136] 본 출원의 일 예에 따른 드라이버 IC는 표시패널 중 노치부(NOTCH)가 형성된 변과 수직인 변에 인접하게 배치될 수 있다.
- [0137] 본 출원의 일 예에 따른 적어도 하나의 데이터 라인은 복수의 스테이지들 중 노치부(NOTCH)와 게이트 라인 방향

으로 인접하도록 배치된 스테이지들과 오버랩되도록 배치될 수 있다.

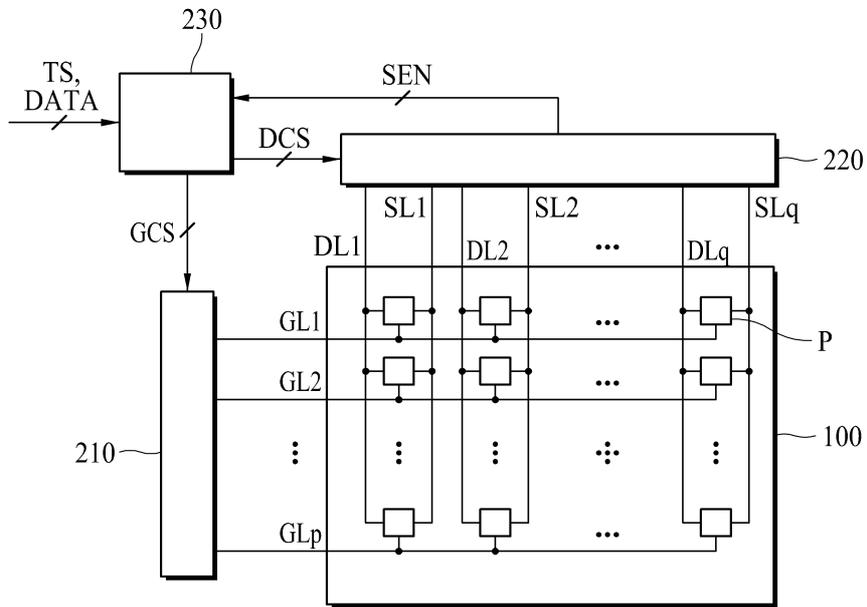
- [0138] 본 출원의 일 예에 따른 적어도 하나의 데이터 라인은 스테이지들과 전기적으로 차단될 수 있다.
- [0139] 본 출원의 일 예에 따른 표시패널은 제 1 층간 절연막의 상부에 배치된 전원 전압 라인, 전원 전압 라인의 상부에 배치된 제 2 층간 절연막, 제 2 층간 절연막의 상부에 배치된 연결 전극, 및 연결 전극의 상부에 배치된 캐소드 전극을 포함하며, 연결 전극은 제 2 층간 절연막에 마련된 제 1 컨택 홀을 통해 전원 전압 라인과 캐소드 전극을 연결할 수 있다.
- [0140] 본 출원의 연결 전극은 표시패널 내 표시영역 상에 마련된 애노드 전극과 동일한 층에 동일한 물질을 이용하여 형성될 수 있다.
- [0141] 본 출원의 다른 예에 따른 적어도 하나의 데이터 라인은 노치부(NOTCH)에 인접한 영역에서 적어도 1회 이상 꺾이면서 노치부(NOTCH)에서 데이터 라인 방향으로 배치된 스테이지와 인접한 영역에서 노치부(NOTCH)에서 게이트 라인 방향으로 배치된 스테이지와 인접한 영역으로 연장될 수 있다.
- [0142] 본 출원의 또 다른 예에 따른 표시장치는 노치부(NOTCH)와 인접한 영역에서 노치부(NOTCH)의 상부 및 하부에 배치된 전원 전압 라인, 노치부(NOTCH)에서 게이트 라인 방향으로 인접한 영역 상에 배치된 제 2 전원 전압 라인, 및 전원 전압 라인과 제 2 전원 전압 라인을 연결시키는 제 2 애노드 금속층을 포함할 수 있다.
- [0143] 본 출원의 또 다른 예에 따른 제 2 애노드 금속층은 전원 전압 라인 및 제 2 전원 전압 라인의 상부에 배치된 제 2 층간 절연막을 관통하는 제 5 컨택 홀을 통해 전원 전압 라인과 연결되고, 제 2 층간 절연막을 관통하는 제 7 컨택 홀을 통해 제 2 전원 전압 라인과 연결될 수 있다.
- [0144] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

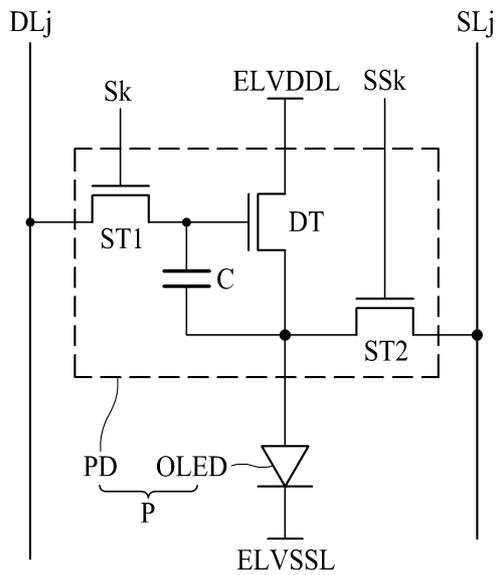
- [0145] 100: 표시영역    210: 게이트 구동부
- 220: 데이터 구동부    230: 타이밍 컨트롤러
- 300: 표시패널    400: 드라이버 IC
- 500: 게이트 구동회로부    110: 하부기관
- 120: 액티브층    125: 버퍼층
- 130: 게이트층    135: 게이트 절연막
- 140: 소스/드레인층    141: 소스층
- 142: 드레인층    145: 제 1 층간 절연막
- 150: 데이터 라인    151: 전원 전압 라인
- 152: 스타트 신호 라인    153: 제 1 게이트 클럭 라인
- 154: 제 2 게이트 클럭 라인    155: 제 2 층간 절연막
- 156: 제 2 전원 전압 라인    160: 애노드 전극
- 165: 제 1 전극 절연막    170: 연결 전극
- 175: 제 2 전극 절연막    180: 캐소드 전극

도면

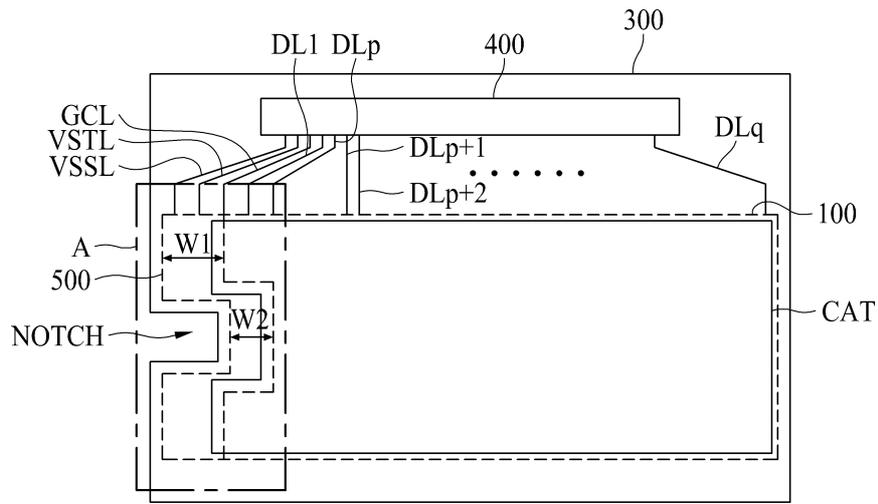
도면1



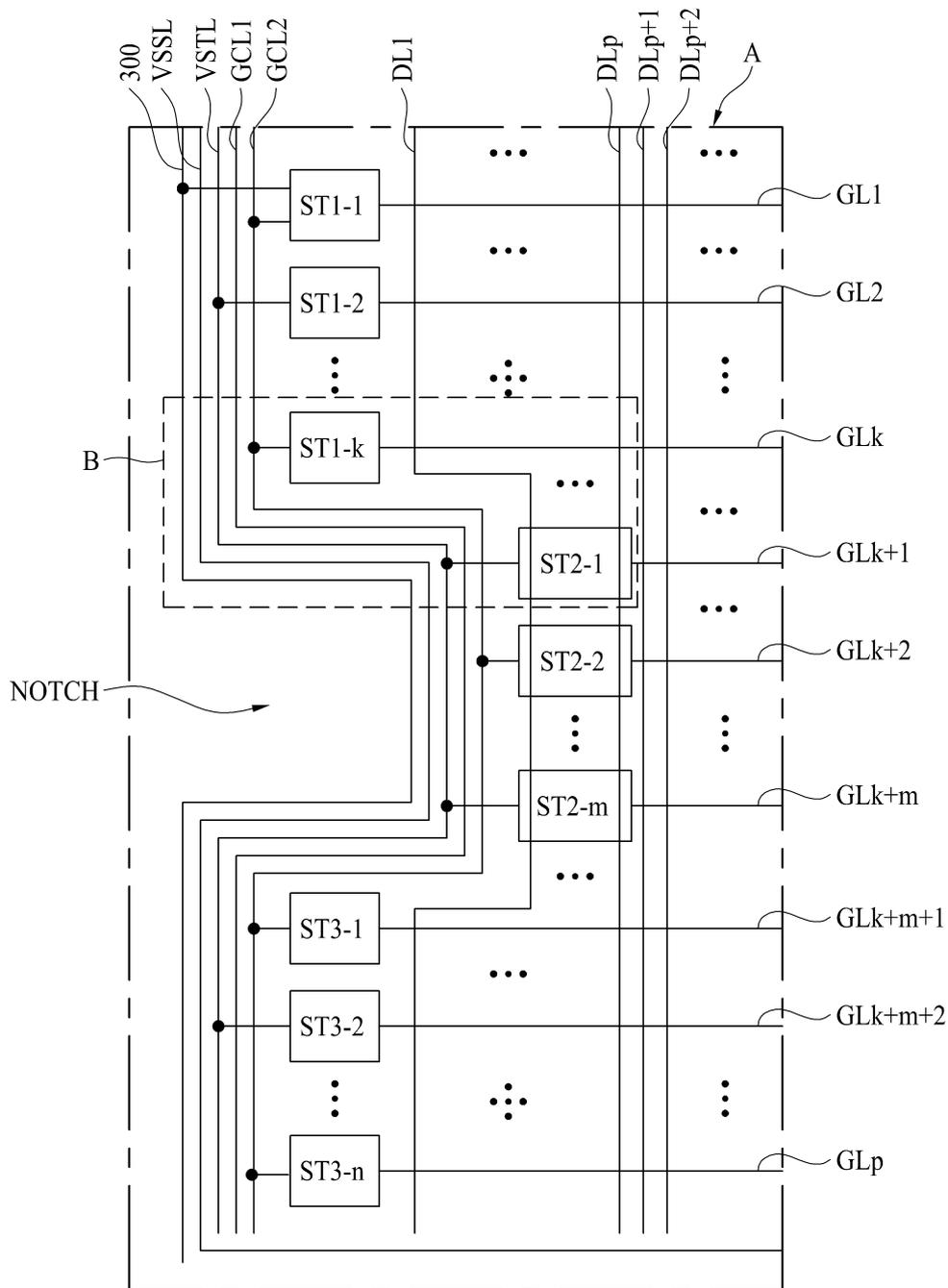
도면2



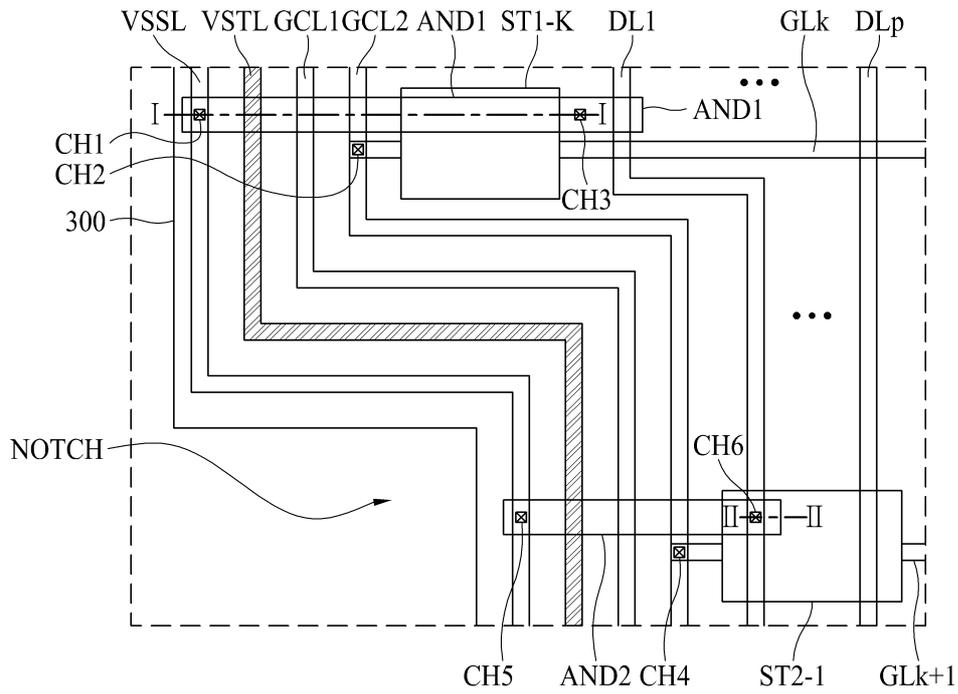
도면3



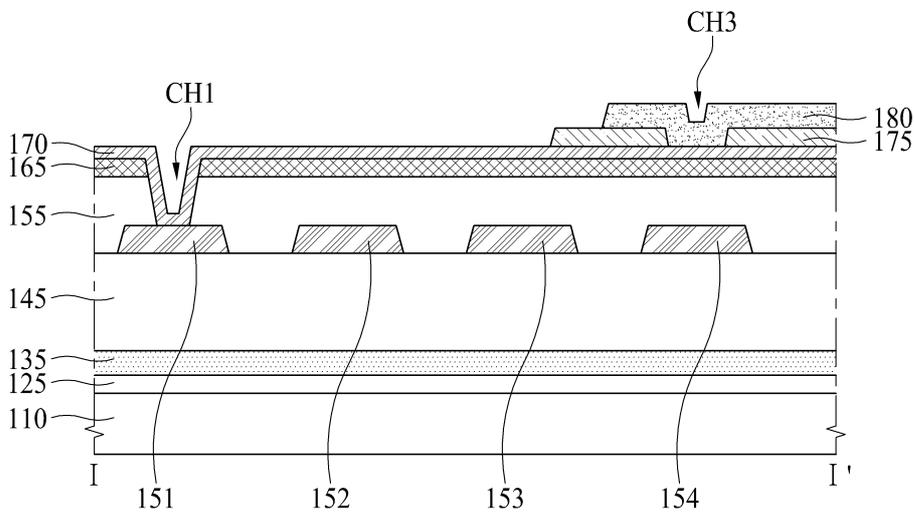
도면4



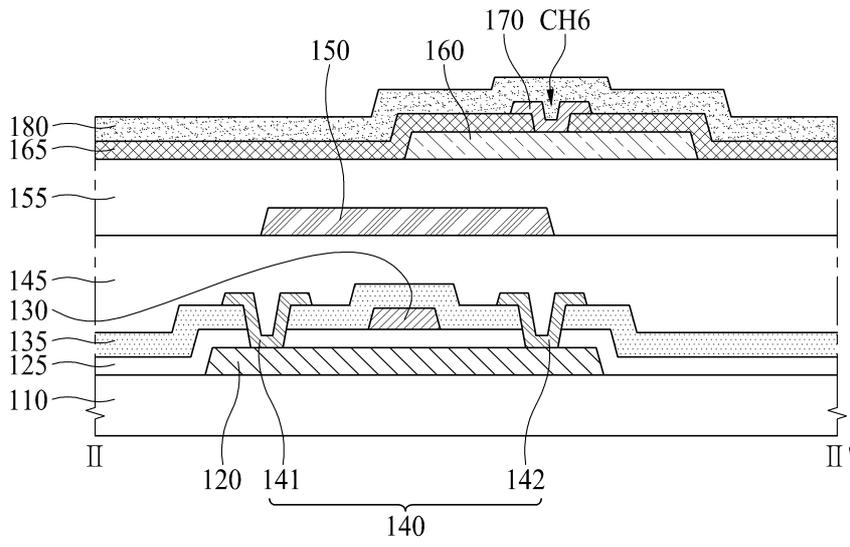
도면5



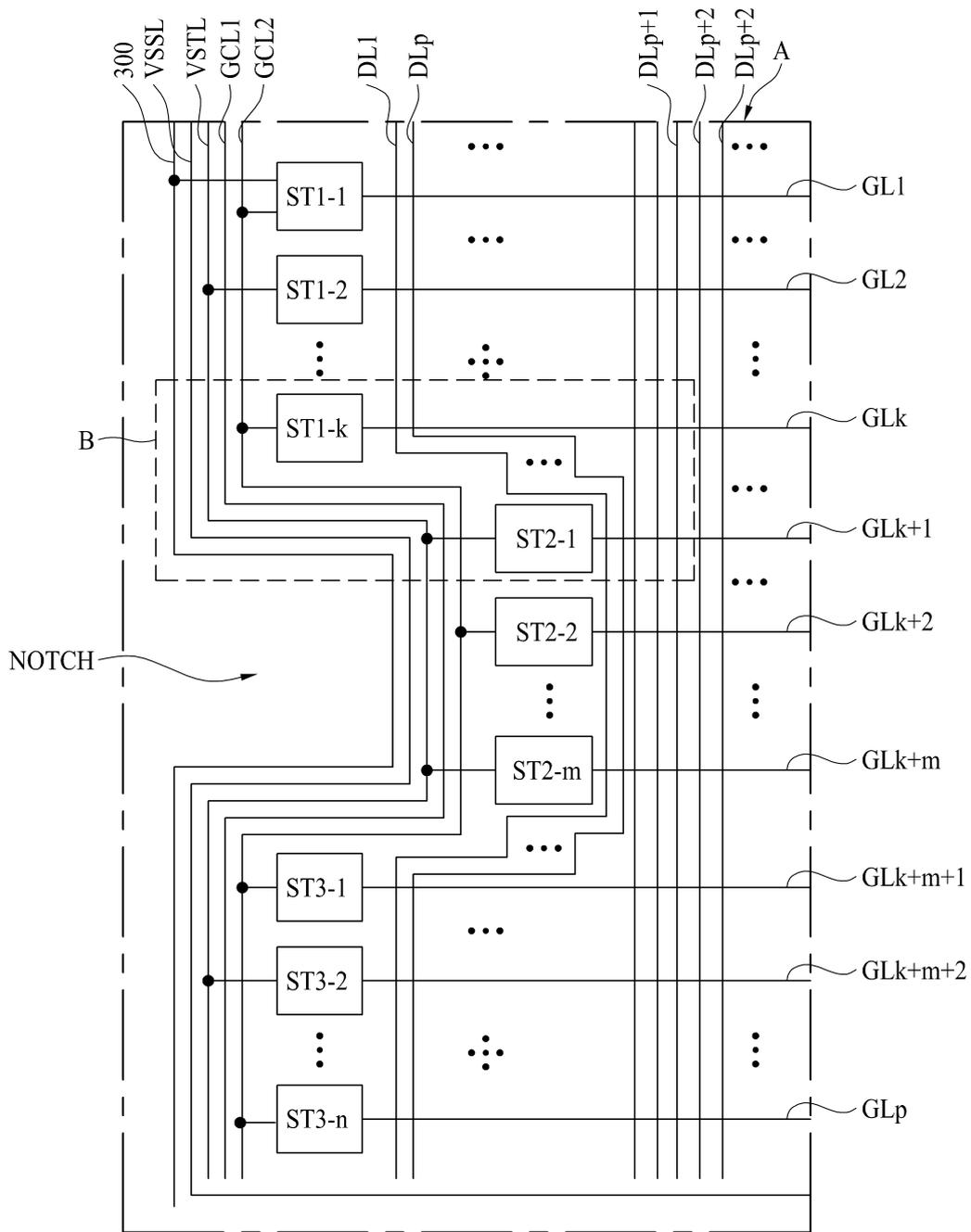
도면6



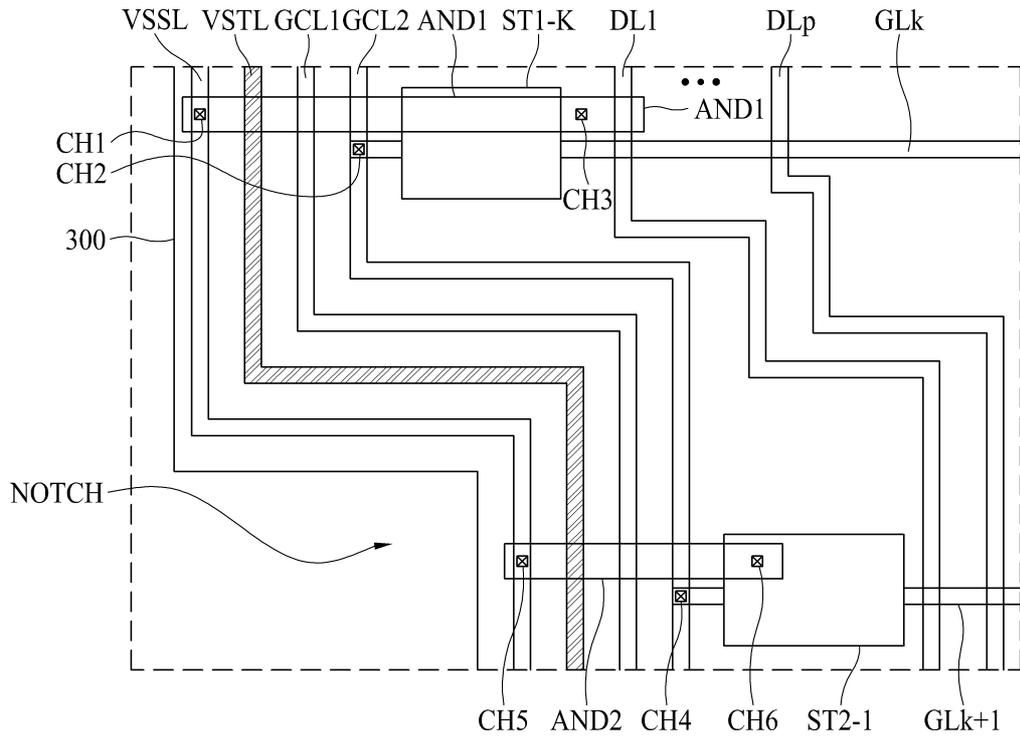
도면7



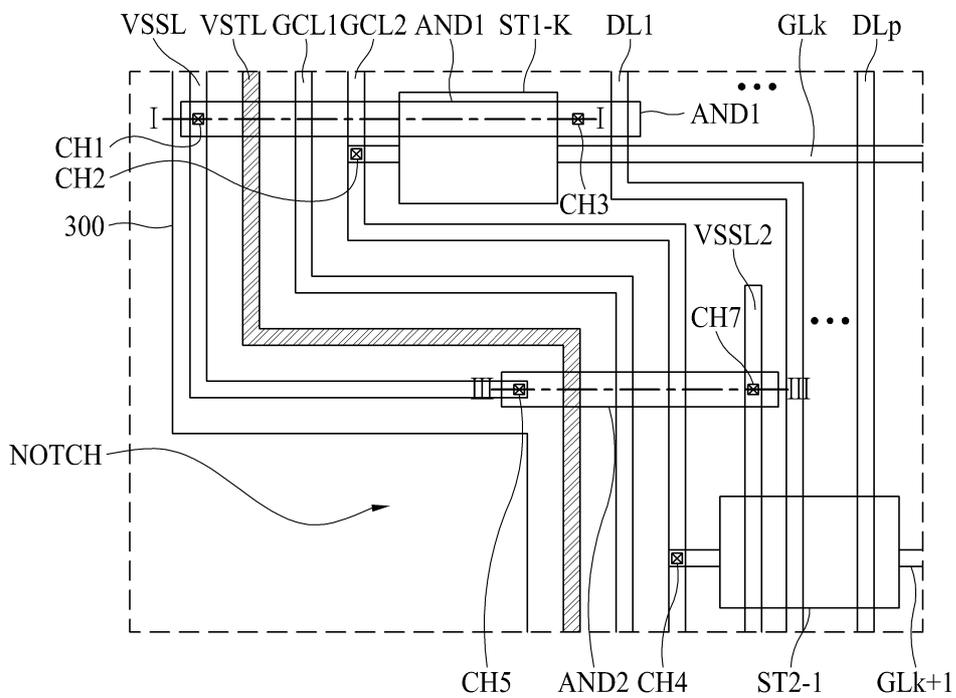
도면8



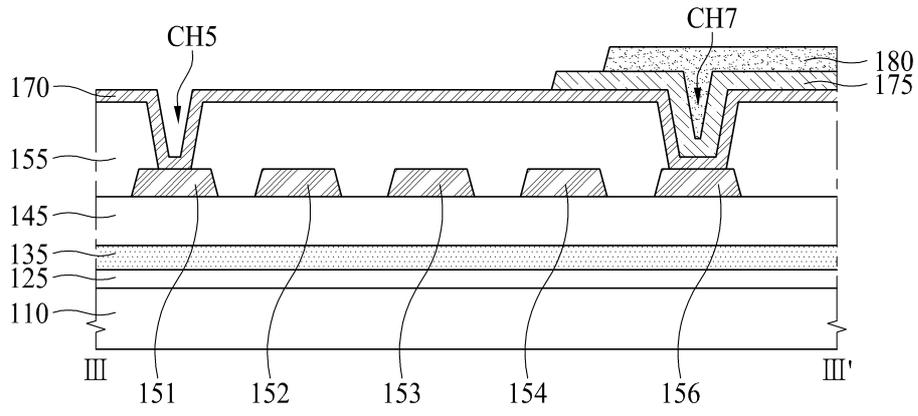
도면9



도면10



도면11



专利名称(译)	显示设备		
公开(公告)号	<a href="#">KR1020190042860A</a>	公开(公告)日	2019-04-25
申请号	KR1020170134429	申请日	2017-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김중철 박남길 정성웅		
发明人	김중철 박남길 정성웅		
IPC分类号	G09G3/3233 H01L27/32 H01L51/52		
CPC分类号	G09G3/3233 H01L27/3258 H01L51/5206 H01L51/5221 G09G2300/0426 G09G2300/0842		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本申请涉及一种有机发光显示装置，该有机发光显示装置通过改善在切口附近的区域中的数据线的布置而具有改善的显示质量。根据本申请的有机发光显示装置显示图像并且在一侧上具有切口部，用于通过多条数据线驱动显示面板的驱动器IC，以及设置在显示面板的一侧的栅极信号。以及用于提供数据的多个GIP电路，其中，所述多个数据线中的至少一条数据线与所述多个GIP电路中的至少一个GIP电路交叠。

