



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0031869
(43) 공개일자 2019년03월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0119848

(22) 출원일자 2017년09월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

공충식

경기도 파주시 월롱면 엘지로 245

한홍규

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

특허법인로알

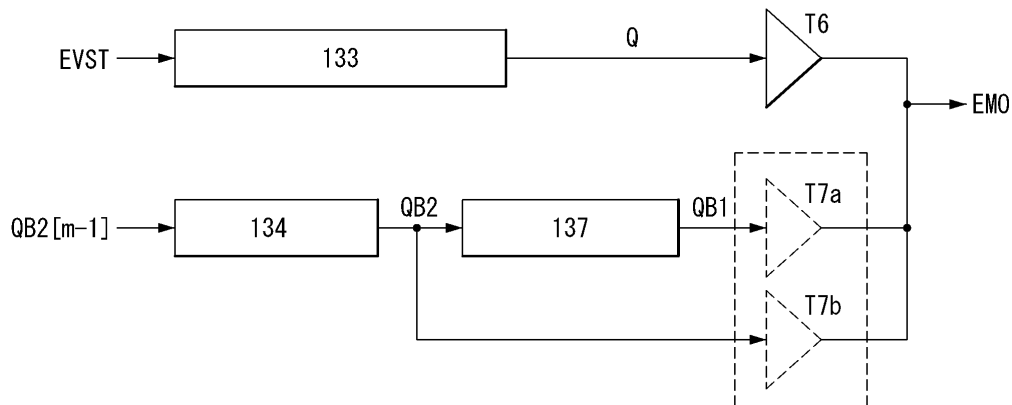
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 스캔 구동부 및 이를 포함한 전계발광표시장치

(57) 요약

본 발명은 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부 및 더블 버퍼(Double Buffer)로 구성된 제2출력 버퍼부를 포함하며, 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 각각 연결되고 동일한 제2발광제어신호를 출력하는 스캔 구동부를 제공한다.

대표도 - 도10



(52) CPC특허분류
G09G 2300/0408 (2013.01)

(72) 발명자

신미희

경기도 과주시 월롱면 엘지로 245

이세완

경기도 과주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부; 및
더블 버퍼(Double Buffer)로 구성된 제2 출력 버퍼부를 포함하며,
상기 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 상기 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 각각 연결되고 동일한 제2발광제어신호를 출력하는 스캔 구동부.

청구항 2

제1항에 있어서,
상기 Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부와,
상기 QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부를 더 포함하고,
상기 QB1노드와 상기 QB2노드는 다른 전위를 갖는 스캔 구동부.

청구항 3

제2항에 있어서,
상기 제2출력 버퍼부는
상기 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와,
상기 QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함하는 스캔 구동부.

청구항 4

스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부;
상기 Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부;
상기 QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부;
상기 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부; 및
서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력하도록 적어도 두 개의 트랜지스터를 갖는 제2출력 버퍼부를 포함하는 스캔 구동부.

청구항 5

제4항에 있어서,
상기 제1출력 버퍼부는 로직로우의 발광제어신호를 출력하고,
상기 제2출력 버퍼부는 상기 로직로우 보다 높은 전압인 로직하이의 발광제어신호를 출력하는 스캔 구동부.

청구항 6

제4항에 있어서,
상기 제2출력 버퍼부는
상기 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 상기 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 갖는 스캔 구동부.

청구항 7

제6항에 있어서,

상기 제2출력 버퍼부는

제1전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와,

상기 제1전위와 다른 제2전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함하는 스캔 구동부.

청구항 8

제7항에 있어서,

상기 제1전위는 상기 QB1노드의 전위이고,

상기 제2전위는 상기 QB2노드의 전위인 스캔 구동부.

청구항 9

영상을 표시하는 표시 패널; 및

상기 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 상기 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고,

상기 발광신호 생성회로들 중 제 m (m 은 양의 정수)발광신호 생성회로는

Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부; 및

더블 버퍼(Double Buffer)로 구성된 제2출력 버퍼부를 포함하며,

상기 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 상기 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 각각 연결되고 동일한 제2발광제어신호를 출력하는 전계발광표시장치.

청구항 10

제9항에 있어서,

상기 제2출력 버퍼부는

상기 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 상기 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 갖는 전계발광표시장치.

청구항 11

제9항에 있어서,

상기 제2출력 버퍼부는

제1전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와,

상기 제1전위와 다른 제2전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함하는 전계발광표시장치.

청구항 12

제9항에 있어서,

상기 제N발광신호 생성회로는

상기 Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부와,

상기 QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부를 더 포함하고,

상기 QB1노드와 상기 QB2노드는 다른 전위를 갖는 전계발광표시장치.

청구항 13

제12항에 있어서,

상기 제2출력 버퍼부는

상기 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와,

상기 QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함하는 전계발광표시장치.

청구항 14

제9항에 있어서,

상기 제 m 발광신호 생성회로는

제2클록신호라인에 게이트전극이 연결되고 스타트신호라인에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제1트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결된 제2트랜지스터와,

QB2노드에 게이트전극이 연결되고 상기 Q노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제3트랜지스터와,

상기 제2클록신호라인에 게이트전극이 연결되고 제 $m-1$ 발광신호 생성회로의 제 $m-1$ QB2노드에 제1전극이 연결되고 QP노드에 제2전극이 연결된 제4트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 상기 QB2노드에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제5트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 저전위전압라인에 제1전극이 연결되고 상기 제 m 발광신호 생성회로의 출력단에 제2전극이 연결된 제6트랜지스터와,

QB1노드에 게이트전극이 연결되고 상기 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제7-1트랜지스터와,

상기 QB2노드에 게이트전극이 연결되고 상기 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제7-2트랜지스터와,

상기 QP노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 상기 QB2노드에 제2전극이 연결된 제8트랜지스터와,

상기 제1클록신호라인에 게이트전극이 연결되고 상기 QB2노드에 제1전극이 연결되고 상기 QB1노드에 제2전극이 연결된 제9트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 상기 QB1노드에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제10트랜지스터를 포함하는 전계발광표시장치.

청구항 15

제14항에 있어서,

상기 제 m 발광신호 생성회로는

상기 제2트랜지스터의 제2전극에 일단이 연결되고 상기 Q노드 및 상기 제3트랜지스터의 제1전극에 타단이 연결된 제1커패시터와,

상기 QP노드에 일단이 연결되고 상기 QB2노드에 타단이 연결된 제2커패시터와,

상기 QB1노드에 일단이 연결되고 상기 고전위전압라인에 타단이 연결된 제3커패시터를 더 포함하는 전계발광표시장치.

청구항 16

제15항에 있어서,

상기 제1트랜지스터, 상기 제2트랜지스터, 상기 제3트랜지스터 및 상기 제1커패시터는 상기 Q노드를 제어하는 Q노드 제어부에 포함되고,

상기 제5트랜지스터, 상기 제10트랜지스터 및 상기 제3커패시터는 상기 QB1노드를 제어하는 QB1노드 제어부에 포함되고,

상기 제4트랜지스터, 상기 제8트랜지스터, 및 상기 제2커패시터는 상기 QB2노드를 제어하는 QB2노드 제어부에 포함되고,

상기 제6트랜지스터는 상기 제1발광제어신호를 출력하는 상기 제1출력 버퍼부에 포함되고,

상기 제7-1트랜지스터와 상기 제7-2트랜지스터는 상기 제2발광제어신호를 출력하는 상기 제2출력 버퍼부에 포함되는 전계발광표시장치.

청구항 17

영상을 표시하는 표시 패널; 및

상기 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 상기 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고,

상기 발광신호 생성회로들 중 제 m (m 은 양의 정수)발광신호 생성회로는

스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부;

상기 Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부;

상기 QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부;

상기 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부; 및

적어도 두 개의 트랜지스터들을 갖는 제2출력 버퍼부를 포함하고,

상기 적어도 두 개의 트랜지스터들은 서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력하는 전계발광표시장치.

청구항 18

제17항에 있어서,

상기 제2출력 버퍼부는

상기 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 상기 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 갖는 전계발광표시장치.

청구항 19

제17항에 있어서,

상기 제2출력 버퍼부는

상기 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와,

상기 QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함하는 전계발광표시장치.

청구항 20

제17항에 있어서,

상기 제 m 발광신호 생성회로는

제2클록신호라인에 게이트전극이 연결되고 스타트신호라인에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제1트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결된 제2트랜지스터와,

QB2노드에 게이트전극이 연결되고 상기 Q노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제3트랜지스터와,

상기 제2클록신호라인에 게이트전극이 연결되고 제m-1발광신호 생성회로의 제m-1 QB2노드에 제1전극이 연결되고 QP노드에 제2전극이 연결된 제4트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 상기 QB2노드에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제5트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 저전위전압라인에 제1전극이 연결되고 상기 제m발광신호 생성회로의 출력단에 제2전극이 연결된 제6트랜지스터와,

QB1노드에 게이트전극이 연결되고 상기 제m발광신호 생성회로의 출력단에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제7-1트랜지스터와,

상기 QB2노드에 게이트전극이 연결되고 상기 제m발광신호 생성회로의 출력단에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제7-2트랜지스터와,

상기 QP노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 상기 QB2노드에 제2전극이 연결된 제8트랜지스터와,

상기 제1클록신호라인에 게이트전극이 연결되고 상기 QB2노드에 제1전극이 연결되고 상기 QB1노드에 제2전극이 연결된 제9트랜지스터와,

상기 Q노드에 게이트전극이 연결되고 상기 QB1노드에 제1전극이 연결되고 상기 고전위전압라인에 제2전극이 연결된 제10트랜지스터를 포함하는 전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 스캔 구동부 및 이를 포함한 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 양자점표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터전압을 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터전압 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 빛을 발광하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 스캔신호를 출력하는 스캔 구동부는 집적회로 형태뿐만 아니라 박막 트랜지스터 공정과 함께 게이트인패널(Gate In Panel; 이하 GIP) 형태로 표시 패널에 형성되는 표시 패널 내장형으로 이루어지기도 한다.

[0006] 따라서, 게이트인패널 형태의 스캔 구동부는 표시 패널 상의 네로우 베젤(Narrow Bezel) 구현에 유리할 수 있다. 그러나 스캔 구동부의 트랜지스터의 구동특성을 향상시키기 위해서는 트랜지스터의 크기를 크게 하여야 한다. 이에, 본 명세서의 발명자들은 네로우 베젤을 구현하기 어려운 문제점이 발생한다는 것을 인식하였다.

발명의 내용

해결하려는 과제

[0007] 이에 본 명세서의 발명자들은 네로우 베젤을 구현할 수 있고, 표시장치의 구동특성을 향상시키기 위한 여러 실

험을 진행하였다. 여러 실험을 거쳐 트랜지스터의 구동 능력 향상 및 안정적인 출력 특성 유지가 가능할 수 있고, 네로우 베젤 구현이 가능할 수 있는 새로운 스캔 구동부 및 이를 포함한 전계발광표시장치를 발명하였다.

[0008] 본 발명은 트랜지스터의 구동 능력 향상 및 안정적인 출력 특성 유지가 가능하고, 네로우 베젤을 구현할 수 있는 스캔 구동부 및 이를 포함한 전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명은 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부 및 더블 버퍼(Double Buffer)로 구성된 제2출력 버퍼부를 포함하며, 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 연결되고 동일한 제2발광제어신호를 출력하는 스캔 구동부를 제공한다.

[0010] 그리고, 본 발명은 스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부, Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부, Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부, 및 서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력하도록 적어도 두 개의 트랜지스터들을 갖는 제2출력 버퍼부를 포함하는 스캔 구동부를 제공한다.

[0011] 그리고, 본 발명은 영상을 표시하는 표시 패널, 및 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고, 발광신호 생성회로들 중 제 m (m 은 양의 정수)발광신호 생성회로는 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부 및 더블 버퍼(Double Buffer)로 구성된 제2출력 버퍼부를 포함하며, 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 연결되고 동일한 제2발광제어신호를 출력하는 전계발광표시장치를 제공한다.

[0012] 그리고, 본 발명은 영상을 표시하는 표시 패널, 및 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고, 발광신호 생성회로들 중 제 m (m 은 양의 정수)발광신호 생성회로는 스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부, Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부, Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부, 및 적어도 두 개의 트랜지스터들을 갖는 제2출력 버퍼부를 포함하고, 적어도 두 개의 트랜지스터들은 서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력하는 전계발광표시장치를 제공한다.

[0013] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0014] 본 발명은 트랜지스터의 구동 능력 향상 및 안정적인 출력 특성 유지가 가능한 스캔 구동부를 포함함으로써, 스캔 구동부를 포함한 전계발광표시장치의 네로우 베젤 구현이 가능하다.

[0015] 그리고, 본 발명은 더블 버퍼로 구현된 출력 버퍼를 포함하는 스캔 구동부를 구현함으로써, 출력 버퍼로 동작하는 트랜지스터의 문턱전압이 이동하더라도 이를 보상하여 정상적인 출력을 유지하여 안정적인 출력 특성 유지가 가능하기 때문에 스캔 구동부의 구동 신뢰성을 향상할 수 있는 효과가 있다.

[0016] 그리고, 본 발명의 스캔 구동부는 시프트 레지스터 기반의 발광신호 생성회로를 포함함으로써, 클럭신호라인의 로드로 인한 신호 지연 현상을 해소할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 명세서의 실시예에 따른 유기전계발광표시장치의 블록도.

도 2는 도 1에 도시된 서브 픽셀의 블록도.

도 3은 도 1에 도시된 스캔 구동부의 배치 예시도.

도 4는 본 명세서의 실시예에 따른 표시 패널의 일측에 배치된 스캔 구동부의 블록도.

도 5는 도 4의 발광신호 생성회로들의 블록도.

도 6은 실험예에 따른 제m발광신호 생성회로의 구성을 나타낸 블록도.

도 7은 실험예에 따른 제m발광신호 생성회로를 나타낸 회로 구성도.

도 8 및 도 9는 도 7의 인버터 회로부와 관련된 동작 특성을 설명하기 위한 회로 구성과 구동 파형도들.

도 10은 본 명세서의 실시예에 따른 제m발광신호 생성회로의 구성을 나타낸 블록도.

도 11은 도 10의 출력 버퍼부를 나타낸 회로 구성도.

도 12는 본 명세서의 실시예에 따른 제m발광신호 생성회로를 상세히 나타낸 회로 구성도.

도 13은 본 명세서의 실시예에 따른 제m발광신호 생성회로의 구동 파형도.

도 14 및 도 15는 도 12의 QB2노드 제어부와 관련된 동작 특성을 설명하기 위한 회로 구성과 구동 파형도들.

도 16은 본 명세서의 실시예에 따른 제m발광신호 생성회로의 QB1노드와 QB2노드로부터 측정된 전압 파형도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR) 등으로 구현될 수 있다. 이하에서 설명되는 전계발광표시장치는 유기발광다이오드를 기반으로 구현된 유기전계발광표시장치를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 이에 한정되지 않으며, 무기발광다이오드를 기반으로 구현될 수도 있다.
- [0020] 또한, 이하에서 설명되는 유기전계발광표시장치는 P타입 트랜지스터 또는 N타입 트랜지스터 중 하나 이상을 기반으로 구현된다. P타입 트랜지스터와 N타입 트랜지스터의 경우, 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극의 위치가 다를 수 있으므로, 이를 한정하지 않기 위해 이들을 제1전극과 제2전극으로 명명한다.
- [0021] 도 1은 본 명세서의 실시예에 따른 유기전계발광표시장치의 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 블록도이다.
- [0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(140), 스캔 구동부(130), 표시 패널(150) 및 전원 공급부(180)가 포함된다.
- [0023] 영상 처리부(110)는 외부로부터 공급된 영상 데이터와 더불어 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호 및 클럭신호가 포함될 수 있다.
- [0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 영상 데이터와 더불어 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0025] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급되는 디지털 형태의 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압에 기초한 아날로그 형태의 데이터전압으로 변환한다. 데이터 구동부(140)는 데이터라인들(DL1 ~ DLn)을 통해 데이터전압을 출력한다. 데이터 구동부(140)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0026] 스캔 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(130)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호 등을 출력한다. 스캔 구동부(130)는 박막 트랜지스터 공정과 함께 게이트인패널(Gate In Panel; 이하 GIP) 형태로 표시 패널(150)에 형성되는 표시 패널 내장형으로 이루어질 수 있다.
- [0027] 전원 공급부(180)는 제1전압과 제2전압 등을 출력한다. 전원 공급부(180)로부터 출력된 제1전압과 제2전압 등은 표시 패널(150)에 공급된다. 제1전압은 제1전원라인(EVDD)을 통해 표시 패널(150)에 공급되고 제2전압은 제2전원라인(EVSS)을 통해 표시 패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 데이터 구동부(140)나 스캔 구동부(130)에서 이용되기도 한다.

- [0028] 표시 패널(150)은 데이터 구동부(140) 및 스캔 구동부(130)로부터 공급된 데이터전압 및 스캔신호 그리고 전원 공급부(180)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0029] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함할 수 있다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0030] 도 2에 도시된 바와 같이, 하나의 서브 픽셀(SP)은 스캔라인(GL1), 데이터라인(DL1), 제1전원라인(EVDD) 및 제2 전원라인(EVSS)에 연결된다. 서브 픽셀(SP)은 픽셀 회로의 구성에 따라 트랜지스터와 커패시터의 개수는 물론 구동 방법이 결정된다.
- [0031] 서브 픽셀(SP)은 유기 발광다이오드, 스위칭 트랜지스터, 구동 트랜지스터, 발광제어 트랜지스터 및 커패시터 등을 포함한다. 스위칭 트랜지스터는 스캔신호에 대응하여 데이터전압을 커패시터에 전달하는 역할을 한다. 커패시터는 데이터전압을 구동 트랜지스터의 게이트전극에 전달하는 역할을 한다. 구동 트랜지스터는 커패시터로부터 전달된 데이터전압에 대응하여 유기 발광다이오드를 구동할 수 있는 구동전류를 생성하는 역할을 한다. 발광제어 트랜지스터는 발광제어신호에 대응하여 유기 발광다이오드의 발광시간을 제어하는 역할을 한다.
- [0032] 서브 픽셀(SP)은 3T1C, 3T2C, 4T1C, 4T2C, 5T1C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C, 8T1C, 8T2C 등 트랜지스터의 열화를 보상하기 위해 더 추가되는 트랜지스터 및 커패시터의 개수 그리고 보상 방식에 따라 다양하게 구현될 수 있다. 도 2에서는 설명의 편의상 스캔라인(GL1)을 하나만 도시하였으며, 이는 서브 픽셀의 내부에 포함된 트랜지스터의 개수와 보상 방식에 따라 I(I는 2 이상 정수)개로 구성될 수 있다.
- [0033] 도 3은 도 1에 도시된 스캔 구동부의 배치 예시도이고, 도 4는 표시 패널의 일측에 배치된 스캔 구동부의 블록도이고, 도 5는 도 4의 발광신호 생성회로들의 블록도이다.
- [0034] 도 3에 도시된 바와 같이, 표시 패널(150)은 서브 픽셀들(SP)을 기반으로 영상을 표시하는 표시영역(AA)과 신호 라인이나 구동회로 등이 위치하며 영상을 표시하지 않는 비표시영역(NA)을 포함한다.
- [0035] 스캔 구동부(130)는 표시 패널(150)의 비표시영역(NA)에 게이트인패널(Gate In Panel) 방식으로 형성된다. 스캔 구동부(130)는 표시 패널(150)의 좌우측에 각각 배치되거나 어느 일측에만 배치될 수 있다.
- [0036] 도 4에 도시된 바와 같이, 스캔 구동부(130)는 스캔신호를 출력하는 스캔신호 생성회로들(SRD1 ~ SRD[m])과 발광제어신호를 출력하는 발광신호 생성회로들(EMD1 ~ EMD[m])을 포함한다. 스캔신호 생성회로들(SRD1 ~ SRD[m])은 제1 내지 제m스캔라인(SCAN1 ~ SCAN[m])에 연결된다. 발광신호 생성회로들(EMD1 ~ EMD[m])은 제1 내지 제m 발광신호라인(EM1 ~ EM[m])에 연결된다.
- [0037] 스캔신호 생성회로들(SRD1 ~ SRD[m])과 발광신호 생성회로들(EMD1 ~ EMD[m])은 표시 패널의 스캔라인들에 대응하여 신호를 출력하기 위해 다수의 스테이지들로 이루어진다. 제1스캔신호 생성회로(SRD1)와 제1발광신호 생성회로(EMD1)는 제1스테이지로 정의될 수 있다. 제1스테이지(SRD1, EMD1)는 표시 패널(150)의 제1수평라인을 구동하기 위한 제1스캔신호와 제1발광제어신호를 출력한다. 제2스캔신호 생성회로(SRD2)와 제2발광신호 생성회로(EMD2)는 제2스테이지로 정의될 수 있다. 제2스테이지(SRD2, EMD2)는 표시 패널(150)의 제2수평라인을 구동하기 위한 제2스캔신호와 제2발광제어신호를 출력한다.
- [0038] 도 5에 도시된 바와 같이, 제1 내지 제m발광신호 생성회로들(EMD1 ~ EMD[m])은 제1클럭신호(CLKa), 제2클럭신호(CLKb) 및 스타트신호(VST, Start Pulse) 등에 기초하여 제1 내지 제m발광신호를 각각 생성한다. 제1 내지 제m 발광신호 생성회로들(EMD1 ~ EMD[m])은 제1 내지 제m발광신호라인(EM1 ~ EM[m])을 통해 제1 내지 제m발광신호를 각각 출력한다.
- [0039] 제1 내지 제m발광신호 생성회로들(EMD1 ~ EMD[m])은 전단의 신호를 후단에서 사용할 수 있도록 스테이지마다 종속적으로 접속된 구조를 갖는다. 제1발광신호 생성회로(EMD1)는 스타트신호(VST)를 스타트신호단자(VP)를 통해 인가받는다. 그리고, 나머지 제2발광신호 생성회로(EMD2) 내지 제m발광신호 생성회로(EMD[m])는 각각 자신의 전단의 발광신호 생성회로로부터 생성된 제1 내지 제m-1캐리신호(CRY1 ~ CRY[m-1])를 스타트신호단자(VP)를 통해 인가받는다.
- [0040] 따라서, 제1발광신호 생성회로(EMD1)는 스타트신호단자(VP)에 인가된 스타트신호(VST)에 기초하여 동작을 개시하지만, 제2발광신호 생성회로(EMD2)는 제1발광신호 생성회로(EMD1)로부터 출력된 제1캐리신호(CRY1)에 기초하여 동작을 개시하게 된다. 캐리신호는 신호의 입/출력 타이밍을 고려하여 전단 또는 전전단 등에 위치하는 발광

신호 생성회로부터 생성된 신호를 이용할 수 있으므로 K(K는 1 이상 정수)단의 발광신호 생성회로부터 생성된 신호로 정의할 수 있다.

- [0041] 앞서 설명한 바와 같이, 게이트인패널 형태의 스캔 구동부(또는 내장형 스캔 구동부)는 집적회로 형태로 마련된 스캔 구동부 대비 많은 이점이 있지만, 표시 패널 상의 네로우 베젤(Narrow Bezel) 구현과 더불어 트랜지스터의 구동 능력 향상 및 안정적인 출력 특성 유지를 위한 연구가 필요하다.
- [0042] 이하, 스캔 구동부를 구현하기 위한 회로들을 설명한다. 다만, 이하에서는 발광신호 생성회로가 P타입의 트랜지스터를 기반으로 구현된 것을 일례로 설명하나 본 발명은 이에 한정되지 않는다.
- [0043] 도 6은 실험예에 따른 제m발광신호 생성회로의 구성을 나타낸 블록도이고, 도 7은 실험예에 따른 제m발광신호 생성회로를 나타낸 회로 구성도이며, 도 8 및 도 9는 도 7의 인버터 회로부와 관련된 동작 특성을 설명하기 위한 회로 구성과 구동 파형도들이다.
- [0044] 도 6에 도시된 바와 같이, 실험예에 따른 제m발광신호 생성회로는 Q노드 제어부(133), 부트스트랩 인버터 회로부(135), QB1노드 제어부(137), 제1출력 버퍼부(T6) 및 제2출력 버퍼부(T7) 등을 포함한다. 실험예에 따른 제m발광신호 생성회로의 주요 구성을 간략히 설명하면 다음과 같다.
- [0045] Q노드 제어부(133)는 스타트신호라인(EVST)을 통해 전달된 스타트신호를 기반으로 Q노드(Q)를 제어한다. 부트스트랩 인버터 회로부(135)는 Q노드(Q)의 전위를 기반으로 QB2노드(QB2)를 제어한다. QB1노드 제어부(137)는 QB2노드(QB2)의 전위를 기반으로 QB1노드(QB1)를 제어한다. 제1출력 버퍼부(T6)는 Q노드(Q)의 전위를 기반으로 턴온되어 발광신호 생성회로의 출력단(EMO)을 통해 로직로우의 발광제어신호를 출력한다. 제2출력 버퍼부(T7)는 QB1노드(QB1)의 전위를 기반으로 턴온되어 발광신호 생성회로의 출력단(EMO)을 통해 로직하이의 발광제어신호를 출력한다.
- [0046] 도 6 및 도 7에 도시된 바와 같이, 실험예에 따른 제m발광신호 생성회로는 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 제8트랜지스터(T8), 제9트랜지스터(T9), 제10트랜지스터(T10), 제1커패시터(CQ), 제2커패시터(CQP) 및 제3커패시터(CQB)를 포함한다.
- [0047] 부트스트랩 인버터 회로부(135)는 제4트랜지스터(T4), 제8트랜지스터(T8), 제10트랜지스터(T10) 및 제2커패시터(CQP)를 포함한다. 부트스트랩 인버터 회로부(135)는 제4트랜지스터(T4), 제8트랜지스터(T8), 제10트랜지스터(T10) 및 제2커패시터(CQP)를 기반으로 입력된 신호나 전위를 반전하여 출력한다. 부트스트랩 인버터 회로부(135)에 포함된 소자들을 제외한 나머지는 Q노드 제어부(133), QB1노드 제어부(137), 제1출력 버퍼부(T6), 제2출력 버퍼부(T7)와 관련된 소자들에 해당한다.
- [0048] 이하, 도 8 및 도 9를 참조하여, 도 7의 부트스트랩 인버터 회로부(135)에 포함된 제4트랜지스터(T4), 제8트랜지스터(T8), 제10트랜지스터(T10) 및 제2커패시터(CQP)와 관련된 설명을 보충하면 다음과 같다.
- [0049] 제4트랜지스터(T4)는 제2클록신호라인(ECLK2)에 게이트전극이 연결되고 저전위전압라인(VEL)에 제1전극이 연결되고 QP노드(QP)에 제2전극이 연결된다. 제4트랜지스터(T4)는 제2클록신호라인(ECLK2)을 통해 전달되는 제2클록신호(Eclk2)에 대응하여 턴온된다. 제4트랜지스터(T4)가 턴온되면, QP노드(QP)에는 저전위전압라인(VEL)을 통해 전달된 저전위전압(Vel)이 인가된다.
- [0050] 제10트랜지스터(T10)는 Q노드(Q)에 게이트전극이 연결되고 제2클록신호라인(ECLK2)에 제1전극이 연결되고 QP노드(QP)에 제2전극이 연결된다. 제10트랜지스터(T10)는 로직로우의 Q노드(Q)의 전위(q)에 대응하여 턴온된다. 제10트랜지스터(T10)가 턴온되면, QP노드(QP)에는 제2클록신호라인(ECLK2)을 통해 전달되는 제2클록신호(Eclk2)가 인가된다.
- [0051] 제8트랜지스터(T8)는 QP노드(QP)에 게이트전극이 연결되고 제1클록신호라인(ECLK1)에 제1전극이 연결되고 QB2노드(QB2)에 제2전극이 연결된다. 제8트랜지스터(T8)는 로직로우의 QP노드(QP)의 전위(Qp)에 대응하여 턴온된다. 제8트랜지스터(T8)가 턴온되면, QB2노드(QB2)에는 제1클록신호라인(ECLK1)을 통해 전달되는 제1클록신호(Eclk1)가 인가된다.
- [0052] 제2커패시터(CQP)는 QP노드(QP)에 일단이 연결되고 QB2노드(QB2)에 타단이 연결된다. 제2커패시터(CQP)는 제2커패시터(CQP)의 양쪽 단자 중 하나의 전위가 달라지도록 부트스트랩하는 커패시터(Bootstrap Cap) 역할을 한다.
- [0053] 실험예의 부트스트랩 인버터 회로부는 Q노드(Q)의 전위(q)를 입력으로 받는다. 이 때문에, Q노드(Q)의 전위(q)

가 로직로우일 때와 로직하이일 때의 동작과 출력 특성이 달라지는데 이를 설명하면 다음과 같다.

- [0054] Q노드(Q)에 로직로우의 전위가 형성되는 구간 동안 제10트랜지스터(T10)는 턴온 상태로 유지된다. 이 구간 동안 제4트랜지스터(T4)는 로직하이와 로직로우로 변하는 제2클록신호(Eclk2)에 의해 턴온과 턴오프 동작이 반복된다.
- [0055] 제10트랜지스터(T10)가 턴온 상태에서 제4트랜지스터(T4)의 턴온과 턴오프 동작이 반복됨에 따라, QP노드(QP)에는 제2클록신호(Eclk2)와 동일하게 로직하이와 로직로우로 전위가 변하게 된다. 이와 달리, QB2노드(QB2)에는 제8트랜지스터(T8)의 턴온/턴오프 동작에 의해 항상 로직하이의 전위가 유지된다.
- [0056] Q노드(Q)에 로직하이의 전위가 형성되는 구간 동안 제10트랜지스터(T10)는 턴오프 상태로 유지된다. 이 구간 동안 제4트랜지스터(T4)는 로직하이와 로직로우로 변하는 제2클록신호(Eclk2)에 의해 턴온과 턴오프 동작이 반복된다.
- [0057] 제10트랜지스터(T10)가 턴오프된 상태에서 제4트랜지스터(T4)의 턴온과 턴오프 동작이 반복됨에 따라, QP노드(QP)에는 저전위전압(Ve1)의 레벨이 유지되지만 제2커패시터(CQP)를 통한 부트스트래핑 효과를 통해 전압은 제4트랜지스터(T4)를 통과한 저전위전압보다 더 낮아질 수 있다. QB2노드(QB2)에는 제8트랜지스터(T8)의 턴온 유지 동작에 의해 제1클록신호(Eclk1)와 동일하게 로직하이와 로직로우로 전위가 변하게 된다. 이 경우, QB2노드(QB2)에는 제2커패시터(CQP)에 의한 저전위전압 부트스트래핑 효과를 받기 때문에 QP노드(QP)의 전압은 더 낮아진다. 따라서, 제1클록신호(Eclk1)는 제8트랜지스터(T8)를 통해 온전히 QB2노드(QB2)로 전달될 수 있다.
- [0058] 이처럼, 실험예는 Q노드(Q)의 전위(q)를 인버터 회로처럼 반전하여 QB2노드(QB2)에 인가할 전위를 형성한다. 그리고 턴온된 제9트랜지스터(T9)를 통해 QB2노드(QB2)의 전위(qb2)가 QB1노드(QB1)로 전달되도록 한다. 그리고 QB1노드(QB1)에 형성된 전위를 기반으로 제2출력 버퍼부(T7)의 로직하이 출력이 이루어지도록 회로가 구현된다.
- [0059] 도 10은 실시예에 따른 제m발광신호 생성회로의 구성을 나타낸 블록도이고, 도 11은 도 10의 출력 버퍼부를 나타낸 회로 구성도이며, 도 12는 실시예에 따른 제m발광신호 생성회로를 상세히 나타낸 회로 구성도이고, 도 13은 실시예에 따른 제m발광신호 생성회로의 구동 파형도이며, 도 14 및 도 15는 도 12의 QB2노드 제어부와 관련된 동작 특성을 설명하기 위한 회로 구성과 구동 파형도들이고, 도 16은 실시예에 따른 제m발광신호 생성회로의 QB1노드와 QB2노드로부터 측정된 전압 파형도이다.
- [0060] 도 10에 도시된 바와 같이, 실시예에 따른 제m발광신호 생성회로는 Q노드 제어부(133), QB2노드 제어부(134), QB1노드 제어부(137), 제1출력 버퍼부(T6) 및 제2출력 버퍼부(T7a, T7b) 등을 포함한다. 실시예에 따른 제m발광신호 생성회로의 주요 구성을 간략히 설명하면 다음과 같다.
- [0061] Q노드 제어부(133)는 스타트신호라인(EVST)을 통해 전달된 스타트신호를 기반으로 Q노드(Q)를 제어한다. QB2노드 제어부(134)는 제m-1 QB2노드(QB2[m-1])의 전위를 기반으로 QB2노드(QB2)를 제어한다. QB1노드 제어부(137)는 QB2노드(QB2)의 전위를 기반으로 QB1노드(QB1)를 제어한다. 제m-1 QB2노드(QB2[m-1])는 제m발광신호 생성회로의 전단에 위치하는 제m-1발광신호 생성회로의 QB2노드이다.
- [0062] 제1출력 버퍼부(T6)는 Q노드(Q)의 전위를 기반으로 턴온되어 제m발광신호 생성회로의 출력단(EMO)을 통해 로직로우의 발광제어신호(제1발광제어신호)를 출력한다. 제2출력 버퍼부(T7a, T7b)는 서로 다른 노드의 전위를 기반으로 턴온되어 제m발광신호 생성회로의 출력단(EMO)을 통해 로직하이의 발광제어신호(제2발광제어신호)를 출력한다.
- [0063] 제2출력 버퍼부(T7a, T7b)는 한 쌍을 이루는 두 개의 트랜지스터(T7a, T7b)로 구성된다. 한 쌍을 이루는 두 개의 트랜지스터(T7a, T7b)의 게이트전극은 서로 다른 노드에 연결되지만 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속된 병렬접속 구조를 갖는다. 한 쌍을 이루는 두 개의 트랜지스터(T7a, T7b)는 서로 다른 노드의 전위에 대응하여 턴온되지만 동일한 신호를 출력하므로 더블 버퍼(Double Buffer)로 정의될 수 있다.
- [0064] 도 11에 도시된 바와 같이, 실시예에 따른 제2출력 버퍼부(T7a, T7b)는 서로 다른 노드에 연결된 한 쌍의 제2-1출력 버퍼부(T7a)와 제2-2출력 버퍼부(T7b)로 이루어진다. 제2-1출력 버퍼부(T7a)는 QB1노드(QB1)의 전위에 대응하여 동작한다. 제2-2출력 버퍼부(T7b)는 QB2노드(QB2)의 전위에 대응하여 동작한다. 한 쌍의 제2-1출력 버퍼부(T7a)와 제2-2출력 버퍼부(T7b)가 서로 다른 노드에 연결됨에 따른 효과와 관련된 설명은 이하에서 다룬다.
- [0065] 도 12 및 도 13에 도시된 바와 같이, 실시예에 따른 제m발광신호 생성회로는 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7-1트랜지스터(T7a), 제7-2트랜지스터(T7b), 제8트랜지스터(T8), 제9트랜지스터(T9), 제10트랜지스터(T10), 제1커패시터(CQ), 제2커패시터(CQP)를 포함한다.

패시터(CQP) 및 제3커패시터(CQB)를 포함한다.

- [0066] 제1트랜지스터(T1)는 제2클록신호라인(ECLK2)에 게이트전극이 연결되고 스타트신호라인(EVST)에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다. 제1트랜지스터(T1)는 제2클록신호라인(ECLK2)을 통해 전달된 제2클록신호(Eclk2)를 기반으로 턴온된다. 제1트랜지스터(T1)가 턴온되면 Q노드(Q)에 스타트신호가 인가된다. 이때, Q노드(Q)는 스타트신호에 의해 충전된다.
- [0067] 제2트랜지스터(T2)는 Q노드(Q)에 게이트전극이 연결되고 제1클록신호라인(ECLK1)에 제1전극이 연결되고 제1커패시터(CQ)의 일단에 제2전극이 연결된다. 제2트랜지스터(T2)는 Q노드(Q)의 전위(q)를 기반으로 턴온된다. 제2트랜지스터(T2)가 턴온되면 제1커패시터(CQ)의 일단에 제1클록신호(Eclk1)가 인가된다. 이 경우, 제1커패시터(CQ)는 Q노드(Q)를 특정 상태로 유지하기 위한 전압이 충전된다.
- [0068] 제3트랜지스터(T3)는 QB2노드(QB2)에 게이트전극이 연결되고 Q노드(Q)에 제1전극이 연결되고 고전위전압라인(VEH)에 제2전극이 연결된다. 제3트랜지스터(T3)는 QB2노드(QB2)의 전위(qb2)를 기반으로 턴온된다. 제3트랜지스터(T3)가 턴온되면 Q노드(Q)에 고전위전압이 인가된다. 이 경우, Q노드(Q)는 고전위전압에 의해 방전된다.
- [0069] 제4트랜지스터(T4)는 제2클록신호라인(ECLK2)에 게이트전극이 연결되고 제m-1 QB2노드(QB2[m-1])에 제1전극이 연결되고 QP노드(QP)에 제2전극이 연결된다. 제4트랜지스터(T4)는 제2클록신호라인(ECLK2)을 통해 전달된 제2클록신호(Eclk2)를 기반으로 턴온된다. 제4트랜지스터(T4)가 턴온되면 QP노드(QP)에 제m-1 QB2노드(QB2[m-1])의 전위(Qb2[m-1])가 인가된다. 제m-1 QB2노드(QB2[m-1])는 제m발광신호 생성회로의 전단에 위치하는 제m-1발광신호 생성회로의 QB2노드이다.
- [0070] 제5트랜지스터(T5)는 Q노드(Q)에 게이트전극이 연결되고 QB2노드(QB2)에 제1전극이 연결되고 고전위전압라인(VEH)에 제2전극이 연결된다. 제5트랜지스터(T5)는 Q노드(Q)의 전위(q)를 기반으로 턴온된다. 제5트랜지스터(T5)가 턴온되면 QB2노드(QB2)에 고전위전압이 인가된다. 이때, QB2노드(QB2)는 고전위전압에 의해 방전된다.
- [0071] 제6트랜지스터(T6)는 Q노드(Q)에 게이트전극이 연결되고 저전위전압라인(VEL)에 제1전극이 연결되고 제m발광신호 생성회로의 출력단(EMO)에 제2전극이 연결된다. 제6트랜지스터(T6)는 Q노드(Q)의 전위(q)를 기반으로 턴온된다. 제6트랜지스터(T6)가 턴온되면 제m발광신호 생성회로의 출력단(EMO)에 저전위전압이 인가된다. 이때, 제m발광신호 생성회로는 자신의 출력단(EMO)을 통해 로직로우의 발광제어신호를 출력하게 된다.
- [0072] 제7-1트랜지스터(T7a)는 QB1노드(QB1)에 게이트전극이 연결되고 제m발광신호 생성회로의 출력단(EMO)에 제1전극이 연결되고 고전위전압라인(VEH)에 제2전극이 연결된다. 제7-1트랜지스터(T7a)는 QB1노드(QB1)의 전위를 기반으로 턴온된다. 제7-1트랜지스터(T7a)가 턴온되면 제m발광신호 생성회로의 출력단(EMO)에 고전위전압이 인가된다. 이 경우, 제m발광신호 생성회로는 출력단(EMO)을 통해 로직하이의 발광제어신호를 출력하게 된다.
- [0073] 제7-2트랜지스터(T7b)는 QB2노드(QB2)에 게이트전극이 연결되고 제m발광신호 생성회로의 출력단(EMO)에 제1전극이 연결되고 고전위전압라인(VEH)에 제2전극이 연결된다. 제7-2트랜지스터(T7b)는 QB2노드(QB2)의 전위를 기반으로 턴온된다. 제7-2트랜지스터(T7b)가 턴온되면 제m발광신호 생성회로의 출력단(EMO)에 고전위전압이 인가된다. 이때, 제m발광신호 생성회로는 자신의 출력단(EMO)을 통해 로직하이의 발광제어신호를 출력하게 된다.
- [0074] 제8트랜지스터(T8)는 QP노드(QP)에 게이트전극이 연결되고 제1클록신호라인(ECLK1)에 제1전극이 연결되고 QB2노드(QB2)에 제2전극이 연결된다. 제8트랜지스터(T8)는 제4트랜지스터(T4)를 통해 전달된 제m-1 QB2노드(QB2[m-1])의 전위(Qb2[m-1])를 기반으로 턴온된다. 제8트랜지스터(T8)가 턴온되면 QB2노드(QB2)에 제1클록신호(Eclk1)가 인가된다.
- [0075] 제9트랜지스터(T9)는 제1클록신호라인(ECLK1)에 게이트전극이 연결되고 QB2노드(QB2)에 제1전극이 연결되고 QB1노드(QB1)에 제2전극이 연결된다. 제9트랜지스터(T9)는 제1클록신호라인(ECLK1)을 통해 전달된 제1클록신호(Eclk1)를 기반으로 턴온된다. 제9트랜지스터(T9)가 턴온되면 QB2노드(QB2)와 QB1노드(QB1)는 도통 상태가 된다. 이 경우, QB1노드(QB1)는 QB2노드(QB2)에 형성된 전위(Qb2)의 영향을 받는다.
- [0076] 제10트랜지스터(T10)는 Q노드(Q)에 게이트전극이 연결되고 QB1노드(QB1)에 제1전극이 연결되고 고전위전압라인(VEH)에 제2전극이 연결된다. 제10트랜지스터(T10)는 Q노드(Q)의 전위를 기반으로 턴온된다. 제10트랜지스터(T10)가 턴온되면 QB1노드(QB1)에 고전위전압이 인가된다. 이 경우, QB1노드(QB1)는 고전위전압에 의해 방전된다.
- [0077] 제1커패시터(CQ)는 제2트랜지스터(T2)의 제2전극에 일단이 연결되고 Q노드(Q) 및 제3트랜지스터(T3)의 제1전극에 타단이 연결된다. 제1커패시터(CQ)는 로직로우의 발광제어신호가 출력된 이후 Q노드(Q)의 전위를 로직하이로

유지시키는 역할을 한다.

- [0078] 제2커패시터(CQP)는 QP노드(QP)에 일단이 연결되고 QB2노드(QB2)에 타단이 연결된다. 제2커패시터(CQP)는 제 $m-1$ QB2노드(QB2[$m-1$])의 전위(Qb2[$m-1$])를 기반으로 제1클록신호(Eclk1)의 로직로우의 전위를 낮게 유지시키는 역할을 한다.
- [0079] 제3커패시터(CQB)는 QB1노드(QB1)에 일단이 연결되고 고전위전압라인(VEH)에 타단이 연결된다. 제3커패시터(CQB)는 로직하이의 발광제어신호가 출력된 이후 QB1노드(QB1)의 전위를 로직하이로 유지시키는 역할을 한다.
- [0080] Q노드 제어부(Q Control)는 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3) 및 제1커패시터(CQ)를 포함한다. QB1노드 제어부(QB1 Control)는 제5트랜지스터(T5), 제10트랜지스터(T10) 및 제3커패시터(CQB)를 포함한다. QB2노드 제어부(QB2 Control)는 제4트랜지스터(T4), 제8트랜지스터(T8), 및 제2커패시터(CQP)를 포함한다. 제1출력 버퍼부(T6)는 제6트랜지스터(T6)를 포함한다. 제2출력 버퍼부(T7a, T7b)는 제7-1트랜지스터(T7a) 및 제7-2트랜지스터(T7b)를 포함한다.
- [0081] 이하, 도 14 내지 도 16을 참조하여, 도 12의 QB2노드 제어부(134)에 포함된 제4트랜지스터(T4), 제8트랜지스터(T8), 및 제2커패시터(CQP)와 관련된 설명을 보충하면 다음과 같다.
- [0082] 실시예의 QB2노드 제어부(134)는 제 $m-1$ QB2노드(QB2[$m-1$])의 전위(Qb2[$m-1$])를 입력으로 받는다. 이 때문에, 제 $m-1$ QB2노드(QB2[$m-1$])의 전위(Qb2[$m-1$])가 로직하이일 때와 로직로우일 때의 동작과 출력 특성이 달라지는데 이를 설명하면 다음과 같다.
- [0083] 제 $m-1$ QB2노드(QB2[$m-1$])에 로직하이의 전위(Qb2[$m-1$])가 형성되는 구간 동안 제4트랜지스터(T4)는 로직하이와 로직로우로 변하는 제2클록신호(Eclk2)에 의해 턴온과 턴오프 동작이 반복된다.
- [0084] 제4트랜지스터(T4)가 턴온 상태일 때 QP노드(QP)에는 제 $m-1$ QB2노드(QB2[$m-1$])의 로직하이의 전위(Qb2[$m-1$])가 인가된다. 이 구간 동안 제8트랜지스터(T8)는 제 $m-1$ QB2노드(QB2[$m-1$])의 로직하이의 전위(Qb2[$m-1$])에 의해 턴오프된 상태가 된다. 이 경우, 제8트랜지스터(T8)와 함께 QB2노드(QB2)에 접속된 제5트랜지스터(T5)는 Q노드(Q)의 로직로우의 전위(q)에 의해 턴온된 상태이므로 QB2노드(QB2)는 로직하이 상태로 유지된다.
- [0085] 제 $m-1$ QB2노드(QB2[$m-1$])에 로직로우의 전위(Qb2[$m-1$])가 형성되는 구간 동안 제8트랜지스터(T8)는 제 $m-1$ QB2노드(QB2[$m-1$])의 로직로우의 전위(Qb2[$m-1$])에 의해 턴온 상태가 된다. 제8트랜지스터(T8)가 턴온 상태가 됨에 따라, 제1클록신호(Eclk1)가 QB2노드(QB2)에 인가되고 제1클록신호(Eclk1)와 동기된 QB2노드(QB2)는 QP노드(QP)의 전위를 이전에 형성된 로직로우보다 더 낮은 로직로우로 변경하게 된다. 이 경우, 제8트랜지스터(T8)와 함께 QB2노드(QB2)에 접속된 제5트랜지스터(T5)는 Q노드(Q)의 로직하이의 전위(q)에 의해 턴오프된 상태이므로 QB2노드(QB2)는 로직로우 상태로 유지된다. 이와 같은 동작이 수행되는 동안 QB2노드(QB2)에는 제2커패시터(CQP)에 의한 저전위전압 부트스트래핑 효과를 받기 때문에 제2클록신호(Eclk2)의 로직로우의 전위가 더 확실히 유지된다.
- [0086] 이처럼, 실시예는 제 $m-1$ QB2노드(QB2[$m-1$])의 전위(Qb2[$m-1$])를 시프트 레지스터처럼 이동시켜 QB2노드(QB2)에 인가할 수 있는 QB2 노드 제어부(134)를 포함한다. 그리고, 실시예는 QB1노드(QB1)의 전위(Qb1)를 기반으로 제2-1출력 버퍼부(T7a)를 통해 로직하이 출력이 이루어지도록 하고, QB2노드(QB2)의 전위(Qb2)를 기반으로 제2-2출력 버퍼부(T7b)를 통해 로직하이 출력이 이루어지도록 구현된다.
- [0087] 도 16을 통해 알 수 있듯이, QB1노드(QB1)의 전위(Qb1)는 턴온된 제9트랜지스터(T9)에 의해 QB2노드(QB2)로부터 전달된 것이므로 제9트랜지스터(T9)에 의한 전위 드랍이 존재한다. 하지만, QB2노드(QB2)의 전위(Qb2)는 턴온된 제9트랜지스터(T9)를 거치지 않은 상태로 QB2노드(QB2) 상에 존재하므로 QB1노드(QB1)의 전위(Qb1)만큼 전위 드랍이 존재하지 않는다. 따라서, 제2-2출력 버퍼부(T7b)는 제2-1출력 버퍼부(T7a) 대비 드랍이 존재하지 않은 전위를 기반으로 동작하게 된다. 따라서, 실시예는 전위 드랍의 영향으로 제2-1출력 버퍼부(T7a)의 출력 특성이 저하되더라도 제2-2출력 버퍼부(T7b)의 출력으로 보상될 수 있다.
- [0088] 실시예는 적어도 두 개의 제7-1 및 제7-2트랜지스터(T7a, T7b)를 기반으로 제2출력 버퍼부(T7a, T7b)가 구성된다. 실험예에 따른 제2 출력 버퍼부(T7)는 로직하이 신호의 출력 및 유지(Holding) 등의 안정적인 구동을 위해 제2 출력 버퍼부(T7)의 크기(폭과 길이, WL 값이라고도 함)가 다소 클 수 있다. 하지만, 실시예에 따른 제2 출력 버퍼부(T7a, T7b)는 병렬로 연결된 두 개의 트랜지스터로 구현됨으로써, 제2 출력 버퍼부(T7a, T7b)의 크기는 실험예에 따른 제2출력 버퍼부(T7)의 크기(폭과 길이, WL 값이라고도 함)보다 작게 형성할 수 있다.
- [0089] 실시예는 적어도 두 개의 제7-1 및 제7-2트랜지스터(T7a, T7b)의 크기(폭과 길이, WL 값이라고도 함)를 실험예

대비 낮출 수 있다. 이 경우, 제2출력 버퍼부(T7a, T7b)의 크기 감소로 표시 패널의 네로우 베젤(Narrow Bezel) 구현에 이점을 줄 수 있다. 또한, 제2출력 버퍼부(T7a, T7b)의 문턱전압 이동으로 인한 구동 마진(Margin) 감소 위험성을 배제할 수 있으므로, 제2출력 버퍼부(T7a, T7b) 중 하나에서 문턱전압 이동(Vth Shift)이 발생하더라도 다른 하나의 동작으로 보완 및 보상할 수 있다.

- [0090] 이 밖에, 실험예와 같이 인버터 회로 기반의 발광신호 생성회로는 제2클록신호에 대응하여 제4트랜지스터(T4)의 턴온-턴오프 상태가 반복됨에 따라, 제4트랜지스터(T4)의 영향을 받는 제2커패시터(CQP)에 지속적인 전압 변동에 따른 충방전이 일어나지만, 실시예와 같이 시프트 레지스터 기반의 발광신호 생성회로는 제2클록신호의 영향을 받지 않도록 제2커패시터(CQP)가 구비되어 있어 전압 변동에 따른 충방전이 거의 일어나지 않는다. 따라서, 실시예는 제2커패시터(CQP)의 충방전 동작이 클록신호라인의 로드(load)에 큰 영향을 받지 않으므로 클록신호라인의 로드로 인한 신호 지연(delay) 현상을 해소할 수 있다.
- [0091] 따라서, 본 명세서는 트랜지스터의 구동 능력 향상 및 안정적인 출력 특성 유지가 가능할 수 있으며, 네로우 베젤에 유리한 내장형 스캔 구동부를 제공할 수 있는 효과가 있다. 그리고, 본 명세서는 출력 버퍼로 동작하는 트랜지스터의 문턱전압이 이동하더라도 문턱전압을 보상하여 정상적인 출력을 유지할 수 있으므로, 구동 신뢰성을 향상할 수 있는 효과가 있다.
- [0092] 본 명세서의 실시예들에 따른 스캔 구동부 및 이를 포함한 전계발광표시장치는 다음과 같이 설명될 수 있다.
- [0093] 본 발명의 일 실시예에 따른 스캔 구동부는 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부, 및 더블 버퍼(Double Buffer)로 구성된 제2 출력 버퍼부를 포함하며, 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 각각 연결되고 동일한 제2발광제어신호를 출력한다.
- [0094] 본 발명의 다른 특징에 따르면, Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부와, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부를 더 포함하고, QB1노드와 QB2노드는 다른 전위를 가질 수 있다.
- [0095] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와, QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함할 수 있다.
- [0096] 본 발명의 일 실시예에 따른 스캔 구동부는 스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부, Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부, Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부, 및 서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력하도록 적어도 두 개의 트랜지스터들을 갖는 제2출력 버퍼부를 포함할 수 있다.
- [0097] 본 발명의 다른 특징에 따르면, 제1출력 버퍼부는 로직로우의 발광제어신호를 출력하고, 제2출력 버퍼부는 로직로우 보다 높은 전압인 로직하이의 발광제어신호를 출력할 수 있다.
- [0098] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 가질 수 있다.
- [0099] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 제1전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와, 제1전위와 다른 제2전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함할 수 있다.
- [0100] 본 발명의 다른 특징에 따르면, 제1전위는 QB1노드의 전위이고, 제2전위는 QB2노드의 전위일 수 있다.
- [0101] 본 발명의 일 실시예에 따른 전계발광표시장치는 영상을 표시하는 표시 패널; 및 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고, 발광신호 생성회로들 중 제m(m은 양의 정수)발광신호 생성회로는 Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부; 및 더블 버퍼(Double Buffer)로 구성된 제2출력 버퍼부를 포함하며, 더블 버퍼는 두 개의 트랜지스터들을 포함하고, 두 개의 트랜지스터들은 서로 다른 노드에 게이트전극이 각각 연결되고 동일한 제2발광제어신호를 출력한다.

- [0102] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 가질 수 있다.
- [0103] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 제1전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와, 제1전위와 다른 제2전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함할 수 있다.
- [0104] 본 발명의 다른 특징에 따르면, 제 m 발광신호 생성회로는 Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부와, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부를 더 포함하고, QB1노드와 QB2노드는 다른 전위를 가질 수 있다.
- [0105] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와, QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함할 수 있다.
- [0106] 본 발명의 다른 특징에 따르면, 제 m 발광신호 생성회로는 제2클록신호라인에 게이트전극이 연결되고 스타트신호라인에 제1전극이 연결되고 Q노드에 제2전극이 연결된 제1트랜지스터와, Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결된 제2트랜지스터와, QB2노드에 게이트전극이 연결되고 Q노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제3트랜지스터와, 제2클록신호라인에 게이트전극이 연결되고 제 $m-1$ 발광신호 생성회로의 제 $m-1$ QB2노드에 제1전극이 연결되고 Q노드에 제2전극이 연결된 제4트랜지스터와, Q노드에 게이트전극이 연결되고 QB2노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제5트랜지스터와, Q노드에 게이트전극이 연결되고 저전위전압라인에 제1전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제2전극이 연결된 제6트랜지스터와, QB1노드에 게이트전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제7-1트랜지스터와, QB2노드에 게이트전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제7-2트랜지스터와, Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 QB2노드에 제2전극이 연결된 제8트랜지스터와, 제1클록신호라인에 게이트전극이 연결되고 QB2노드에 제1전극이 연결되고 QB1노드에 제2전극이 연결된 제9트랜지스터와, Q노드에 게이트전극이 연결되고 QB1노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제10트랜지스터를 포함할 수 있다.
- [0107] 본 발명의 다른 특징에 따르면, 제 m 발광신호 생성회로는 제2트랜지스터의 제2전극에 일단이 연결되고 Q노드 및 제3트랜지스터의 제1전극에 타단이 연결된 제1커패시터와, Q노드에 일단이 연결되고 QB2노드에 타단이 연결된 제2커패시터와, QB1노드에 일단이 연결되고 고전위전압라인에 타단이 연결된 제3커패시터를 더 포함할 수 있다.
- [0108] 본 발명의 다른 특징에 따르면, 제1트랜지스터, 제2트랜지스터, 제3트랜지스터 및 제1커패시터는 Q노드를 제어하는 Q노드 제어부에 포함되고, 제5트랜지스터, 제10트랜지스터 및 제3커패시터는 QB1노드를 제어하는 QB1노드 제어부에 포함되고, 제4트랜지스터, 제8트랜지스터, 및 제2커패시터는 QB2노드를 제어하는 QB2노드 제어부에 포함되고, 제6트랜지스터는 제1발광제어신호를 출력하는 제1출력 버퍼부에 포함되고, 제7-1트랜지스터와 제7-2트랜지스터는 제2발광제어신호를 출력하는 제2출력 버퍼부에 포함될 수 있다.
- [0109] 본 발명의 일 실시예에 따른 전계발광표시장치는 영상을 표시하는 표시 패널, 및 표시 패널에 스캔신호를 출력하는 스캔신호 생성회로들과 표시 패널에 발광신호를 출력하는 발광신호 생성회로들을 포함하는 스캔 구동부를 포함하고, 발광신호 생성회로들 중 제 m (m 은 양의 정수)발광신호 생성회로는 스타트신호라인을 통해 전달된 스타트신호를 기반으로 Q노드를 제어하는 Q노드 제어부, Q노드의 전위를 기반으로 QB2노드를 제어하는 QB2노드 제어부, QB2노드의 전위를 기반으로 QB1노드를 제어하는 QB1노드 제어부, Q노드의 전위를 기반으로 턴온되어 제1발광제어신호를 출력하는 제1출력 버퍼부, 및 적어도 두 개의 트랜지스터들을 갖는 제2출력 버퍼부를 포함하고, 적어도 두 개의 트랜지스터들은 서로 다른 노드의 전위를 기반으로 턴온되어 제2발광제어신호를 출력한다.
- [0110] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 적어도 두 개의 트랜지스터들의 제1전극은 제1전극끼리, 제2전극은 제2전극끼리 접속되고, 적어도 두 개의 트랜지스터들의 게이트전극은 서로 다른 노드에 연결된 병렬접속 구조를 가질 수 있다.
- [0111] 본 발명의 다른 특징에 따르면, 제2출력 버퍼부는 QB1노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-1출력 버퍼부와, QB2노드의 전위에 대응하여 동작하는 트랜지스터로 이루어진 제2-2출력 버퍼부를 포함할 수 있다.

[0112] 본 발명의 다른 특징에 따르면, 제 m 발광신호 생성회로는 제2클록신호라인에 게이트전극이 연결되고 스타트신호라인에 제1전극이 연결되고 Q노드에 제2전극이 연결된 제1트랜지스터와, Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결된 제2트랜지스터와, QB2노드에 게이트전극이 연결되고 Q노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제3트랜지스터와, 제2클록신호라인에 게이트전극이 연결되고 제 $m-1$ 발광신호 생성회로의 제 $m-1$ QB2노드에 제1전극이 연결되고 QP노드에 제2전극이 연결된 제4트랜지스터와, Q노드에 게이트전극이 연결되고 QB2노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제5트랜지스터와, Q노드에 게이트전극이 연결되고 저전위전압라인에 제1전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제2전극이 연결된 제6트랜지스터와, QB1노드에 게이트전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제7-1트랜지스터와, QB2노드에 게이트전극이 연결되고 제 m 발광신호 생성회로의 출력단에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제7-2트랜지스터와, QP노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 QB2노드에 제2전극이 연결된 제8트랜지스터와, 제1클록신호라인에 게이트전극이 연결되고 QB2노드에 제1전극이 연결되고 QB1노드에 제2전극이 연결된 제9트랜지스터와, Q노드에 게이트전극이 연결되고 QB1노드에 제1전극이 연결되고 고전위전압라인에 제2전극이 연결된 제10트랜지스터를 포함할 수 있다.

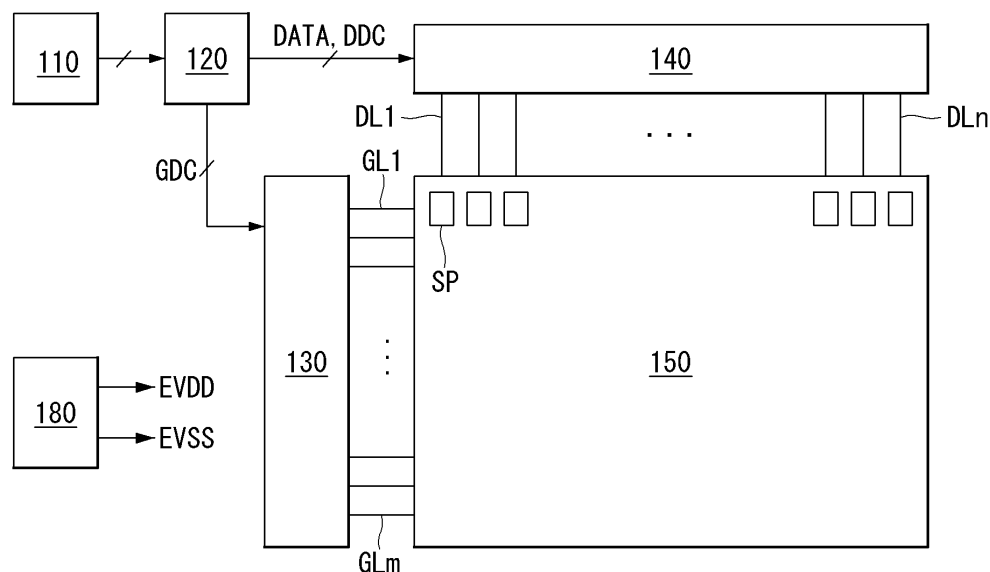
[0113] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

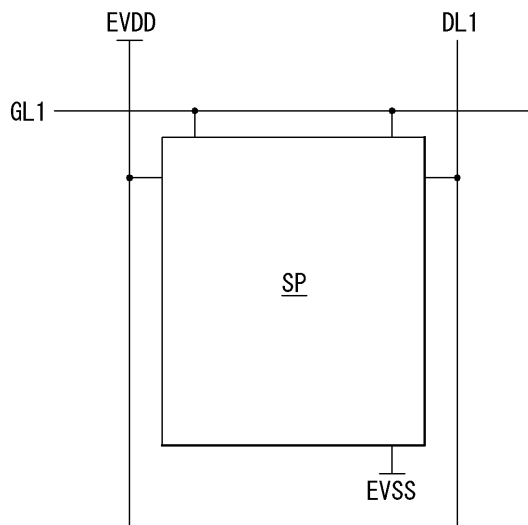
[0114] 120: 타이밍 제어부 140: 데이터 구동부
130: 스캔 구동부 150: 표시 패널
133: Q노드 제어부 134: QB2노드 제어부
137: QB1노드 제어부 T6: 제1출력 버퍼부
T7, T7a, T7b: 제2출력 버퍼부

도면

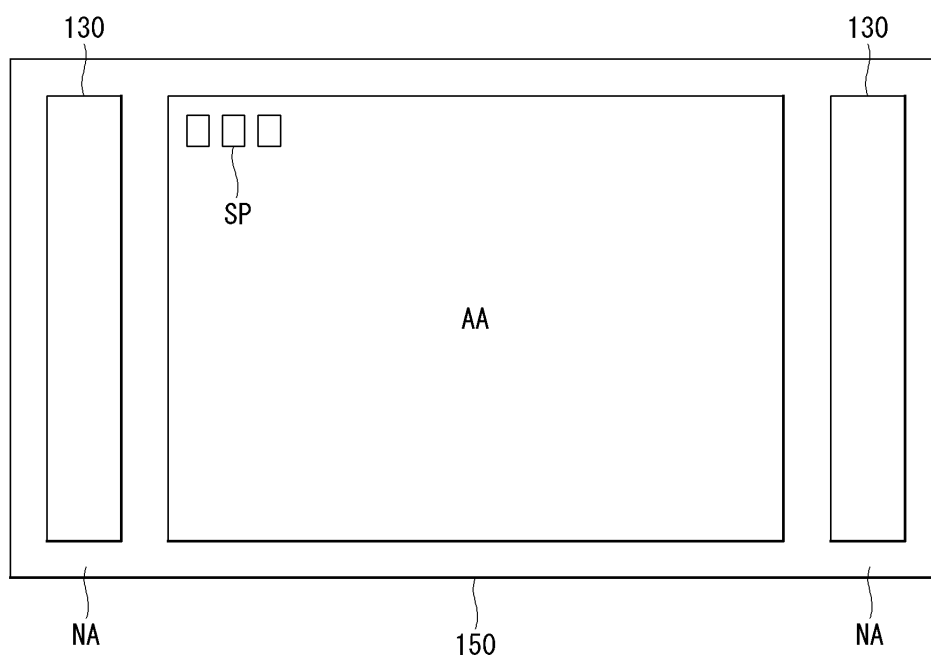
도면1



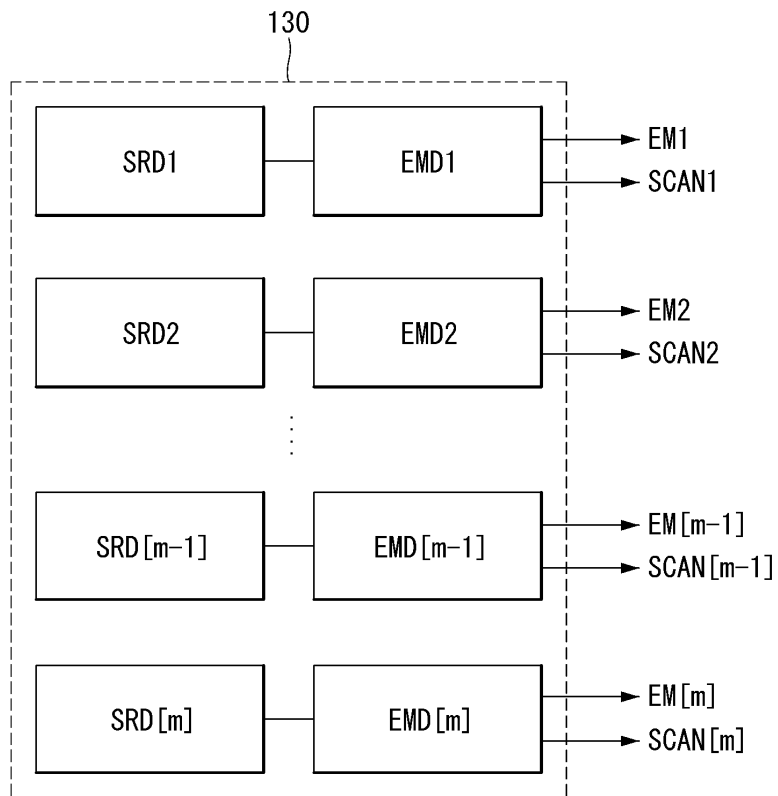
도면2



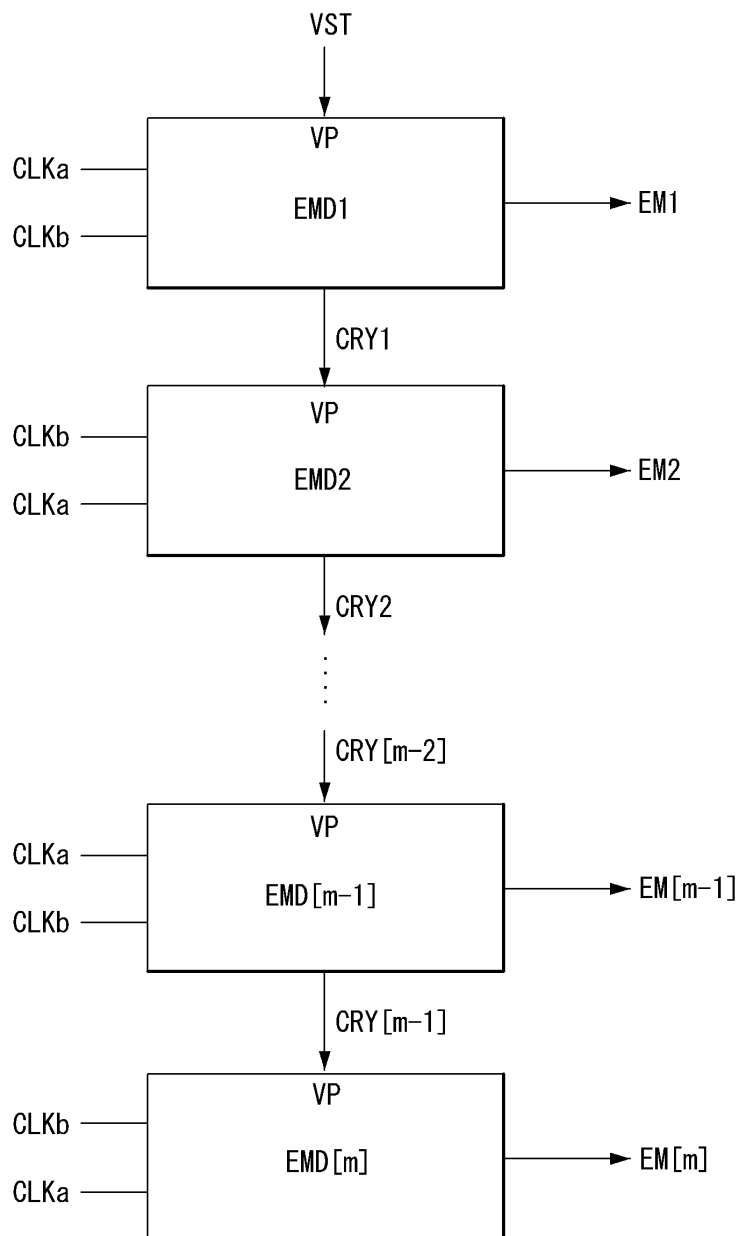
도면3



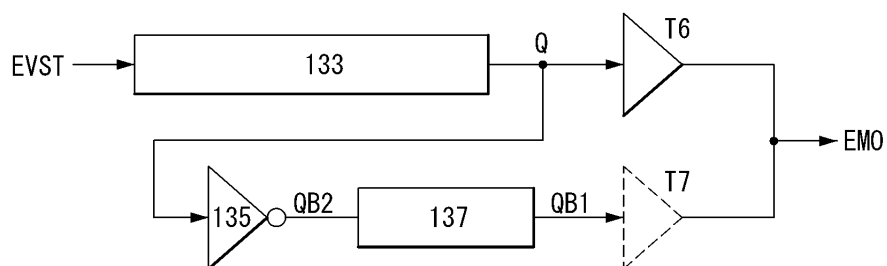
도면4



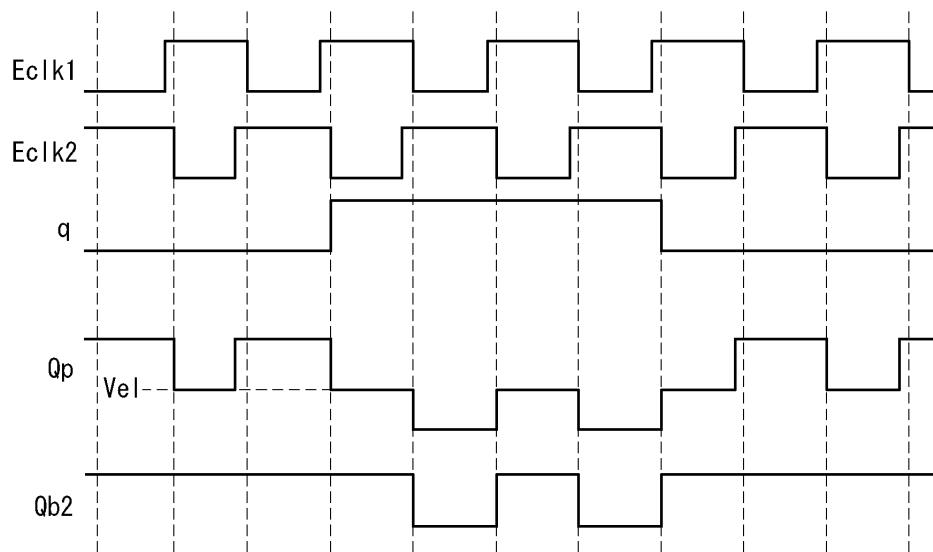
도면5



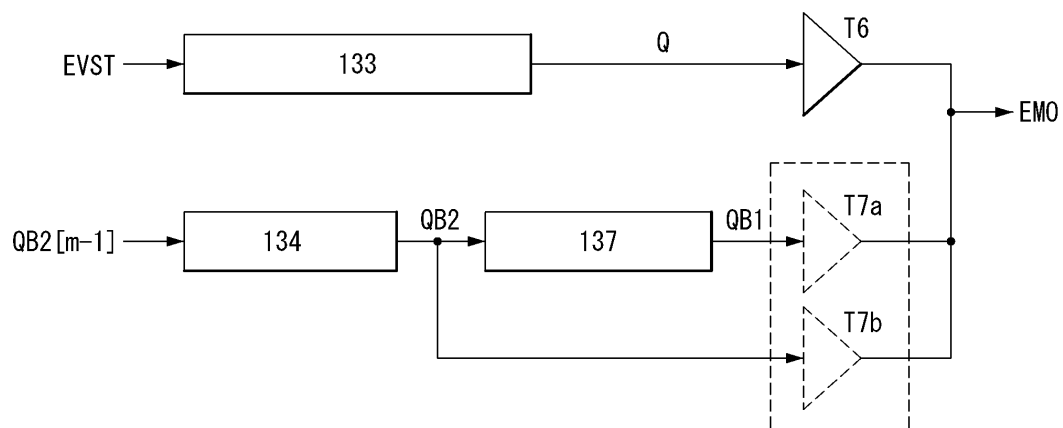
도면6



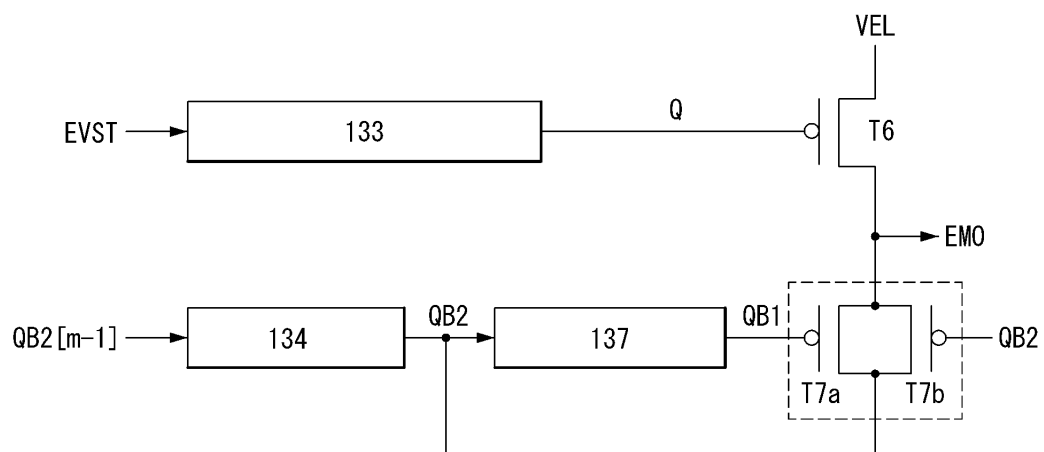
도면9



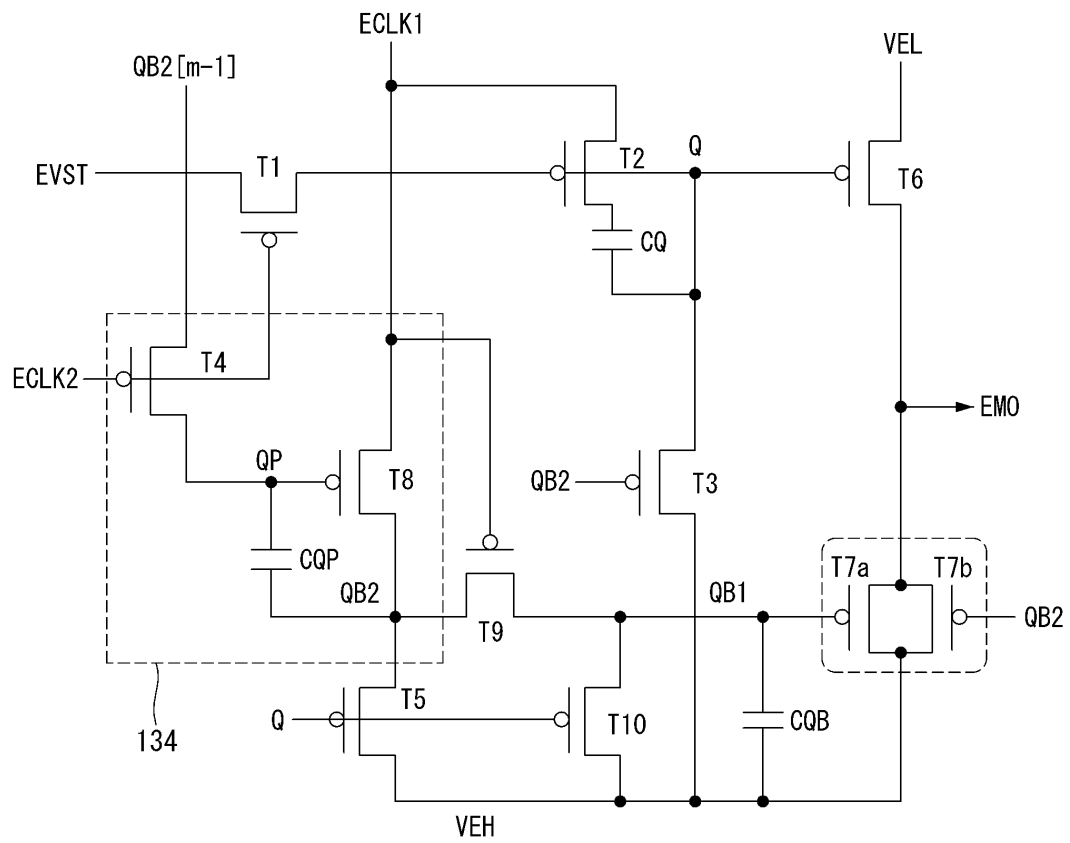
도면10



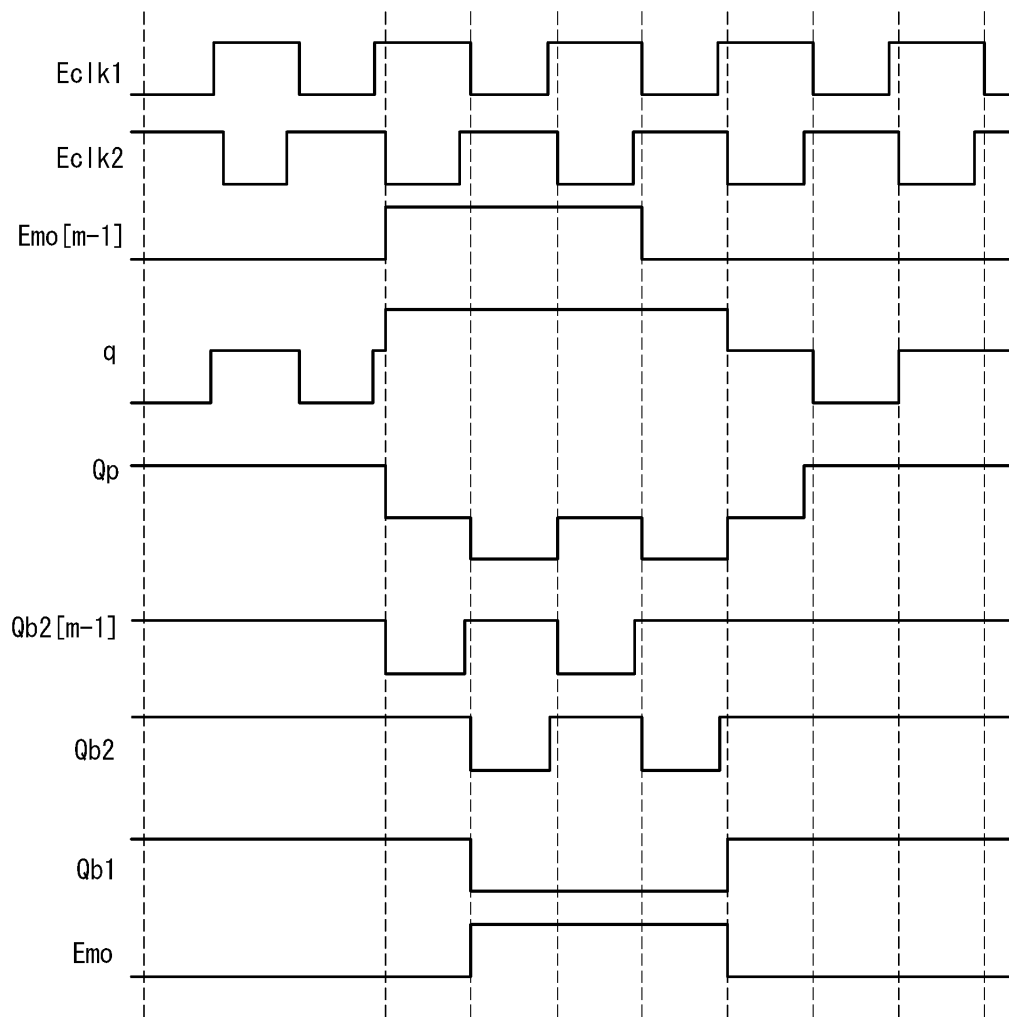
도면11



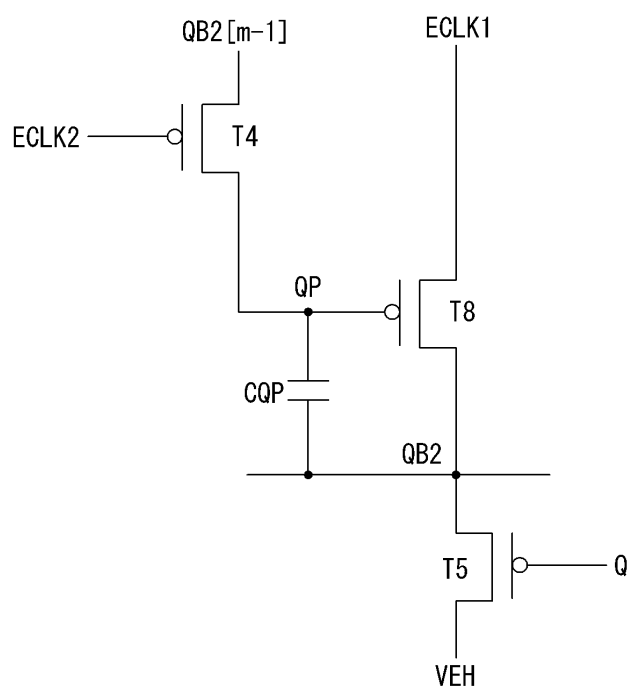
도면12



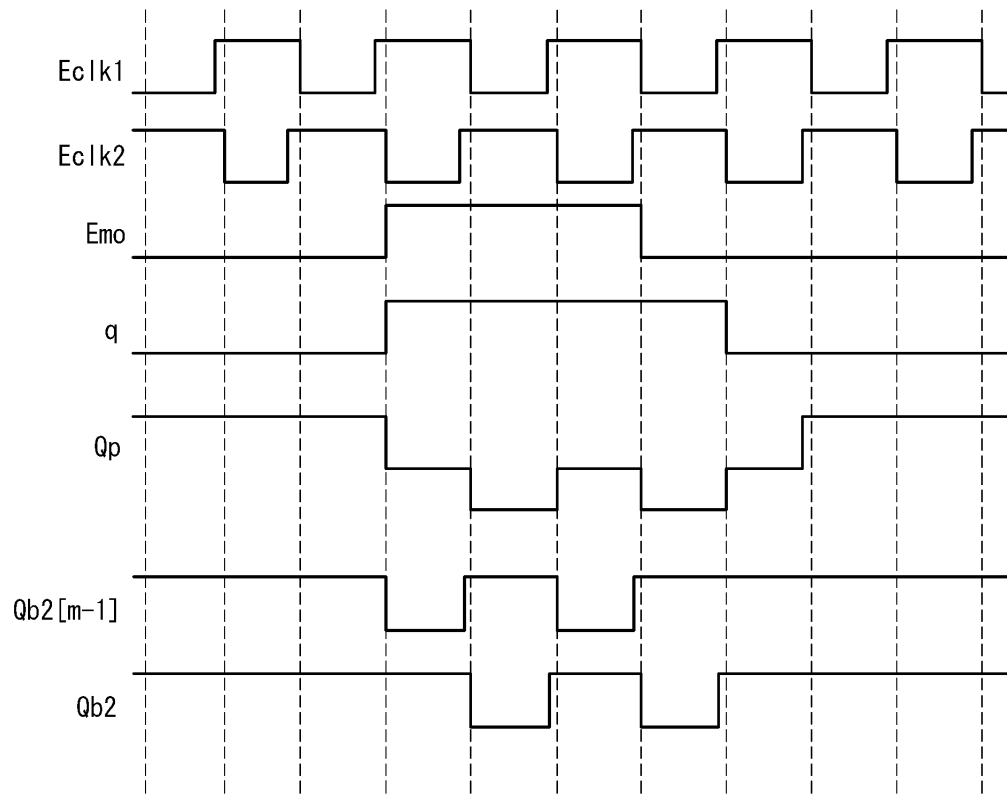
도면13



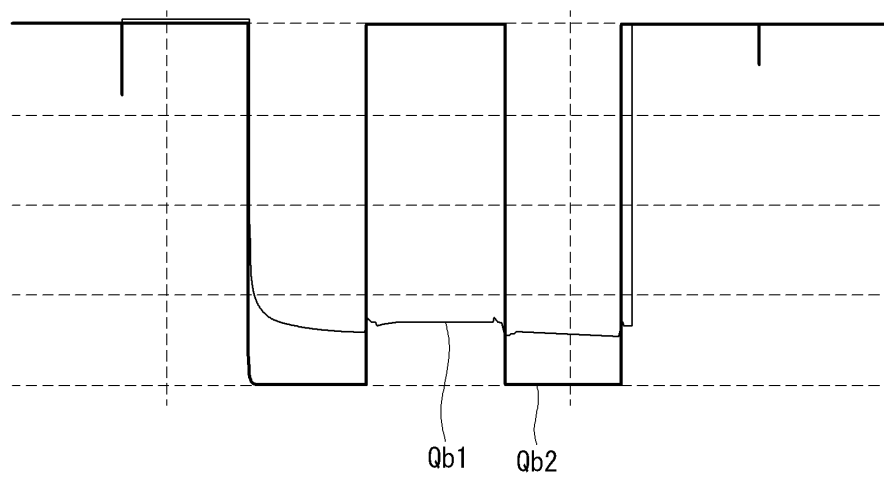
도면14



도면15



도면16



专利名称(译)	扫描驱动器和包括其的电致发光显示器		
公开(公告)号	KR1020190031869A	公开(公告)日	2019-03-27
申请号	KR1020170119848	申请日	2017-09-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공충식 한흥규 신미희 이세완		
发明人	공충식 한흥규 신미희 이세완		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0408		
外部链接	Espacenet		

摘要(译)

本发明包括第二输出缓冲器单元，该第二输出缓冲器单元包括第一输出缓冲器单元和将基于Q节点的电位而导通以输出第一发射控制信号的双缓冲器，并且该双缓冲器包括两个晶体管。另外，两个晶体管提供扫描驱动器，每个扫描驱动器具有连接至不同节点的栅极并且输出相同的第二发射控制信号。

